

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97111438

※申請日期：97年03月28日

※IPC分類：H01L29/78 (2006.01)
H01L21/336 (2006.01)

一、發明名稱：

(中) 半導體裝置及其製造方法

(英) Semiconductor device and method for manufacturing the same

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 宮入秀和

(英) MIYAIRI, HIDEKAZU

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/04/25 ; 2007-114922 ☒ 有主張優先權

五、中文發明摘要

發明名稱：半導體裝置及其製造方法

提供一種半導體裝置，相較於先前技術，具有更低的接面電容，以及，可以經由更簡單的製程，以更低的耗電製造，半導體裝置包含基礎基底；形成在基礎基底上的半導體膜；形成在半導體膜上的閘極絕緣膜；以及形成在閘極絕緣膜上的電極。半導體膜具有與電極重疊且以閘極絕緣膜夾於其間的通道形成區域，在包含於半導體膜中的凹部和基礎基底之間形成有空洞，並且通道形成區域與在凹部上空洞接觸。

六、英文發明摘要

發明名稱：SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

To provide a semiconductor device having lower junction capacitance, which can be manufactured with lower power consumption through a simpler process as compared with conventional, a semiconductor device includes a base substrate; a semiconductor film formed over the base substrate; a gate insulating film formed over the semiconductor film; and an electrode formed over the gate insulating film. The semiconductor film has a channel formation region which overlaps with the electrode with the gate insulating film interposed therebetween, a cavity is formed between a recess included in the semiconductor film and the base substrate, and the channel formation region is in contact with the cavity on the recess.

七、指定代表圖：

(一)、本案指定代表圖為：第 (1A) 圖

(二)、本代表圖之元件代表符號簡單說明：

100：半導體膜

101：基礎基底

102：空洞

103：絕緣膜

104：絕緣膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明關於一種使用 SOI（絕緣體上矽）基底的半導體裝置及其製造方法。本發明特別關於接合 SOI 技術，並且關於半導體裝置及其製造方法，該半導體裝置使用藉由中間夾著絕緣膜將單晶或多晶半導體膜接合在基底上而獲得的 SOI 基底。

【先前技術】

對於半導體積體電路的高集成化、高速化、高性能化、低耗電量化的要求提高，為了實現這些要求，作為替代體電晶體的有效手段，使用 SOI 基底的電晶體引人注目。與塊電晶體相比，使用 SOI 基底的電晶體可以期待實現高速化、低耗電量化，這是因為由於在絕緣膜上形成半導體膜，所以可以降低寄生電容並且抑制流過基底的洩漏電流的產生的緣故。由於可以減少用作主動層的半導體膜的厚度，所以可以進一步抑制短通道效應，而可以實現元件的精密化及半導體積體電路的高集成化。另外，使用 SOI 基底的電晶體是完全無閂鎖的，所以沒有元件被起因於閂鎖的發熱損壞的擔憂。而且，由於沒有如體電晶體那樣進行元件分離的必要，所以具有可以縮短元件之間的距離而實現高集成化之類的優點。

關於 SOI 基底的製造方法之一，有中間夾著絕緣膜將半導體膜接合到基底上的接合法諸如以智能剝離（Smart

Cut) 爲典型的 UNIBOND、ELTRAN (外延層轉移法)、介電質隔離法、PACE (電漿輔助化學蝕刻) 法等。藉由使用上述接合法，可以將使用單晶半導體膜的高功能積體電路形成在任何基底上。

但是，在使用 SOI 基底的電晶體中，在半導體膜的雜質區域和基底之間形成接面電容。當實現半導體積體電路的進一步低耗電量化時，該接面電容的降低是非常重要的問題。希望在雜質區域和基底之間存在的絕緣膜使用維持絕緣性且低介電常數的材料，以便降低接面電容並且確保積體電路的穩定工作。

在下述的專利文獻 1 中公開了具有 SON (矽未在任何東西上 (Silicon on Nothing)) 結構的電晶體，其中在半導體膜和基底之間設置有空心的空間。另外，在專利文獻 2 中公開了在半導體膜和基底之間具有空洞的 SOI 基底的結構。藉由使用相對介電常數爲 1 的空氣來使基底和半導體膜絕緣，可以降低接面電容。

[專利文獻 1] 日本專利申請特開 2001-144276 號公報

[專利文獻 2] 日本專利申請特開 2004-146461 號公報

然而，在專利文獻 1 所公開的具有 SON 結構的電晶體在製程中多使用要注意處理的氫氣體，並且難以控制半導體膜的厚度和空洞的位置，而需要通過複雜製程來形成。在半導體膜中，結晶生長進行並相遇的部分的結晶性比其他部分差，所以存在有元件特性不均勻而難以獲得高成品率的問題。另一方面，在採用專利文獻 2 所公開的 SOI

基底時，要形成的具有 SON 結構的電晶體還有降低接面電容的餘地。

【發明內容】

鑒於上述問題，本發明提供一種半導體裝置及其製造方法，該半導體裝置可以以進一步簡單的製程比傳統的半導體裝置降低接面電容而實現低耗電量化。

在本發明中，藉由將形成有凹部的接合基底（半導體基底）的一部分轉置到基礎基底（支撐基底）上，在基礎基底上形成與基礎基底之間具有空洞的半導體膜。使用該半導體膜來形成具有電晶體等的半導體元件的半導體裝置。具體而言，本發明的半導體裝置所具有的電晶體在用作主動層的半導體膜和基礎基底之間具有空洞。上述空洞可以是一個或多個。另外，上述空洞可以形成為與半導體膜的通道形成區域重疊，也可以形成為與源極及汲極中的任何一方重疊，或者也可以形成為與源極、汲極、以及通道形成區域重疊。

另外，在本發明的半導體裝置的製造方法中，在接合基底上形成之後用作空洞的凹部。接著，以該凹部朝向基礎基底一側的方式接合接合基底和基礎基底來在接合基底和基礎基底之間形成空洞。將接合基底劈開使其一部分殘留在基礎基底上，並且在基礎基底上形成在其與基礎基底之間具有該空洞的半導體膜。接著，在將該空洞維持在半導體膜與基礎基底之間的同時，將該半導體膜處理成所希

望的形狀，來形成電晶體等的半導體元件。

或者，在本發明的半導體裝置的製造方法中，在接合基底形成之後用作空洞的凹部、以及之後用作半導體元件的凸部。以凸部的高低差比凹部的高低差大、並且形成有凹部的區域包含在凸部的內部的方式進行配置。接著，接合接合基底和基礎基底以使該凹部及該凸部朝向基礎基底一側，從而在接合基底和基礎基底之間形成空洞。將接合基底劈開使其凸部的一部分殘留在基礎基底上，來在基礎基底上形成與基礎基底之間具有該空洞的半導體膜。使用形成在基礎基底上的半導體膜來形成電晶體等的半導體元件。

在本發明的半導體裝置所具有的電晶體中，半導體膜與空洞相接觸。由此，通過例如使用其相對介電常數比氧化矽等的無機絕緣膜低的空氣、氮、惰性氣體等充滿空洞，可以降低電晶體的寄生電容或接面電容。由此，可以實現半導體裝置的低耗電量化。

在本發明的製造方法中，可以藉由建立例如蝕刻等方法來形成凹部，所以可以更加安全且簡單的製造方法可控性好地形成具有所希望的深度及形狀的空洞。因此，可以降低製造半導體裝置所需的成本並提高成品率。

【實施方式】

下面，將參照附圖說明本發明的實施方式。但是，本發明可以藉由多種不同的方式來實施，所屬技術領域的普

通人員可以很容易地理解一個事實就是其方式和詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在本實施方式所記載的內容中。

實施方式 1

使用圖 1A 對於在本發明的半導體裝置中的半導體元件所具有的半導體膜的結構進行說明。

圖 1A 所示的半導體膜 100 形成在平坦的基礎基底 101 上。半導體膜 100 在基礎基底 101 一側具有凹部，由該凹部形成在半導體膜 100 和基礎基底 101 之間的空洞 102。空洞 102 的位置及數量不局限於圖 1A 所示的結構。設在半導體膜 100 和基礎基底 101 之間的空洞 102 可以是一個或多個。

另外，在半導體膜 100 和基礎基底 101 之間的除了形成有空洞 102 的部分以外的區域形成有絕緣膜 103。另外，在絕緣膜 103 和基礎基底 101 之間還形成有絕緣膜 104。通過將絕緣膜 103 和絕緣膜 104 接合，可以接合半導體膜 100 和基礎基底 101。

絕緣膜 103 可以由一個絕緣膜形成或層疊多個絕緣膜來形成。另外，絕緣膜 104 也可以由一個絕緣膜形成或層疊多個絕緣膜來形成。

絕緣膜 104 既可以形成在基礎基底 101 的整個表面上，又可以至少在與絕緣膜 103 重疊的區域中部分地形成。

雖然在圖 1A 中使用絕緣膜 103 及絕緣膜 104 接合半導體膜 100 和基礎基底 101，但本發明不局限於該結構。不需要一定設置絕緣膜 103 和絕緣膜 104 雙方，而只設置任一方即可。例如，在僅形成絕緣膜 103 和絕緣膜 104 中的絕緣膜 104 時，通過將絕緣膜 104 和半導體膜 100 接合，可以接合基礎基底 101 和半導體膜 100。而在僅形成絕緣膜 103 和絕緣膜 104 中的絕緣膜 103 時，通過將絕緣膜 103 和基礎基底 101 接合，可以接合基礎基底 101 和半導體膜 100。

接著，對於一種電晶體的結構進行說明，該電晶體是使用了圖 1A 所示的半導體膜 100 的半導體元件的一種。圖 1B 是使用半導體膜 100 形成的電晶體的截面圖的一例。圖 1B 所示的電晶體在其半導體膜 100 中具有用作源極或汲極的一對雜質區域 105、106、以及通道形成區域 107。圖 1B 所示的電晶體以中間夾著閘極絕緣膜 108 地與通道形成區域 107 重疊的方式具有用作閘極的電極 109。

在圖 1B 所示的電晶體中，空洞 102 設置在與通道形成區域 107 及電極 109 重疊的位置。另外，在本發明中，空洞的位置不局限於圖 1B 所示的結構。空洞既可以形成為與一對雜質區域 105、106 的任一方重疊，又可以形成為與一對雜質區域 105、106 及通道形成區域 107 重疊。在將空洞形成為至少與通道形成區域 107 重疊時，與將空洞形成為僅重疊於雜質區域 105、106 時相比，可以進一步抑制自加熱。

接著說明使用具有兩個凹部的半導體膜 110 的電晶體的結構。圖 1C 是使用具有兩個凹部的半導體膜 110 形成的電晶體的截面圖的一例。圖 1C 所示的電晶體在其半導體膜 110 中具有用作源極或汲極的一對雜質區域 111、112、以及通道形成區域 113。圖 1C 所示的電晶體具有用作閘極的電極 115，該電極 115 夾著閘極絕緣膜 114 與通道形成區域 113 重疊。

圖 1C 所示的電晶體在其半導體膜 110 和基礎基底 116 之間具有由凹部形成的空洞 117、118。空洞 117、118 設置在分別與一對雜質區域 111、112 重疊的位置。在空洞 117、118 至少與雜質區域 111、112 重疊時，與形成僅重疊於通道形成區域 113 的空洞時相比，可以進一步降低電晶體的接面電容。

本發明的半導體裝置所具有的電晶體在半導體膜 100 與基礎基底 102 之間具有空洞 102，在半導體膜 110 與基礎基底 116 之間具有空洞 117、118，並且半導體膜 100 與空洞 102 接觸，半導體膜 110 與空洞 117、118 接觸。由此，例如通過使用其相對介電常數比氧化矽等的無機絕緣膜低的空氣、氮、惰性氣體等充滿空洞 102、117、118，可以降低電晶體的寄生電容或接面電容。較佳地降低上述氣體的含水率，以便抑制溫度變化所導致的體積膨脹。另外，實際上，在半導體膜 100、110 的分別與空洞 102、117、118 接觸的部分有時形成自然氧化膜。然而，專利文獻 2 所記載的絕緣膜以具有幾 μm 至幾百 μm 的厚度

為前提，與該絕緣膜相比，自然氧化膜的厚度非常薄為幾 nm 左右。由此，可以說，本發明與在半導體膜 100、110 的分別與空洞 102、117、118 接觸的部分形成具有上述厚度的絕緣膜時相比，可以降低電晶體的寄生電容或接面電容。

另外，雖然在本實施方式中示出了使用空氣等的氣體填充空洞 102、117、118 的情況，但本發明不局限於該結構。例如，也可以使用其相對介電常數比氧化矽等的無機絕緣膜低的氣體以外的材料，例如裡面有多個氣孔的多孔絕緣膜（多孔材料）等，填充空洞 102、117、118。

另外，包含在本發明的範疇的半導體裝置包括所有半導體裝置，例如微處理器、影像處理電路等的積體電路、半導體顯示裝置等。半導體顯示裝置在其範疇包括液晶顯示裝置、在各個圖元中具有以有機發光元件（OLED）為典型的發光元件的發光裝置、DMD（數位微鏡裝置）、PDP（電漿顯示面板）、FED（場致發光顯示裝置）等、以及具有將使用半導體膜的電路元件用於驅動電路的其它顯示裝置。

實施方式 2

在本實施方式中，對於本發明的半導體裝置所具有的電晶體的更具體結構進行說明。

圖 2A 至 2C 示出本發明的半導體裝置所具有的電晶體的截面圖及俯視圖的一例。圖 2A 是電晶體的俯視圖，

將圖 2A 的 A-A' 的截面圖示出於圖 2B，並且將圖 2A 的 B-B' 的截面圖示出於圖 2C。

圖 2A 至 2C 所示的電晶體具有用作主動層的半導體膜 120、與半導體膜 120 重疊的部分用作閘極的電極 121、以及設置在半導體膜 120 和電極 121 之間的閘極絕緣膜 122。另外，半導體膜 120 具有用作源極或汲極的雜質區域 123、124、通道形成區域 125、以及分別設置在雜質區域 123 與通道形成區域 125 及雜質區域 124 與通道形成區域 125 之間的 LDD（輕摻雜汲極）區域 126、127。

在半導體膜 120 和基礎基底 129 之間設置有一個空洞 130。空洞 130 設置在與半導體膜 120 重疊的區域內部。另外，空洞 130 與半導體膜 120 中的通道形成區域 125 重疊。在將空洞形成為至少與通道形成區域 125 重疊時，與將空洞形成為僅重疊於雜質區域 123、124 時相比，可以進一步抑制自加熱。

另外，雖然在圖 2A 至 2C 所示的電晶體中，半導體膜 120 具有 LDD 區域 126、127，但本發明不局限於該結構。既可以不需要一定設置 LDD 區域 126、127，又可以僅設置有 LDD 區域 126、127 的任一方。另外，雖然在圖 2A 至 2C 所示的電晶體中，LDD 區域 126、127 設置在半導體膜 120 中的與電極 121 重疊的區域以外的區域，但本發明不局限於該結構。LDD 區域 126、127 也可以設置在與電極 121 重疊的區域。或者，也可以以延伸至與電極 121 重疊的區域及其他區域方式進行設置。

另外，雖然在圖 2A 至 2C 所示的電晶體中，當形成 LDD 區域 126、127 時用作掩罩的側壁 128 設置在電極 121 的側部，但本發明不局限於該結構。

圖 3A 顯示包含於本發明的半導體裝置中的電晶體的俯視圖實施例，以及，圖 3A 至 3C 示出本發明的半導體裝置所具有的電晶體的截面圖及俯視圖的一例。圖 3A 是電晶體的俯視圖，將圖 3A 的 A-A' 的截面圖示出於圖 3B，並且將圖 3A 的 B-B' 的截面圖示出於圖 3C。

圖 3A 至 3C 所示的電晶體具有用作主動層的半導體膜 140、與半導體膜 140 重疊的部分用作閘極的電極 141、以及設置在半導體膜 140 和電極 141 之間的閘極絕緣膜 142。另外，半導體膜 140 具有用作源極或汲極的雜質區域 143、144、通道形成區域 145、以及分別設置在雜質區域 143 與通道形成區域 145 及雜質區域 144 與通道形成區域 145 之間的 LDD（輕摻雜汲極）區域 146、147。

在半導體膜 140 和基礎基底 149 之間設置有一個空洞 150。空洞 150 不是在與半導體膜 140 重疊的區域裡面設置，而是擴展到半導體膜 140 的端部。由此，空洞 150 與圖 2A 至 2C 的電晶體不同，凹部擴展到半導體膜 140 的端部，因而，空洞 150 在半導體膜 140 的端部開口。另外，空洞 150 與半導體膜 140 中的通道形成區域 145 重疊。在將空洞形成為至少與通道形成區域 145 重疊時，與將空洞形成為僅重疊於雜質區域 143、144 時相比，可以進一步抑制自加熱。另外，通過使空洞 150 在半導體膜 140 的

端部開口，可以降低空洞 150 的內部和外部的氣壓差。由此，即使熱處理時急劇改變溫度時，也可以防止半導體膜 140 的形狀變化。

另外，雖然在圖 3A 至 3C 所示的電晶體中，半導體膜 140 具有 LDD 區域 146、147，但本發明不局限於該結構。既可以不需要一定設置 LDD 區域 146、147，又可以僅設置 LDD 區域 146、147 的任一方。另外，雖然在圖 3A 至 3C 所示的電晶體中，LDD 區域 146、147 設置在半導體膜 140 中的與電極 141 重疊的區域以外的區域，但本發明不局限於該結構。LDD 區域 146、147 也可以設置在與電極 141 重疊的區域。或者，也可以以延伸至與電極 141 重疊的區域及其他區域的方式進行設置。

另外，雖然在圖 3A 至 3C 所示的電晶體中，當形成 LDD 區域 146、147 時用作掩罩的側壁 148 設置在電極 141 的側部，但本發明不局限於該結構。

圖 4A 至 4C 示出本發明的半導體裝置所具有的電晶體的截面圖及俯視圖的一例。圖 4A 是電晶體的俯視圖，將圖 4A 的 A-A' 的截面圖示出於圖 4B，並且將圖 4A 的 B-B' 的截面圖示出於圖 4C。

圖 4A 至 4C 所示的電晶體具有用作主動層的半導體膜 160、與半導體膜 160 重疊的部分用作閘極的電極 161、以及設置在半導體膜 160 和電極 161 之間的閘極絕緣膜 162。另外，半導體膜 160 具有用作源極或汲極的雜質區域 163、164、通道形成區域 165、以及分別設置在雜質區

域 163 與通道形成區域 165 及雜質區域 164 與通道形成區域 165 之間的 LDD（輕摻雜汲極）區域 166、167。

在半導體膜 160 和基礎基底 169 之間設置有兩個空洞 170 和空洞 171。空洞 170 與雜質區域 163 重疊，並且空洞 171 與雜質區域 164 重疊。另外，空洞 170 和空洞 171 既可以完全容納在與半導體膜 160 重疊的區域內部，又可以不是容納而是擴展到半導體 160 的端部從而在半導體膜 160 的端部具有凹部。在以至少與雜質區域 163、164 重疊的方式形成空洞 170、171 時，與將空洞形成爲僅重疊於通道形成區域 165 時相比，可以降低電晶體的接面電容。另外，在空洞 170、171 擴展到半導體膜 160 的端部時，空洞 170、171 在半導體膜 160 的端部開口，可以降低空洞 170、171 的內部和外部的氣壓差。由此，在熱處理中急劇改變溫度時，也可以防止半導體膜 160 的形狀變化。

另外，雖然在圖 4A 至 4C 所示的電晶體中，半導體膜 160 具有 LDD 區域 166、167，但本發明不局限於該結構。既可以不需要一定設置 LDD 區域 166、167，又可以僅設置 LDD 區域 166、167 的任一方。另外，雖然在圖 4A 至 4C 所示的電晶體中，LDD 區域 166、167 設置在半導體膜 160 中的與電極 161 重疊的區域以外的區域，但本發明不局限於該結構。LDD 區域 166、167 也可以設置在與電極 161 重疊的區域。或者，也可以以延伸至與電極 161 重疊的區域及其他區域的方式來設置。

另外，雖然在圖 4A 至 4C 所示的電晶體中，當形成 LDD 區域 166、167 時用作掩罩的側壁 168 設置在電極 161 的側部，但本發明不局限於該結構。

圖 5A 至 5C 示出本發明的半導體裝置所具有的電晶體的截面圖及俯視圖的一例。圖 5A 是電晶體的俯視圖，將圖 5A 的 A-A' 的截面圖示出於圖 5B，並且將圖 5A 的 B-B' 的截面圖示出於圖 5C。

圖 5A 至 5C 所示的電晶體具有用作主動層的半導體膜 180、與半導體膜 180 重疊的部分用作閘極的電極 181、以及設置在半導體膜 180 和電極 181 之間的閘極絕緣膜 182。另外，半導體膜 180 具有用作源極或汲極的雜質區域 183、184、通道形成區域 185、以及分別設置在雜質區域 183 與通道形成區域 185 及雜質區域 184 與通道形成區域 185 之間的 LDD（輕摻雜汲極）區域 186、187。

在半導體膜 180 和基礎基底 189 之間設置有一個空洞 190。空洞 190 與雜質區域 183、184、以及通道形成區域 185 重疊。另外，空洞 190 既可以完全容納在與半導體膜 180 重疊的區域內部，又可以不是容納而擴展到半導體膜 180 的端部從而在半導體膜 180 的端部具有凹部。在空洞 190 與雜質區域 183、184、以及通道形成區域 185 重疊時，不僅可以抑制自加熱，而且可以進一步降低電晶體的接面電容。另外，當在半導體膜 180 的端部具有凹部時，由於空洞 190 在半導體膜 180 的端部開口，所以可以降低空洞 190 的內部和外部的氣壓差。由此，即使熱處理中急劇

改變溫度時，也可以防止半導體膜 180 的形狀變化。

另外，雖然在圖 5A 至 5C 所示的電晶體中，半導體膜 180 具有 LDD 區域 186、187，但本發明不局限於該結構。既可以不需要一定設置 LDD 區域 186、187，又可以僅設置 LDD 區域 186、187 的任一方。另外，雖然在圖 5A 至 5C 所示的電晶體中，LDD 區域 186、187 設置在半導體膜 180 中的與電極 181 重疊的區域以外的區域，但本發明不局限於該結構。LDD 區域 186、187 也可以設置在與電極 181 重疊的區域。或者，也可以以延伸至與電極 181 重疊的區域及其他區域的方式來設置。

另外，雖然在圖 5A 至 5C 所示的電晶體中，當形成 LDD 區域 186、187 時用作掩罩的側壁 188 設置在電極 181 的側部，但本發明不局限於該結構。

圖 6A 至 6D 示出本發明的半導體裝置所具有的電晶體的截面圖及俯視圖的一例。圖 6A 是電晶體的俯視圖，將圖 6A 的 A-A' 的截面圖示出於圖 6B，將圖 6A 的 B-B' 的截面圖示出於圖 6C，並且圖 6A 的 C-C' 的截面圖示出於圖 6D。

圖 6A 至 6D 所示的電晶體具有用作主動層的半導體膜 500、與半導體膜 500 重疊的部分用作閘極的電極 501、以及設置在半導體膜 500 和電極 501 之間的閘極絕緣膜 502。另外，半導體膜 500 具有用作源極或汲極的雜質區域 503、504、通道形成區域 505、以及分別設置在雜質區域 503 與通道形成區域 505 及雜質區域 504 與通道形成區

域 505 之間的 LDD（輕摻雜汲極）區域 506、507。

在半導體膜 500 和基礎基底 509 之間設置有多個空洞 510 至 515。空洞 510、511 與雜質區域 503 重疊，空洞 512、513 與雜質區域 504 重疊。另外，空洞 514、515 與雜質區域 503、504 及通道形成區域 505 重疊。通過使空洞 510、511 與雜質區域 503 重疊且使空洞 512、513 與雜質區域 504 重疊，可以抑制自加熱。另外，通過使空洞 514、515 與雜質區域 503、504 及通道形成區域 505 重疊，不僅可以抑制自加熱，而且可以進一步降低電晶體的接面電容。

另外，空洞 510 至 515 既可以容納在與半導體膜 500 重疊的區域內部，又可以不是容納而是擴展到半導體 500 的端部從而在半導體膜 500 的端部具有凹部。在空洞 510 至 515 擴展到半導體膜 500 的端部時，由於空洞 510 至 515 在半導體膜 500 的端部開口，所以可以降低空洞 510 至 515 的內部和外部的氣壓差。由此，即使在通過加熱處理而急劇改變溫度時，也可以防止半導體膜 500 的形狀變化。

另外，雖然在圖 6A 至 6D 所示的電晶體中，半導體膜 500 具有 LDD 區域 506、507，但本發明不局限於該結構。既可以不需要一定設置 LDD 區域 506、507，又可以僅設置 LDD 區域 506、507 的任一方。另外，雖然在圖 6A 至 6D 所示的電晶體中，LDD 區域 506、507 設置在半導體膜 500 中的與電極 501 重疊的區域以外的區域，但本

發明不局限於該結構。LDD 區域 506、507 也可以設置在與電極 501 重疊的區域。或者，也可以以延伸至與電極 501 重疊的區域及其他區域的方式來設置。

另外，雖然在圖 6A 至 6D 所示的電晶體中，當形成 LDD 區域 506、507 時用作掩罩的側壁 508 設置在電極 501 的側部，但本發明不局限於該結構。

另外，在設置在半導體膜的下部的空洞如圖 5A 至 5C 所示那樣為一個的情況下，由於可以在半導體膜下部以更大的面積對空洞進行布圖，因此與有多個空洞時相比，可以進一步降低接面電容及寄生電容並且可以進一步抑制自加熱。反之，在設置在半導體膜的下部的空洞如圖 6A 至 6D 所示那樣有多個的情況下，可以形成物理強度比有一個空洞時更大的電晶體。

另外，雖然在圖 2A 至 2C 及圖 3A 至 3C 所示的電晶體中，以與通道形成區域重疊的方式僅形成有一個空洞，但本發明不局限於該結構。也可以以與通道形成區域重疊的方式設置有多個空洞。在有一個空洞時，由於可以在通道形成區域下部以更大的面積對空洞進行布圖，因此，與有多個空洞時相比，可以進一步抑制自加熱。反之，在設置在通道形成區域的下部的空洞有多個時，與有一個空洞時相比，可以形成物理強度更大的電晶體。

另外，雖然在圖 4A 至 4C 所示的電晶體中，分別設置有一個與各個雜質區域重疊的空洞，但本發明不局限於該結構。也可以設置有多個與一個雜質區域重疊的空洞。

在與一個雜質區域重疊的空洞有一個的情況下，由於可以在雜質區域的下部以更大的面積對空洞進行布圖，因此，與有多個空洞時相比，可以進一步抑制自加熱。反之，設置在一個雜質區域的下部的空洞有多個的情況下，與有一個空洞時相比，可以形成物理強度更大的電晶體。

本實施方式可以與上述實施方式適當地組合來實施。

實施方式 3

在本實施方式中，對於本發明的半導體裝置的製造方法進行說明，其中將半導體膜從處理成所希望的形狀的半導體基底（接合基底）轉置到支撐基底（基礎基底）上。

首先，如圖 7A 所示，製備表面形成有絕緣膜 201 的接合基底 200。絕緣膜 201 由如氧化矽、氮氧化矽、氮化矽等具有絕緣性的材料形成。由於絕緣膜 201 的厚度與之後形成的缺陷層 202 的深度有關，所以其厚度較佳的是均勻的。例如，在將氧化矽用於絕緣膜 201 時，較佳地使接合基底 200 熱氧化來形成絕緣膜 201，例如較佳地在水蒸汽氣氛中進行 900℃ 至 1100℃ 的熱處理來形成。或者，也可以藉由氧電漿處理使接合基底 200 氧化來形成絕緣膜 201。另外，在將氧化矽用於絕緣膜 201 時，也可以使用矽烷和氧、TEOS（Tetraethoxysilane；正矽酸乙酯）和氧等的混合氣體通過如熱 CVD、電漿 CVD、常壓 CVD、偏壓 ECRCVD 等的氣相沈積法形成絕緣膜 201。在此情況下，也可以通過氧電漿處理使絕緣膜 201 的表面緻密化。

另外，也可以採用使用有機矽烷氣體通過化學氣相沈積法來製造的氧化矽，以形成絕緣膜 201。關於有機矽烷氣體，可以使用如正矽酸乙酯（TEOS：化學式為 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS：化學式為 $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三(二甲基氨基)矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等的含矽化合物。

絕緣膜 201 可以由一個絕緣膜形成也可以層疊多個絕緣膜來形成。例如，在本實施方式中使用如下絕緣膜 201：即從靠近接合基底 200 一側按順序層疊有含氧量高於含氮量的氮氧化矽、含氮量高於含氧量的氮氧化矽、以及使用有機矽烷氣體通過化學氣相沈積法製造的氧化矽。

另外，在將氮化矽用於絕緣膜 201 時，可以使用矽烷和氮的混合氣體通過電漿 CVD 等的氣相沈積法來形成。另外，在將氮氧化矽用於絕緣膜 201 時，可以使用矽烷和氮的混合氣體或矽烷和氧化氮的混合氣體通過電漿 CVD 等的氣相沈積法來形成。

注意，在某些情形中，在從接合基底 200 獲得半導體膜的步驟中，由於向接合基底 200 注入高濃度的氫或稀有氣體、或者氫離子或稀有氣體離子，因此，存在接合基底 200 的表面變粗，當使它與基礎基底接合時不能獲得充分的結合強度的情況。通過設置絕緣膜 201，當注入氫或稀有氣體、或者氫離子或稀有氣體離子時保護接合基底

200 的表面免受影響，而可以良好地接合基礎基底和接合基底 200。

接著，如箭頭所示那樣注入氫或稀有氣體、或者氫離子或稀有氣體離子，在離接合基底 200 的表面一定深度的區域形成具有微孔的缺陷層 202。缺陷層 202 的形成位置取決於上述注入的加速電壓。由於從接合基底 200 轉置到基礎基底上的半導體膜 207 的厚度取決於缺陷層 202 的位置，因此，考慮到半導體膜的厚度來設定上述注入的加速電壓。該半導體膜 207 的厚度為 10nm 至 200nm，較佳地為 10nm 至 50nm。例如，在向接合基底 200 注入氫時，劑量較佳地為 $1 \times 10^{16} / \text{cm}^2$ 至 $1 \times 10^{17} / \text{cm}^2$ 。

接著，如圖 7B 所示，藉由將接合基底 200 及絕緣膜 201 處理（圖型化）成所希望的形狀，部分地去除絕緣膜 201 來形成開口部，進而在部分地去除了絕緣膜 201 的區域中、在接合基底 200 形成凹部 204。具體而言，可以通過使用由抗蝕劑形成的掩罩 203 蝕刻接合基底 200 及絕緣膜 201，進行圖型化。凹部 204 相當於之後形成在電晶體的半導體膜和基礎基底之間的空洞。由此，考慮電晶體的半導體膜的形狀而形成凹部 204。將凹部 204 形成為其深度比形成有缺陷層 202 的位置的深度小。另外，在將接合基底 200 處理（圖型化）成所希望的形狀時，也可以不使用抗蝕劑而使用氮化矽等的無機絕緣膜作為硬質掩罩。

對於蝕刻，例如使用如反應離子蝕刻（RIE）法、ICP（感應耦合電漿）蝕刻法、ECR（電子迴旋共振）蝕刻法

、平行平板型（電容耦合型）蝕刻法、磁控管電漿蝕刻法、雙頻電漿蝕刻法或螺旋波電漿蝕刻法等乾蝕刻法即可。

例如，在使用 ICP 蝕刻法的情況下，將作為蝕刻氣體的氯的流量設定為 40sccm 至 100sccm，將投入線圈型電極的電力設定為 100W 至 200W，將投入底部電極（偏壓一側）的電力設定為 40W 至 100W，並且將反應壓力設定為 0.5Pa 至 1.0Pa 即可。在本實施方式中，在作為蝕刻氣體的氯的流量為 100sccm、反應壓力為 1.0Pa、底部電極的溫度為 70℃、投入線圈型電極的 RF（13.56MHz）電力為 150W、以及投入底部電極（偏壓一側）的電力為 40W 的條件下進行蝕刻，來形成在接合基底 200 中的深度為 5nm 至 190nm、較佳為 20nm 至 150nm 左右的凹部 204。關於蝕刻氣體，可以適當地使用如氯、氯化硼、氯化矽或四氯化碳等的氯基氣體；如四氟化碳、氟化硫或氟化氮等的氟基氣體；以及氧等。

另外，也可以在進行上述蝕刻之後，在可以抑制接合基底 200 所受的損傷的條件下進一步進行蝕刻。例如，在作為蝕刻氣體的氯的流量為 100sccm、反應壓力為 0.67Pa、底部電極的溫度為 0℃、投入線圈型電極的 RF（13.56MHz）電力為 2000W、投入底部電極（偏壓一側）的電力為 0W、以及蝕刻時間為 30 秒的條件下蝕刻幾 nm 左右。另外，在上述蝕刻中所使用的蝕刻氣體不局限於氯，例如也可以使用水、氫、氮等。通過進行上述蝕刻，可

以修復當形成接合基底 200 的凹部 204 時凹部 204 中的半導體表面所受到的電漿損傷。通過修復電漿損傷，由於可以防止載流子的壽命變短，因此可以降低當電晶體截止時的洩漏電流，即可以提高截止特性。而且，可以防止電晶體的閾值電壓因為受電漿損傷的影響而偏移。

另外，也可以不通過乾蝕刻而通過濕法蝕刻來形成凹部 204。例如，在絕緣膜 201 由氧化矽、氧氮化矽、氮氧化矽形成的情況下，使用氫氟酸水溶液部分地蝕刻絕緣膜 201。接著，使用氫氧化四甲銨（縮寫：TMAH）溶液部分地蝕刻接合基底 200，來形成凹部 204 即可。

另外，也可以在形成凹部 204 之後且在接合接合基底 200 和基礎基底 205 之前對接合基底 200 進行氫化處理。例如，在氫氣氣氛中以 350℃ 進行兩個小時左右的氫化處理。

在去除掩罩 203 之後，如圖 7C 所示，將形成有凹部 204 的接合基底 200 和基礎基底 205 接合在一起。以凹部 204 朝向接合基底 200 一側的方式接合接合基底 200 和基礎基底 205。在基礎基底 205 的表面形成有絕緣膜 206，以便進一步提高接合基底 200 和基礎基底 205 的接合強度。通過形成絕緣膜 206，可以將形成在接合基底 200 的絕緣膜 201 和絕緣膜 206 接合，來接合接合基底 200 和基礎基底 205。

利用凡德瓦力而形成接合，在室溫下形成強固的接合。另外，由於可以在低溫下進行上述接合，所以作為基礎

基底 205 可以使用各種基底。例如，作為基礎基底 205，除了使用鋁矽酸鹽玻璃、鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等的玻璃基底之外，還可以使用石英基底、藍寶石基底等的基底。另外，作為基礎基底 205，可以使用矽、砷化鎵、磷化銦等的半導體基底等。

關於接合基底 200，可以使用矽、銻等的單晶半導體基底或多晶半導體基底。除此之外，可以使用由砷化鎵、磷化銦等的化合物半導體形成的單晶半導體基底或多晶半導體基底作為接合基底 200。另外，關於接合基底 200，還可以使用具有晶格畸變的矽、對於矽添加了銻的矽銻等的半導體基底。具有晶格畸變的矽可以通過在其晶格常數大於矽的矽銻或氮化矽上進行成膜來形成。

另外，在接合基礎基底 205 和接合基底 200 之後，還可以進行加熱處理或加壓處理。通過進行加熱處理或加壓處理，可以提高接合強度。

絕緣膜 206 可以使用氧化矽、氮氧化矽來形成。在將氮氧化矽用於絕緣膜 206 的情況下，較佳地使用氧含量高於氮含量的氮氧化矽，具體而言，較佳地以 55 原子%至 65 原子%的濃度範圍含有氧、以 1 原子%至 20 原子%的濃度範圍含有氮、以 25 原子%至 35 原子%的濃度範圍含有矽、以 0.1 原子%至 10 原子%的濃度範圍含有氫的氮氧化矽。另外，在將半導體基底用作基礎基底 205 的情況下，可以藉由使基礎基底 205 熱氧化，來形成絕緣膜 206。

另外，還可以在絕緣膜 206 和基礎基底 205 之間設置氮化矽膜。藉由在絕緣膜 206 和基礎基底 205 之間設置氮化矽膜，可以防止鈉等的鹼金屬或鹼土金屬擴散到接合基底 200 中而使之後形成的電晶體等的半導體元件的特性受負面影響。另外，還可以替代氮化矽膜而使用氮含量大於氧含量的氮氧化矽膜，其中以 15 原子%至 30 原子%的濃度範圍含有氧、以 20 原子%至 35 原子%的濃度範圍含有氮、以 25 原子%至 35 原子%的濃度範圍含有矽、以 15 原子%至 25 原子%的濃度範圍含有氫，以便防止雜質的擴散。或者，也可以使用氮化鋁、氮氧化鋁等來防止雜質的擴散。

藉由在接合基底 200 和基礎基底 205 之間接合然後進行熱處理，在缺陷層 202 中相鄰的微孔彼此結合，而微孔的體積增大。結果，如圖 7D 所示，接合基底 200 在缺陷層 202 中劈開，而接合基底 200 的一部分的半導體膜 207 和絕緣膜 201 剝離。較佳地在接合基底 200 的耐熱溫度以下的溫度進行熱處理，例如，在 400℃至 600℃的範圍內進行熱處理即可。借助於該剝離，半導體膜 207 和絕緣膜 201 被轉置到基礎基底 205 上。之後，較佳地進行 400℃至 600℃的熱處理，以便使絕緣膜 201 和絕緣膜 206 進一步強固地接合。

可以根據接合基底 200 的面配向來控制半導體膜 207 的晶面配向。適當地選擇具有與要形成的半導體元件適合的晶面配向的接合基底 200 來使用即可。另外，電晶體的

遷移率根據半導體膜 207 的晶面配向而不同。在要獲得更高遷移率的電晶體的情況下，考慮到通道方向和晶面配向而設定接合基底 200 的接合方向。

接著，如圖 8A 所示，使轉置了的半導體膜 207 的表面平坦化。平坦化不是一定需要的，但藉由進行平坦化，可以提高之後形成的電晶體中的在半導體膜 207 和閘極絕緣膜之間的界面的特性。具體而言，平坦化可以藉由化學機械拋光（CMP）或液體噴射拋光等來進行。借助於上述平坦化，半導體膜 207 的厚度被減薄。

另外，在本實施方式中，雖然示出了採用智慧剝離法的情況，其中藉由形成缺陷層 202 以將半導體膜 207 從接合基底 200 剝離，但也可以採用其他接合法如 ELTRAN（外延層轉移法）、介電質隔離法、PACE（電漿輔助刻蝕）法等來將半導體膜 207 接合在基礎基底 205 上。

接著，如圖 8B 所示，藉由對半導體膜 207 進行圖型化，形成島狀半導體膜 208。也可以使用當對半導體膜 207 進行圖型化時使用的掩罩來進行對絕緣膜 201 的圖型化。在島狀半導體膜 208 和基礎基底 205 之間設置有由凹部 204 形成的一對空洞 209。

在本發明中，可以使用經過上述步驟形成的半導體膜 208 來形成電晶體等的各種半導體元件。在圖 8C 中，舉例說明使用半導體膜 208 形成的電晶體 210。

在本發明的製造方法中，由於藉由蝕刻形成凹部 204，所以可以以簡單的步驟可控性好地形成具有所希望的深

度及形狀的空洞 209。

另外，製造了的電晶體 210 在半導體膜 208 和基礎基底 205 之間具有空洞 209，並且半導體膜 208 和空洞 209 彼此接觸。由此，例如通過使用相對介電常數比氧化矽等的無機絕緣膜低的空氣、氮、惰性氣體等填充空洞 209，可以降低電晶體 210 的寄生電容或接面電容。較佳地降低上述氣體中的含水率，以便抑制溫度變化所導致的體積膨脹。另外，在實際上，有時在半導體膜 208 的與空洞 209 接觸的部分形成自然氧化膜。然而，專利文獻 2 所記載的絕緣膜以具有幾 μm 至幾百 μm 的厚度為前提，與該絕緣膜相比，自然氧化膜的厚度非常薄為幾 nm 左右。由此，可以說，與在半導體膜 208 的與空洞接觸的部分形成具有上述厚度的絕緣膜時相比，本發明可以降低電晶體 210 的寄生電容或接面電容。

另外，雖然在本實施方式中示出了使用空氣等的氣體充滿空洞 209 的情況，但本發明不局限於該結構。例如，也可以使用其相對介電常數比氧化矽等的無機絕緣膜低的氣體以外的材料諸如裡面有多個氣孔的多孔絕緣膜（多孔材料）等充滿空洞 209。

另外，雖然在本實施方式中示出了在島狀半導體膜 208 和基礎基底 205 之間設置有兩個空洞 209 的結構，但本發明不局限於該結構。被提供的空洞 209 可以是一個或三個以上的多個。另外，雖然在本實施方式中將空洞 209 形成為與用作源極或汲極的雜質區域 211 重疊，但本發明

不局限於該結構。既可以將空洞 209 形成為與半導體膜 208 的通道形成區域 212 重疊，又可以將空洞 209 形成為與一對雜質區域 211 及通道形成區域 212 重疊。

另外，在空洞 209 至少與雜質區域 211 重疊時，與形成僅重疊於通道形成區域 212 的空洞 209 時相比，可以進一步降低電晶體 210 的接面電容。而在將空洞 209 形成為至少重疊於通道形成區域 212 時，與將空洞 209 形成為僅重疊於雜質區域 211 時相比，可以進一步抑制自加熱。

本實施方式可以與上述實施方式適當地組合來實施。

實施方式 4

在本實施方式中，對於本發明的半導體裝置的製造方法進行說明，其中在形成成為島狀半導體膜的區域之後將半導體膜從半導體基底（接合基底）轉置到支撐基底（基礎基底）。

首先，如圖 9A 所示，準備在表面形成有絕緣膜 301 的接合基底 300。絕緣膜 301 由如氧化矽、氮氧化矽、氮化矽等的具有絕緣性的材料形成。由於絕緣膜 301 的厚度與之後形成的缺陷層 302 的深度有關，所以其厚度較佳地是均勻的。例如，在將氧化矽用於絕緣膜 301 時，較佳地使接合基底 300 熱氧化來形成絕緣膜 301，例如較佳地在水蒸汽氣氛中進行 900℃ 至 1100℃ 的熱處理來形成。或者，也可以通過氧等離子體處理使接合基底 300 氧化來形成。另外，在將氧化矽用於絕緣膜 301 時，也可以使用矽烷

和氧、TEOS (Tetraethoxysilane ; 正矽酸乙酯) 和氧等的混合氣體通過如熱 CVD、電漿 CVD、常壓 CVD、偏壓 ECRCVD 等的氣相沈積法形成絕緣膜 301。在此情況下，也可以通過氧電漿處理使絕緣膜 301 的表面緻密化。

另外，關於絕緣膜 301，也可以採用使用有機矽烷氣體通過化學氣相沈積法來製造的氧化矽。關於有機矽烷氣體，可以使用如正矽酸乙酯 (TEOS : 化學式為 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基矽烷 (TMS : 化學式為 $\text{Si}(\text{CH}_3)_4$)、四甲基環四矽氧烷 (TMCTS)、八甲基環四矽氧烷 (OMCTS)、六甲基二矽氮烷 (HMDS)、三乙氧基矽烷 ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲基氨基)矽烷 ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等的含矽化合物。

絕緣膜 301 可以由一個絕緣膜形成也可以層疊多個絕緣膜來形成。例如，在本實施方式中使用如下絕緣膜 301：即從靠近接合基底 300 一側按順序層疊有含氧量高於含氮量的氮氧化矽、含氮量高於含氧量的氮氧化矽、以及使用有機矽烷氣體通過化學氣相沈積法製造的氧化矽。

另外，在將氮化矽用於絕緣膜 301 時，可以使用矽烷和氮的混合氣體通過電漿 CVD 法等的氣相沈積法來形成。另外，在將氮氧化矽用於絕緣膜 301 時，可以使用矽烷和氮的混合氣體或矽烷和氧化氮的混合氣體通過電漿 CVD 法等的氣相沈積法來形成。

另外，在從接合基底 300 獲得半導體膜的步驟中，由於以高劑量條件向接合基底 300 注入氬離子，因此，存在

接合基底 300 的表面變粗，當使它與基礎基底接合時不能獲得充分大的結合強度的情況。藉由設置絕緣膜 301，當注入氬離子時保護接合基底 300 的表面免受影響，而可以良好地接合基礎基底和接合基底 300。

接著，如箭頭所示那樣注入氬或稀有氣體、或者氬離子或稀有氣體離子，在離接合基底 300 的表面一定深度的區域形成具有微孔的缺陷層 302。缺陷層 302 被形成的位置取決於上述注入的加速電壓。並且，由於從接合基底 300 轉置到基礎基底上的半導體膜 310 的厚度取決於缺陷層 302 的位置，因此，考慮到半導體膜的厚度來設定上述注入的加速電壓。該半導體膜 310 的厚度為 10nm 至 200nm、較佳地為 10nm 至 50nm。例如，在向接合基底 300 注入氬時，劑量較佳地為 $1 \times 10^{16} / \text{cm}^2$ 至 $1 \times 10^{17} / \text{cm}^2$ 。

接著，如圖 9B 所示，藉由將接合基底 300 及絕緣膜 301 處理（圖型化）成所希望的形狀，部分去除絕緣膜 301 來形成開口部，進而在部分去除絕緣膜 301 的區域的接合基底 300 形成凹部 304。具體而言，可以通過使用由抗蝕劑形成的掩罩 303 蝕刻接合基底 300 及絕緣膜 301，進行圖型化。凹部 304 相當於之後形成在電晶體的半導體膜和基礎基底之間的空洞。由此，考慮電晶體的半導體膜的形狀而形成凹部 304。將凹部 304 形成為其深度比形成有缺陷層 302 的位置的深度小。另外，當將接合基底 300 處理（圖型化）成所希望的形狀時，也可以不使用抗蝕劑而使用氮化矽等的無機絕緣膜作為硬質掩罩。

對於蝕刻，例如使用如反應離子蝕刻（RIE）法、ICP（感應耦合電漿）蝕刻法、ECR（電子迴旋共振）蝕刻法、平行平板型（電容耦合型）蝕刻法、磁控管電漿蝕刻法、雙頻電漿蝕刻法或螺旋波電漿蝕刻法等乾蝕刻法即可。

例如，在使用 ICP 蝕刻法的情況下，將作為蝕刻氣體的氯的流量設定為 40sccm 至 100sccm，將投入線圈型電極的電力設定為 100W 至 200W，將投入底部電極（偏壓一側）的電力設定為 40W 至 100W，並且將反應壓力設定為 0.5Pa 至 1.0Pa 即可。在本實施方式中，在作為蝕刻氣體的氯的流量為 100sccm、反應壓力為 1.0Pa、底部電極的溫度為 70℃、投入線圈型電極的 RF（13.56MHz）電力為 150W、以及投入底部電極（偏壓一側）的電力為 40W 的條件下進行蝕刻，來形成在接合基底 300 中的深度為 5nm 至 190nm、較佳地為 20nm 至 150nm 左右的凹部 304。關於蝕刻氣體，可以適當地使用如氯、氯化硼、氯化矽或四氯化碳等的氯基氣體；如四氟化碳、氟化硫或氟化氮等的氟基氣體；以及氧等。

另外，也可以在進行上述蝕刻之後，在可以抑制接合基底 300 所受的損傷的條件下進一步進行蝕刻。例如，在作為蝕刻氣體的氯的流量為 100sccm、反應壓力為 0.67Pa、底部電極的溫度為 0℃、投入線圈型電極的 RF（13.56MHz）電力為 2000W、投入底部電極（偏壓一側）的電力為 0W、以及蝕刻時間為 30 秒的條件下蝕刻幾 nm

左右。另外，在上述蝕刻中所使用的蝕刻氣體不局限於氟，例如也可以使用水、氫、氮等。藉由進行上述蝕刻，可以修復當形成接合基底 300 的凹部 304 時凹部 304 中的半導體表面所受到的電漿損傷。藉由修復電漿損傷，由於可以防止載流子的壽命變短，因此可以降低當電晶體截止時的洩漏電流，即可以提高截止特性。另外，可以防止電晶體的閾值電壓因為受電漿損傷的影響而偏移。

另外，也可以不藉由乾蝕刻而通過濕蝕刻來形成凹部 304。例如，在絕緣膜 301 由氧化矽、氧氮化矽、氮氧化矽形成的情況下，使用氫氟酸水溶液部分地蝕刻絕緣膜 301。接著，使用氫氧化四甲銨（縮寫：TMAH）溶液部分地蝕刻接合基底 300，來形成凹部 304 即可。

藉由在去除掩罩 303 之後，如圖 9C 所示那樣對接合基底 300 及絕緣膜 301 再次進行圖型化，部分去除絕緣膜 301，進而在部分地殘留有絕緣膜 301 的區域的接合基底 300 上形成凸部 305。具體而言，可以通過使用由抗蝕劑形成的掩罩 306 並且蝕刻接合基底 300 及絕緣膜 301，進行圖型化。凸部 305 相當於之後成為島狀半導體膜的區域。由此，考慮到電晶體的半導體膜的形狀來形成凸部 305。另外，對形成凸部 305 的區域進行布圖，使它將形成凹部 304 的區域包含在內部。凸部 305 以外的凹部 307 形成為深度大於形成缺陷層 302 的位置。另外，當將接合基底 300 處理（圖型化）成所希望的形狀時，也可以不使用抗蝕劑而使用氮化矽等的無機絕緣膜作為硬質掩罩。

另外，在本實施方式中，在形成凹部 304 之後形成凸部 305，但也可以在形成凸部 305 之後形成凹部 304。

另外，也可以在形成凹部 304 和凸部 305 之後且在接合接合基底 300 和基礎基底 308 之前對接合基底 300 進行氫化處理。例如，在氫氣氣氛中以 350℃ 進行兩個小時左右的氫化處理。

接著，在去除掩罩 306 之後，如圖 9D 所示，將形成有凹部 304 的接合基底 300 和基礎基底 308 接合在一起。以凹部 304 及凸部 305 朝向基礎基底 308 一側的方式接合接合基底 300 和基礎基底 308。在基礎基底 308 的表面形成有絕緣膜 309，以便進一步提高接合基底 300 和基礎基底 308 的接合強度。藉由形成絕緣膜 309，可以將形成在接合基底 300 的絕緣膜 301 和絕緣膜 309 接合，從而接合接合基底 300 和基礎基底 308。

利用凡德瓦力而形成接合，在室溫下形成強固的接合。另外，由於可以在低溫下進行上述接合，所以作為基礎基底 308 可以使用各種基底。例如，關於基礎基底 308，除了使用鋁矽酸鹽玻璃、鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等的玻璃基底之外，還可以使用石英基底、藍寶石基底等的基底。而且，關於基礎基底 308，可以使用矽、砷化鎵、磷化鎵等的半導體基底等。

關於接合基底 300，可以使用矽、鍺等的單晶半導體基底或多晶半導體基底。除此之外，可以使用由砷化鎵、磷化鎵等的化合物半導體形成的單晶半導體基底或多晶半

導體基底作為接合基底 300。另外，關於接合基底 300，還可以使用具有晶格畸變的矽、對於矽添加了銻的矽銻等的半導體基底。具有晶格畸變的矽可以通過在其晶格常數大於矽的矽銻或氮化矽上進行成膜來形成。

另外，在接合基礎基底 308 和接合基底 300 之後，還可以進行加熱處理或加壓處理。藉由進行加熱處理或加壓處理，可以提高接合強度。

絕緣膜 309 可以使用氧化矽、氮氧化矽來形成。在將氮氧化矽用於絕緣膜 309 的情況下，較佳使用其氧含量高於氮含量的氮氧化矽，具體而言，較佳以 55 原子%至 65 原子%的濃度範圍含有氧、以 1 原子%至 20 原子%的濃度範圍含有氮、以 25 原子%至 35 原子%的濃度範圍含有矽、以 0.1 原子%至 10 原子%的濃度範圍含有氫的氮氧化矽。另外，在將半導體基底用作基礎基底 308 的情況下，可以藉由使基礎基底 308 熱氧化，來形成絕緣膜 309。

另外，還可以在絕緣膜 309 和基礎基底 308 之間設置氮化矽膜。藉由在絕緣膜 309 和基礎基底 308 之間設置氮化矽膜，可以防止鈉等的鹼金屬或鹼土金屬擴散到接合基底 300 中而之後形成的電晶體等的半導體元件的特性受負面影響。另外，還可以替代氮化矽膜而使用氮含量大於氧含量的氮氧化矽膜，其中可以 15 原子%至 30 原子%的濃度範圍含有氧、以 20 原子%至 35 原子%的濃度範圍含有氮、以 25 原子%至 35 原子%的濃度範圍含有矽、以 15 原子%至 25 原子%的濃度範圍含有氫，以便防止雜質的

擴散。或者，也可以使用氮化鋁、氮氧化鋁等來防止雜質的擴散。

藉由在接合基底 300 和基礎基底 308 之間進行接合然後進行熱處理，在缺陷層 302 中相鄰的微孔彼此結合，而微孔的體積增大。結果，如圖 10A 所示，接合基底 300 在缺陷層 302 中劈開，而接合基底 300 所具有的凸部 305 的一部分的半導體膜 310 和絕緣膜 301 剝離。較佳在接合基底 300 的耐熱溫度以下的溫度進行熱處理，例如，在 400℃ 至 600℃ 的範圍內進行熱處理即可。借助於該剝離，島狀半導體膜 310 和絕緣膜 301 被轉置到基礎基底 308 上。之後，較佳進行 400℃ 至 600℃ 的熱處理，以便使絕緣膜 301 和絕緣膜 309 進一步強固地接合。

可以根據接合基底 300 的晶面配向來控制半導體膜 310 的晶面配向。適當地選擇具有與要形成的半導體元件適合的晶面配向的接合基底 300 來使用即可。另外，電晶體的遷移率取決於半導體膜 310 的晶面配向。在要獲得更高遷移率的電晶體的情況下，考慮到通道方向和晶面配向而設定接合基底 300 的接合方向。

接著，如圖 10B 所示，使轉置了的半導體膜 310 的表面平坦化。平坦化不是一定需要的，但藉由進行平坦化，可以提高之後形成的電晶體中的在半導體膜 310 和閘極絕緣膜之間的界面的特性。具體而言，平坦化可以通過化學機械拋光（CMP）或液體噴射拋光等來進行。借助於上述平坦化，半導體膜 310 的厚度被減薄。

另外，在本實施方式中，雖然示出了採用智慧剝離法的情況，其中藉由形成缺陷層 302 將半導體膜 310 從接合基底 300 剝離，但也可以採用其他接合法如 ELTRAN（外延層轉移法）、介電質隔離法、PACE（電漿輔助刻蝕）法等來將半導體膜 310 接合在基礎基底 308 上。

在島狀半導體膜 310 和基礎基底 308 之間設置有由凹部 304 形成的一對空洞 311。

在本發明中，可以使用經過上述步驟形成的半導體膜 310 來形成電晶體等的各種半導體元件。

在本發明的製造方法中，由於藉由蝕刻形成凹部 304，所以可以以簡單的步驟可控性好地形成具有所希望的深度及形狀的空洞 311。

另外，如本實施方式，在僅將島狀半導體膜 310 從接合基底 300 剝離且轉置到基礎基底 308 上的製造方法的情況下，不需要進行對轉置到基礎基底 308 上的半導體膜的圖型化。由此，可以降低由於在轉置到基礎基底 308 上之後進行的處理處理而導致的加熱或蝕刻損傷。

注意，使用圖 10B 所示的半導體膜 310 來形成的電晶體在半導體膜 310 和基礎基底 308 之間具有空洞 311，並且半導體膜 310 和空洞 311 彼此接觸。由此，通過使用其相對介電常數比氧化矽等的無機絕緣膜低的空氣、氮、惰性氣體等充滿空洞 311，可以降低電晶體的寄生電容或接面電容。較佳降低上述氣體中的含水率，以便抑制溫度變化所導致的體積膨脹。另外，在實際上，有時在半導體膜

310 的與空洞 311 接觸的部分形成自然氧化膜。然而，專利文獻 2 所記載的絕緣膜以具有幾 μm 至幾百 μm 的厚度為前提，與該絕緣膜相比，自然氧化膜的厚度非常薄為幾 nm 左右。由此，可以說，與在半導體膜 310 的接觸於空洞的部分形成具有上述厚度的絕緣膜時相比，本發明可以降低電晶體的寄生電容或接面電容。

注意，雖然在本實施方式中示出了使用空氣等的氣體充滿空洞 311 的情況，但本發明不局限於該結構。例如，也可以使用其相對介電常數比氧化矽等的無機絕緣膜低的氣體以外的材料諸如裡面有多個氣孔的多孔絕緣膜（多孔材料）等充滿空洞 311。

另外，雖然在本實施方式中示出了在島狀半導體膜 310 和基礎基底 308 之間設置有兩個空洞 311 的結構，但本發明不局限於該結構。被提供的空洞 311 可以是一個或三個以上的多個。

本實施方式可以與上述實施方式適當地組合來實施。

實施方式 5

在本實施方式中，對於使用在實施方式 3 或實施方式 4 形成的半導體膜而成的電晶體的具體製造方法的實施例進行說明。

首先，如圖 11A 所示，形成島狀半導體膜 404、島狀半導體膜 405，以在該島狀半導體膜 404、島狀半導體膜 405 和基礎基底 401 之間分別具有一對空洞 402、一對空

洞 403。通過接合形成在基礎基底 401 上的絕緣膜 406 和形成為與島狀半導體膜 404 及島狀半導體膜 405 接觸的絕緣膜 407，島狀半導體膜 404 和島狀半導體膜 405 接合在基礎基底 401 上。

島狀半導體膜 404、405 也可以添加有雜質，以便控制閾值電壓。例如，在作為 p 型雜質添加硼的情況下，以 $5 \times 10^{17} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下的濃度添加即可。以控制閾值電壓為目的的雜質的添加可以在將半導體膜轉置到基礎基底 401 上之前或在轉置之後進行。

另外，也可以在形成島狀半導體膜 404、405 之後且在形成閘極絕緣膜 408 之前進行氫化處理。氫化處理例如在氫氣氣氛中以 350°C 進行兩個小時左右。

接著，如圖 11B 所示，以覆蓋島狀半導體膜 404、405 的方式形成閘極絕緣膜 408。可以使用電漿 CVD 法或濺射法等以單層或疊層形成包含氧化矽、氧氮化矽、氮化矽、氧化鈣、氧化鋁或氧化鉭的膜來形成閘極絕緣膜 408。

閘極絕緣膜 408 也可以藉由進行高密度電漿處理使島狀半導體膜 404、405 的表面氧化或氮化來形成。高密度電漿處理例如使用 He、Ar、Kr、Xe 等的稀有氣體與氧、氧化氮、氨、氮、氫等的混合氣體來進行。在此情況下，可以通過導入微波來激發電漿，而產生低電子溫度且高密度的電漿。藉由使用由這種高密度的電漿產生的氧基（也有包括 OH 基的情況）或氮基（也有包括 NH 基的情況）

使半導體膜的表面氧化或氮化，形成與半導體膜接觸的 1nm 至 20nm、較佳為 5nm 至 10nm 的絕緣膜。該 5nm 至 10nm 的絕緣膜用作閘極絕緣膜 408。

上述的利用高密度電漿處理的半導體膜的氧化或氮化以固相反應進行，從而可以使閘極絕緣膜和半導體膜之間的介面態密度極為低。另外，藉；田利用高密度電漿處理來直接使半導體膜氧化或氮化，可以抑制被形成的絕緣膜的厚度的不均勻性。另外，在半導體膜具有結晶性的情況下，藉由利用高密度電漿處理以固相反應使半導體膜的表面氧化，可以僅在晶粒介面抑制氧化的快速進行，並且形成均勻性好且介面態密度低的閘極絕緣膜。在閘極絕緣膜的一部分或整體包括利用高密度電漿處理來形成的絕緣膜而成的電晶體可以抑制特性的不均勻性。

接著，如圖 11C 所示，藉由在閘極絕緣膜 408 上形成導電膜，然後將該導電膜處理（圖型化）成預定的形狀，來在島狀半導體膜 404、405 的上方形成電極 409。可以使用 CVD 法、濺射法等來形成導電膜。作為導電膜可以使用鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鈮（Nb）等。另外，也可以使用以上述金屬為主要成分的合金，也可以使用包含上述金屬的化合物。或者，也可以使用對半導體膜摻雜了賦予導電性的雜質元素如磷等而成的多晶矽等半導體來形成。

關於兩層導電膜的組合，可以使用氮化鉭或鉭（Ta）作為第一層，並且使用鎢（W）作為第二層。除了上述實

例以外，還可以舉出氮化鎢和鎢、氮化鉬和鉬、鋁和鉬、以及鋁和鈦等。由於鎢和氮化鉬具有高耐熱性，所以在形成兩層導電膜之後可以進行以熱活化為目的的加熱處理。另外，作為兩層導電膜的組合，例如可以使用摻雜了賦予 n 型的雜質的矽和 NiSi（鎳矽化物）、摻雜了賦予 n 型的雜質的 Si 和 WSi_x 等。

另外，雖然在本實施方式中由單層導電膜形成電極 409，但本實施方式不局限於該結構。電極 409 可以由被層疊的多個導電膜形成。在採用層疊三層以上的導電膜而成的三層結構的情況下，較佳採用鉬膜、鋁膜和鉬膜的疊層結構。

另外，關於當形成電極 409 時使用的掩罩，也可以使用氧化矽、氧氮化矽等而替代抗蝕劑。在此情況下，雖然還添加有進行圖型化來形成氧化矽、氧氮化矽等的掩罩的步驟，但由於當蝕刻時的掩罩的厚度的降低比抗蝕劑少，所以可以形成具有所需寬度的電極 409。另外，也可以通過使用液滴噴射法選擇性地形成電極 409，而不使用掩罩。

注意，液滴噴射法意味著從細孔噴射或噴出包含預定組分的液滴來形成預定圖案的方法，噴墨法等包括在其範疇內。

另外，藉由在形成導電膜之後使用 ICP（感應耦合電漿）蝕刻法並且適當地調節蝕刻條件（施加到線圈型電極層的電力量、施加到基底側電極層的電力量、基底側電極

溫度等)，可以將電極 409 蝕刻成具有所希望的錐狀。另外，還可以根據掩罩形狀來控制錐狀的角度等。另外，關於蝕刻用氣體，可以適當地使用氯基氣體如 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 等；氟基氣體如 CF_4 、 SF_6 、 NF_3 等；或者氧。

在將高介電常數物質（high-k 材料）用於閘極絕緣膜 408 的情況下，使用多晶矽、矽化物、金屬或金屬氮化物形成電極 409。尤其，在使用高介電常數物質的情況下，最佳使用金屬或金屬氮化物形成電極 409。例如，使用金屬氮化物材料形成與閘極絕緣膜 408 接觸的導電膜，並且使用金屬材料形成在其上的導電膜。藉由採用該組合，即使在閘極絕緣膜 408 的厚度減薄時也可以防止耗盡層擴大到電極 409，並且在實現微小化時也可以防止電晶體的驅動能力的損失。

接著，如圖 11D 所示，將電極 409 作為掩罩向半導體膜 404、405 添加賦予一種導電類型的雜質元素。在本實施方式中，向半導體膜 405 添加賦予 p 型的雜質元素（例如硼），而向半導體膜 404 添加賦予 n 型的雜質元素（例如磷或砷）。另外，當將賦予 p 型的雜質元素添加到半導體膜 405 時，使用掩罩等覆蓋要添加 n 型雜質的半導體膜 404，來選擇性地添加賦予 p 型的雜質元素。反之，當將賦予 n 型的雜質元素添加到半導體膜 404 時，使用掩罩等覆蓋要添加賦予 p 型的雜質的半導體膜 405，來選擇性地添加賦予 n 型的雜質元素。或者，還可以首先向半導體

膜 404 及半導體膜 405 添加賦予 p 型或 n 型的雜質元素，之後僅向一方半導體膜以更高濃度選擇性地添加賦予 p 型或 n 型的雜質元素的任一方。借助於上述雜質的添加，在半導體膜 404 中形成雜質區域 410，在半導體膜 405 中形成雜質區域 411。

接著，如圖 12A 所示，在電極 409 的側面形成側壁 412。例如可以藉由以覆蓋閘極絕緣膜 408 及電極 409 的方式形成新的絕緣膜，並且進行以垂直方向為主的各向異性蝕刻而部分地蝕刻新形成的該絕緣膜，來形成側壁 412。另外，借助於上述各向異性蝕刻，閘極絕緣膜 408 也被部分地蝕刻。通過電漿 CVD 法或濺射法等以單層或疊層形成矽膜、氧化矽膜、氧氮化矽膜、氮氧化矽膜、或含有有機樹脂等的有機材料的膜，來形成用來形成側壁 412 的絕緣膜。在本實施方式中，藉由電漿 CVD 法形成 100nm 厚的氧化矽膜。另外，關於蝕刻氣體，可以使用 CHF_3 和 He 的混合氣體。另外，形成側壁 412 的工序不局限於這些。

接著，如圖 12B 所示，將電極 409 及側壁 412 作為掩罩向半導體膜 404、405 添加賦予一種導電類型的雜質元素。另外，將具有與在上述步驟中添加的雜質元素相同導電類型的雜質元素以更高濃度分別添加到半導體膜 404、405。另外，當將賦予 p 型的雜質元素添加到半導體膜 405 時，使用掩罩等覆蓋要添加 n 型雜質的半導體膜 404，來選擇性地添加賦予 p 型的雜質元素。反之，當將賦予

n 型的雜質元素添加到半導體膜 404 時，使用掩罩等覆蓋要添加 p 型雜質的半導體膜 405，來選擇性地添加賦予 n 型的雜質元素。

借助於上述雜質元素的添加，在半導體膜 404 中形成一對高濃度雜質區域 413 和一對低濃度雜質區域 414。高濃度雜質區域 413 用作源極或汲極，而低濃度雜質區域 414 用作 LDD（輕摻雜汲極）區域。另外，借助於上述雜質元素的添加，在半導體膜 405 中形成一對高濃度雜質區域 415 和一對低濃度雜質區域 422。

另外，形成在半導體膜 405 上的側壁 412 和形成在半導體膜 404 上的側壁 412 既可以形成為在通道移動的方向上的寬度彼此相同，又可以形成為該寬度彼此不同。用作 p 型電晶體的半導體膜 405 上的側壁 412 的寬度可以比用作 n 型電晶體的半導體膜 404 上的側壁 412 的寬度長。這是因為，為了在 p 型電晶體中形成源極及汲極而注入的硼容易擴散，從而容易引起短通道效應的緣故。通過在 p 型電晶體中將側壁 412 的寬度設定得更長，可以將高濃度的硼添加到源極及汲極，而可以使源極及汲極低電阻化。

接著，也可以藉由使半導體膜 404、405 成為矽化物來形成矽化物層，以便進一步使源極及汲極低電阻化。通過使金屬與半導體膜接觸，並且通過加熱處理、GRTA 法、LRTA 法等使半導體膜中的矽和金屬反應來形成矽化物。關於矽化物層，可以使用鈷矽化物或鎳矽化物。在半導體膜 404、405 的厚度薄時，也可以進行矽化物反應直到

該區域的半導體膜 404、405 的底部來形成全矽化物結構。關於用於形成矽化物的金屬材料，可以使用鈦（Ti）、鎳（Ni）、鎢（W）、鉬（Mo）、鈷（Co）、鋯（Zr）、鈪（Hf）、鉭（Ta）、釩（V）、釹（Nd）、鉻（Cr）、鉑（Pt）、鈀（Pd）等。另外，也可以借助於雷射照射或燈等的光照射來形成矽化物。

借助於上述的一連串步驟，形成了 n 通道型電晶體 416 和 p 通道型電晶體 417。

接著，如圖 12C 所示，形成用於保護電晶體 416、417 的絕緣膜 418。雖然不需要一定設置絕緣膜 418，但可以通過形成絕緣膜 418 來防止鹼金屬或鹼土金屬等雜質進入到電晶體 416、417 中。具體地，關於絕緣膜 418，較佳使用氮化矽、氮氧化矽、氮化鋁、氧化鋁、氧化矽等。在本實施方式中，使用 600nm 左右厚的氧氮化矽膜作為絕緣膜 418。在此情況下，也可以在形成該氧氮化矽膜之後進行上述氫化步驟。

接著，以覆蓋電晶體 416、417 的方式在絕緣膜 418 上形成絕緣膜 419。關於絕緣膜 419，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸、聚醯亞胺醯胺、苯並環丁烯、聚醯胺、環氧等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷系樹脂、氧化矽、氮化矽、氧氮化矽、氮氧化矽、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、鋁土等。矽氧烷樹脂除了氫之外也可以具有氟基、烷基、或芳烴中的

至少一種作為取代基。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣膜 419。通過 CMP 法或液體噴射拋光等使絕緣膜 419 的表面平坦化。

另外，矽氧烷樹脂相當於以矽氧烷材料作為起始材料而形成的包含 Si-O-Si 鍵的樹脂。矽氧烷樹脂除了氫以外，還可以具有氟、烷基、或芳烴中的至少一種作為取代基。

絕緣膜 419 可以根據其材料而使用 CVD 法、濺射法、SOG 法、旋轉塗敷法、浸漬法、噴塗法、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）、刮刀、輥塗、幕塗、刮刀塗布等來形成。

接著，如圖 13 所示，使島狀半導體膜 404、405 的一部分分別露出地在絕緣膜 418 及絕緣膜 419 中形成接觸孔。之後，形成通過該接觸孔與島狀半導體膜 404、405 接觸的導電膜 420、421。雖然使用 CHF_3 和 He 的混合氣體作為用於當形成接觸孔時的氣體，但不局限於此。

導電膜 420、421 可以藉由 CVD 法或濺射法等來形成。具體而言，關於導電膜 420、421，可以使用鋁（Al）、鎢（W）、鈦（Ti）、鉭（Ta）、鉬（Mo）、鎳（Ni）、鉑（Pt）、銅（Cu）、金（Au）、銀（Ag）、錳（Mn）、釹（Nd）、碳（C）、矽（Si）等。另外，既可以使用以上述金屬為主要成分的合金，又可以使用包含上述金屬的化合物。導電膜 420、421 可以單層結構或疊層結構形成使用了上述金屬的膜。

關於以鋁為主要成分的合金的實例，可以舉出以鋁為主要成分且包含鎳的合金。另外，也可以舉出以鋁為主要成分且包含鎳、以及碳和矽中一方或雙方的合金作為實例。由於鋁和鋁矽的電阻值很低且其價格低廉，所以作為形成導電膜 420、421 的材料最合適。尤其，與鋁膜相比，當對導電膜 420、421 進行圖型化時，鋁矽（Al-Si）膜可以進一步防止在進行抗蝕劑焙燒時產生的小丘。另外，也可以在鋁膜中混入 0.5 重量 % 左右的 Cu 而替代矽（Si）。

導電膜 420、421 例如較佳採用阻擋膜、鋁矽膜和阻擋膜的疊層結構；阻擋膜、鋁矽膜、氮化鈦膜和阻擋膜的疊層結構。另外，阻擋膜就是使用鈦、鈦的氮化物、鉬、或鉬的氮化物來形成的膜。若以中間夾著鋁矽膜的方式形成阻擋膜，則可以進一步防止鋁或鋁矽的小丘的產生。另外，若使用具有高還原性的元素的鈦來形成阻擋膜，即使在島狀半導體膜 420、421 上形成有薄的氧化膜，包含在阻擋膜中的鈦也還原該氧化膜，而導電膜 420、421 和島狀半導體膜 404、405 可以良好地接觸。另外，也可以層疊多個阻擋膜來使用。在此情況下，例如，可以使導電膜 420、421 具有從下層按順序層疊有鈦、氮化鈦、鋁矽、鈦、氮化鈦的五層結構。

另外，導電膜 420 連接到 n 通道型電晶體 416 的高濃度雜質區域 413。導電膜 421 連接到 p 通道型電晶體 417 的高濃度雜質區域 415。

圖 13 示出了 n 通道型電晶體 416 及 p 通道型電晶體 417 的俯視圖。在本實施方式中，電極 409 被布圖為使它與一對空洞 402 之間及一對空洞 403 之間重疊，但本發明不局限於該結構。空洞 402 及空洞 403 的數量及布圖、以及空洞 402 及空洞 403 與電極 409 的位置關係不局限於本實施方式所示的結構。

另外，雖然在本實施方式中示出了 n 通道型電晶體 416 和 p 通道型電晶體 417 分別具有一個用作閘極的電極的情況，但本發明不局限於該結構。本發明的半導體裝置所具有的電晶體具有多個用作閘極的電極，並且還可以具有該多個電極彼此電連接的多閘極結構。

另外，本發明的半導體裝置所具有的電晶體也可以具有閘極平面結構。

在使用了本發明的製造方法的半導體裝置中，因為在基礎基底上形成島狀半導體膜，所以不需要進行元件分離，因而可以簡化製程。另外，在本發明的製造方法中，由於以蝕刻形成空洞 402、空洞 403，所以可以以簡單的步驟可控性好地形成具有所希望的深度及形狀的空洞 402、空洞 403。

本實施方式可以與上述實施方式適當地組合來實施。

實施例 1

在本實施例中，以反相器作為例說明使用具有本發明的 SON 結構的電晶體的各種電路的具體結構。圖 14A 示

出反相器的電路圖，圖 14B 示出圖 14A 所示的反相器的俯視圖作為一例。

圖 14A 所示的反相器具有 p 通道型電晶體 2001 和 n 通道型電晶體 2002。電晶體 2001 和電晶體 2002 串聯連接。具體而言，電晶體 2001 的汲極和電晶體 2002 的汲極連接。電晶體 2001 的汲極及電晶體 2002 的汲極的電位供應給輸出端子 OUT。

另外，電晶體 2001 的閘極和電晶體 2002 的閘極連接。輸入到輸入端子 IN 的信號的電位供應給電晶體 2001 的閘極及電晶體 2002 的閘極。高電平的電壓 VDD 供應給電晶體 2001 的源極，而低電平的電壓 VSS 供應給電晶體 2002 的源極。

在圖 14B 所示的反相器中，電晶體 2001 的汲極和電晶體 2002 的汲極通過佈線 2003 彼此電連接。佈線 2003 連接到佈線 2004。由此，電晶體 2001 的汲極及電晶體 2002 的汲極的電位通過佈線 2003 及佈線 2004 作為輸出端子 OUT 的電位供應給後級的電路。

另外，在圖 14B 所示的反相器中，佈線 2005 的一部分用作電晶體 2001 的閘極及電晶體 2002 的閘極。供應給佈線 2005 的電位作為輸入端子 IN 的電位供應給電晶體 2001 的閘極及電晶體 2002 的閘極。電壓 VDD 通過佈線 2006 供應給電晶體 2001 的源極，而電壓 VSS 通過佈線 2007 供應給電晶體 2002 的源極。

電晶體 2001 所具有的半導體膜 2008 具有與基底之間

形成的空洞 2009。另外，電晶體 2002 所具有的半導體膜 2010 具有與基底之間形成的空間 2011。圖 14C 僅示出圖 14B 所示的反相器中的半導體膜 2008、空洞 2009、半導體膜 2010、空洞 2011，以便明確顯示半導體膜 2008 和空洞 2009 的位置關係、以及半導體膜 2010 和空洞 2011 的位置關係。

如圖 14C 所示，在半導體膜 2008 和基底之間形成有多個空洞 2009。多個空洞 2009 分別形成在其與電晶體 2001 的源極、通道形成區域、汲極重疊的區域。另外，也在半導體膜 2010 和基底之間形成有多個空洞 2011。多個空洞 2011 分別形成在其與電晶體 2002 的源極、通道形成區域、汲極重疊的區域。

另外，雖然在圖 14B 及 14C 中示出了在半導體膜 2008、半導體膜 2010 中提供有多個空洞 2009、空洞 2011 的例子，但本發明不局限於該結構。設置在半導體膜下部的空洞也可以是一個。若形成有空洞的面積相同，在採用形成有多個空洞的結構時，可以形成其物理強度比在採用形成有一個空洞的結構時大的電晶體。另外，在採用形成有一個空洞的結構時，由於可以在半導體膜的下部以更大的面積對空洞進行布圖，所以可以使其接面電容比在形成有多個空洞時降低。

另外，雖然在圖 14B 及 14C 中示出了空洞 2009、空洞 2011 形成在其與電晶體 2001 及電晶體 2002 的源極、通道形成區域、汲極重疊的區域的例子，但本發明不局限

於該結構。也可以以僅與源極和汲極中的任一方重疊的方式形成有空洞。在此情況下，空洞可以與通道形成區域重疊或不重疊。在空洞至少與源極或汲極重疊的情況下，與形成僅重疊於通道形成區域的空洞時相比，可以進一步降低接面電容。反之，在形成至少與通道形成區域重疊的空洞的情況下，與形成僅重疊於源極或汲極的空洞時相比，可以進一步抑制自加熱。

本實施例可以與上述實施方式適當地組合來實施。

實施例 2

在本實施例中，將 NAND 作為例子說明使用具有本發明的 SON 結構的電晶體的各種電路的具體結構。圖 15A 示出 NAND 的電路圖，圖 15B 示出圖 15A 所示的 NAND 的俯視圖作為一例。

圖 15A 所示的 NAND 具有 p 通道型電晶體 3001、p 通道型電晶體 3002、n 通道型電晶體 3003、n 通道型電晶體 3004。電晶體 3001、電晶體 3003、電晶體 3004 按順序串聯連接。另外，電晶體 3001 和電晶體 3002 並聯連接。

具體地，對於電晶體 3001 的源極和汲極而言，高電位的電壓 VDD 供應給其中一方，而另一方連接到輸出端子 OUT。對於電晶體 3002 的源極和汲極而言，高電位的電壓 VDD 供應給其中一方，而另一方連接到輸出端子 OUT。對於電晶體 3004 的源極和汲極而言，低電位的電

壓 VSS 供應給其中一方。對於電晶體 3003 的源極和汲極而言，其中一方連接到輸出端子 OUT。電晶體 3004 的源極和汲極中的另一方和電晶體 3003 的源極和汲極中的另一方彼此連接。輸入端子 IN1 的電位供應給電晶體 3001 的閘極和電晶體 3003 的閘極。另外，輸入端子 IN2 的電位供應給電晶體 3002 的閘極和電晶體 3004 的閘極。

在圖 15B 所示的 NAND 中，串聯連接的電晶體 3001 和電晶體 3002 共用半導體膜 3005。另外，串聯連接的電晶體 3003 和電晶體 3004 共用半導體膜 3006。另外，佈線 3007 的一部分用作電晶體 3001 的閘極及電晶體 3003 的閘極。供應給佈線 3007 的電位作為輸入端子 IN1 的電位供應給電晶體 3001 的閘極及電晶體 3003 的閘極。佈線 3008 的一部分用作電晶體 3002 的閘極及電晶體 3004 的閘極。供應給佈線 3008 的電位作為輸入端子 IN2 的電位供應給電晶體 3002 的閘極及電晶體 3004 的閘極。

高電位的電壓 VDD 通過佈線 3009 供應給電晶體 3001 的源極和汲極中的一方及電晶體 3002 的源極和汲極中的一方。另外，低電位的電壓 VSS 通過佈線 3010 供應給電晶體 3004 的源極和汲極中的一方。電晶體 3001 的源極和汲極中的另一方的電位、電晶體 3002 的源極和汲極中的另一方的電位、以及電晶體 3003 的源極和汲極中的一方的電位通過佈線 3011 及佈線 3012 作為輸出端子 OUT 的電位供應給後級的電路。

半導體膜 3005 具有形成在與基底之間的空洞 3013。

另外，半導體膜 3006 具有形成在與基底之間的空間 3014。圖 15C 僅示出圖 15B 所示的 NAND 中的半導體膜 3005、空洞 3013、半導體膜 3006、空洞 3014，以便明確顯示半導體膜 3005 和空洞 3013 的位置關係、以及半導體膜 3006 和空洞 3014 的位置關係。

如圖 15C 所示，在半導體膜 3005 和基底之間形成有多個空洞 3013。多個空洞 3013 分別形成在與電晶體 3001 的源極、通道形成區域、汲極、以及電晶體 3002 的源極、通道形成區域、汲極重疊的區域。另外，在半導體膜 3006 和基底之間也形成有多個空洞 3014。多個空洞 3014 分別形成在與電晶體 3003 的源極、通道形成區域、汲極、以及電晶體 3004 的源極、通道形成區域、汲極重疊的區域。

另外，雖然在圖 15B 及 15C 中示出了半導體膜 3005、半導體膜 3006 中提供有多個空洞 3013、空洞 3014 的例子，但本發明不局限於該結構。設置在半導體膜下部的空洞也可以是一個。若形成有空洞的面積相同，在採用形成有多個空洞的結構時，可以形成其物理強度比在採用形成有一個空洞的結構時大的電晶體。另外，在採用形成有一個空洞的結構時，由於可以在半導體膜的下部以更大的面積對空洞布圖，所以可以使其接面電容比在形成有多個空洞時降低。

另外，雖然在圖 15B 及 15C 中示出了空洞 3013、空洞 3014 形成在與電晶體 3001、電晶體 3002、電晶體

3003 及電晶體 3004 的源極、通道形成區域、汲極重疊的區域的例子，但本發明不局限於該結構。也可以以僅與源極和汲極中的任一方重疊的方式形成有空洞。在此情況下，空洞可以與通道形成區域重疊或不重疊。在空洞至少與源極或汲極重疊的情況下，與形成僅重疊於通道形成區域的空洞時相比，可以進一步降低接面電容。反之，在形成至少與通道形成區域重疊的空洞的情況下，與形成僅重疊於源極或汲極的空洞時相比，可以進一步抑制自加熱。

另外，雖然在圖 15B 及 15C 中示出了電晶體 3001 和電晶體 3002 共用半導體膜 3005 及空洞 3013 的例子，但本發明不局限於該結構。在多個電晶體共用半導體膜及空洞的情況下，可以將多個電晶體在基底上所佔的面積抑制為更小，同時形成進一步降低接面電容的電晶體。

本實施例可以與上述實施方式或實施例適當地組合來實施。

實施例 3

在本實施例中，對於作為本發明的半導體裝置的一種的 RF 標籤的結構進行說明。圖 16 是示出本發明的 RF 標籤的一個方式的框圖。在圖 16 中，RF 標籤 900 具有天線 901 和積體電路 902。積體電路 902 具有電源電路 903、解調變電路 904、調變電路 905、調整器 906、控制電路 907、記憶體 909。本發明的整流電路可以在電源電路 903、解調變電路 904 中使用。

從詢問器傳送電波，該電波在天線 901 變換為交流電壓。在電源電路 903 中，將來自天線 901 的交流電壓整流來產生電源用電壓。在電源電路 903 中所產生的電源用電壓供應給控制電路 907 和調整器 906。調整器 906 在使來自電源電路 903 的電源用電壓穩定或調整其高度之後將它供應給積體電路 902 中的解調變電路 904、調變電路 905、控制電路 907 或記憶體 909 等的各種電路。

解調變電路 904 解調天線 901 所接收的交流信號，並將它輸出到後級的控制電路 907。控制電路 907 根據從解調變電路 904 輸入的信號進行運算處理，並另外產生信號。當進行上述運算處理時，記憶體 909 可以用作一次或二次高速緩衝記憶體。另外，控制電路 907 分析從解調變電路 904 輸入的信號，並根據來自詢問器的指令內容而輸出記憶體 909 內的資訊或者在記憶體 909 中存儲指令內容。從控制電路 907 輸出的信號被編碼，並發送到調變電路 905。調變電路 905 根據該信號調變天線 901 所接收的電波。由詢問器接收在天線 901 被調變的電波。因此，可以知道從 RF 標籤 900 輸出的資訊。

像這樣，通過調變用作載波的電波，進行 RF 標籤 900 和詢問器之間的通信。關於載波，根據規格有各種頻率如 125kHz、13.56MHz、950MHz 等。另外，根據規格有各種調變方式如調幅、調頻及調幅等。只要是根據規格的調變方式，就可以採用任一種調變方式。

信號的傳送方式可以根據載波的波長而分類為各種方

式如電磁耦合方式、電磁感應方式、微波方式等。

記憶體 909 可以是非易失性記憶體或易失性記憶體。作為記憶體 909，例如可以使用 SRAM、DRAM、快閃記憶體、EEPROM、FeRAM 等。

雖然在本實施例中說明了具有天線 901 的 RF 標籤 900 的結構，但本發明的 RF 標籤也可以不需要一定具有天線。另外，也可以在圖 16 所示的 RF 標籤中設置振盪電路或二次電池。

另外，雖然在圖 16 中說明了僅具有一個天線 of RF 標籤的結構，但本發明不局限於該結構。也可以具有以下兩個天線，即用來接收電力的天線、以及用來接收信號的天線。當具有一個天線時，例如，當以 950MHz 的電波進行電力的供應和信號的傳送時，大電力傳送到遠地方，從而有可能妨礙其他無線設備的接收動作。由此，較佳降低電波的頻率以近距離供應電力，但在此情況下通信距離必然縮短。但是，當具有兩個天線時，可以分別使用供應電力的電波的頻率和發送信號的電波的頻率。例如，當發送電力時可以以電波的頻率為 13.56MHz 且利用電磁感應方式，而當發送信號時以電波的頻率為 950MHz 且利用電波方式。像這樣，若根據功能分別使用天線，則當供應電力時僅進行近距離的通信，而當發送信號時也能夠進行遠距離的通信。

在關於本發明的半導體裝置的一種的 RF 標籤中，積體電路 902 由具有絕緣表面的基底或接合在絕緣基底上的

單晶半導體層（SOI 層）形成，所以不僅可以謀求處理速度的高速化，而且還可以謀求低耗電量化。另外，藉由使用抑制了接面電容的電晶體，可以進行 RF 標籤的高速驅動。另外，通過具有與半導體膜接觸的空洞，可以有效地將驅動電晶體時產生的熱散發掉，並且可以防止由於自加熱而導致的誤動作、元件損壞等。

本實施例可以與上述實施方式或實施例適當地組合來實施。

實施例 4

本實施例說明作為本發明的半導體裝置的一種的 CPU（中央處理單元）的結構。

圖 17 是示出本實施例的 CPU 的結構的框圖。圖 17 所示的 CPU 在基底 800 上主要包括算術邏輯單元（ALU）801、ALU 控制器 802、指令解碼器 803、中斷控制器 804、時序控制器 805、暫存器 806、暫存器控制器 807、匯流排界面（匯流排 I/F）808、記憶體 809、以及記憶體介面 820。還可以在另外晶片上設置記憶體 809 及記憶體介面 820。當然，圖 17 所示的 CPU 僅是一個簡化了配置的實施例，而實際的 CPU 根據其用途具有多種多樣的配置。

藉由匯流排界面 808 輸入到 CPU 的指令在指令解碼器 803 被解碼，然後輸入到 ALU 控制器 802、中斷控制器 804、暫存器控制器 807、時序控制器 805。ALU 控制

器 802、中斷控制器 804、暫存器控制器 807、時序控制器 805 根據被解碼的指令進行各種控制。具體而言，ALU 控制器 802 產生用於控制 ALU 801 的操作的信號。另外，中斷控制器 804 當 CPU 執行程式時，根據其優先順序或遮罩狀態來判斷而處理來自外部輸入/輸出裝置或週邊電路的插斷要求。寄存器控制器 807 產生暫存器 806 的位址，並且根據 CPU 的狀態進行暫存器 806 的讀取或寫入。

另外，時序控制部 805 產生用於控制 ALU 801、ALU 控制器 802、指令解碼器 803、中斷控制器 804、暫存器控制器 807 的驅動時序的信號。例如，時序控制器 805 具備根據參考時鐘信號產生內部時鐘信號的內部時鐘產生器，並將該內部時鐘信號供應給上述各種電路。

在本發明的半導體裝置之一的 CPU 中，積體電路由具有絕緣表面的基底或接合在絕緣基底上的單晶半導體層（SOI 層）形成，所以不僅可以謀求處理速度的高速化，而且還可以謀求低耗電量化。另外，藉由使用降低了接面電容的電晶體，可以進行 CPU 的高速驅動。另外，藉由具有與半導體膜接觸的空洞，可以有效地將驅動電晶體時產生的熱發散掉，並且可以防止由於自加熱而導致的誤動作、元件損壞等。

另外，半導體基底與玻璃基底相比，由於熱處理而導致的收縮小，並且在基底的表面上的起伏少。由此，在使用半導體基底作為基礎基底的情況下，可以提高掩罩的對

準精度和解析度，因而，可以形成 100nm 以下的非常微細的圖案。由此，由於可以實現高功能、低耗電量、高集成度，所以可以製造包括 CPU 的各種大型積體電路（LSI）。

本實施例可以與上述實施方式或實施例適當地組合來實施。

實施例 5

在本實施例中，對於使用一個基礎基底形成多個半導體裝置時的步驟進行說明。

圖 18A 示出處理成預定形狀的接合基底 1801 的外觀。在圖 18A 中，還示出了部分放大了接合基底 1801 的表面的圖。在接合基底 1801 的表面上形成有之後成為空洞的凹部 1802。另外，在圖 18A 中，示出了根據實施方式 3 所示的製造方法製造半導體裝置的情況。由此，在接合基底 1801 的表面上僅形成有凹部 1802，而沒有形成凸部。然而，也可以根據實施方式 4 所示的製造方法，在其表面上形成凹部及凸部。

接著，如圖 18B 所示，通過接合將接合基底 1801 接合到基礎基底 1803 上。接合接合基底 1801，以使其具有凹部 1802 的表面朝向基礎基底 1803 一側。

藉由如圖 19A 所示那樣將接合基底 1801 劈開，如圖 19B 所示那樣將作為接合基底 1801 的一部分的半導體膜 1804 轉置到基礎基底 1803 上。在半導體膜 1804 和基礎

基底 1803 之間設置有由凹部 1802 形成的空洞。

如圖 20 所示，藉由使用形成在基礎基底 1803 上的半導體膜 1804 形成多個半導體裝置 1805，並且通過切割等使多個半導體裝置 1805 與基礎基底 1803 一起彼此分開。借助於上述結構，可以形成多個半導體裝置 1805。

另外，雖然在本實施例中說明了接合一個基礎基底 1803 和一個接合基底 1801 的情況，但本發明不局限於該結構。也可以將多個接合基底 1801 接合到一個基礎基底 1803 上。然而，在此情況下，通過使各個接合基底 1801 的晶面配向一致，可以使形成在基礎基底 1803 上的多個半導體膜的晶面配向一致，因而，可以使半導體裝置 1805 的特性一致。

本實施例可以與上述實施方式或實施例適當地組合來實施。

實施例 6

關於可以使用本發明的半導體裝置的電子設備，可以舉出行動電話、可攜式遊戲機、電子書籍、影像拍攝裝置如攝影機和靜態數位相機等、護目鏡型顯示器（頭盔顯示器）、導航系統、音響再生裝置（例如，汽車音響、組合音響等）、筆記本個人電腦、具有記錄媒體的影像像再生裝置（典型地，再現記錄媒體如數位多樣式光碟（DVD）等並具備顯示再生影像的顯示器的裝置）等。圖 21A 至 21C 示出了這些電子設備的具體實施例。

圖 21A 是行動電話，包括主體 2101、顯示部 2102、聲音輸入部 2103、聲音輸出部 2104、操作鍵 2105。將本發明的顯示裝置用於顯示部 2102，可以抑制耗電量而獲得高功能且可靠性高的行動電話。

圖 21B 是攝影機，包括主體 2601、顯示部 2602、殼 2603、外部連接埠 2604、遙控器接收部 2605、影像接收部 2606、電池 2607、聲音輸入部 2608、操作鍵 2609、取景部 2610 等。將本發明的顯示裝置用於顯示部 2602，可以抑制耗電量而獲得高功能且可靠性高的攝像機。

圖 21C 是圖像顯示裝置，包括殼 2401、顯示部 2402、揚聲器部 2403 等。將本發明的顯示裝置用於顯示部 2402，可以抑制耗電量而獲得高功能且可靠性高的圖像顯示裝置。另外，影像顯示裝置包括用於個人電腦用、TV 廣播接收、廣告顯示等用於顯示影像的所有影像顯示裝置。

如上所述，本發明的應用範圍很廣泛，而可以應用到所有領域的電子設備。

本實施例可以與上述實施方式或上述實施例適當地組合來實施。

本說明書根據 2007 年 4 月 25 日向日本專利局申請的日本專利申請序號 2007-114922，其整體內容於此一併列入參考。

【圖式簡單說明】

圖 1A 至 1C 是示出本發明的半導體裝置所具有的電晶體的結構的截面圖；

圖 2A 至 2C 是示出本發明的半導體裝置所具有的電晶體的結構的俯視圖及截面圖；

圖 3A 至 3C 是示出本發明的半導體裝置所具有的電晶體的結構的俯視圖及截面圖；

圖 4A 至 4C 是示出本發明的半導體裝置所具有的電晶體的結構的俯視圖及截面圖；

圖 5A 至 5C 是示出本發明的半導體裝置所具有的電晶體的結構的俯視圖及截面圖；

圖 6A 至 6D 是示出本發明的半導體裝置所具有的電晶體的結構的俯視圖及截面圖；

圖 7A 至 7D 是示出本發明的半導體裝置的製造方法的圖；

圖 8A 至 8C 是示出本發明的半導體裝置的製造方法的圖；

圖 9A 至 9D 是示出本發明的半導體裝置的製造方法的圖；

圖 10A 和 10B 是示出本發明的半導體裝置的製造方法的圖；

圖 11A 至 11D 是示出本發明的半導體裝置的製造方法的圖；

圖 12A 至 12C 是示出本發明的半導體裝置的製造方法的圖；

圖 13 是示出本發明的半導體裝置的製造方法的圖；

圖 14A 至 14C 是示出本發明的半導體裝置所具有的反相器的結構的圖；

圖 15A 至 15C 是示出本發明的半導體裝置所具有的 NAND 的結構的圖；

圖 16 是示出本發明的半導體裝置的一種的 RF 標籤的結構的圖；

圖 17 是示出本發明的半導體裝置的一種的 CPU 的結構的圖；

圖 18A 和 18B 是示出本發明的半導體裝置的製造方法的圖；

圖 19A 和 19B 是示出本發明的半導體裝置的製造方法的圖；

圖 20 是示出本發明的半導體裝置的製造方法的圖；

圖 21A 至 21C 是使用了本發明的半導體裝置的電子設備的圖。

【主要元件符號說明】

100：半導體膜

101：基礎基底

102：空洞

103：絕緣膜

104：絕緣膜

105：雜質區域

- 106：雜質區域
- 107：通道形成區域
- 108：閘極絕緣膜
- 109：電極
- 110：半導體膜
- 111：雜質區域
- 112：雜質區域
- 113：通道形成區域
- 114：閘極絕緣膜
- 115：電極
- 116：基礎基底
- 117：空洞
- 118：空洞
- 120：半導體膜
- 121：電極
- 122：閘極絕緣膜
- 123：雜質區域
- 124：雜質區域
- 125：通道形成區域
- 126：LDD區域
- 127：LDD區域
- 128：側壁
- 129：基礎基底
- 130：空洞

- 140：半 導 體 膜
- 141：電 極
- 142：閘 極 絕 緣 膜
- 143：雜 質 區 域
- 144：雜 質 區 域
- 145：通 道 形 成 區 域
- 146：LDD 區 域
- 147：LDD 區 域
- 148：側 壁
- 149：基 礎 基 底
- 150：空 洞
- 160：半 導 體 膜
- 161：電 極
- 162：閘 極 絕 緣 膜
- 163：雜 質 區 域
- 164：雜 質 區 域
- 165：通 道 形 成 區 域
- 166：LDD 區 域
- 167：LDD 區 域
- 168：基 礎 基 底
- 169：空 洞
- 170：空 洞
- 171：空 洞
- 180：半 導 體 膜

- 181：電極
- 182：閘極絕緣膜
- 183：雜質區域
- 184：雜質區域
- 185：通道形成區域
- 186：LDD區域
- 187：LDD區域
- 188：側壁
- 189：基礎基底
- 190：空洞
- 200：接合基底
- 201：絕緣膜
- 202：缺陷層
- 203：掩罩
- 204：凹部
- 205：基礎基底
- 206：絕緣膜
- 207：半導體膜
- 208：島狀半導體膜
- 209：空洞
- 210：電晶體
- 211：雜質區域
- 212：通道形成區域
- 300：接合基底

- 301：絕緣膜
- 302：缺陷層
- 303：掩罩
- 304：凹部
- 305：凸部
- 306：掩罩
- 307：凹部
- 308：基礎基底
- 309：絕緣膜
- 310：半導體膜
- 311：空洞
- 401：基礎基底
- 402：空洞
- 403：空洞
- 404：島狀半導體膜
- 405：島狀半導體膜
- 406：絕緣膜
- 407：絕緣膜
- 408：閘極絕緣膜
- 409：電極
- 410：雜質區域
- 411：雜質區域
- 412：側壁
- 413：高濃度雜質區域

414：低濃度雜質區域

415：高濃度雜質區域

416：n 通道型電晶體

417：p 通道型電晶體

418：絕緣膜

419：絕緣膜

420：導電膜

421：導電膜

422：低濃度雜質區域

500：半導體膜

501：電極

502：閘極絕緣膜

503：雜質區域

504：雜質區域

505：通道形成區域

506：LDD 區域

507：LDD 區域

508：側壁

509：基礎基底

510：空洞

511：空洞

512：空洞

513：空洞

514：空洞

515：空洞

801：算術邏輯單元

802：ALU 控制器

803：指令解碼器

804：中斷控制器

805：時序控制器

806：暫存器

807：暫存器控制器

808：匯流排界面

809：記憶體

820：記憶體介面

900：RF 標籤 900

901：天線

902：積體電路

903：電源電路

904：解調變電路

905：調變電路

906：調整器

907：控制電路

909：記憶體

1801：接合基底

1802：凹部

1803：基礎基底

1804：半導體膜

1805：半 導 體 裝 置

2001：電 晶 體

2002：電 晶 體

2003：佈 線

2004：佈 線

2005：佈 線

2006：佈 線

2007：佈 線

2008：半 導 體 膜

2009：空 洞

2010：半 導 體 膜

2011：空 洞

2101：主 體

2102：顯 示 部

2103：聲 音 輸 入 部

2104：聲 音 輸 出 部

2105：操 作 鍵

2401：殼

2402：顯 示 部

2403：揚 聲 器 部

2601：主 體

2602：殼

2603：殼

2604：外 部 連 接 埠

2605：遙控器接收部

2606：影像接收部

2607：電池

2608：聲音輸入部

2609：操作鍵

2610：取景部

3001：電晶體

3002：電晶體

3003：電晶體

3004：電晶體

3005：半導體膜

3006：佈線

3007：佈線

3008：佈線

3009：佈線

3010：佈線

3011：佈線

3012：佈線

3013：空洞

3014：空洞

十、申請專利範圍

1. 一種半導體裝置，包括：
基礎基底；以及
形成在該基礎基底上且包括凹部的半導體膜，
其中在該凹部和該基礎基底之間形成有空洞，
其中在該基礎基底和該半導體膜之間形成有絕緣膜，
以及
其中該絕緣膜包括開口部，並且該開口部與該凹部重疊。
2. 如申請專利範圍第 1 項的半導體裝置，其中該半導體膜包含雜質區域對及通道形成區域，且該通道形成區域及該凹部設置於該雜質區域對之間。
3. 如申請專利範圍第 1 項的半導體裝置，其中該絕緣膜與該基礎基底接觸。
4. 如申請專利範圍第 2 項的半導體裝置，其中該通道形成區域暴露於該空洞。
5. 一種半導體裝置，包括：
基礎基底；
形成在該基礎基底上且包括凹部的半導體膜；
形成在該半導體膜上的閘極絕緣膜；以及
形成在該閘極絕緣膜上的電極，
其中該半導體膜包括中間夾著該閘極絕緣膜而與該電極重疊的通道形成區域，
其中在該凹部和該基礎基底之間形成有空洞，

其中該通道形成區域與該空洞重疊，
其中在該基礎基底和該半導體膜之間形成有絕緣膜，
以及

其中該絕緣膜包括開口部，並且該開口部與該凹部重疊。

6. 如申請專利範圍第 5 項的半導體裝置，其中該半導體膜包括複數個空洞和複數個凹部。

7. 如申請專利範圍第 5 項的半導體裝置，其中該半導體膜包含雜質區域對，且該通道形成區域及該凹部設置於該雜質區域對之間。

8. 一種半導體裝置，包括：

基礎基底；

形成在該基礎基底上且包括第一凹部和第二凹部的半導體膜；

形成在該半導體膜上的閘極絕緣膜；以及

形成在該閘極絕緣膜上的電極，

其中該半導體膜具有中間夾著該閘極絕緣膜而與該電極重疊的通道形成區域，以及中間夾有該通道形成區域的雜質區域對，

其中在該第一凹部和該基礎基底之間形成有第一空洞，

其中在該第二凹部和該基礎基底之間形成有第二空洞，

其中該雜質區域對中之一與該第一空洞重疊，以及

其中該雜質區域對中的另一者與該第二空洞重疊，
其中在該基礎基底和該半導體膜之間形成有絕緣膜，
以及

其中該絕緣膜包括第一開口部及第二開口部，並且該第一開口部與該第一凹部重疊且該第二開口部與該第二凹部重疊。

9. 如申請專利範圍第 8 項之半導體裝置，

其中該半導體膜包括複數個該第一凹部和複數個該第二凹部，以及

該半導體裝置包括複數個該第一空洞和複數個該第二空洞。

10. 如申請專利範圍第 8 項之半導體裝置，

其中該半導體膜包括第三凹部，

其中在該第三凹部和該基礎基底之間形成有第三空洞，以及

其中該通道形成區域與該第三空洞重疊。

11. 如申請專利範圍第 10 項之半導體裝置，

其中該半導體膜包括複數個該第三凹部，以及

其中該半導體裝置包括複數個該第三空洞。

12. 如申請專利範圍第 10 項之半導體裝置，

其中該通道形成區域暴露於該第三空洞。

13. 一種半導體裝置的製造方法，包括下述步驟：

在半導體基底上形成絕緣膜；

執行第一處理，該第一處理對該絕緣膜和該半導體膜

進行圖型化以在該半導體基底上形成凹部，因而該凹部的圖型與該絕緣膜的開口部的圖型實質上相同；

將該半導體基底的形成有該凹部的表面接合到基礎基底上，而以該絕緣膜夾於其間；以及

與該半導體基底表面平行地將該半導體基底劈開。

14. 如申請專利範圍第 13 項之半導體裝置的製造方法，其中在將該半導體基底劈開之後還包括對該半導體基底進行圖型化的第二處理之步驟。

15. 如申請專利範圍第 13 項之半導體裝置的製造方法，其中在該第一處理之後且在接合該半導體基底的表面之前還包括對該半導體基底進行圖型化的第二處理之步驟。

16. 一種半導體裝置的製造方法，包括下述步驟：

進行第一處理，該第一處理在由第一絕緣膜覆蓋的半導體基底上形成凹部，因而該凹部的圖型與該第一絕緣膜的開口部的圖型實質上相同；

將該半導體基底的形成有該凹部的表面接合到形成有第二絕緣膜的基礎基底上，而以該第一絕緣膜及該第二絕緣膜夾於其間；以及

與該半導體基底表面平行地將該半導體基底劈開。

17. 如申請專利範圍第 16 項之半導體裝置的製造方法，其中在將該半導體基底劈開之後還包括對該半導體基底進行圖型化的第二處理之步驟。

18. 如申請專利範圍第 16 項之半導體裝置的製造方

法，其中在該第一處理之後且在接合該半導體基底的表面之前還包括對該半導體基底進行圖型化的第二處理之步驟。

19. 一種半導體裝置的製造方法，包括下述步驟：

在半導體基底上形成第一絕緣膜；

進行第一處理，該第一處理對該第一絕緣膜和該半導體基底進行圖型化以在該半導體基底上形成凹部，因而該凹部的圖型與該第一絕緣膜的開口部的圖型實質上相同；

將該半導體基底的形成有該凹部的一側接合到形成有第二絕緣膜的基礎基底，以第一絕緣膜和該第二絕緣膜夾於其間；

與該半導體基底表面平行地將該半導體基底劈開。

20. 如申請專利範圍第 19 項之半導體裝置的製造方法，其中在將該半導體基底劈開之後還包括對該半導體基底進行圖型化的第二處理之步驟。

21. 如申請專利範圍第 19 項之半導體裝置的製造方法，其中在該第一處理之後且在接合該半導體基底的一側之前還包括對該半導體基底進行圖型化的第二處理之步驟。

圖 1A

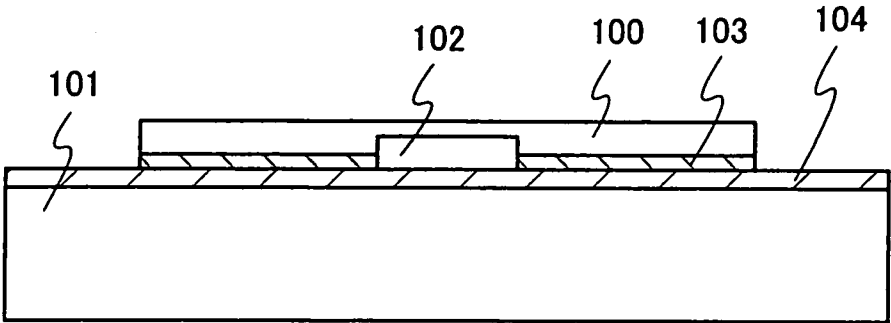


圖 1B

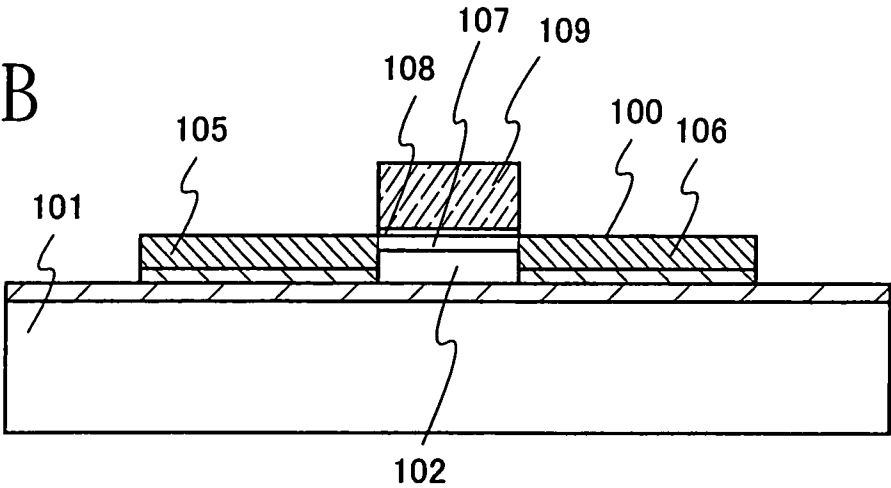


圖 1C

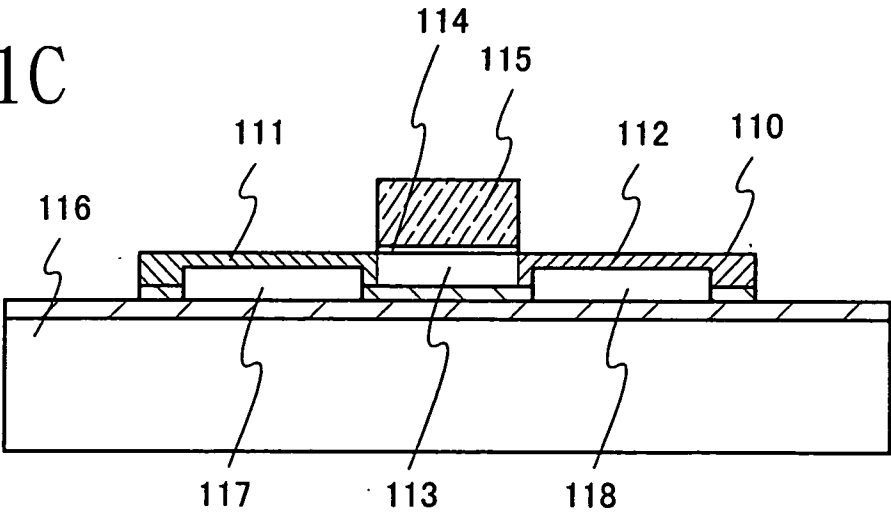


圖 2A

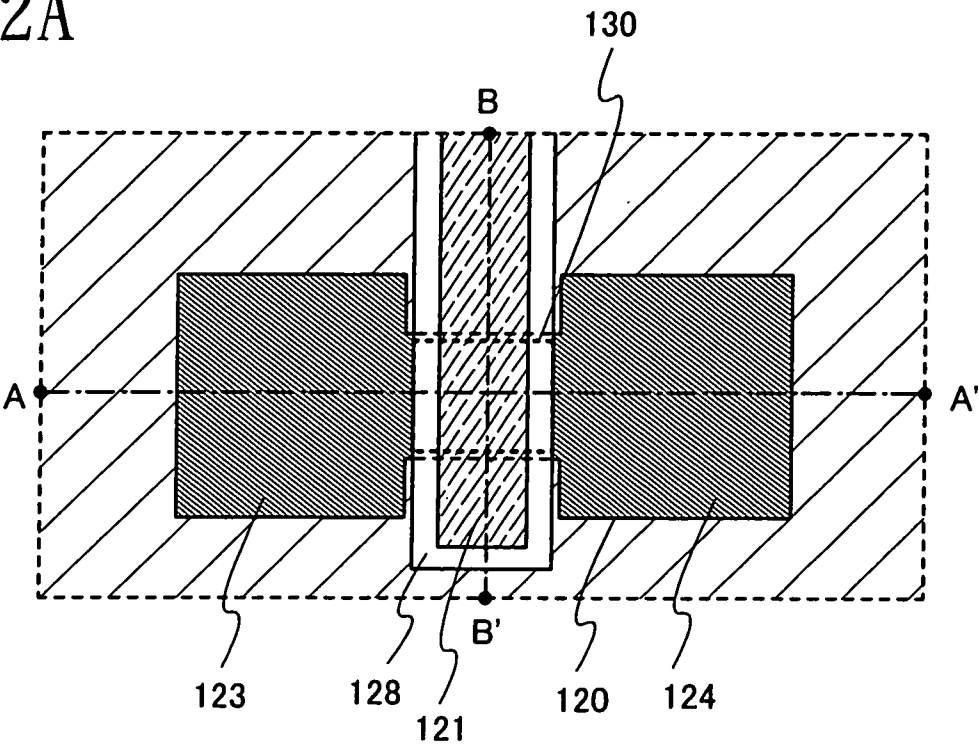


圖 2B

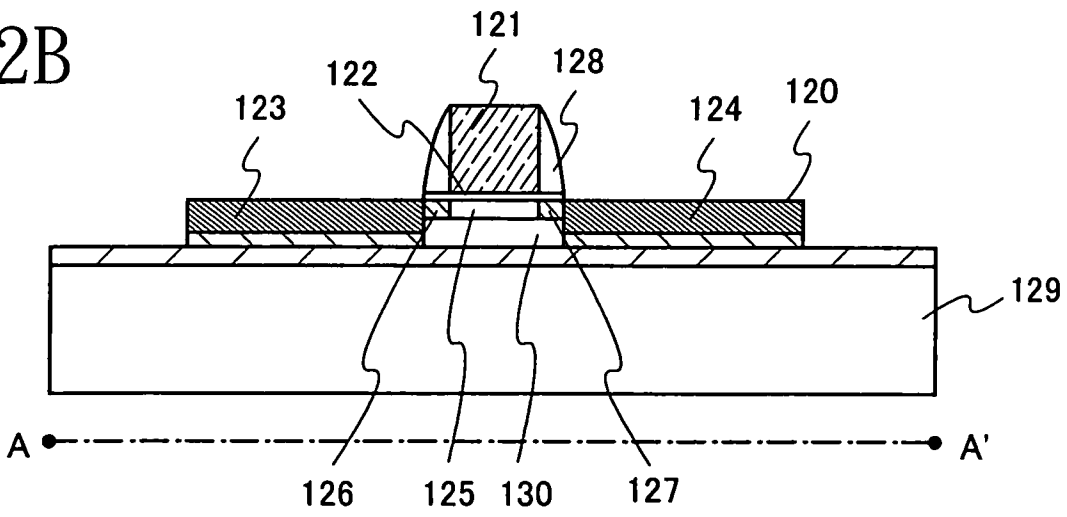


圖 2C

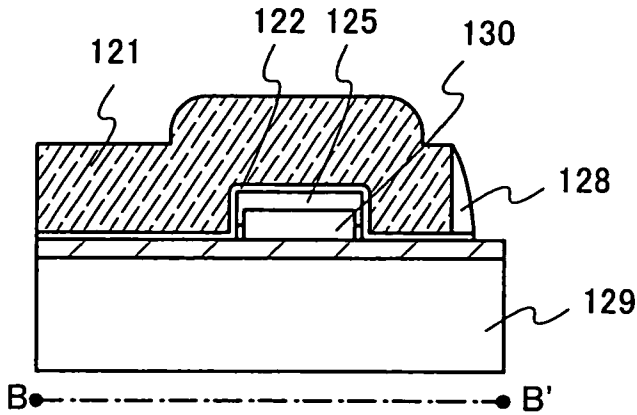


圖 3A

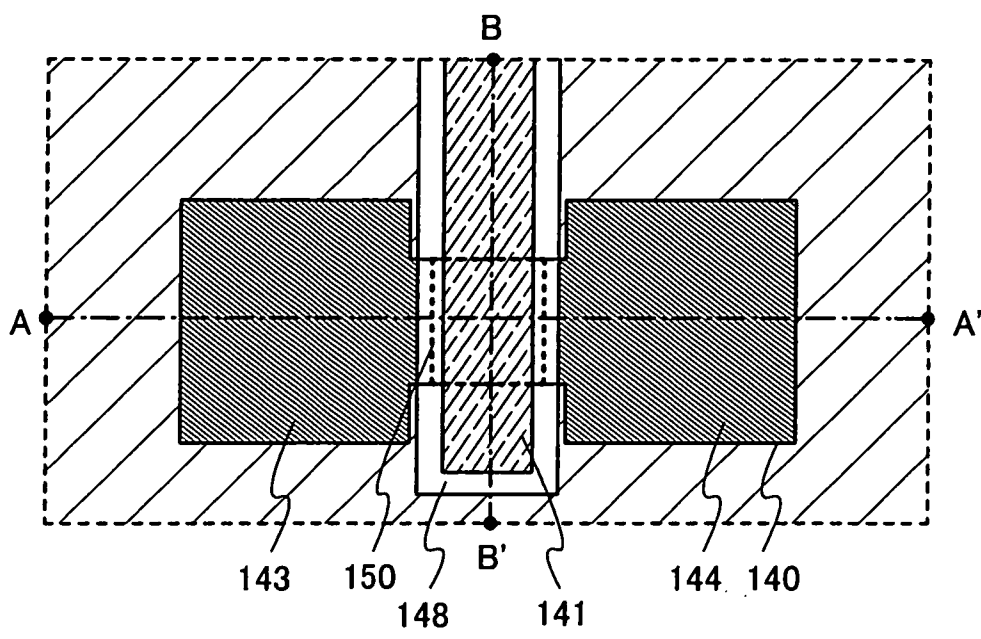


圖 3B

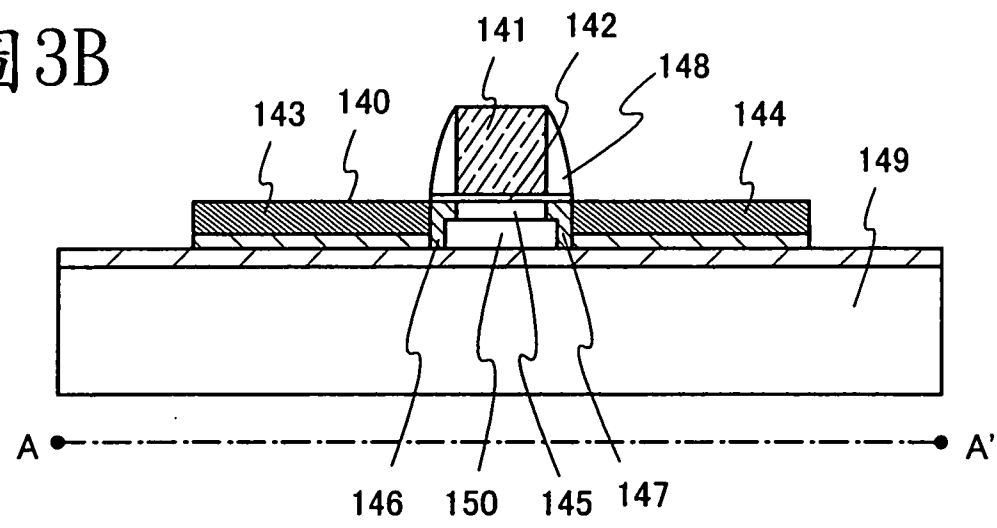


圖 3C

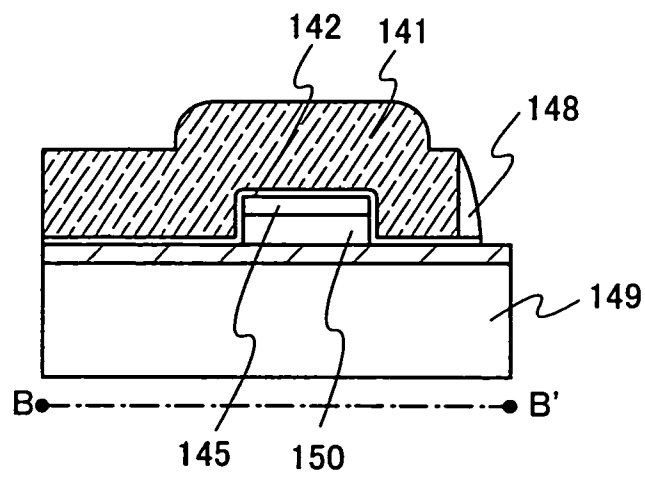


圖 4A

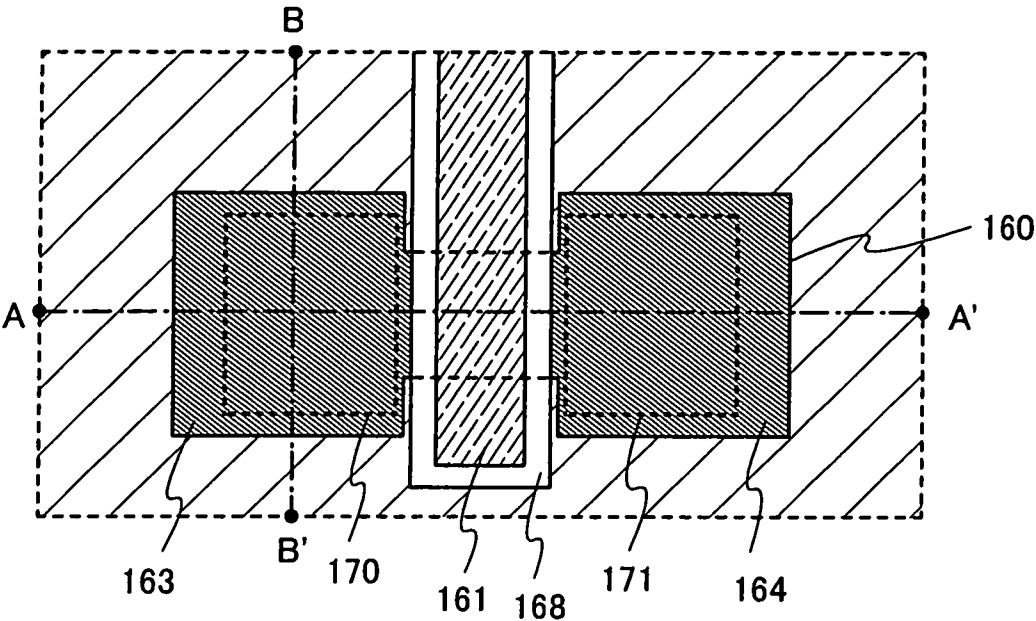


圖 4B

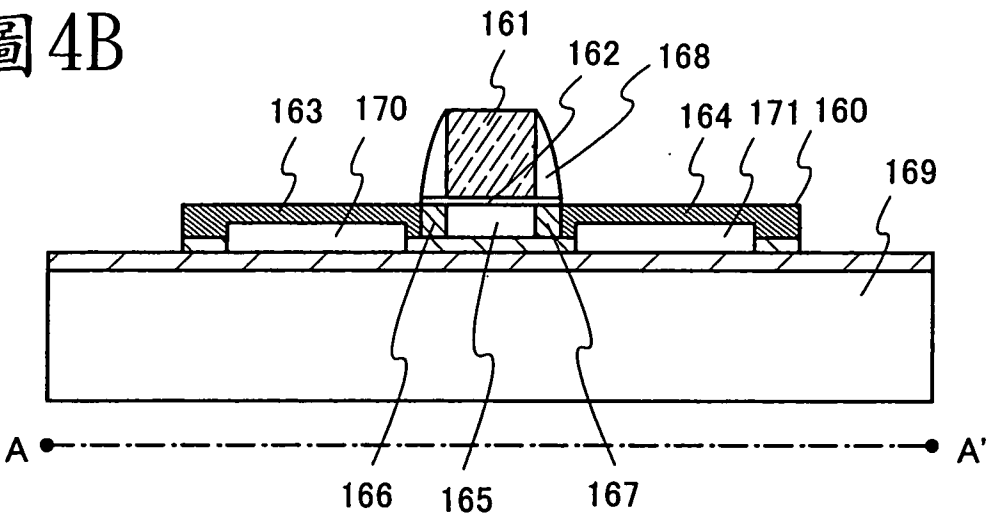


圖 4C

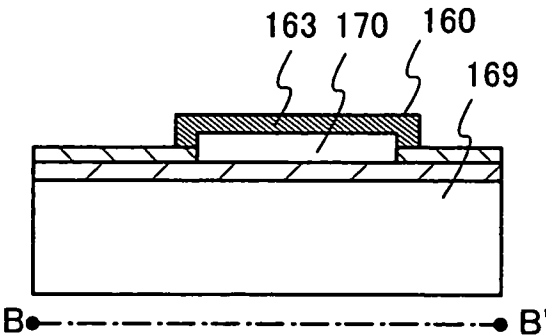


圖 5A

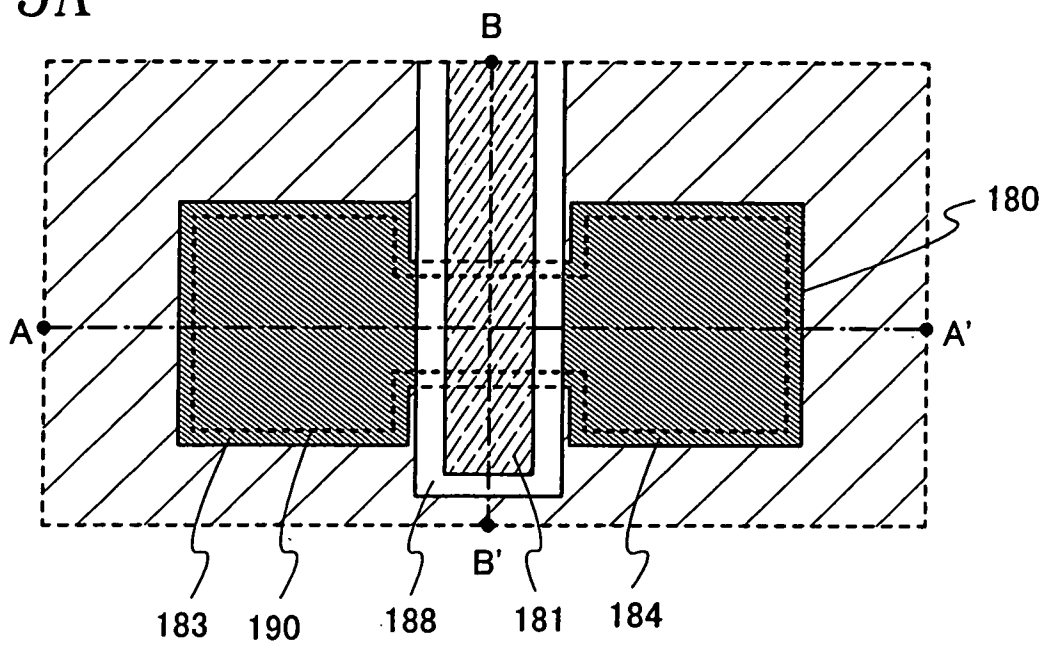


圖 5B

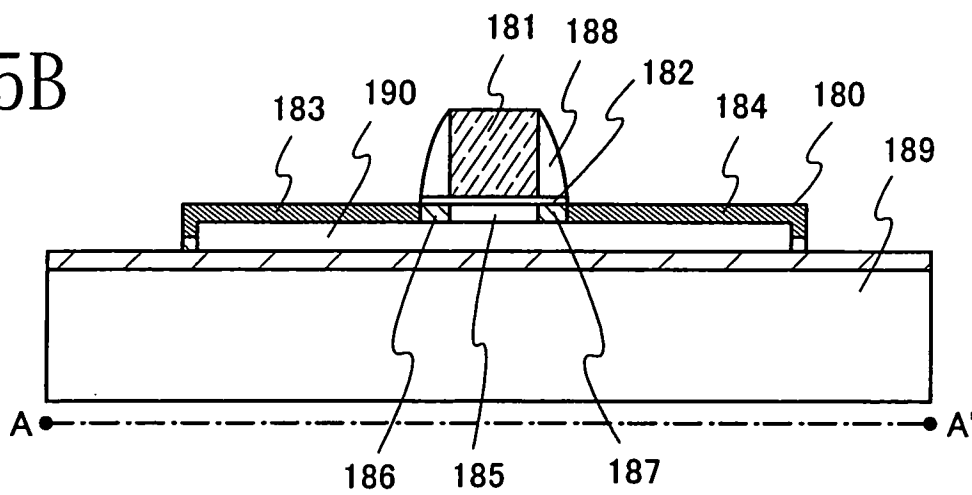


圖 5C

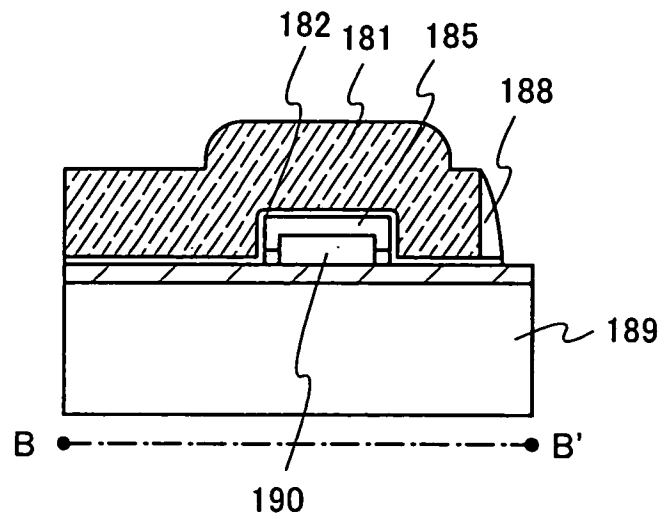


圖 6A

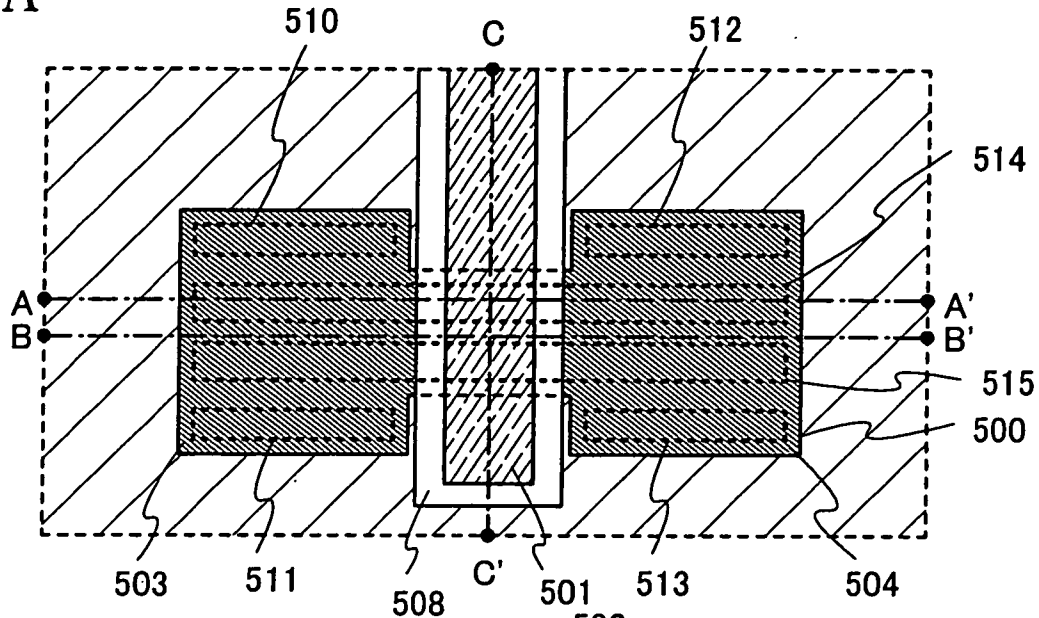


圖 6B

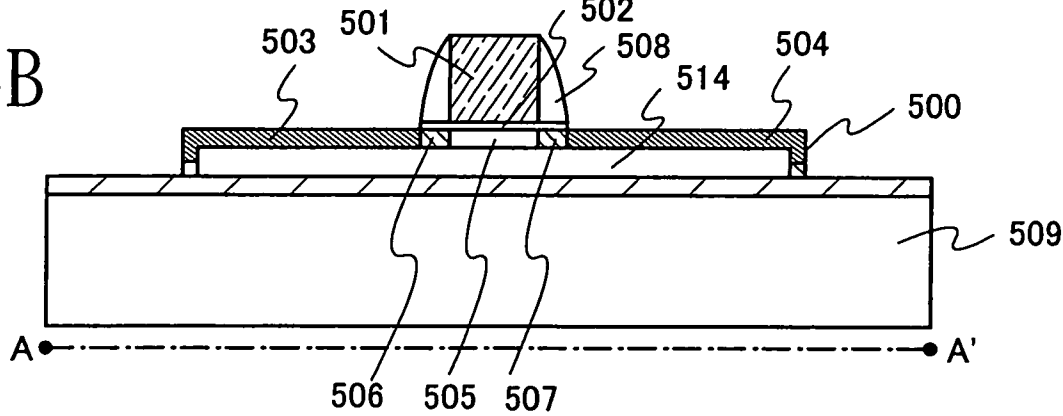


圖 6C

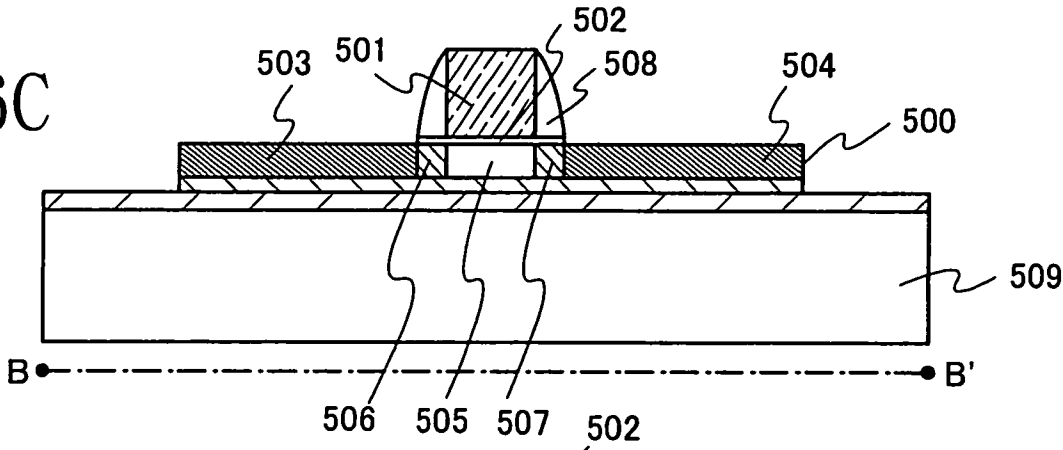


圖 6D

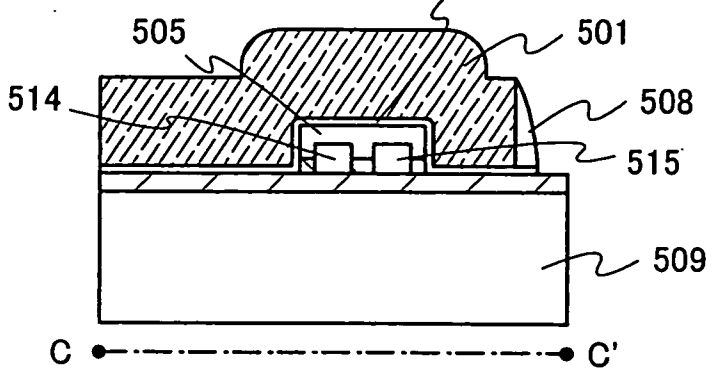


圖 7A

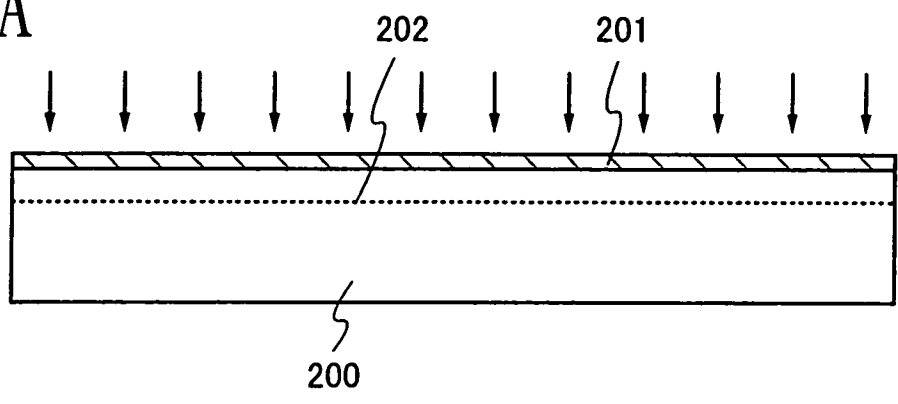


圖 7B

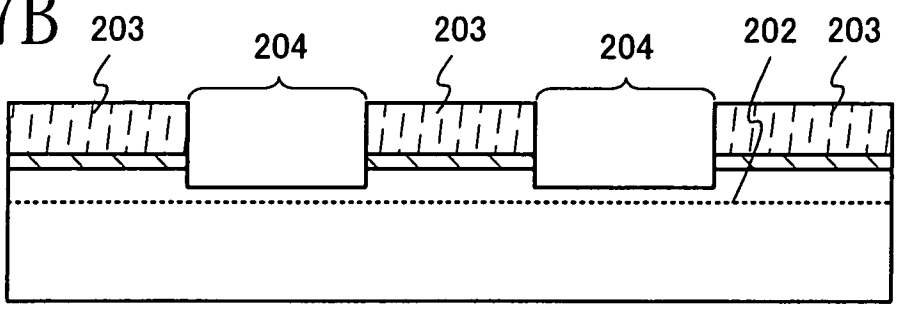


圖 7C

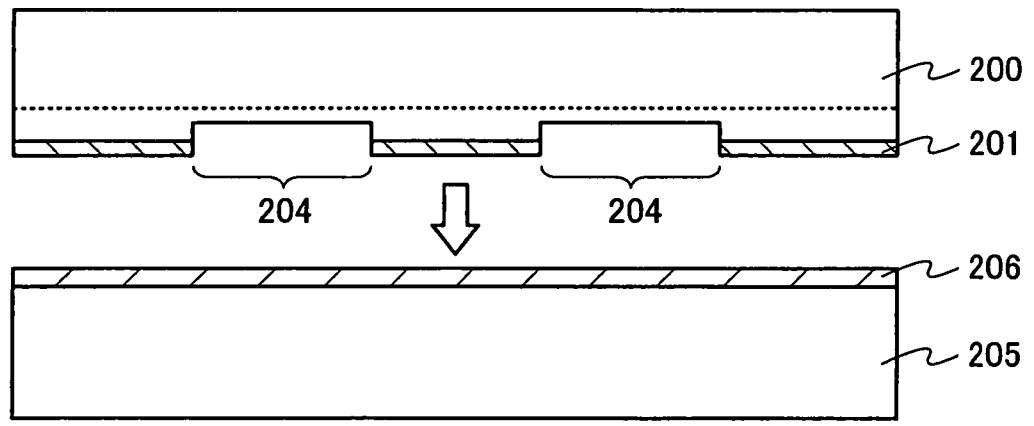


圖 7D

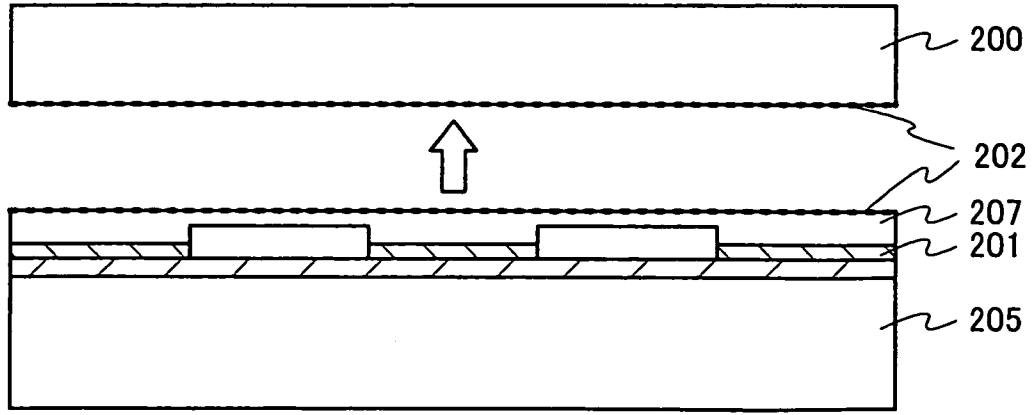


圖 8A

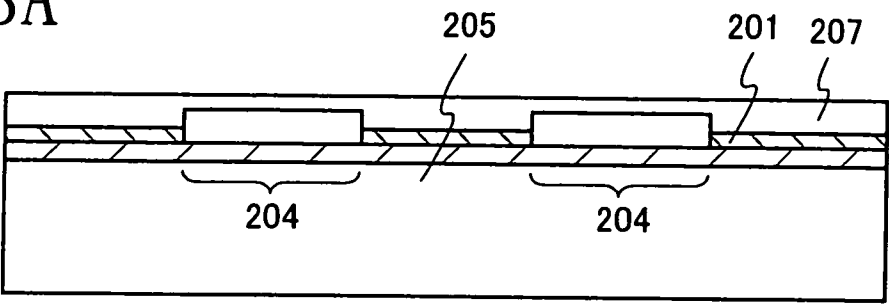


圖 8B

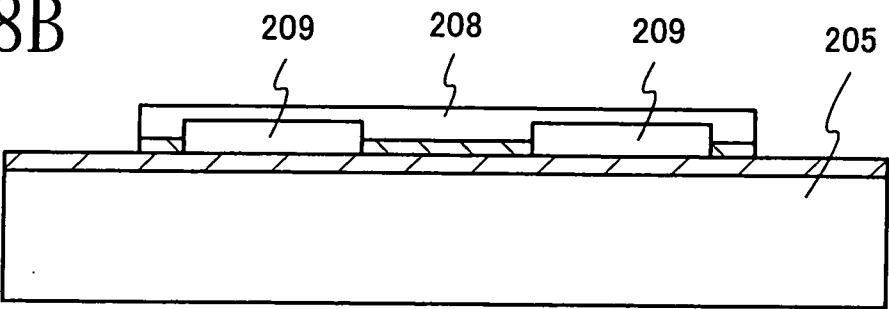


圖 8C

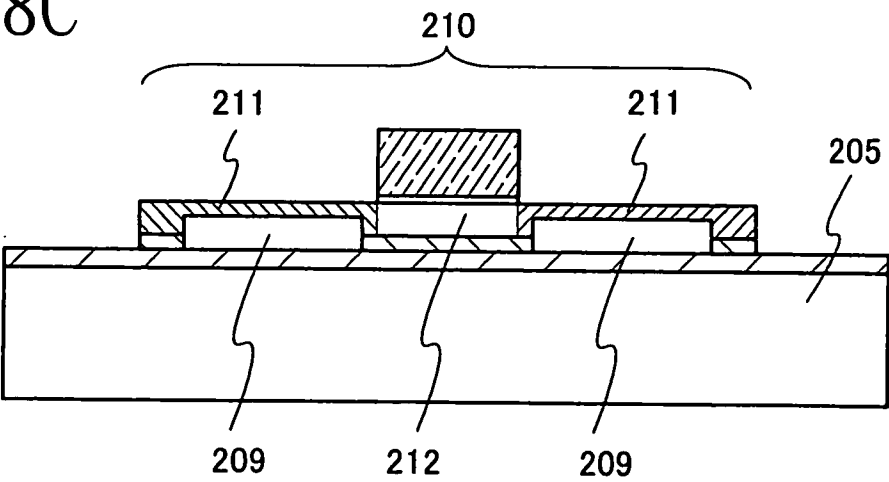


圖 9A

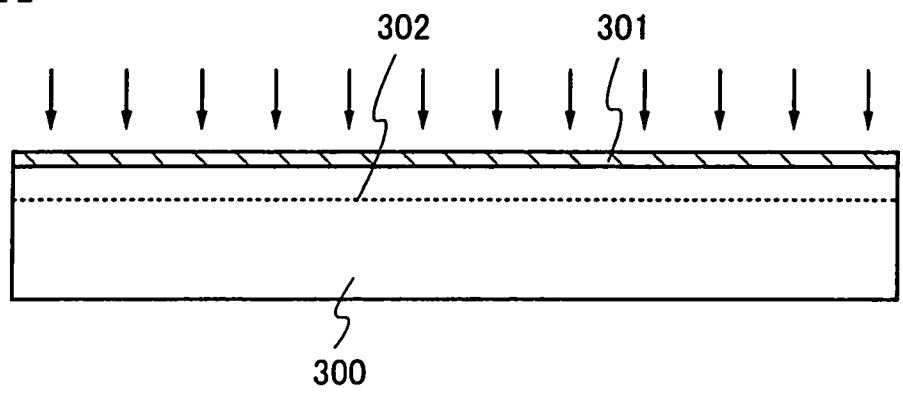


圖 9B

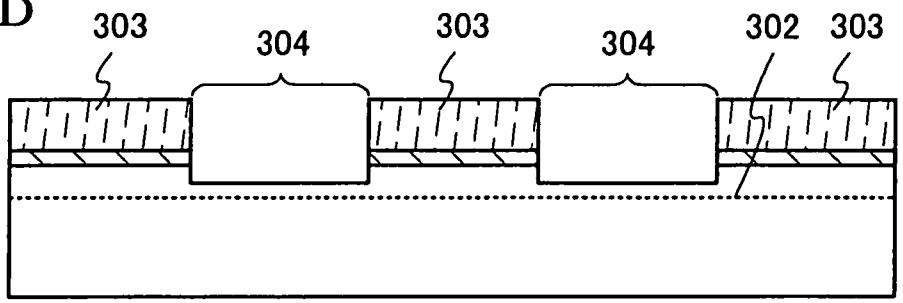


圖 9C

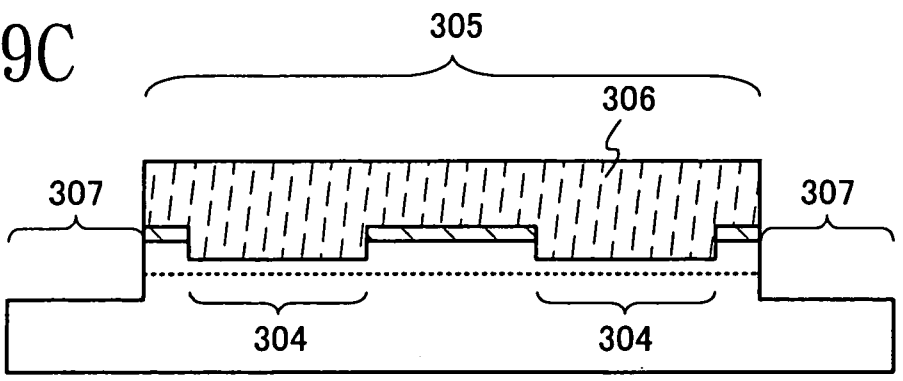


圖 9D

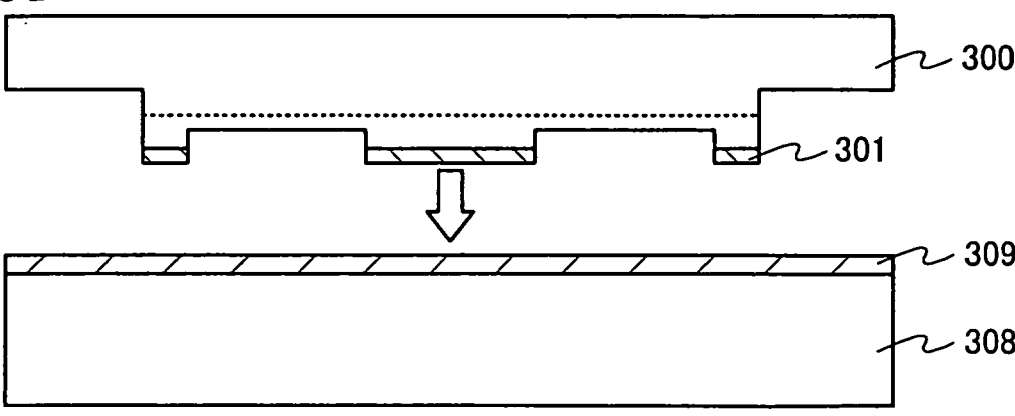


圖 10A

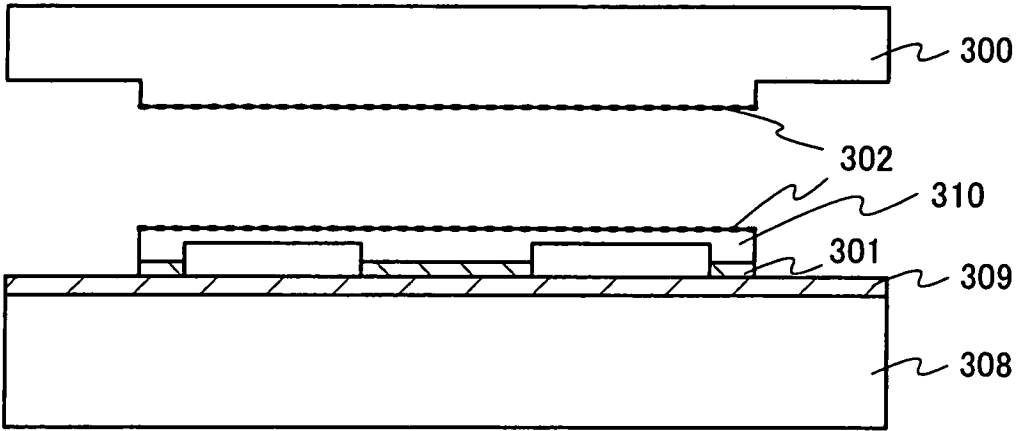


圖 10B

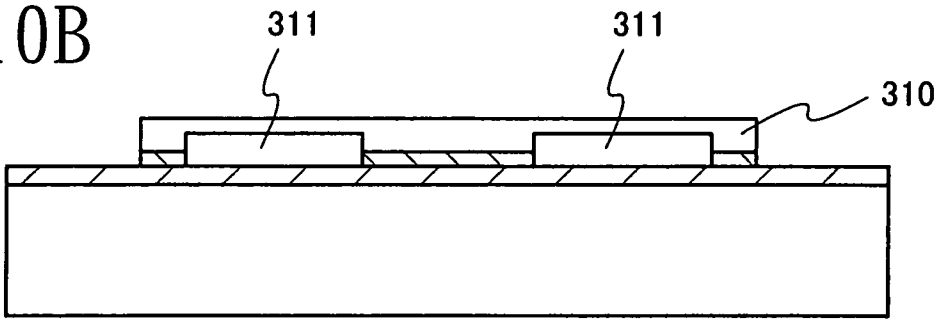


圖 11A

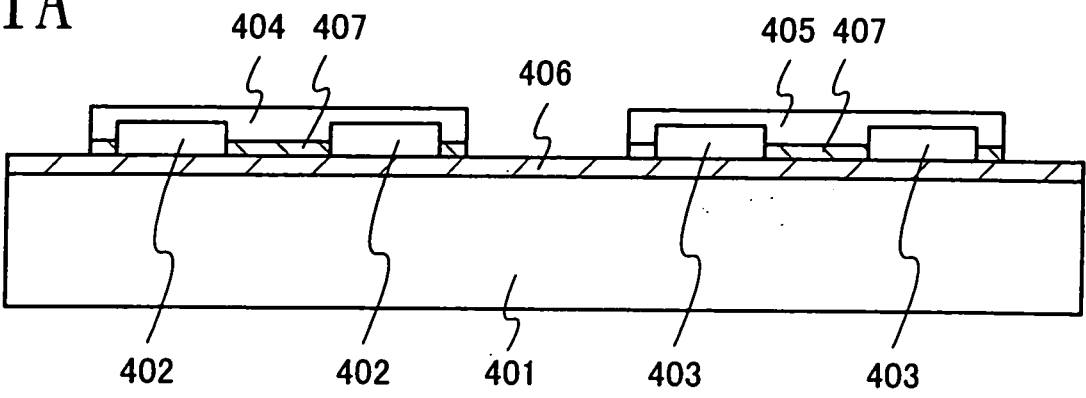


圖 11B

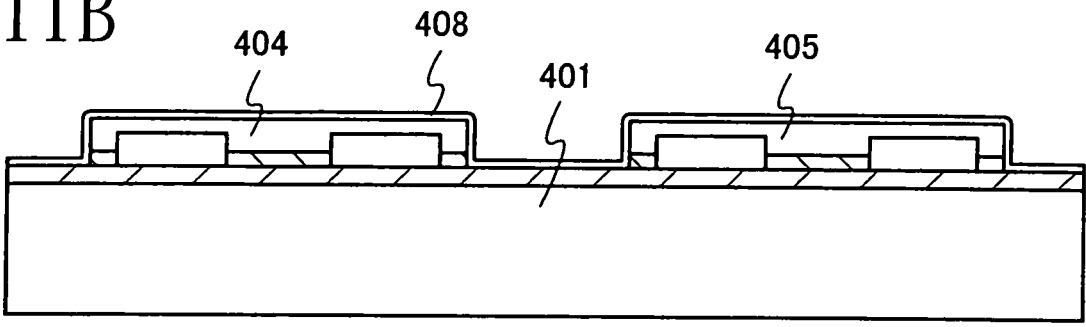


圖 11C

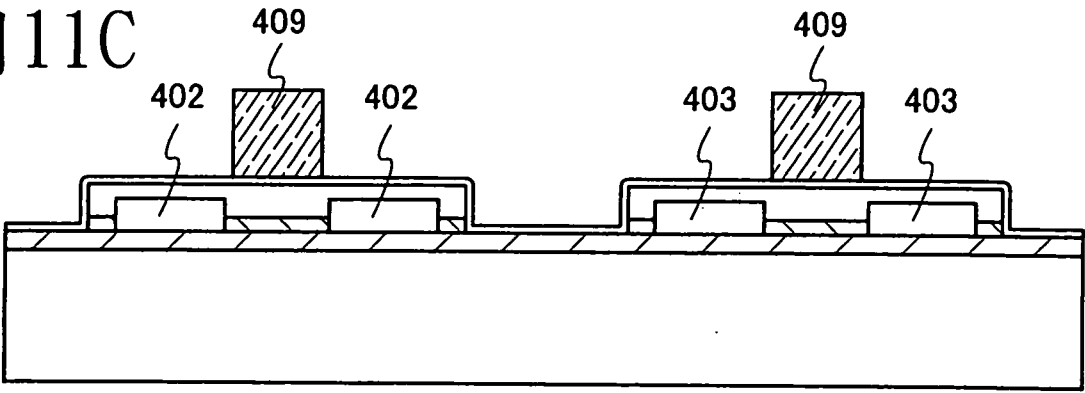


圖 11D

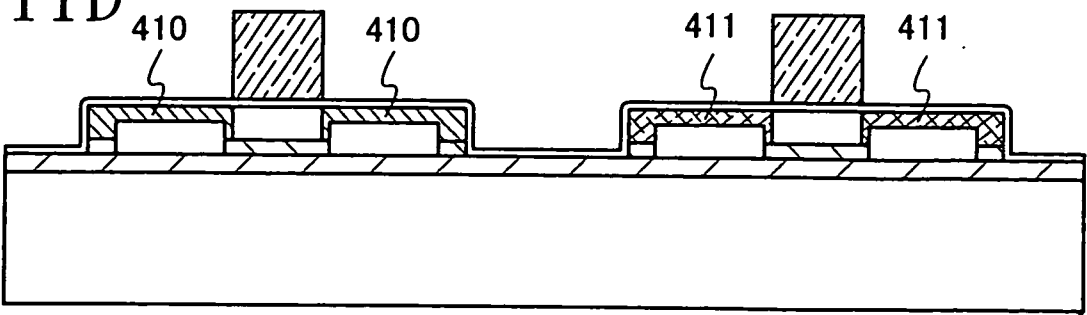


圖 12A

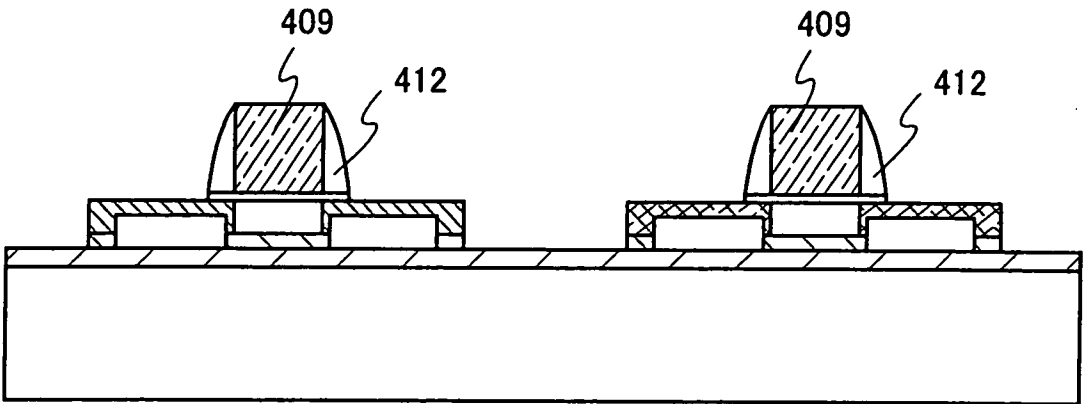


圖 12B

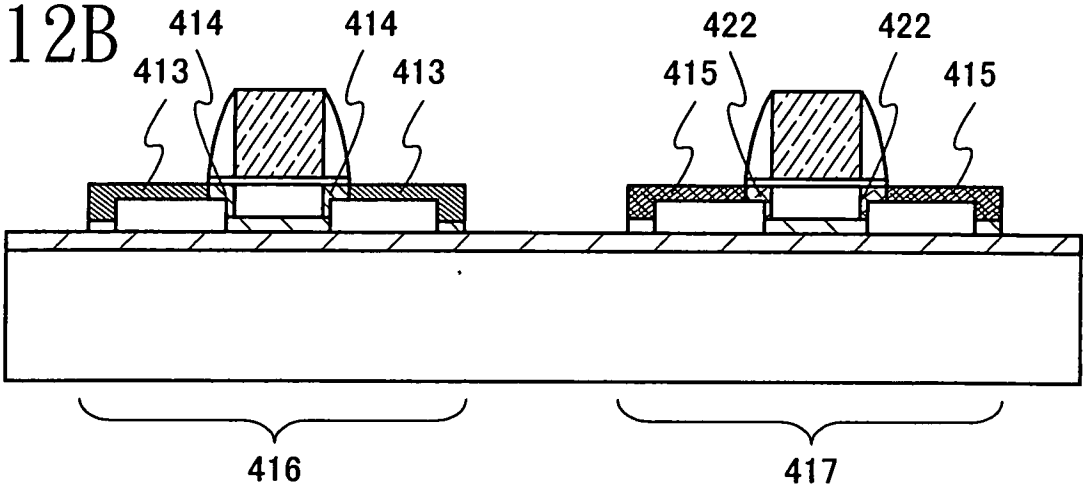


圖 12C

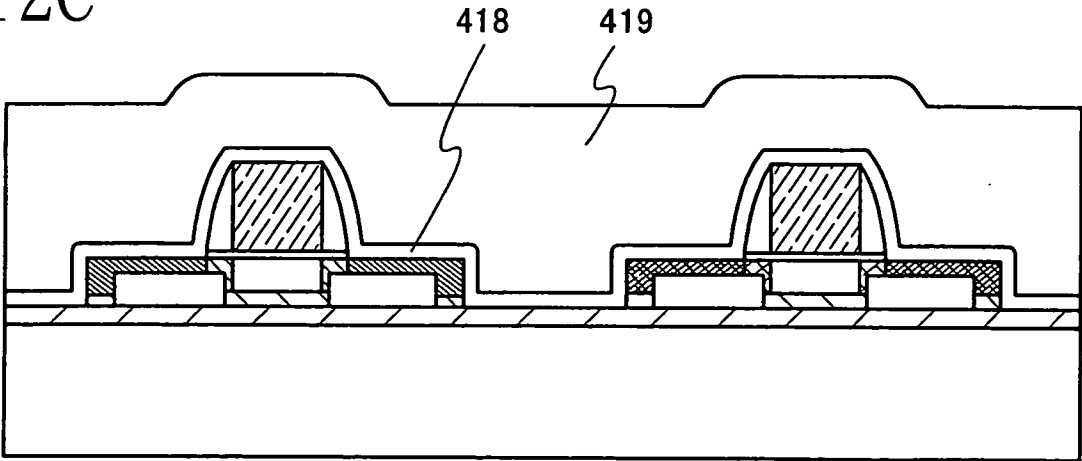


圖13

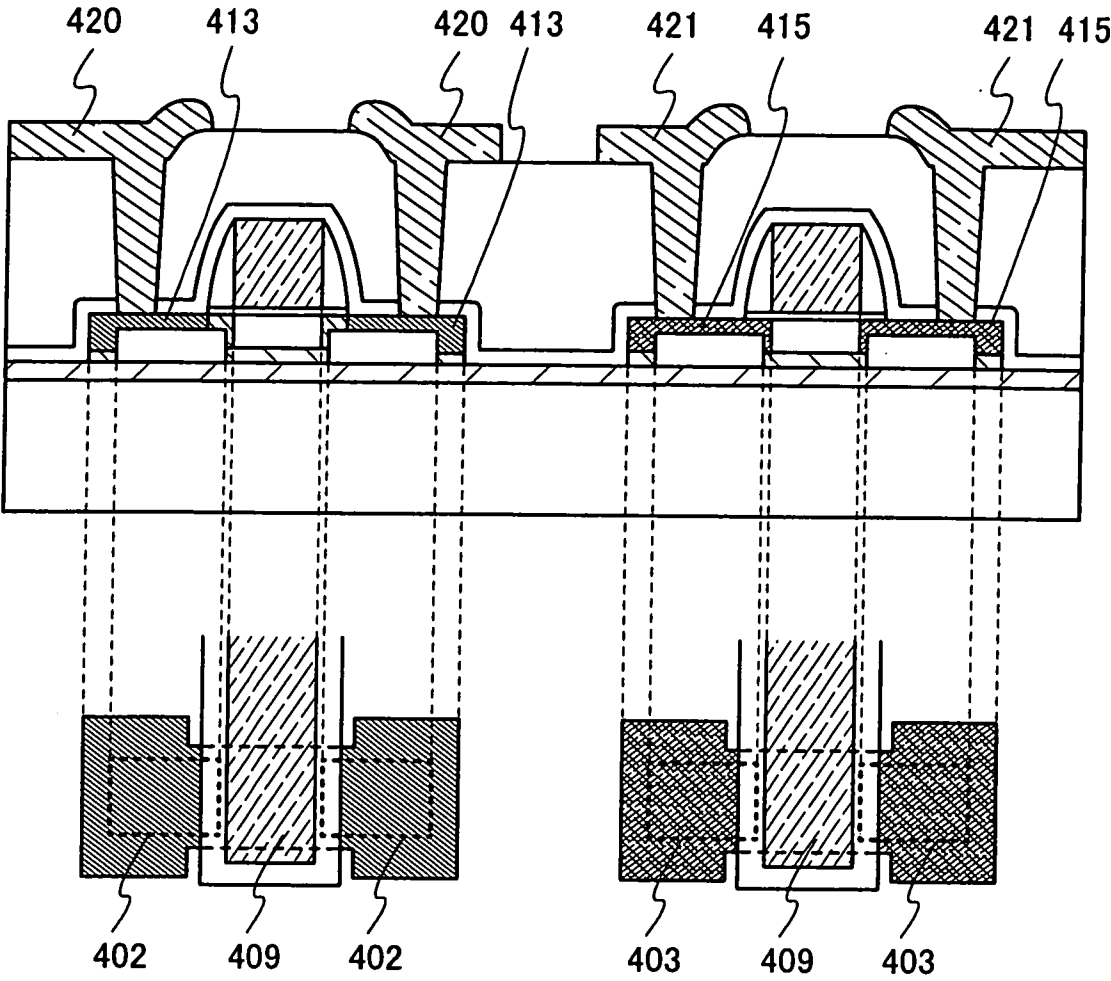


圖 14A

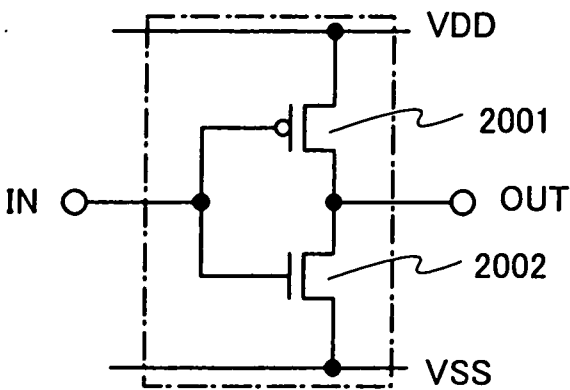


圖 14B

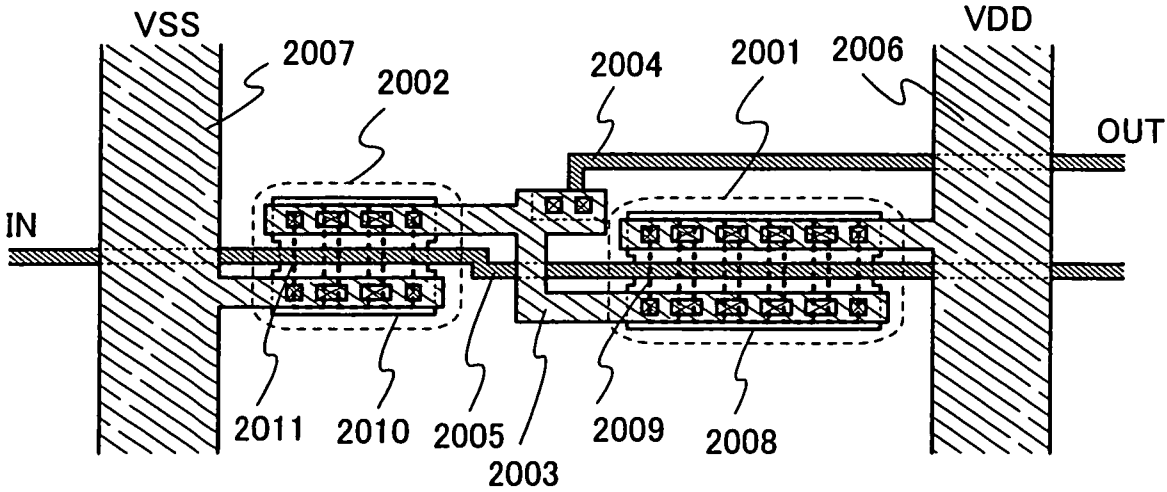


圖 14C

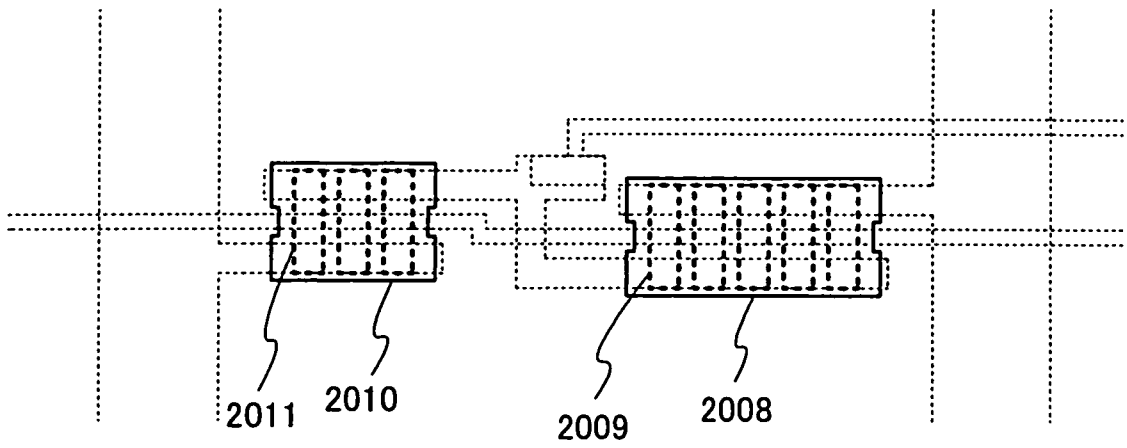


圖 15A

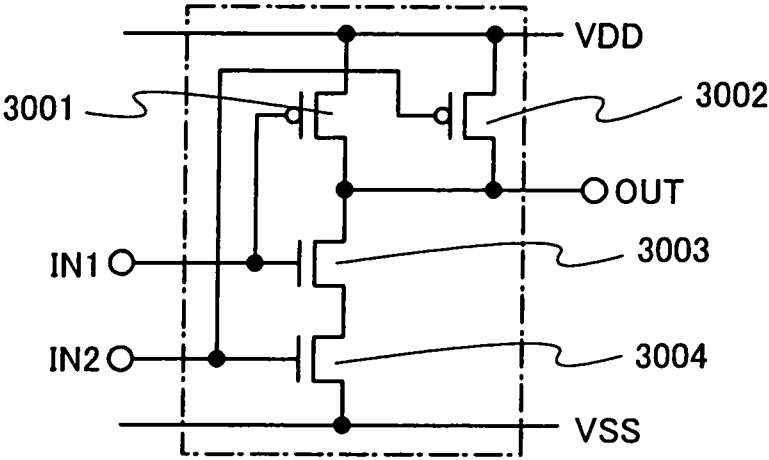


圖 15B

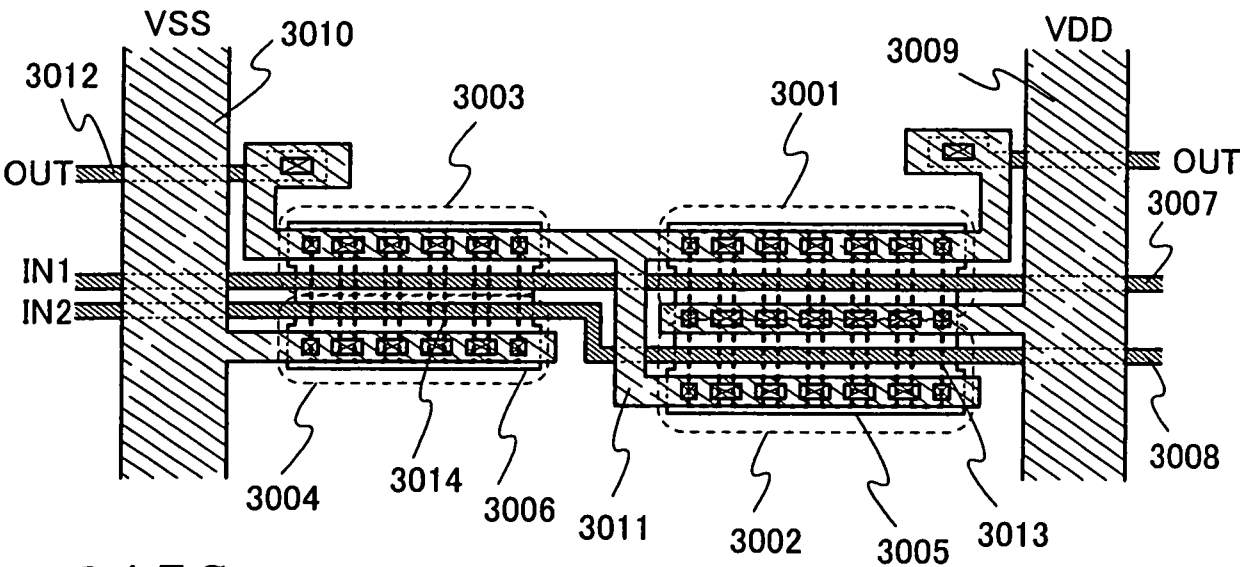


圖 15C

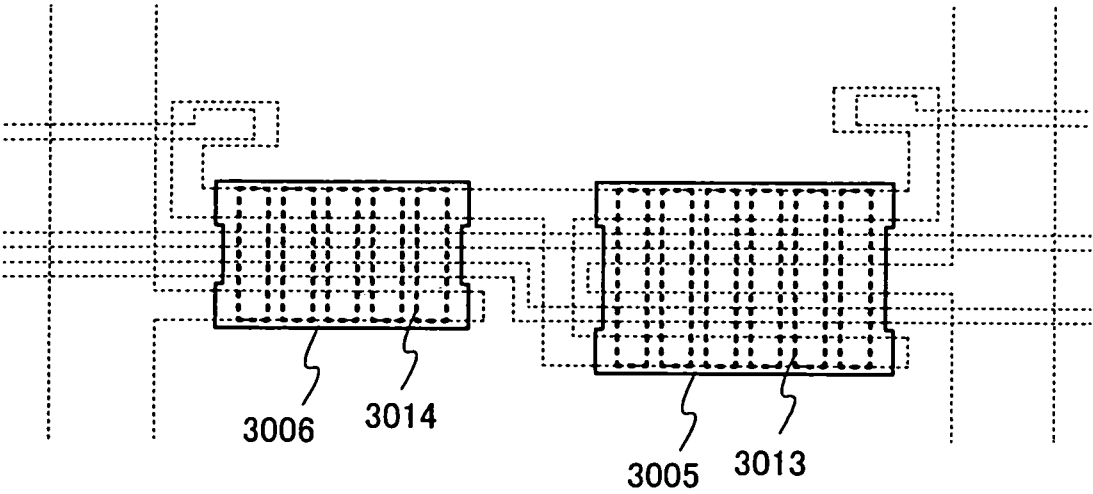


圖 16

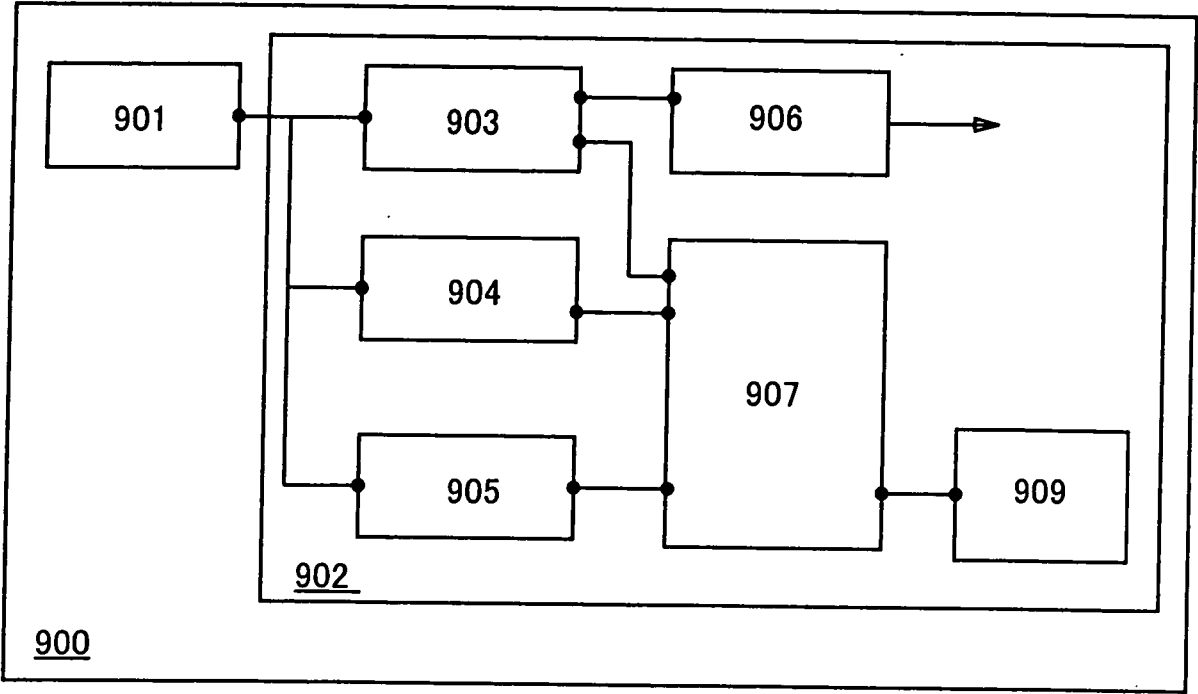


圖 17

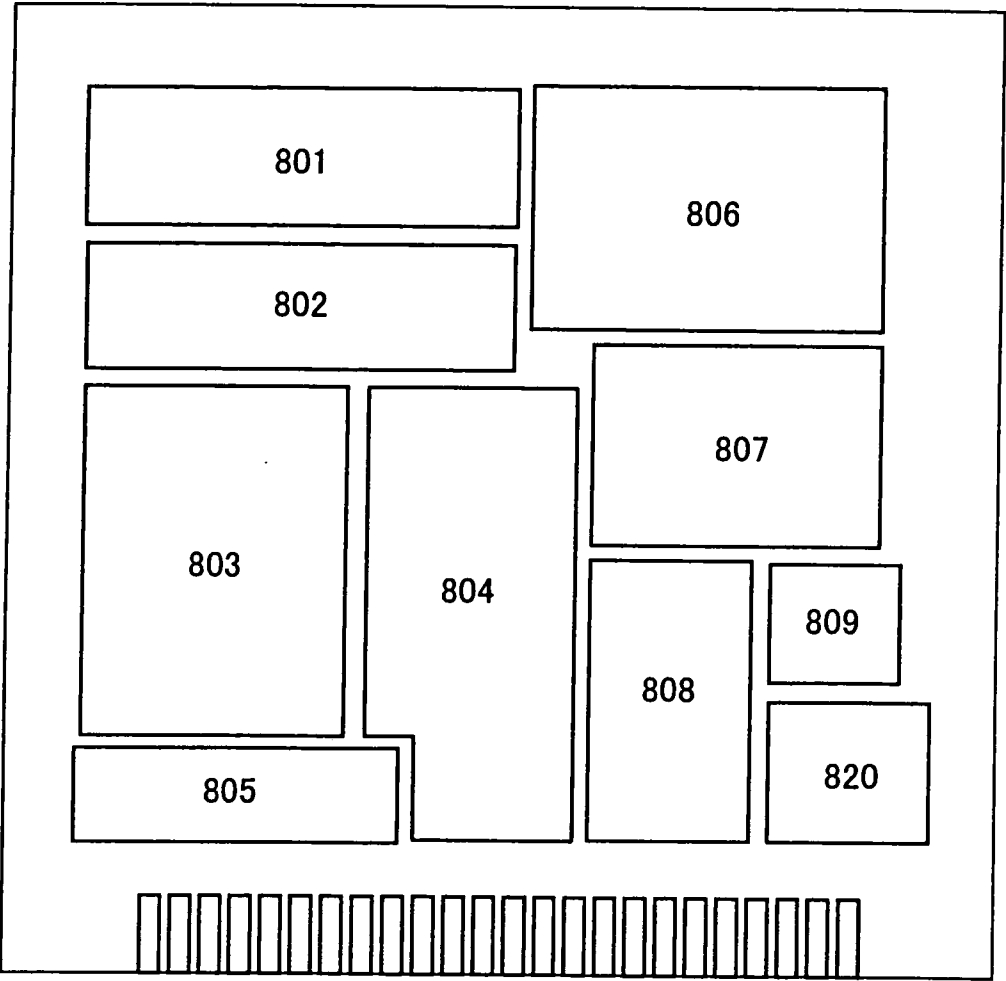


圖 18A

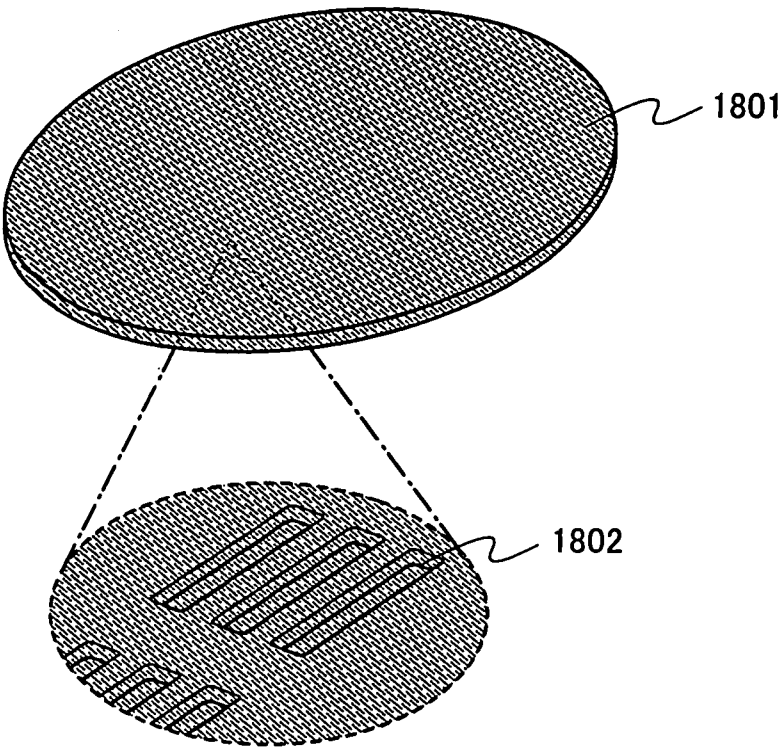


圖 18B

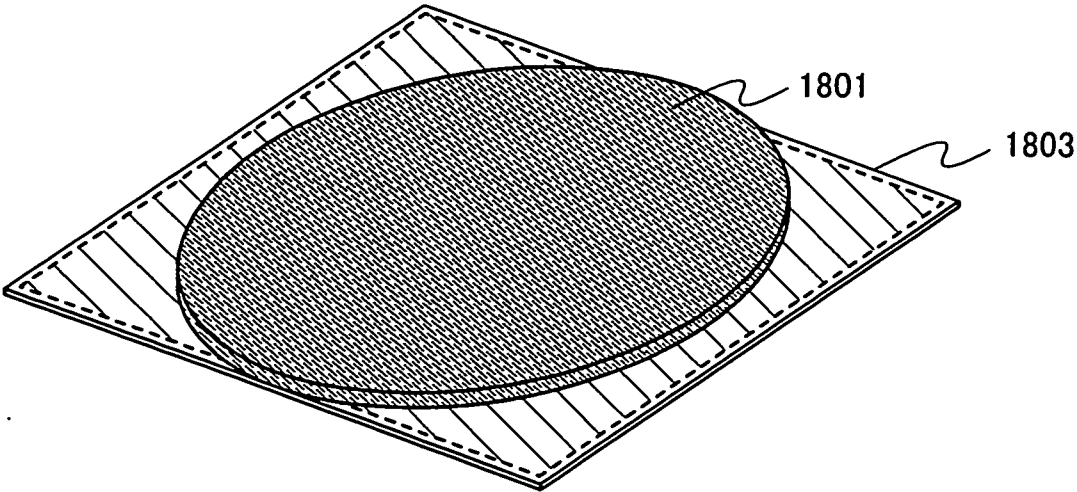


圖 19A

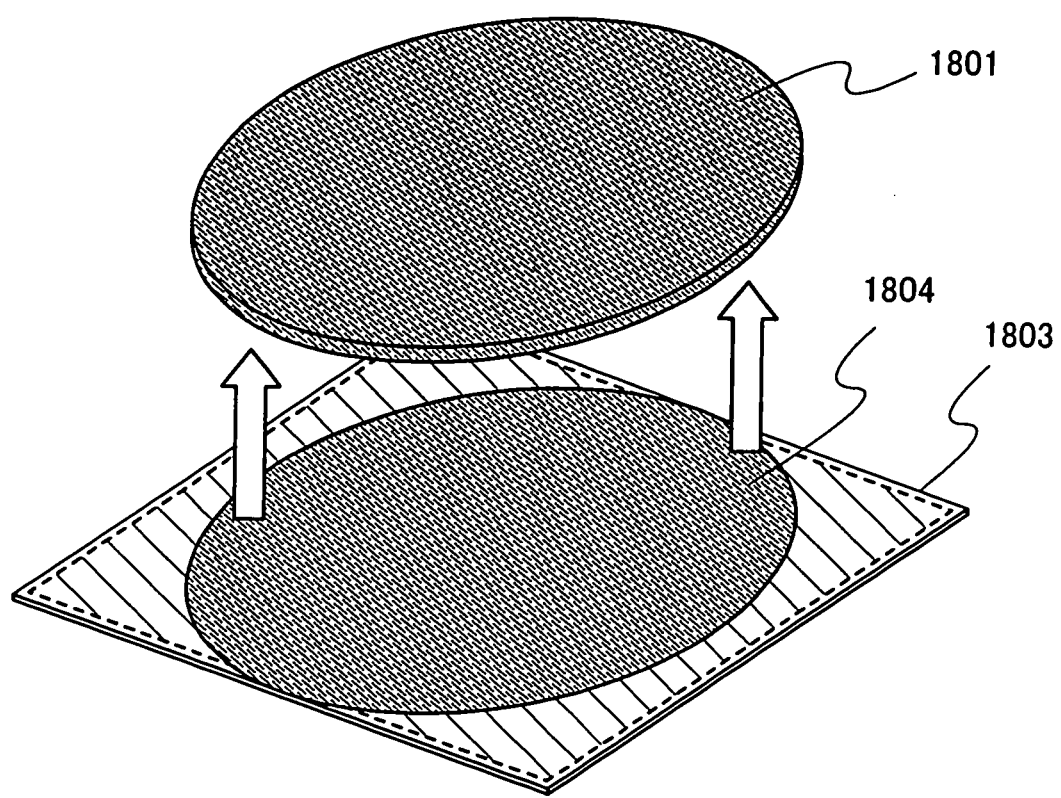


圖 19B

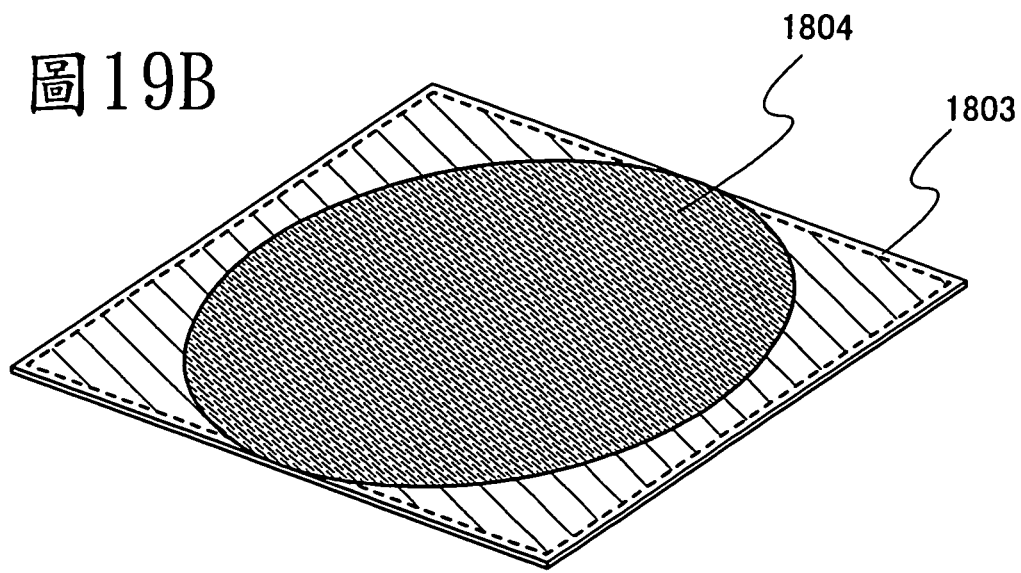


圖 20

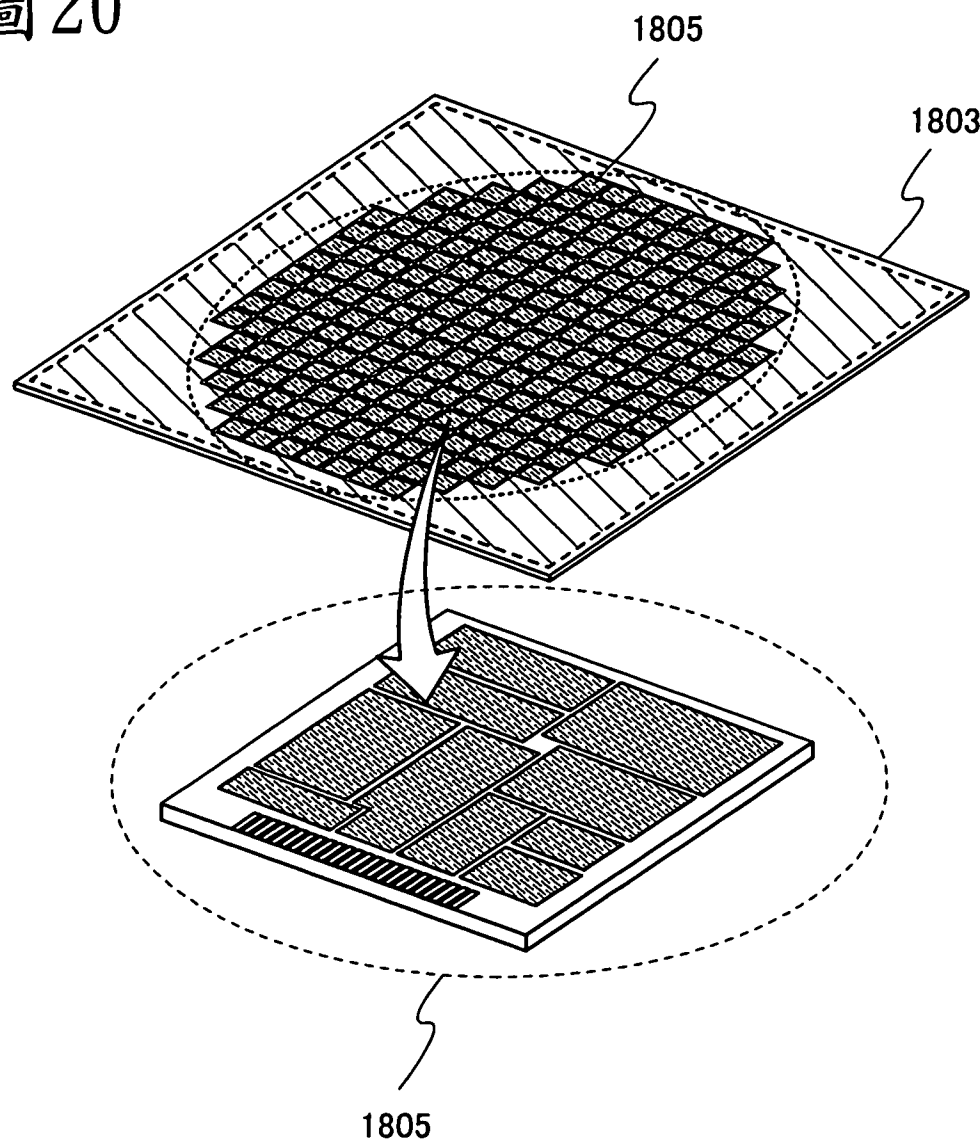


圖 21A

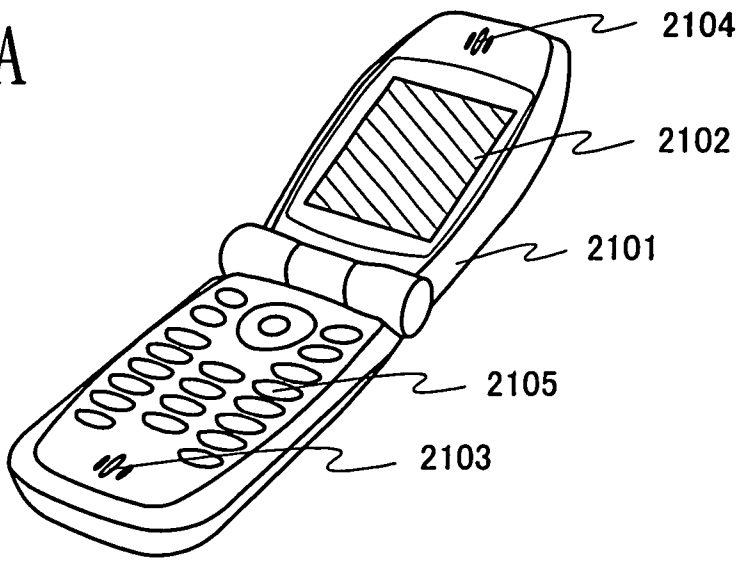


圖 21B

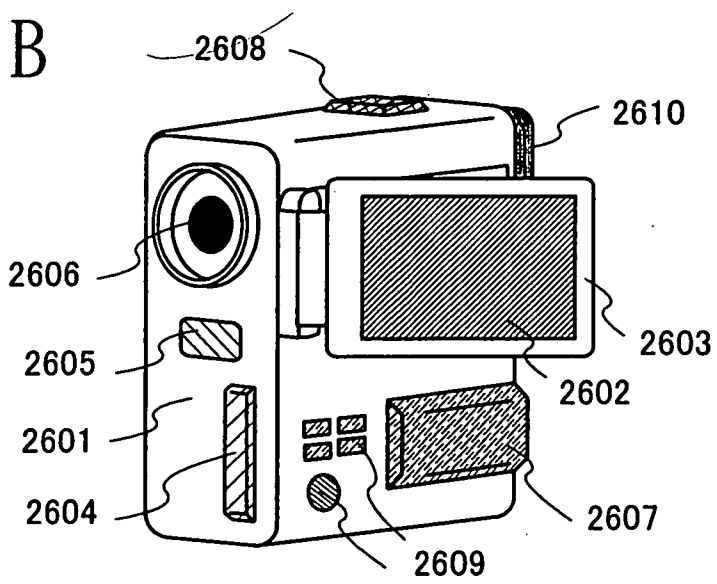


圖 21C

