

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-100676

(P2006-100676A)

(43) 公開日 平成18年4月13日(2006.4.13)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A	5 F O 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H	
	HO 1 L 27/04 L	

審査請求 未請求 請求項の数 10 O L (全 8 頁)

(21) 出願番号	特願2004-286652 (P2004-286652)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成16年9月30日 (2004.9.30)	(74) 代理人	100057874 弁理士 曾我 道照
		(74) 代理人	100110423 弁理士 曾我 道治
		(74) 代理人	100084010 弁理士 古川 秀利
		(74) 代理人	100094695 弁理士 鈴木 憲七
		(74) 代理人	100111648 弁理士 梶並 順

最終頁に続く

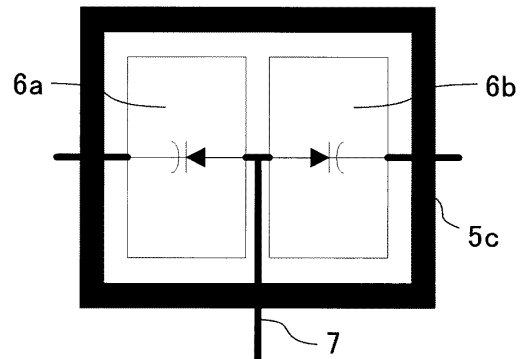
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 外乱に強い発振器の構成を取ることにより、発振器および送信増幅器を1チップ化した場合にもノイズあるいは干渉信号の影響を抑えた半導体集積回路を得る。

【解決手段】 発振回路(3)および送信増幅回路(4)が同一チップ上に配置された半導体集積回路(1)において、発振回路(3)は、バラクタダイオード対(6a、6b)を有する差動電圧制御発振回路であり、バラクタダイオード対(6a、6b)のアノード端子同士もしくはカソード端子同士を近接に配置し、共通の信号線(7)を用いてアノード端子もしくはカソード端子を接続している。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

発振回路および送信増幅回路が同一チップ上に配置された半導体集積回路において、前記発振回路は、バラクタダイオード対を有する差動電圧制御発振回路であり、前記バラクタダイオード対のアノード端子同士もしくはカソード端子同士を近接に配置し、共通の信号線を用いて前記アノード端子もしくは前記カソード端子を接続したことを特徴とする半導体集積回路。

【請求項 2】

請求項 1 に記載の半導体集積回路において、前記バラクタダイオード対の前記アノード端子および前記カソード端子の向きがともに同じになるように配置したことを特徴とする半導体集積回路。 10

【請求項 3】

請求項 1 または 2 に記載の半導体集積回路において、前記バラクタダイオード対の周囲を P N 分離による分離層で囲んだことを特徴とする半導体集積回路。

【請求項 4】

請求項 1 ないし 3 のいずれか 1 項に記載の半導体集積回路において、前記発振回路の周囲を P N 分離による分離層で囲んだことを特徴とする半導体集積回路。

【請求項 5】

請求項 1 ないし 4 のいずれか 1 項に記載の半導体集積回路において、前記送信増幅回路は、スパイラルインダクタを有する差動増幅回路であり、前記スパイラルインダクタの周囲を P N 分離による分離層で囲んだことを特徴とする半導体集積回路。 20

【請求項 6】

請求項 1 ないし 4 のいずれか 1 項に記載の半導体集積回路において、前記送信増幅回路は、多段増幅回路であり、前記多段増幅回路を構成する増幅用トランジスタのうち少なくとも最終段を構成する増幅用トランジスタ部を P N 分離による分離層で囲んだことを特徴とする半導体集積回路。

【請求項 7】

請求項 5 または 6 に記載の半導体集積回路において、前記送信増幅回路の周囲を P N 分離による分離層で囲んだことを特徴とする半導体集積回路。 30

【請求項 8】

請求項 3 ないし 7 のいずれか 1 項に記載の半導体集積回路において、前記 P N 分離に使用した p + 拡散層を D C 動作する回路のグラウンドラインへ接続し、n + 拡散層を D C 動作する回路の電源ラインへ接続したことを特徴とする半導体集積回路。

【請求項 9】

請求項 3 ないし 8 のいずれか 1 項に記載の半導体集積回路において、前記送信増幅回路を構成するバイアス回路部を、前記 P N 分離による分離層の外側に配置したことを特徴とする半導体集積回路。 40

【請求項 10】

請求項 1 ないし 9 のいずれか 1 項に記載の半導体集積回路において、前記発振回路と前記送信増幅回路は、前記チップ上の対角線の両端位置に配置されたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に関し、より詳細には、同一チップ上に配置された発振器と送信増幅器との相互干渉抑圧を施した半導体集積回路に関する。

【背景技術】

【0002】

半導体集積回路に発振器を内蔵した場合、他の回路ブロックからのノイズあるいは信号の漏れ込みにより発振器の特性が悪化するという問題がある。特に、発振器が電圧制御発振器のような周波数可変の発振器の場合には、外部からの影響により発振器出力が変調されてしまい、正常な動作を妨げることになる。この問題を解決するための回路ブロック構成として、発振器と後段の増幅器あるいはミキサとの間にバッファアンプを配置して後段からの影響を減らす方法がよくとられている。

【0003】

この方法は、信号パスを通過して発振器に回り込むノイズあるいは干渉信号を抑圧することを目的としているが、サブストレート（半導体基板）を介しての干渉は抑圧できない。これに対して、信号の出力パッドから基板を介してのノイズ回り込みを低減するものがある（例えば、特許文献1参照）。

10

【0004】

【特許文献1】特開2003-115543号公報（第1頁、図2）

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、この半導体集積回路内に発振器および送信増幅器の両方が内蔵されている場合には、この送信増幅器自体からのノイズあるいは干渉信号の発生が大きく、出力パッドだけの影響を減らしただけでは十分な性能を出せないといった問題がある。

20

【0006】

本発明は上述のような課題を解決するためになされたもので、外乱に強い発振器の構成を取ることにより、発振器および送信増幅器を1チップ化した場合にもノイズあるいは干渉信号の影響を抑えた半導体集積回路を得ることを目的としている。

【課題を解決するための手段】

【0007】

本発明に係る半導体集積回路は、発振回路および送信増幅回路が同一チップ上に配置された半導体集積回路において、発振回路は、バラクタダイオード対を有する差動電圧制御発振回路であり、バラクタダイオード対のアノード端子同士もしくはカソード端子同士を近接に配置し、共通の信号線を用いてアノード端子もしくはカソード端子を接続したものである。

30

【発明の効果】

【0008】

本発明によれば、バラクタダイオード対を近接配置して共通の信号線で接続することにより、バラクタダイオード対に入力されるノイズあるいは干渉信号を等しくして差動動作への影響をなくすことができ、発振器および送信増幅器を1チップ化した場合にもノイズあるいは干渉信号の影響を抑えた半導体集積回路を得ることができる。

【発明を実施するための最良の形態】

【0009】

実施の形態1.

以下、本発明の半導体集積回路の好適な実施の形態につき図面を用いて説明する。図1は、本発明の実施の形態1における半導体集積回路の一例を示す回路構成図である。この半導体集積回路1は、複数の回路ブロックを集積化したシステムLSIであり、例えば、SiGeBiCMOSあるいはCMOS半導体集積回路製造技術により単結晶シリコンなどからなる1個の半導体チップ上に形成される。

40

【0010】

チップ周囲には多数のボンディングパッド2が配置され、各種電源やグラウンド（GND）、I/Oの機能を有する。このチップ内には、発振回路3および送信増幅回路4が内蔵され、それぞれの回路は、回路間の距離が最も大きくなるように、半導体集積回路1のチ

50

ップの対角線上の両端に配置されている。送信増幅回路4から出力されるRF信号を取り出すボンディングパッド2aは、送信増幅回路4が配置された対角線上の一端の近くに配置されるため、結果的に発振回路3からも離れることになり、ノイズ等の影響を低減することができる。

【0011】

発振回路3および送信増幅回路4は、PN分離による分離層5a、5bによって、自身以外の回路ブロックとそれぞれ分離される。この際、分離層5a、5bは、図のように各回路ブロックを完全に取り囲む。なお、このような分離層5a、5bは、トレンチにより構成することも可能である。

【0012】

分離層5aは、他の回路ブロックからのノイズ、および干渉信号が発振回路3の内部に入り込むことにより発振周波数が変動することを防ぐことができる。また、分離層5bは、送信増幅回路4から発生するノイズ、および発振回路など他の回路ブロックにとっての干渉信号が漏れ出すのを防ぐことができる。

【0013】

図2は、本発明の実施の形態1における発振回路3に電圧制御発振器を用いた場合の内部回路構成を示した図である。この電圧制御発振器は、差動で動作する2つのバラクタダイオード6a、6bを備えている。バラクタダイオード6a、6bは、可変容量素子であり、このバラクタダイオード6a、6bを用いた電圧制御発振器は、制御電圧を変えることでバラクタダイオード6a、6bの容量の値を変化させ、発信周波数を変化させることができる。図2において、バラクタダイオード6a、6bは、すぐ隣同士に配置され、互いに共通となる信号線7につながるアノード端子がそれぞれ対向するように隣接して置かれている。

【0014】

仮に、信号線7につながるバラクタダイオード6a、6bのアノード端子同士が離れていると、この信号線7に干渉信号がのった場合、高周波的にみれば差動で動作する2つのバラクタダイオード6a、6bの端子に入力される干渉信号は、位相差をもったり、あるいは振幅が異なったりする可能性がある。図2の配置は、これらの問題を防ぐために行っており、2つのバラクタダイオード6a、6bへ入力される干渉信号を等しくすることにより、差動動作への影響をなくすことができる。

【0015】

図2において、2つのバラクタダイオード6a、6bは、アノード端子が信号線7とつながる共通の端子となっているが、カソード端子を共通とする回路構成においても、同じ方式で配置することにより同様の効果を得ることができる。

【0016】

分離層5cは、差動で動作する2つのバラクタダイオード6a、6bへ基板を介してノイズや干渉信号が入力されるのを防ぐために配置されており、バラクタダイオード6a、6bを完全に囲っている。図2において、2つのバラクタダイオード6a、6bしか分離層内に入っていないが、電圧制御発振器に2つ以上のバラクタダイオードを使用している場合、同じくこの分離層5c内に配置してもよい。

【0017】

図3は、本発明の実施の形態1における発振回路3に電圧制御発振器を用いた場合の別の内部回路構成を示した図である。図3の電圧制御発振器において、差動で動作するバラクタダイオード6a、6bは、図2と同じく、すぐ隣に配置され、互いに共通となる信号線7につながるアノード端子が隣接するように置かれている。さらに、バラクタダイオード6a、6bは、それぞれが差動で動作した場合の電界を互いに相殺するように、アノード端子およびカソード端子の向きがともに同じになるように配置されている。

【0018】

このような配置をとることにより、外部より侵入した干渉信号が2つのバラクタダイオード6a、6bに印加されても、それぞれが差動で動作した場合の電界を互いに相殺する

10

20

30

40

50

ことにより、差動動作に与える影響を小さくすることができる。

【0019】

なお、図2および図3に示したバラクタダイオード6a、6bの配置法は、図1のような送信増幅回路が同一チップ上に配置された半導体集積回路だけでなく、電圧制御発振回路を含む半導体集積回路全般に適用できる。

【0020】

図4は、本発明の実施の形態1における送信増幅回路4にスパイラルインダクタを用いた場合の内部回路構成を示した図である。図4において、スパイラルインダクタ8a、8bは、増幅器の負荷として使用されている。このスパイラルインダクタ8a、8bは、それぞれ分離層5d、5eにより他の素子と分離される。この分離層5d、5eにより、スパイラルインダクタ8a、8bからサブストレートへ放射されるノイズや干渉信号を抑圧することができる。なお、図4では、差動のスパイラルインダクタ8a、8bをそれぞれ別の分離層5d、5eで囲ってあるが、差動分の2つのスパイラルインダクタ8a、8bをまとめて囲んでもよい。

10

【0021】

なお、スパイラルインダクタ8a、8bは、増幅器の負荷として使用されているものだけでなく、ベースフィードなど送信増幅器で使用されているものすべてについて適用できる。

【0022】

トランジスタ9a、9bは、図4の送信増幅器内で増幅素子として使用されているものである。このトランジスタ9a、9bは、差動分まとめて分離層5fで他の回路部分と分離される。ここで、分離層5fは、各トランジスタ9a、9bをそれぞれ別に周囲を囲んでもよい。分離層5fは、各トランジスタ9a、9bから発生するノイズ、および発振回路3など他の回路ブロックにとっての干渉信号が漏れ出すのを防ぐ。

20

【0023】

なお、図4に示した送信増幅回路内の素子配置法は、図1のような送信増幅回路が同一チップ上に配置された半導体集積回路だけでなく、送信増幅回路を含む半導体集積回路全般に適用できる。

【0024】

図5は、本発明の実施の形態1における半導体基板の分離層をPN分離とした場合の断面図である。図5では、分離層によって囲まれる素子10は、受動素子としたが、能動素子の場合も同様である。素子10を分離する分離層は、p+拡散層11とn+拡散層12とで構成される。

30

【0025】

p+拡散層11は、接続線13によりDC動作する回路のグラウンドラインであるDC-GNDに接続されている。また、n+拡散層12は、接続線14によりDC動作する回路の電源ラインであるDC-VCCに接続されている。ここで、DC-GNDは、高周波信号を扱う素子に直接接続されていないグラウンドラインのことであり、DC-VCCは、高周波信号を扱う素子に直接接続されていない電源ラインのことである。

【0026】

このように、PN分離層をそれぞれDC-VCCおよびDC-GNDに接続することで、p+拡散層11とn+拡散層12の電位が振られることがなく、確実なシールド効果を得ることができる。

40

【0027】

なお、半導体集積回路が、図1のように発振回路3と送信増幅回路4の両方を内蔵している場合、発振回路3を囲むPN分離層の電源ライン/グラウンドラインと、送信増幅回路4を囲むPN分離層の電源ライン/グラウンドラインとはIC内で共通化されていないことが好ましい。

【0028】

図6は、本発明の実施の形態1における送信増幅回路4の配置方法の一例を示す図であ

50

る。図 6 において、送信増幅回路 4 は、単段の増幅回路 15 a、15 b、15 c の縦続接続で構成されている。このような構成の多段増幅回路では、当然増幅回路 15 a が最も低い RF 信号電力を扱い、最終段の増幅回路 15 c が最も高い RF 信号電力を扱う。なお、図 6 においては、増幅回路は 3 段から成っているが、何段であっても同様である。

【0029】

通常、各段の増幅回路 15 a、15 b、15 c へバイアス電圧、バイアス電流を与えるバイアス回路 16 は、信号の増幅部の近くに配置されるが、ここではバイアス回路 16 のみを増幅部から分離した構成としている。さらに、送信増幅回路全体を囲む分離層 5 g の外側に、このバイアス回路 16 を配置している。また、バイアス回路 16 は、最も高い RF 信号電力を扱う最終段の増幅回路 15 c が他の増幅回路 15 a、15 b と比較して最も遠くなる位置に配置されている。

10

【0030】

このように各段の増幅回路 15 a、15 b、15 c を分離層 5 g で囲むことにより、各トランジスタから発生するノイズを防止するとともに、発振回路 3 など他の回路ブロックにとっての干渉信号が漏れ出すのを防ぐことができる。また、バイアス回路 16 の配置を最終段の増幅回路 15 c から離し、かつ分離層 5 g の外側とすることで、送信増幅器から漏れ出すノイズや干渉信号により、自身のバイアス回路 16 が干渉を受けて、特性が悪化することを防ぐことができる。

【0031】

なお、図 6 においては、多段増幅回路全体を分離層で囲んだが、最も高い RF 信号電力を扱う最終段の増幅回路のみを分離層で囲むことによっても、同様の効果を得ることができる。

20

【図面の簡単な説明】

【0032】

【図 1】本発明の実施の形態 1 における半導体集積回路の一例を示す回路構成図である。

【図 2】本発明の実施の形態 1 における発振回路に電圧制御発振器を用いた場合の内部回路構成を示した図である。

【図 3】本発明の実施の形態 1 における発振回路に電圧制御発振器を用いた場合の別の内部回路構成を示した図である。

【図 4】本発明の実施の形態 1 における送信増幅回路にスパイラルインダクタを用いた場合の内部回路構成を示した図である。

30

【図 5】本発明の実施の形態 1 における半導体基板の分離層を PN 分離とした場合の断面図である。

【図 6】本発明の実施の形態 1 における送信増幅回路の配置方法の一例を示す図である。

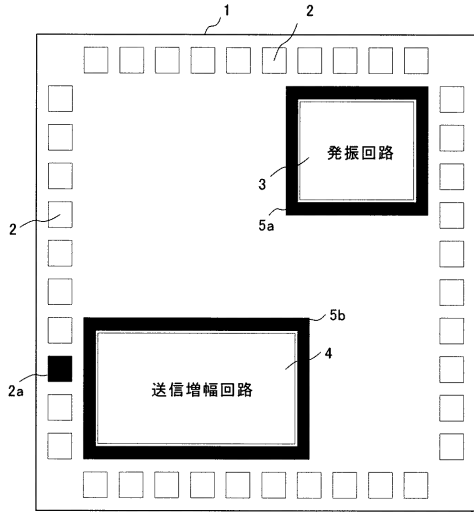
【符号の説明】

【0033】

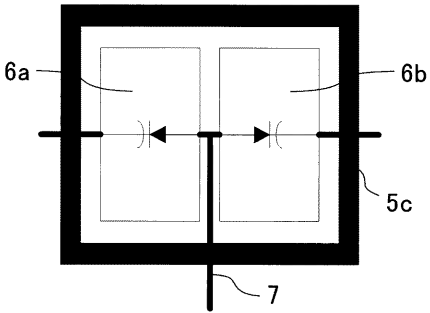
1 半導体集積回路、2、2 a ボンディングパッド、3 発振回路、4 送信増幅回路、5 a、5 b、5 c、5 d、5 e、5 f、5 g 分離層、6 a、6 b バラクタダイオード、7 信号線、8 a、8 b スパイラルインダクタ、9 a、9 b トランジスタ、10 素子、11 p+ 拡散層、12 n+ 拡散層、13 接続線 (グランドライン)、14 接続線 (電源ライン)、15 a、15 b、15 c 増幅回路、16 バイアス回路。

40

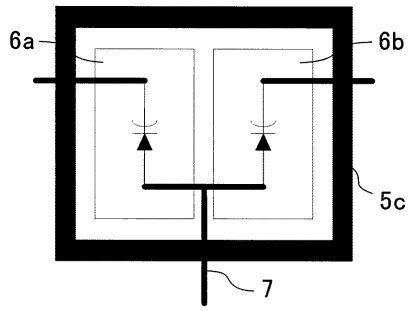
【 図 1 】



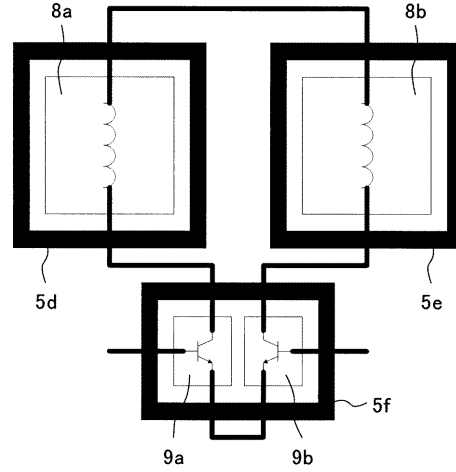
【 図 2 】



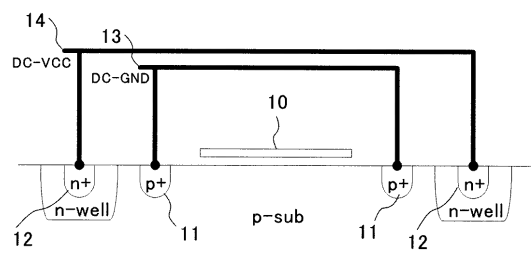
【 図 3 】



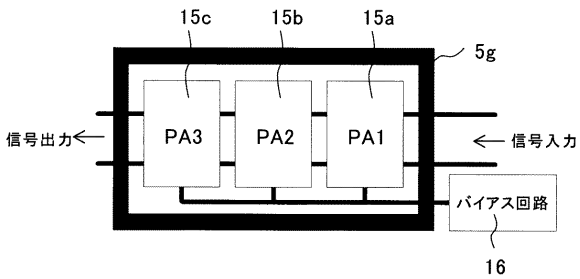
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

- (72)発明者 堤 恒次
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 新庄 真太郎
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 末松 憲治
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 井上 雅博
東京都千代田区九段北一丁目13番5号 三菱電機エンジニアリング株式会社内
- (72)発明者 森 一富
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 檜枝 護重
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 高木 直
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5F038 AV04 AZ04 BG02 BH09 BH19 CA02 CA03 CA07 CA10 DF01
EZ02 EZ20