



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I715035 B

(45)公告日：中華民國 110 (2021) 年 01 月 01 日

(21)申請案號：108116616

(22)申請日：中華民國 104 (2015) 年 05 月 12 日

(51)Int. Cl. : *G11C11/40 (2006.01)**G11C16/10 (2006.01)*

(30)優先權：2014/05/22 日本

2014-105748

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：田村輝 TAMURA, HIKARU (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

US 2007/0046191A1

US 2012/0188814A1

審查人員：吳丕鈞

申請專利範圍項數：8 項 圖式數：19 共 97 頁

(54)名稱

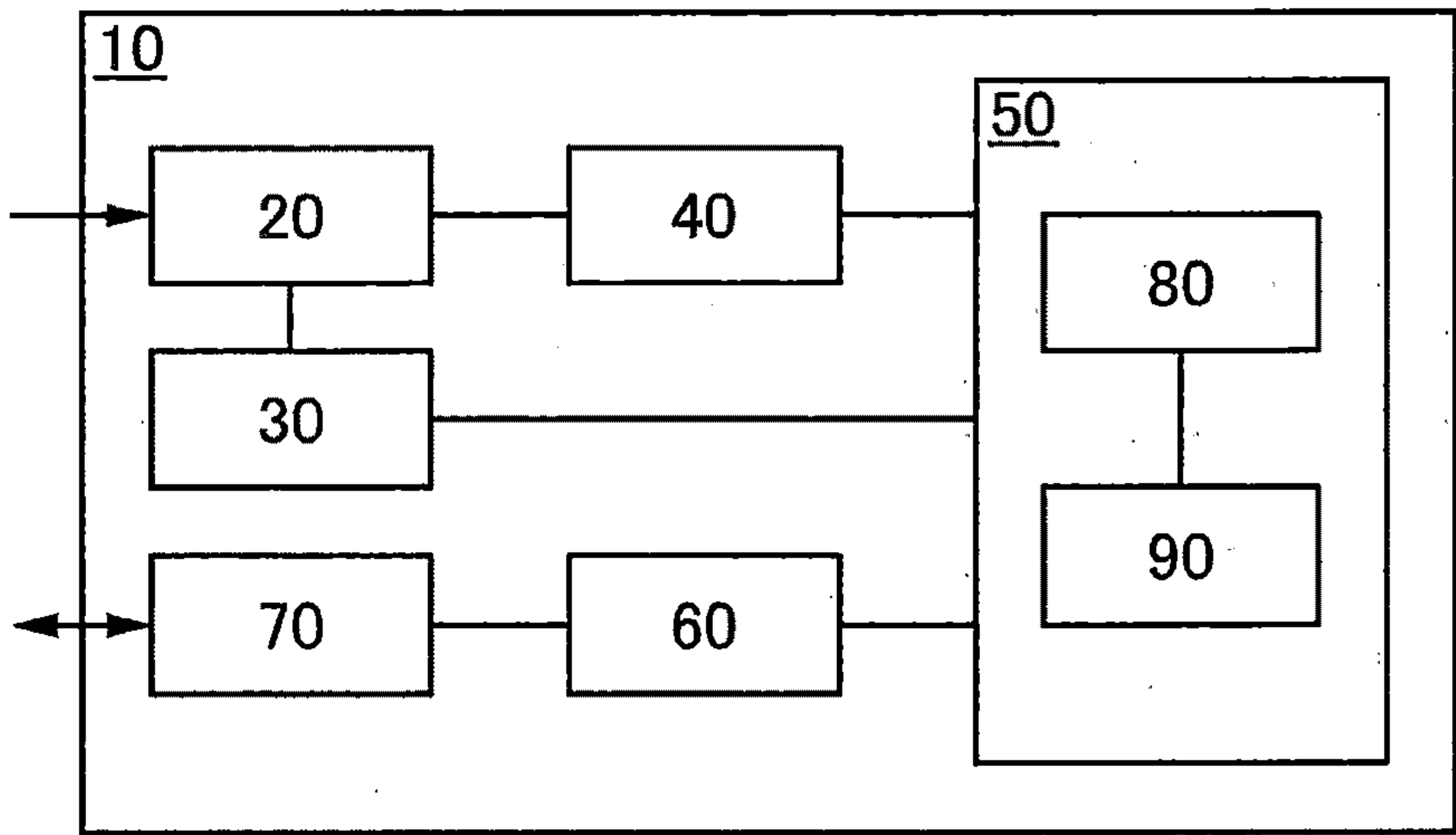
半導體裝置、健康管理系統

(57)摘要

本發明提供一種能夠實現面積縮小、高速工作或功耗降低的半導體裝置。在本發明中，作為具有運算功能的記憶體電路使用電路 50。另外，電路 80 和電路 90 中的一個具有與其另一個的至少一部分重疊的區域。由此，可以在電路 50 中進行本來應該在電路 60 中進行的運算，從而減輕電路 60 中的運算的負擔。此外，可以減少在電路 50 與電路 60 之間進行的資料收發次數。另外，在抑制電路 50 的面積增加的同時還可以對用作記憶體電路的電路 50 附加運算功能。

Provided is a semiconductor device capable of reducing its area, operating at a high speed, or reducing its power consumption. A circuit 50 is used as a memory circuit with a function of performing an arithmetic operation. One of a circuit 80 and a circuit 90 has a region overlapping with at least part of the other of the circuit 80 and the circuit 90. Accordingly, the circuit 50 can perform the arithmetic operation that is essentially performed in the circuit 60; thus, a burden of the arithmetic operation on the circuit 60 can be reduced. Moreover, the number of times of data transmission and reception between the circuits 50 and 60 can be reduced. Furthermore, the circuit 50 functioning as a memory circuit can have a function of performing an arithmetic operation while the increase in the area of the circuit 50 is suppressed.

指定代表圖：



- 符號簡單說明：
- 10 . . . 半導體裝置
 - 20 . . . 電路
 - 30 . . . 電路
 - 40 . . . 電路
 - 50 . . . 電路
 - 60 . . . 電路
 - 70 . . . 電路
 - 80 . . . 電路
 - 90 . . . 電路

圖 1A

I715035

發明摘要

【發明名稱】(中文/英文)

半導體裝置、健康管理系統 / SEMICONDUCTOR DEVICE AND
HEALTHCARE SYSTEM

【中文】

本發明提供一種能夠實現面積縮小、高速工作或功耗降低的半導體裝置。在本發明中，作為具有運算功能的記憶體電路使用電路50。另外，電路80和電路90中的一個具有與其另一個的至少一部分重疊的區域。由此，可以在電路50中進行本來應該在電路60中進行的運算，從而減輕電路60中的運算的負擔。此外，可以減少在電路50與電路60之間進行的資料收發次數。另外，在抑制電路50的面積增加的同時還可以對用作記憶體電路的電路50附加運算功能。

【英文】

Provided is a semiconductor device capable of reducing its area, operating at a high speed, or reducing its power consumption. A circuit 50 is used as a memory circuit with a function of performing an arithmetic operation. One of a circuit 80 and a circuit 90 has a region overlapping with at least part of the other of the circuit 80 and the circuit 90. Accordingly, the circuit 50 can perform the arithmetic operation that is essentially performed in the circuit 60; thus, a burden of the arithmetic operation on the circuit 60 can be reduced. Moreover, the number of times of data transmission and reception between the circuits 50 and 60 can be reduced. Furthermore, the circuit 50 functioning as a memory circuit

can have a function of performing an arithmetic operation while the increase in the area of the circuit 50 is suppressed.

【代表圖】

【本案指定代表圖】：圖1A。

【本代表圖之符號簡單說明】：

10 半導體裝置

20 電路

30 電路

40 電路

50 電路

60 電路

70 電路

80 電路

90 電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置、健康管理系統/SEMICONDUCTOR DEVICE AND
HEALTHCARE SYSTEM

【技術領域】

【0001】 本發明的一個方式係關於一種具有儲存資料及進行運算的功能的半導體裝置或使用該半導體裝置的健康管理系統。

【0002】 注意，本發明的一個方式不侷限於上述技術領域。本說明書等所公開的發明的一個方式的技術領域係關於一種物體、方法或製造方法。此外，本發明的一個方式係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或組合物 (composition of matter)。另外，本發明的一個方式係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、其驅動方法或其製造方法。

【先前技術】

【0003】 為了監測人或動物的生物資料，藉由感測器檢測出體溫或脈搏等的健康管理系統被廣泛使用。

【0004】 健康管理系統一般使用半導體裝置，該半導體裝置由用來儲存生物資料的記憶體及具備用來對儲存於記憶體的資料進行處理的邏輯電路的處理器等構成。

【0005】 專利文獻1公開了包括記憶體陣列及與記憶體陣列連接的邏輯電路的積體電路。

【0006】 [專利文獻1]日本專利申請公開第2011-155264號公報

【發明內容】

【0007】 本發明的一個方式的目的之一是提供一種新穎的半導體裝置。本發明的一個方式的目的之一是提供一種能夠實現面積縮小的半導體裝置。本發明的一個方式的目的之一是提供一種能夠高速工作的半導體裝置。本發明的一個方式的目的之一是提供一種能夠降低功耗的半導體裝置。

【0008】 注意，本發明的一個方式並不需要實現所有上述目的，只要可以實現至少一個目的即可。另外，上述目的的記載不妨礙其他目的的存在。此外，除上述目的外的目的從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中抽出。

【0009】 根據本發明的一個方式的半導體裝置包括第一至第三電路，其中，第一電路具有可以檢測來自外部的資料的功能，第二電路具有可以將在第一電路中檢測出的資料轉換為數位信號的功能，第三電路包括具有記憶體電路的第四電路以及具有算術電路的第五電路，第四電路被設置於第五電路的上方，第四電路和第五電路中的一個具有與第四電路和第五電路中的另一個的至少一部分重疊的區域，並且，記憶體電路包括在其通道形成區包含氧化物半導體的電晶體。

【0010】 根據本發明的一個方式的半導體裝置包括第一至第三電路，其中，第一電路具有可以檢測來自外部的資料的功能，第二電路具有可以將在第一電路中檢測出的資料轉換為數位信號的功能，第三電路包括具有第一記憶體電路及第二記憶體電路的第四電路以及具有算術電路的第五電路，第四電路被設置於第五電路的上方，第四電路和第五電路中的一個具有與第四電路和第五電路中的另一個的至少一部分重疊的區域，第一

記憶體電路包括在其通道形成區包含氧化物半導體的第一電晶體，第二記憶體電路包括在其通道形成區包含氧化物半導體的第二電晶體，第一記憶體電路具有可以儲存藉由第一電路檢測出的生物資料的功能，第二記憶體電路具有可以儲存與生物資料比較的參考值的功能，並且，第五電路具有可以對生物資料與參考值進行比較的功能。

【0011】 再者，在根據本發明的一個方式的半導體裝置中，第一記憶體電路可以包括第一電容器，第一電晶體的源極和汲極中的一個可以與第一電容器連接，第二記憶體電路可以包括第二電容器以及反相器，第二電晶體的源極和汲極中的一個可以與第二電容器及上述反相器的輸入端子連接，並且反相器的輸出端子可以與第五電路連接。

【0012】 根據本發明的一個方式的半導體裝置還可以包括第三電晶體，其中第三電晶體的源極和汲極中的一個可以與第一記憶體電路電連接，第三電晶體的源極和汲極中的另一個可以與第五電路電連接，並且第三電晶體在其通道形成區可以包括氧化物半導體。

【0013】 另外，根據本發明的一個方式的生物資料系統包括上述半導體裝置，並具有接收及發送無線信號的功能。

【0014】 藉由本發明的一個方式，可以提供一種新穎的半導體裝置。藉由本發明的一個方式，可以提供一種能夠實現面積縮小的半導體裝置。藉由本發明的一個方式，可以提供一種能夠高速工作的半導體裝置。藉由本發明的一個方式，可以提供一種能夠降低功耗的半導體裝置。

【0015】 注意，上述效果的記載不妨礙其他效果的存在。此外，本發明的一個方式並不需要具有所有上述效果。另外，除上述效果外的效果從

說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中抽出。

【圖式簡單說明】

【0016】 在圖式中：

圖1A至圖1C是說明半導體裝置的結構的一個例子的圖；

圖2A和圖2B是說明半導體裝置的結構的一個例子的圖；

圖3A至圖3D是說明半導體裝置的結構的一個例子的圖；

圖4是說明半導體裝置的工作的流程圖；

圖5是說明半導體裝置的結構的一個例子的圖；

圖6A至圖6C是說明半導體裝置的結構的一個例子的電路圖；

圖7A至圖7C是說明半導體裝置的結構的一個例子的電路圖；

圖8是說明半導體裝置的結構的一個例子的電路圖；

圖9是說明半導體裝置的結構的一個例子的電路圖；

圖10是說明半導體裝置的結構的一個例子的電路圖；

圖11A和圖11B是說明半導體裝置的結構的一個例子的電路圖；

圖12A至圖12D是說明半導體裝置的結構的一個例子的電路圖；

圖13A至圖13D是說明電晶體的結構的一個例子的圖；

圖14A至圖14C是說明電晶體的結構的一個例子的圖；

圖15是說明電晶體的結構的一個例子的圖；

圖16A至圖16C是說明電晶體的結構的一個例子的圖；

圖17A至圖17C是說明電晶體的結構的一個例子的圖；

圖18是說明電晶體的結構的一個例子的圖；

圖19A至圖19E是說明半導體裝置的使用實例的圖。

【實施方式】

【0017】 下面，參照圖式對本發明的實施方式進行詳細說明。注意，本發明不侷限於以下實施方式中的說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

【0018】 另外，本發明的一個方式在其範疇內包括包含RF（Radio Frequency：射頻）標籤、顯示裝置及積體電路的所有裝置。此外，顯示裝置在其範疇內包括液晶顯示裝置、其每個像素具備以有機發光元件為代表的發光元件的發光裝置、電子紙、DMD（Digital Micromirror Device：數位微鏡裝置）、PDP（Plasma Display Panel；電漿顯示面板）、FED（Field Emission Display；場致發射顯示器）等具有積體電路的顯示裝置。

【0019】 注意，當利用圖式說明發明結構時，表示相同部分的元件符號在不同的圖式中共同使用。

【0020】 另外，在本說明書等中，可以在某一個實施方式中示出的圖式或者文章中取出其一部分而構成發明的一個方式。因此，在記載有說明某一部分的圖式或者文章的情況下，取出的圖式或者文章的一部分的內容也算是所公開的發明的一個方式，所以能夠構成發明的一個方式。並且，可以說該發明的一個方式是明確的。因此，例如，可以在記載有主動元件（電晶體等）、佈線、被動元件（電容器等）、導電層、絕緣層、半導體層、零件、裝置、工作方法、製造方法等中的一個或多個的圖式或者文章中，

可以取出其一部分而構成發明的一個方式。例如，可以從由N個（N是整數）電路元件（電晶體、電容器等）構成的電路圖中取出M個（M是整數， $M < N$ ）電路元件（電晶體、電容器等）來構成發明的一個方式。作為其他的例子，當從“A包括B、C、D、E或F”的記載中任意抽出一部分的要素時，可以構成“A包括B和E”、“A包括E和F”、“A包括C、E和F”或者“A包括B、C、D和E”等的發明的一個方式。

【0021】 在本說明書等中，當在某一個實施方式中示出的圖式或文章示出至少一個具體例子的情況下，所屬技術領域的普通技術人員可以很容易地理解一個事實就是可由上述具體例子導出該具體例子的上位概念。因此，當在某一個實施方式中示出的圖式或文章示出至少一個具體例子的情況下，該具體例子的上位概念也是所公開的發明的一個方式，而可以構成發明的一個方式。並且，可以說該發明的一個方式是明確的。

【0022】 另外，在本說明書等中，至少示於圖式中的內容（也可以是其一部分）是所公開的發明的一個方式，而可以構成發明的一個方式。因此，即使在文章中沒有該某一個內容的描述，如果該內容示於圖式中，就可以說該內容是所公開的發明的一個方式，而可以構成發明的一個方式。同樣地，取出圖式的一部分的圖式也是所公開的發明的一個方式，而可以構成發明的一個方式。並且，可以說該發明的一個方式是明確的。

【0023】 另外，關於在說明書中的文章或圖式中未規定的內容，可以規定發明的一個方式不包括該內容而構成。另外，當有某一個值的數值範圍的記載（上限值和下限值等）時，藉由任意縮小該範圍或者去除該範圍中的一部分，可以規定發明的一個方式不包括該範圍的一部分。由此，例

如，可以規定習知技術不包括在本發明的一個方式的技術範圍內。

【0024】 另外，在本說明書等中，即使未指定主動元件（電晶體等）、被動元件（電容器等）等所具有的所有端子的連接目標，所屬技術領域的普通技術人員有時也能夠構成發明的一個方式。即，可以說，即使未指定連接目標，發明的一個方式也是明確的。並且，當指定了連接目標的內容記載於本說明書等中時，有時可以判斷未指定連接目標的發明的一個方式記載於本說明書等中。尤其是在端子連接目標有可能是多個的情況下，該端子的連接目標不必限定在指定的部分。因此，有時藉由僅指定主動元件（電晶體等）、被動元件（電容器等）等所具有的一部分的端子的連接目標，就能構成發明的一個方式。

【0025】 另外，在本說明書等中，只要至少指定某一個電路的連接目標，所屬技術領域的普通技術人員就有時可以構成發明。或者，只要至少指定某一個電路的功能，所屬技術領域的普通技術人員就有時可以構成發明。即，可以說，只要指定功能，發明的一個方式就是明確的。另外，有時可以判斷指定了功能的發明的一個方式是記載於本說明書等中的。因此，即使未指定某一個電路的功能，只要指定連接目標，就算是所公開的發明的一個方式，而可以構成發明的一個方式。另外，即使未指定某一個電路的連接目標，只要指定其功能，就算是所公開的發明的一個方式，而可以構成發明的一個方式。

【0026】 實施方式1

在本實施方式中，說明根據本發明的一個方式的結構的一個例子。

【0027】 圖1A示出根據本發明的一個方式的半導體裝置10的結構的

一個例子。半導體裝置10包括電路20、電路30、電路40、電路50、電路60及電路70。

【0028】 在本發明的一個方式中，可以將電路50用作具有運算功能的記憶體電路。因此，電路50可以將儲存於電路50的資料、從電路40輸入的資料以及作為將這些資料用作輸入信號的運算工作的結果得到的資料輸出到電路60。由此，可以在電路50中進行本來應該在電路60中進行的運算，從而減輕電路60中的運算的負擔。另外，可以減少在電路50與電路60之間進行的資料收發次數。因此，可以提高半導體裝置10的工作速度。下面，說明圖1A所示的各電路。

【0029】 電路20具有檢測出來自外部的資料的功能。電路20可以由具有檢測出所指定的物理量或化學量的功能的感測器等構成。

【0030】 在此說明的物理量是指溫度、壓力、流量、光、磁性、音波、加速度、濕度等，化學量是指如氣體等氣體成分或者離子等液體成分等的化學物質的量。另外，作為化學量，還包括包含在血液、汗、尿等中的特定生物物質等有機化合物的量。尤其在檢測化學量時，選擇性地檢測出某種特定物質，因此較佳為預先在電路20中設置與要檢測的特定物質起反應的物質。例如，當檢測生物物質時，較佳為將與要檢測的生物物質起反應的酵素、抗體或微生物細胞等固定於高分子等中而在電路20中設置該酵素、抗體或微生物細胞等。

【0031】 在此，電路20較佳為具有檢測出人或動物的生物資料的功能。作為該生物資料，可以舉出體溫、血壓、脈搏數、出汗量、肺活量、血糖值、白血球數量、紅血球數量、血小板數量、血紅蛋白濃度、血細胞

比容、GOT (AST) 含量、GPT (ALT) 含量、 γ -GTP含量、LDL膽固醇值、HDL膽固醇值、中性脂肪值等。藉由使電路20具有檢測出生物資料的功能，可以將半導體裝置10用作健康管理系統。

【0032】 電路30具有控制電路20中的資料檢測的功能。電路30可以由具有控制電路20檢測出來自外部的資料的頻率或時刻的功能的計時器等構成。另外，電路30可以計算電路20檢測出來自外部的資料的時刻而將該時刻輸出到電路50。

【0033】 電路40具有將電路20所檢測的資料轉換為數位信號的功能。電路40可以由具有將對應於從電路20輸入的生物資料的類比信號轉換為數位信號的功能的AD轉換器等構成。

【0034】 電路50具有儲存從電路40輸入的資料的功能。電路50還具有將從電路40輸入的資料或儲存於電路50的資料作為輸入信號進行運算的功能。即，可以將電路50用作具有運算功能的記憶體電路。

【0035】 明確而言，電路50包括電路80及電路90。電路80包括具有儲存資料的功能的電路（以下，還稱為記憶體電路）。電路80可以由具備多個記憶體電路的單元陣列構成。雖然記憶體電路可以由DRAM單元或SRAM單元等揮發性記憶單元、EPROM單元或MRAM單元等非揮發性記憶單元構成，但尤其較佳為包括在其通道形成區包含氧化物半導體的電晶體（以下，還稱為OS電晶體）。

【0036】 氧化物半導體的能帶間隙比矽等大，且本質載子密度較低。因此，OS電晶體的關態電流（off-state current）極低。由此，藉由將電路80所包括的記憶體電路由OS電晶體構成，可以長時間地保持儲存於記憶體電

路的資料。

【0037】 另外，OS電晶體在被微型化時能夠高速工作。因此，藉由將電路80所包括的記憶體電路由OS電晶體構成，可以提高電路80所包括的記憶體电路的工作速度。

【0038】 電路90包括具有運算功能的電路（以下，還稱為算術電路）。算術電路可以由NOT電路、AND電路、OR電路、NAND電路、NOR電路、XOR電路、XNOR電路等邏輯電路構成。另外，可以藉由組合上述邏輯電路而構成比較電路、加法電路、減法電路、乘法電路、除法電路等。

【0039】 電路90具有將從電路40輸入的資料或儲存於電路80的資料作為輸入信號進行運算的功能。例如，當電路90包括比較電路時，可以對從電路40輸入的資料與儲存於電路80的資料進行比較。在此，當從電路40輸入的資料為電路20所檢測的生物資料且儲存於電路80的資料為所指定的參考值時，可以在電路90中對生物資料與參考值進行比較而判斷生物資料是正常值還是異常值。注意，也可以將從電路40輸入的資料暫時儲存於電路80而將該資料作為輸入信號進行運算。

【0040】 另外，當電路90包括減法電路時，可以算出從電路40輸入的資料與儲存於電路80的資料的差值。另外，當電路90包括加法電路及除法電路時，可以算出從電路40輸入的資料與儲存於電路80的資料的平均值。在此，當從電路40輸入的資料為電路20所檢測的生物資料且儲存於電路80的資料為之前檢測出的生物資料時，可以在電路90中算出生物資料的變動及平均值。

【0041】 如圖1B所示，電路80具有儲存從電路40輸入的資料或藉由電

路90中的運算得到的資料的功能。另外，電路80還具有將儲存於電路80的資料輸出到電路90或電路60的功能。電路90具有將從電路40輸入的資料或儲存於電路80的資料作為輸入信號進行運算的功能。另外，電路90還具有將運算的結果輸出到電路80或電路60的功能。

【0042】 電路60具有進行資訊處理或其他電路的控制等的功能。電路60可以使用包括由多個電晶體構成的時序電路及組合電路等各種邏輯電路的處理器等形式。注意，在本發明的一個方式中，電路50包括具有算術電路的電路90。因此，可以在電路50內部進行本來應該在電路60中進行的運算（尤其是，將儲存於電路80的資料作為輸入信號進行的運算）。因此，能夠省略電路60對儲存於電路50的資料進行存取或將電路60中的運算結果寫入電路50的工作等，所以能夠減少在電路50與電路60之間進行的資料收發次數。

【0043】 電路70是具有進行信號收發的功能的通信電路。電路70由電路60控制，可以將儲存於電路80的資料或電路90中的運算結果發送到半導體裝置10的外部。可以藉由設置於半導體裝置的外部的電腦或讀取/寫入器等讀取從電路70發送的資料。

【0044】 注意，在電路70中進行的信號收發可以藉由有線或無線進行。當在電路70中以無線信號進行信號收發時，可以將半導體裝置10用作能夠戴在衣服或身體上的可穿戴健康管理系統。

【0045】 如上所述，在本發明的一個方式中，可以將電路50用作具有運算功能的記憶體電路。因此，電路50可以將儲存於電路50的資料、從電路40輸入的資料以及作為將這些資料用作輸入信號的運算工作的結果得到的

資料輸出到電路60。由此，可以在電路50中進行本來應該在電路60中進行的運算，從而減輕電路60中的運算的負擔。另外，可以減少在電路50與電路60之間進行的資料收發次數。因此，可以提高半導體裝置10的工作速度。

【0046】 圖1C示出電路50的剖面結構的示意圖。電路50包括：基板100上的電路90；電路90上的絕緣層101；以及絕緣層101上的電路80。即，電路50具有層疊有電路90和電路80的結構。絕緣層101具有開口部，在該開口部中設置有導電層102。並且，電路90藉由導電層102與電路80連接。

【0047】 在此，電路80和電路90中的一個較佳為具有與其另一個的一部分重疊的區域。由此，在抑制電路50的面積增加的同時還可以對用作記憶體電路的電路50附加運算功能。因此，能夠縮小半導體裝置10的面積。此外，電路80和電路90中的一個具有與其另一個整體重疊的區域，由此能夠進一步縮小電路50的面積。

【0048】 注意，當在本說明書等中明確地記載為“X與Y連接”時，包括如下情況：X與Y電連接的情況；X與Y在功能上連接的情況；以及X與Y直接連接的情況。因此，還包括圖式或文章所示的連接關係以外的連接關係，而不侷限於指定的連接關係，例如圖式或文章所示的連接關係。這裡，X和Y為物件（例如是裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

【0049】 作為X和Y電連接時的一個例子，可以在X和Y之間連接一個以上的能夠電連接X和Y的元件（例如是開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件、負載等）。另外，開關具有控制開啟和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非

導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。

【0050】 另外，作為X與Y在功能上連接的情況的一個例子，例如可以在X與Y之間連接一個以上的能夠在功能上連接X與Y的電路（例如，邏輯電路（反相器、NAND電路、NOR電路等）、信號轉換電路（DA轉換電路、AD轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在X與Y之間夾有其他電路，當從X輸出的信號傳送到Y時，也可以說X與Y在功能上是連接著的。

【0051】 此外，當明確地記載為“X與Y電連接”時，包括如下情況：X與Y電連接的情況（換言之，以中間夾有其他元件或其他電路的方式連接X與Y的情況）；X與Y在功能上連接的情況（換言之，以中間夾有其他電路的方式在功能上連接X與Y的情況）；以及X與Y直接連接的情況（換言之，以中間不夾有其他元件或其他電路的方式連接X與Y的情況）。即，明確記載為“電連接”的情況與簡單地明確記載為“連接”的情況相同。

【0052】 注意，例如，在電晶體的源極（或第一端子等）藉由Z1（或沒有藉由Z1）與X電連接，電晶體的汲極（或第二端子等）藉由Z2（或沒有藉由Z2）與Y電連接的情況下以及在電晶體的源極（或第一端子等）與Z1的一部分直接連接，Z1的另一部分與X直接連接，電晶體的汲極（或第二端子等）與Z2的一部分直接連接，Z2的另一部分與Y直接連接的情況下，可以

表現為如下。

【0053】 例如，可以表達為“X、Y、電晶體的源極（或第一端子等）及電晶體的汲極（或第二端子等）互相電連接，並按X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）及Y的順序電連接”。或者，可以表達為“電晶體的源極（或第一端子等）與X電連接，電晶體的汲極（或第二端子等）與Y電連接，並按X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）及Y的順序電連接”。或者，可以表達為“X藉由電晶體的源極（或第一端子等）及汲極（或第二端子等）與Y電連接，並按X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）及Y的順序連接”。藉由使用與這些例子相同的表達方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。注意，上述表達方法只是一個例子，不侷限於上述表達方法。在此，X、Y、Z1及Z2為物件（例如是裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

【0054】 另外，即使示出在圖式上獨立的構成要素相互電連接，也有一個構成要素兼有多個構成要素的功能的情況。例如，在佈線的一部分被用作電極時，一個導電膜兼有佈線和電極的兩個構成要素的功能。因此，本說明書中的“連接”的範疇內還包括這種一個導電膜兼有多個構成要素的功能的情況。

【0055】 在此，電路90可以使用其通道形成區形成在基板100的一部分中的電晶體構成。此時，基板100較佳為包括單晶半導體的基板。作為這種基板100，可以使用單晶矽基板或單晶鍺基板等。藉由作為基板100使用包

括單晶半導體的基板，可以使用在其通道形成區包括單晶半導體的電晶體形成電路90。在其通道形成區包括單晶半導體的電晶體的電流供應能力較高，因此藉由使用這種電晶體構成電路90，可以提高電路90中的運算速度。

【0056】 接著，使用圖2A和圖2B說明電路50的結構的一個例子。

【0057】 圖2A是示出圖1A至圖1C中的電路50的結構的一個例子的透視圖。電路50包括：基板100上的電路90；電路110；電路120；電路90、電路110、電路120上的絕緣層101；以及絕緣層101上的電路80。另外，電路80包括多個記憶體電路81。

【0058】 電路90是包括算術電路的電路，電路90與記憶體電路81連接。電路90可以將儲存於記憶體電路81的資料作為輸入信號進行運算，並將運算結果輸出到電路60（參照圖1B）。另外，電路90還可以將從電路50外部（例如，圖1B中的電路40）輸入的資料作為輸入信號進行運算。

【0059】 電路110是具有從多個記憶體電路81中選擇特定的記憶體電路81的功能的驅動電路。明確而言，電路110具有對與特定的記憶體電路81連接的佈線供應用來選擇該特定的記憶體電路81的信號（以下還稱為選擇信號）的功能。

【0060】 電路120是具有對記憶體電路81寫入資料或讀取儲存於記憶體電路81的資料的功能的驅動電路。明確而言，電路120具有對與特定的記憶體電路81連接的佈線供應與寫入到該特定的記憶體電路81的資料對應的電位（以下，還稱為寫入電位）的功能。另外，電路120還具有根據與特定的記憶體電路81連接的佈線的電位讀取儲存於該特定的記憶體電路81的資料的功能。注意，電路120也可以具有對與記憶體電路81連接的佈線供應所

指定的電位的預充電功能。

【0061】 在此，基板100較佳為包括單晶半導體的基板。由此，可以使用在其通道形成區包括單晶半導體的電晶體構成電路90、電路110、電路120。因此，能夠提高電路90、電路110、電路120的工作速度。

【0062】 電路80可以由將多個記憶體電路81作為記憶單元的單元陣列構成。注意，多個記憶體電路81分別與電路90、電路110及電路120連接。

【0063】 在此，記憶體電路81可以使用其通道形成區形成在半導體膜中的電晶體構成。例如，記憶體電路81可以由在其通道形成區包括非單晶半導體的電晶體構成。作為非單晶半導體，可以使用非晶矽、微晶矽、多晶矽等非單晶矽或者非晶鍺、微晶鍺、多晶鍺等非單晶鍺等。另外，記憶體電路81可以由OS電晶體構成。因為其通道形成區形成在上述半導體膜中的電晶體可以形成在絕緣層101上，所以可以將記憶體電路81形成於絕緣層101上。由此，電路50可以具有層疊有電路80與電路90的結構。

【0064】 在此，記憶體電路81尤其較佳為使用OS電晶體形成。由於OS的關態電流極低，所以藉由將OS電晶體用於記憶體電路81，在停止對電路80供應電力的期間也能夠長時間地保持儲存於記憶體電路81的資料。因此，可以將記憶體電路81用作非揮發性記憶單元或更新工作頻率極低的記憶單元。

【0065】 另外，OS電晶體在被微型化時能夠高速工作。因此，藉由將OS電晶體用於記憶體電路81，能夠提高記憶體電路81的工作速度。明確而言，可以將記憶體電路81的寫入速度及讀取速度設定為10ns以下，較佳為5ns以下，更佳為1ns以下。注意，可以將OS電晶體的通道長度設定為100nm

以下，較佳為60nm以下，更佳為40nm以下，進一步較佳為30nm以下。

【0066】 在此，電路90較佳為具有與電路80重疊的區域。明確而言，電路90較佳為具有至少與多個記憶體電路81中的任一個重疊的區域。由此，在抑制電路50的面積增加的同時還可以對用作記憶體電路的電路50附加運算功能。另外，藉由以具有與多個記憶體電路81的所有電路重疊的區域的方式配置電路90，可以進一步縮小電路50的面積。此外，也可以以具有至少與多個記憶體電路81中的任一個重疊的區域的方式配置電路110或電路120。

【0067】 注意，雖然在圖2A中設置一層包括多個記憶體電路81的電路80，但也可以設置兩層以上的這種電路。例如，也可以在電路80上設置絕緣層，並且還在該絕緣層上設置包括多個記憶體電路81的電路。藉由採用這種結構，在抑制電路50的面積增加的同時還能夠實現記憶體電路的大容量化。

【0068】 另外，雖然在圖2A中示出了電路110及電路120設置在基板100上的例子，但不侷限於此，也可以將電路110及電路120設置在絕緣層101上（圖2B）。此時，電路110及電路120可以使用其通道形成區形成在半導體膜中的電晶體構成，但尤其較佳為使用關態電流較低且能夠高速工作的OS電晶體構成。

【0069】 接著，圖3A至圖3D示出電路50的俯視圖的例子。注意，圖3C對應於電路110、電路120設置在基板100上的結構（參照圖2A）的俯視圖，而圖3D對應於電路110、電路120設置在絕緣層101上的結構（參照圖2B）的俯視圖。

【0070】 如圖3A所示，可以以具有與電路90整體重疊的區域的方式

配置電路80。由此，與將電路80與電路90形成在同一平面上的情況相比，能夠抑制電路50的面積增加。注意，也可以以具有與電路90的一部分重疊的區域的方式配置電路80。

【0071】 另外，如圖3B所示，也可以以具有與電路80整體重疊的區域的方式配置電路90。此外，也可以以具有與電路80的一部分重疊的區域的方式配置電路90。

【0072】 另外，如圖3C所示，也可以以具有與電路90整體重疊的區域、與電路110整體重疊的區域及與電路120整體重疊的區域的方式配置電路80。此時，在抑制電路50的面積增加的同時可以使電路80的面積比圖3A和圖3B所示的結構更大。由此，可以實現用作記憶體電路的電路80的大容量化。此外，電路80可以以與電路110的一部分重疊的方式配置，也可以以與電路120的一部分重疊的方式配置。

【0073】 另外，如圖3D所示，也可以以具有與電路80整體重疊的區域、與電路110整體重疊的區域及與電路120整體重疊的區域的方式配置電路90。此時，在抑制電路50的面積增加的同時可以使電路90的面積比圖3A和圖3B所示的結構更大。由此，可以增加電路90所具有的算術電路的數量及種類，從而能夠提高電路90中的運算速度，並增加其運算種類。此外，電路90可以以與電路110的一部分重疊的方式配置，也可以以與電路120的一部分重疊的方式配置。

【0074】 接著，使用圖4的流程圖說明圖1A至圖1C的半導體裝置10的工作的一個例子。在此，作為一個例子說明將半導體裝置10用作能夠判斷所檢測的生物資料是正常值還是異常值的健康管理系統的情況。

【0075】 首先，藉由電路30控制電路20，來檢測出生物資料（步驟S1）。然後，在電路40中將對應於所檢測的生物資料的類比信號轉換為數位信號（步驟S2）。

【0076】 接著，在電路50中判斷生物信號是正常值還是異常值（步驟S3）。該判斷在電路90中對從電路40輸入到電路50的生物資料值與預先儲存於電路80的參考值進行比較來執行。例如，當作為生物資料檢測血糖值（BS）時，將所指定的血糖值（例如， $BS=126\text{ (mg/dl)}$ ）作為參考值而儲存於電路80中。然後，對從電路40輸入的血糖值與參考值進行比較，若血糖值小於參考值則判斷為正常值，而若血糖值為參考值以上則判斷為異常值。

【0077】 當在步驟S3中生物資料被判斷為正常值時，在電路90中進行資料處理（步驟S4）。作為電路90中的資料處理，例如可以舉出生物資料的變動量或平均值的算出。

【0078】 生物資料的變動量可以藉由算出在某時刻檢測出的生物資料值與在該時刻之前檢測出的生物資料值的差值來得到。該差值可以藉由在電路90中作為算術電路設置減法電路來算出。

【0079】 另外，生物資料的平均值可以藉由算出到某時刻為止檢測出的生物資料值的總和而將該值除以所檢測的生物資料的個數來得到。注意，平均值可以藉由在電路90中作為算術電路設置加法電路及除法電路來算出。

【0080】 然後，將藉由資料處理得到的結果儲存於電路80（步驟S5）。注意，可以藉由電路60的控制將儲存於電路80的資料從電路70發送到外部。

【0081】 注意，在不進行電路90中的資料處理而將從電路40輸入的生

物資料直接儲存於電路80或輸出到電路60的情況下，可以省略步驟S4的資料處理。

【0082】 當在步驟S3中生物資料被判斷為異常值時，將通知該資料為異常值的信號（以下，還稱為中斷信號）從電路50輸出到電路60（步驟S6）。然後，接收中斷信號的電路60控制電路70，而電路70將對應於異常值的信號發送到外部（步驟S7）。

【0083】 注意，在生物資料為異常值的情況下也可以與該生物資料為正常值的情況同樣地進行資料處理（步驟S8）及電路80中的資料儲存（步驟S9）。此時，在電路80中可以儲存判斷為異常值的生物資料值及檢測出異常值的時刻等。這些資料可以從電路70發送到外部。

【0084】 如上所述，在本發明的一個方式中，可以將電路50用作具有運算功能的記憶體電路。因此，電路50可以將儲存於電路50的資料、從電路40輸入的資料以及作為將這些資料用作輸入信號的運算工作的結果得到的資料輸出到電路60。由此，可以在電路50中進行本來應該在電路60中進行的運算，從而減輕電路60中的運算的負擔。另外，可以減少在電路50與電路60之間進行的資料收發次數。因此，可以提高半導體裝置10的工作速度。

【0085】 另外，本發明的一個方式可以採用電路80和電路90中的一個具有與其另一個的至少一部分重疊的區域的結構。由此，在抑制電路50的面積增加的同時還可以對用作記憶體電路的電路50附加運算功能。因此，能夠縮小半導體裝置10的面積。

【0086】 注意，本實施方式可以與其他實施方式的記載適當地組合。因此，在本實施方式中描述的內容（也可以是其一部分的內容）可以應用

於、組合於或者替換成在該實施方式中描述的其他內容（也可以是其一部分的內容）和/或在一個或多個其他實施方式中描述的內容（也可以是其一部分的內容）。此外，在實施方式中描述的內容是指在各實施方式中利用各種圖式來說明的內容或利用說明書中的文章來說明的內容。另外，藉由使在一個實施方式中示出的圖式（也可以是其一部分）與該圖式的其他部分、在該實施方式中示出的其他圖式（也可以是其一部分）和/或在一個或多個其他實施方式中示出的圖式（也可以是其一部分）組合，可以構成更多圖式。這在下面的實施方式中也是同樣的。

【0087】 實施方式2

在本實施方式中，說明根據本發明的一個方式的結構的具體例子。在此，尤其說明具有判斷所檢測的生物資料是正常值還是異常值的健康管理系統的功能的半導體裝置10的結構。

【0088】 圖5示出電路50的結構的一個例子。電路50包括電路80、電路90、電路110、電路120以及多個電路83。注意，在圖5中，為了方便起見，在同一平面上示出了電路80和電路90，但實際上如圖1A至圖3D所示，電路80和電路90相互重疊地層疊。

【0089】 電路80包括多個記憶體電路81及多個記憶體電路82。在此，電路80包括 n 行 m 列（ n 、 m 為自然數）的記憶體電路81（記憶體電路81[1，1]至[n ， m]）以及一行 m 列的記憶體電路82（記憶體電路82[1]至[m]）。注意，也可以設置兩行以上的記憶體電路82。將記憶體電路81及記憶體電路82用作記憶單元，而將電路80用作由多個記憶單元構成的單元陣列。

【0090】 在此，電路80包括 n 行 m 列的記憶體電路81，因此可以儲存 n

種 m 位元資料。因此，可以儲存在不同的時刻或條件下檢測出的 n 種 m 位元的生物資料值。注意，記憶體電路81的列數（ m ）可以根據所檢測的生物資料而自由地決定。例如，在作為生物資料檢測血糖值的情況下，在 m 為8時可以儲存 $BS=0$ 至 255 （ mg/dl ）的範圍內的數值。

【0091】 注意，記憶體電路81較佳為使用OS電晶體構成。由此，能夠長時間地保持儲存於記憶體電路81的生物資料，從而可以將記憶體電路81用作非揮發性記憶單元或更新工作頻率極低的記憶單元。

【0092】 另外，電路80所具有的一行 m 列的記憶體電路82可以儲存一種 m 位元資料。在此，記憶體電路82[1]至[m]可以儲存成為生物資料的參考值的 m 位元的資料。該參考值例如可以是生物資料的正常值與異常值的邊界值（正常值的上限值或下限值）。例如，當作為生物資料檢測血糖值時，作為血糖值的正常值的上限值可以儲存 $BS=126$ （ mg/dl ）。

【0093】 此外，雖然在此說明了設置一行記憶體電路82的例子，但也可以設置多行記憶體電路82。此時，因為可以儲存多個參考值，所以記憶體電路82可以儲存生物資料的上限值、下限值、多個上限值或多個下限值。注意，對記憶體電路82的行數沒有特別的限制，可以選擇1以上的任意數。

【0094】 例如，當作為生物資料檢測血糖值時，設置三行的 m 列記憶體電路82，而可以在第一行的記憶體電路82中儲存第一上限值（例如， $BS=110$ （ mg/dl ）），在第二行的記憶體電路82中儲存第二上限值（例如， $BS=116$ （ mg/dl ）），且在第三行的記憶體電路82中儲存第三上限值（例如， $BS=126$ （ mg/dl ））。由此可以對所檢測的血糖值與第一至第三上限值進行比較，從而能夠分階段地判斷生物資料是否異常。

【0095】 在此，記憶體電路82尤其較佳為使用OS電晶體形成。由於OS的關態電流極低，所以藉由將OS電晶體用於記憶體電路82，在停止對電路80供應電力的期間也能夠長時間地保持儲存於記憶體電路82的資料。因此，可以將記憶體電路82用作非揮發性記憶單元或更新工作頻率極低的記憶單元。因此，在對記憶體電路82一旦寫入參考值之後，在停止對電路80供應電力的期間也能夠長時間地保持該參考值。

【0096】 電路110藉由多個佈線111（佈線111[1]至[n]）與記憶體電路81連接。另外，電路110藉由佈線112與記憶體電路82連接。電路110是具有將選擇信號供應到佈線111或佈線112的功能的驅動電路。

【0097】 電路120藉由多個佈線121（佈線121[1]至[m]）與記憶體電路81及記憶體電路82連接。電路120是具有將與寫入到記憶體電路81或記憶體電路82的資料對應的電位供應到佈線121的功能以及根據佈線121的電位讀取儲存於記憶體電路81或記憶體電路82的資料的功能的驅動電路。注意，電路120也可以具有對佈線121供應所指定的電位的預充電功能。

【0098】 多個電路83（電路83[1]至[m]）的每一個與佈線113、佈線121及電路90連接。電路83具有控制將儲存於記憶體電路81的資料輸出到電路90的開關的功能。根據佈線113的電位控制電路83的導通狀態，當在電路90中進行運算時電路83處於導通狀態。

【0099】 電路83例如可以由電晶體等構成。當電路83使用電晶體形成時，在該電晶體中閘極與佈線113連接，源極和汲極中的一個與佈線121連接，源極和汲極中的另一個與電路90連接，即可。此時，根據佈線113的電位控制電晶體的導通狀態。藉由使電晶體處於導通狀態，可以將儲存於記

憶體電路81的資料輸出到電路90，而在電路90中執行運算。

【0100】 另外，當作為電路83使用電晶體時，可以使用OS電晶體。由於OS電晶體的關態電流極低，因此在不進行電路90中的運算的期間，即在OS電晶體處於非導通狀態的期間，能夠大幅度抑制電荷移動在佈線121與電路90之間。

【0101】 注意，在本說明書等中，電晶體的源極是指用作活性層的半導體的一部分的源極區或與上述半導體連接的源極電極。同樣地，電晶體的汲極是指上述半導體的一部分的汲極區或與上述半導體連接的汲極電極。另外，閘極是指閘極電極。

【0102】 電晶體的源極和汲極的名稱根據電晶體的導電型及施加到各端子的電位的高低而相互調換。一般而言，在n通道型電晶體中，將被施加低電位的端子稱為源極，而將被施加高電位的端子稱為汲極。另外，在p通道型電晶體中，將被施加低電位的端子稱為汲極，而將被施加高電位的端子稱為源極。在本說明書中，雖然為方便起見在一些情況下假定源極和汲極是固定的，來描述電晶體的連接關係，但實際上，源極和汲極的名稱可以根據上述電位關係而相互調換。

【0103】 電路90包括電路91及電路92。電路91具有運算功能，並包括1個以上的算術電路。算術電路可以由NOT電路、AND電路、OR電路、NAND電路、NOR電路、XOR電路、XNOR電路等邏輯電路構成。另外，可以藉由組合上述邏輯電路而構成比較電路、加法電路、減法電路、乘法電路、除法電路等。在此，對電路91包括比較電路的情況進行說明。

【0104】 電路91與記憶體電路82、電路83及電路92連接。藉由電路83

將儲存於記憶體電路81的資料輸入到電路91中，並且將儲存於記憶體電路82的資料輸入到電路91中。此外，電路91具有對這些資料的大小進行比較而將對應於該比較結果的信號輸出到電路92的功能。例如，電路91可以對儲存於記憶體電路81[1，1]至[n，1]中的任一個的資料與儲存於記憶體電路82[1]的資料進行比較。

【0105】 在此，在記憶體電路81中儲存有藉由電路20（參照圖1A和圖1B）檢測出的生物資料值，而在記憶體電路82中儲存有所指定的參考值。並且，電路91可以對儲存於特定的行的記憶體電路81的m位元的生物資料值與儲存於記憶體電路82的m位元的參考值進行比較。由此，能夠判斷所檢測的生物資料是正常值還是異常值。例如，當儲存於記憶體電路81的生物資料值為儲存於記憶體電路82的參考值以上時，將其判斷為異常值。

【0106】 當在電路91中生物資料被判斷為異常值時，電路92具有將中斷信號輸出到電路60（參照圖1）的功能。例如，電路92具有在生物資料為正常值時輸出資料“1”而在該資料為異常值時作為中斷信號輸出資料“0”的功能。並且，當資料“0”輸出到電路60時，電路70由電路60控制，從電路70將對應於異常值的信號發送到外部。

【0107】 此外，多個電路83可以與電路90設置在同一層中（圖1C、圖2A和圖2B所示的基板100上），也可以與電路80設置在同一層中（圖1C、圖2A和圖2B所示的絕緣層101上）。在此，當作為電路83使用OS電晶體時，較佳為將電路83與電路80設置在同一層中。此時，構成電路83的OS電晶體可以與記憶體電路81及記憶體電路82所具有的OS電晶體經同一製程製造。

【0108】 接著，圖6A至圖6C示出記憶體電路81及記憶體電路82的具

體結構的一個例子。

【0109】 圖6A示出記憶體電路81的結構實例。記憶體電路81包括電晶體201及電容器202。在電晶體201中，閘極與佈線111連接，源極和汲極中的一個與佈線121連接，源極和汲極中的另一個與節點M1連接。電容器202的一個電極與節點M1連接，另一個電極與被供應所指定的電位的佈線203連接。注意，雖然在此示出了電晶體201為n通道型電晶體的情況，但不侷限於此，電晶體201也可以為n通道型電晶體或p通道型電晶體。另外，佈線203也可以為高電位電源線或低電位電源線（接地線等）。記憶體電路81可以儲存生物資料。

【0110】 在此，作為電晶體201使用OS電晶體。在圖式中附記“OS”的電晶體是OS電晶體（以下也是同樣的）。因為OS電晶體的關態電流極低，所以可以在電晶體201處於非導通狀態的期間長時間地保持節點M1的電位。因此，可以將記憶體電路81用作非揮發性記憶單元或更新工作頻率極低的記憶單元。

【0111】 另外，OS電晶體在被微型化時能夠高速工作。因此，藉由作為電晶體201使用OS電晶體，可以提高記憶體電路81的工作速度。

【0112】 接著，說明圖6A所示的記憶體電路81的工作。

【0113】 首先，對佈線121供應寫入電位。然後，在將佈線203的電位維持為恆定電位的狀態下將佈線111的電位設定為使電晶體201成為導通狀態的電位而使電晶體201處於導通狀態。由此，佈線121的電位被供應到節點M1（資料的寫入）。

【0114】 接著，將佈線111的電位設定為使電晶體201成為非導通狀態

的電位而使電晶體201處於非導通狀態。由此，節點M1成為浮動狀態，而保持節點M1的電位（資料的保持）。在此，電晶體201為OS電晶體，其關態電流極低，所以能夠長時間地保持節點M1的電位。

【0115】 接著，使佈線121處於浮動狀態，並在將佈線203的電位維持為恆定電位的狀態下將佈線111的電位設定為使電晶體201成為導通狀態的電位而使電晶體201處於導通狀態。由此，節點M1的電位被供應到佈線121。此時，佈線121的電位取決於節點M1的電位。此時，藉由讀取佈線121的電位，能夠讀出儲存於記憶體電路81的資料。

【0116】 注意，資料的改寫可以與上述資料的寫入及保持同樣地進行。

【0117】 另外，圖6B示出記憶體電路82的結構實例。記憶體電路82包括電晶體211、電容器212及電路214。在電晶體211中，閘極與佈線112連接，源極和汲極中的一個與佈線121連接，源極和汲極中的另一個與節點M2連接。電容器的一個電極與節點M2連接，另一個電極與被供應所指定的電位的佈線213連接。電路214的輸入端子與節點M2連接，輸出端子與電路90連接。注意，作為電晶體211使用OS電晶體。雖然在此示出了電晶體211為n通道型電晶體的情況，但不侷限於此，電晶體211也可以為n通道型電晶體或p通道型電晶體。另外，佈線213也可以為高電位電源線或低電位電源線（接地線等）。

【0118】 在記憶體電路82中，可以與圖6A所示的記憶體電路81同樣地進行資料的寫入、保持及改寫。記憶體電路82可以儲存用來與記憶體電路81所儲存的生物資料值進行比較的參考值。

【0119】 另外，記憶體電路82可以將對應於保持在節點M2中的電位的資料藉由電路214輸出到電路90。在此，電路214只要具有在維持節點M2的電位的同時輸出對應於節點M2的電位的信號的功能，就沒有特別的限制。作為電路214例如可以使用反相器或類比開關等邏輯元件。當作為電路214使用反相器時，該反相器的輸入端子與節點M2連接，輸出端子與電路90連接。並且，當在電路90中進行運算時，可以使用從反相器的輸出端子輸出的信號的反轉信號。

【0120】 此外，如圖6C所示，記憶體電路82還可以包括電晶體215。在電晶體215中，閘極與佈線216連接，源極和汲極中的一個與節點M2連接，源極和汲極中的另一個與電路214的輸入端子連接。注意，電晶體215是OS電晶體。

【0121】 佈線216是在電路90中進行比較運算時被供應用來使電晶體215成為導通狀態的信號的佈線。因此，可以對佈線216供應與被供應到圖5所示的佈線113的信號同步的信號。例如，可以使佈線216與佈線113連接，也可以使佈線113直接連接到電晶體215的閘極。另外，也可以採用對佈線216供應佈線113的反轉信號的結構。

【0122】 當在電路90中進行比較運算時，電晶體215成為導通狀態。另一方面，在電路90中沒有進行比較運算的期間，電晶體215處於非導通狀態。在此，由於作為OS電晶體的電晶體215的關態電流極低，因此能夠防止節點M2的電位經過電路214洩漏到電路90。由此，能夠長時間地保持節點M2所保持的電位。

【0123】 接著，圖7A至圖7C示出記憶體電路81及記憶體電路82的其

他結構實例。

【0124】 圖7A示出記憶體電路81的結構實例。記憶體電路81包括電晶體221、電晶體222及電容器223。在電晶體221中，閘極與佈線111連接，源極和汲極中的一個與佈線121連接，源極和汲極中的另一個與節點M3連接。在電晶體222中，閘極與節點M3連接，源極和汲極中的一個與佈線121連接，源極和汲極中的另一個與佈線122連接。電容器223的一個電極與節點M3連接，另一個電極與供應所指定的電位的佈線224連接。在此，作為電晶體221使用OS電晶體。注意，佈線122與電路120（參照圖5）連接。

【0125】 注意，雖然在此示出了電晶體221及電晶體222為n通道型電晶體的情況，但不侷限於此，電晶體221、電晶體222分別可以為n通道型電晶體或p通道型電晶體。另外，佈線224可以是被供應恆定電位的佈線，也可以是被供應兩種以上的電位的佈線。另外，被供應恆定電位的佈線可以是高電位電源線或低電位電源線（接地線等）。

【0126】 在此，作為電晶體222可以使用在其通道形成區包括單晶半導體的電晶體。此時，能夠提高電晶體222的電流供應能力，從而能夠實現記憶體電路81的高速工作。另外，作為電晶體222可以使用OS電晶體。此時，電晶體222可以與電晶體221經同一製程製造。

【0127】 接著，說明圖7A所示的記憶體電路81的工作。

【0128】 首先，將佈線111的電位設定為使電晶體221成為導通狀態的電位而使電晶體221處於導通狀態。由此，佈線121的電位被施加到節點M3。即，對電晶體222的閘極電極施加所指定的電荷（資料的寫入）。

【0129】 然後，藉由將佈線111的電位設定為使電晶體221成為非導通

狀態的電位，使電晶體221處於非導通狀態，由此，節點M3成為浮動狀態，而保持節點M3的電位（資料的保持）。

【0130】 接著，當在將佈線122的電位維持為恆定電位的狀態下將佈線224的電位設定為所指定的電位（讀出電位）時，佈線121的電位取決於保持在節點M3中的電荷量。一般而言，這是因為，當電晶體222為n通道型電晶體時，電晶體222的閘極電位為高位準時的外觀上的臨界值 V_{th_H} 比電晶體222的閘極電位為低位準時的外觀上的臨界值 V_{th_L} 低。在此，外觀上的臨界值是指為了使電晶體222成為導通狀態所需要的佈線224的電位。因此，藉由將佈線224的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以辨別節點M3的電位。例如，當節點M3的電位為高位準時，若佈線224的電位為 $V_0 (>V_{th_H})$ ，電晶體222則處於導通狀態。另一方面，當節點M3的電位為低位準時，即便佈線224的電位成為 $V_0 (<V_{th_L})$ ，電晶體222還保持非導通狀態。因此，藉由讀取佈線121的電位，可以讀出儲存於記憶體電路81的資料。

【0131】 此外，當不進行資料的讀出時，與節點M3的電位無關地將使電晶體222處於非導通狀態的電位，即低於 V_{th_H} 的電位施加到佈線224即可。

【0132】 另外，資料的改寫可以與上述資料的寫入及保持同樣地進行。

【0133】 在此，電晶體221的源極和汲極中的一個與電晶體222的閘極連接，所以具有與用作非揮發性記憶體的浮動閘極型電晶體的浮動閘極同樣的功能。因此，有時將節點M3稱為浮動閘極部FG。當電晶體221處於非導通狀態時，可認為該浮動閘極部FG被埋設在絕緣體中，而在浮動閘極部

FG中保持電荷。電晶體221的關態電流為在其通道形成區包括單晶半導體的電晶體的關態電流的十萬分之一以下，因此由於電晶體221的洩漏電流而使積蓄於浮動閘極部FG的電荷消失的量極少。或者，可以長時間地不考慮積蓄於浮動閘極部FG的電荷的消失。其結果，藉由使用作為OS電晶體的電晶體221，可以實現非揮發性記憶體裝置或在沒有供應電源的狀態下足夠長時間地保持資料的記憶體裝置。

【0134】 另外，記憶體電路81可以藉由再次進行資料的寫入而直接改寫資料。由此，不需要閃速記憶體等所需要的擦除工作，以便能夠抑制擦除工作所導致的工作速度的降低。即，實現了半導體裝置的高速工作。

【0135】 另外，此時不存在習知的浮動閘極型電晶體被指出的閘極絕緣膜（穿隧絕緣膜）的劣化的問題。即，可以解決以往被視為問題的將電子注入到浮動閘極時發生的閘極絕緣膜劣化的問題。這意味著在原理上不存在寫入次數的限制。另外，不需要在習知的浮動閘極型電晶體中進行寫入及擦除時所需要的高電壓。

【0136】 另外，OS電晶體在被微型化時能夠高速工作。因此，藉由作為電晶體201使用OS電晶體，可以提高記憶體電路81的工作速度。

【0137】 圖7B示出記憶體電路82的結構實例。記憶體電路82包括電晶體231、電晶體232、電容器233及電晶體234。在電晶體231中，閘極與佈線112連接，源極和汲極中的一個與佈線121連接，源極和汲極中的另一個與節點M4連接。在電晶體232中，閘極與節點M4連接，源極和汲極中的一個與佈線122連接，源極和汲極中的另一個與電晶體234的源極和汲極中的一個連接。電容器233的一個電極與節點M4連接，另一個電極與佈線122連接。在

電晶體234中，閘極與佈線235連接，源極和汲極中的另一個與節點M5連接。在此，作為電晶體231使用OS電晶體。注意，佈線122與電路120（參照圖5）連接。

【0138】 接著，說明圖7B所示的記憶體電路82的工作。

【0139】 首先，將佈線112的電位設定為使電晶體231成為導通狀態的電位而使電晶體231處於導通狀態。由此，佈線121的電位被施加到節點M4。即，對電晶體232的閘極電極施加所指定的電荷（資料的寫入）。

【0140】 然後，將佈線112的電位設定為使電晶體231成為非導通狀態的電位而使電晶體231處於非導通狀態，由此節點M4成為浮動狀態，保持節點M4的電位（資料的保持）。

【0141】 然後，在對佈線122施加恆定的電位的狀態下對佈線235供應使電晶體234成為導通狀態的電位（以下，還稱為讀出電位），而使電晶體234處於導通狀態。此時，節點M5的電位取決於保持在節點M4的電荷量。這是因為在節點M4的電位為高位準時電晶體234成為導通狀態而在節點M4的電位為低位準時電晶體234成為非導通狀態。如此，基於節點M4的電位的節點M5的電位供應到電路90。

【0142】 注意，當將記憶體電路82的結構改變成使節點M5與佈線121連接的結構時，可以將該結構用於記憶體電路81。

【0143】 當在電路90中進行比較運算時，對佈線235供應讀出電位。可以使該讀出電位與圖5中的佈線113的電位同步。例如，可以使佈線235與佈線113連接，也可以使佈線113直接連接到電晶體234的閘極。另外，也可以採用對佈線235供應佈線113的反轉信號的結構。

【0144】 當在電路90中進行比較運算時，對佈線235供應讀出電位，而使電晶體234成為導通狀態。然後，當電晶體234成為導通狀態時，對應於節點M4的電位的電位從節點M5供應到電路90。另一方面，在電路90中沒有進行比較運算的期間，對佈線235供應使電晶體234成為非導通狀態的電位。

【0145】 另外，記憶體電路82也可以採用圖7C所示的結構。圖7C與圖7B的不同之處是在圖7C中記憶體電路82包括電晶體236。

【0146】 在電晶體236中，閘極與佈線237連接，源極和汲極中的一個與節點M6連接，源極和汲極中的另一個與佈線121連接。

【0147】 佈線235被供應與圖7B中的佈線235同樣的電位。並且，佈線237被供應控制電晶體236的導通狀態的電位。由此，可以將保持於記憶體電路82的資料輸出到電路90和佈線121。然後，藉由讀出使電晶體236成為導通狀態時的佈線121的電位，能夠讀出儲存於記憶體電路82的資料。

【0148】 藉由採用上述結構，在停止對記憶體電路82供應電源的期間也可以長時間地保持儲存於記憶體電路82的生物資料的參考值。因此，在對記憶體電路82一旦寫入參考值之後，在停止對記憶體電路82供應電力的期間也可以長時間地保持該參考值。另外，當在電路90中進行比較運算時，可以將儲存於記憶體電路82的參考值輸出到電路90。

【0149】 注意，電路80可以包括圖6A所示的記憶體電路81以及圖7B所示的記憶體電路82。另外，電路80可以包括圖7A所示的記憶體電路81以及圖6B或圖6C所示的記憶體電路82。

【0150】 接著，說明電路90的具體結構的一個例子。

【0151】 圖8示出電路90的結構的具體例子。在此，說明具有對所輸

入的兩個資料進行比較的功能的電路90的結構。

【0152】 電路90包括電路91和電路92。電路91包括XNOR電路301和NOR電路302。XNOR電路301的第一輸入端子與電路83連接，第二輸入端子與記憶體電路82連接。另外，NOR電路302的第一輸入端子與電路83連接，第二輸入端子與XNOR電路301的輸出端子連接。XNOR電路301的輸出端子及NOR電路302的輸出端子與電路92連接。

【0153】 電路91構成比較電路。因此，可以對從記憶體電路81藉由電路83輸入的生物資料值與儲存於記憶體電路82的參考值進行比較，而將其結果輸出到電路92。

【0154】 電路92包括反相器303和AND電路304。反相器303的輸入端子與XNOR電路301的輸出端子連接。AND電路304的第一輸入端子與NOR電路302的輸出端子連接，第二輸入端子與反相器303的輸出端子連接。

【0155】 作為電路91中的生物資料值與參考值的比較結果，在生物資料值小於參考值時電路92將資料“1”輸出到電路60，而在生物資料值為參考值以上時電路92將資料“0”作為中斷信號輸出到電路60。並且，當中斷信號輸入到電路60時，電路70由電路60控制，而將對應於生物資料的異常值的信號從電路70發送到外部。

【0156】 如此，電路90可以判斷生物資料是正常值還是異常值，而將其判斷結果輸出到電路60。

【0157】 接著，圖9示出電路50的更具體的結構。此外，圖9中的記憶體電路82對應於圖6B的結構，圖9中的電路91及電路92對應於圖8的結構。另外，在此作為電路83使用n通道型電晶體，作為電路214使用反相器。注意，

雖然在此未圖示，但可以將圖6A所示的結構等用於與佈線121連接的記憶體電路81。

【0158】 如圖9所示，記憶體電路82、電路91及電路92都包括n通道型電晶體及p通道型電晶體。

【0159】 在此，可以作為n通道型電晶體的電晶體312、322、324、333、334、342、351、352使用OS電晶體，且作為p通道型電晶體的電晶體311、321、323、331、332、341、353、354使用在其通道形成區包括單晶半導體的電晶體。藉由採用這種結構，電路50所包括的n通道型電晶體可以與作為OS電晶體的電晶體211經同一製程製造。另外，當製造電路50時，不需要形成在其通道形成區包括單晶半導體的n通道型電晶體，從而可以減少製程數量。

【0160】 雖然在圖1A至圖3D中說明電路50具有層疊有電路90和電路80的結構的例子，但在此電路50可以具有層疊有p通道型電晶體和n通道型電晶體的結構。明確而言，作為p通道型電晶體的電晶體311、321、323、331、332、341、353、354可以使用其通道形成區形成在圖1C、圖2A至圖3D中的基板100的一部分的電晶體。另一方面，作為n通道型電晶體的電晶體211、312、322、324、333、334、342、351、352是OS電晶體，並可以形成在設置於p通道型電晶體上的絕緣層101（參照圖1C、圖2A和圖2B）上。由此，在縮小電路50的面積的同時還可以省略在其通道形成區包括單晶半導體的n通道型電晶體的製程。

【0161】 注意，雖然在圖8及圖9中說明了電路90包括1位元的比較電路時的結構，但在對多個位元資料與電路90中的多個位元資料進行比較時，電路90可以包括多個位元的比較電路。作為一個例子，圖10示出具有將

4位元資料用作輸入信號的比較電路的電路90的結構實例。

【0162】 電路90包括反相器401至405、XOR電路411至413、AND電路421至424、NOR電路431、432。注意，這些電路之間的連接關係從圖10中是顯而易見的，所以省略詳細說明。

【0163】 在此，屬於同一行的多個記憶體電路81（參照圖5）當中四個記憶體電路81所儲存的資料作為4位元的生物資料輸入到佈線A中。另外，多個記憶體電路82當中四個記憶體電路82所儲存的資料作為4位元的參考值輸入到佈線B中。

【0164】 並且，在電路90中對生物資料值與參考值進行比較。當生物資料值小於參考值時將資料“0”從佈線C輸出，而當生物資料為參考值以上時將資料“1”從佈線C輸出。如此，可以在圖10所示的電路90中對多個位元的生物資料與多個位元的參考值進行比較。

【0165】 注意，雖然在圖8至圖10中說明了電路90包括比較電路的例子，但不侷限於此。例如，電路90可以包括其他算術電路代替比較電路，或者除了比較電路之外還可以包括其他算術電路。圖11A和圖11B示出可用於電路90的其他算術電路的例子。

【0166】 圖11A是由XOR電路501、AND電路502構成的加法電路。圖11B是由反相器511、512、AND電路513、514、OR電路515構成的減法電路。另外，電路90也可以包括組合圖11A和圖11B所示的加法電路和減法電路而構成的全加器電路或全減器電路。並且，電路90還可以包括使用全加器電路或全減器電路構成的除法電路。

【0167】 藉由包括加法電路和除法電路，電路90可以算出儲存於記憶

體電路81的生物資料的平均值。另外，藉由包括減法電路，電路90可以算出儲存於記憶體電路81的生物資料的差值而監測生物資料的變動。

【0168】 另外，雖然在圖8至圖11B中說明了電路90包括數位算術電路的情況，但是電路90也可以包括類比算術電路。圖12A至圖12D示出使用可用於電路90的運算放大器520的類比算術電路的結構實例。

【0169】 圖12A示出比較電路，圖12B示出加法電路，圖12C示出減法電路，圖12D示出除法電路。注意，在圖12D中，電阻器R的電阻值由電位V控制。

【0170】 如上所述，在本發明的一個方式中，可以將電路50用作具有運算功能的記憶體電路。因此，電路50可以將儲存於電路50的資料、從電路40輸入的資料以及作為將這些資料用作輸入信號的運算工作的結果得到的資料輸出到電路60。由此，可以在電路50中進行本來應該在電路60中進行的運算，從而減輕電路60中的運算的負擔。另外，可以減少在電路50與電路60之間進行的資料收發次數。因此，可以提高半導體裝置10的工作速度。

【0171】 另外，本發明的一個方式可以採用具有電路80和電路90中的一個與其另一個的至少一部分重疊的區域的結構。由此，在抑制電路50的面積增加的同時還可以對用作記憶體電路的電路50附加運算功能。因此，能夠縮小半導體裝置10的面積。

【0172】 本實施方式可以與其他實施方式的記載適當地組合。

【0173】 實施方式3

在本實施方式中，說明可用於電路50的電晶體的結構。

【0174】 圖13A至圖13D示出具有層疊有電晶體620和電晶體630的結

構的半導體裝置的製造方法的一個例子。在此，說明電晶體620為在其通道形成區包括單晶半導體的電晶體而電晶體630為OS電晶體的情況。

【0175】 首先，在包括單晶半導體的基板600中形成元件隔離絕緣物601和N型井（well）602（圖13A）。

【0176】 接著，形成閘極絕緣膜603及閘極電極604，另外，在井602中設置p型雜質區605。可以在雜質區605上層疊包含其導電性比雜質區605高的材料（矽化物等）的層。另外，雜質區605也可以具有擴展區域。

【0177】 接著，形成絕緣層606。絕緣層606可以為單層或多層。另外，絕緣層606較佳為具有對設置於絕緣層606上的層供應氧的功能以及阻擋氫或水從設置於絕緣層606下的層侵入到設置於絕緣層606上的層的功能的層。然後，對絕緣層606進行蝕刻而使其平坦。該蝕刻及平坦化在使閘極電極604露出時就停止。注意，絕緣層606的平坦化可以藉由化學機械拋光（CMP：Chemical Mechanical Polishing）處理等進行。

【0178】 接著，在絕緣層606上形成氧化物半導體層607（圖13B）。氧化物半導體層607可以使用實施方式4所記載的材料等形成。

【0179】 接著，在絕緣層606及氧化物半導體層607上形成導電膜。導電膜可以為單層或多層。並且，對導電膜進行蝕刻而加工，由此形成導電層608。導電層608具有作為在氧化物半導體層607中包括通道形成區的電晶體的源極電極或汲極電極的功能。注意，導電層608可以為單層或多層。

【0180】 接著，形成覆蓋導電層608的閘極絕緣膜609。再者，在閘極絕緣膜609上形成導電膜。該導電膜可以為單層或多層。另外，該導電膜較佳為具有阻擋氫或水從設置於導電膜上的層侵入到設置於導電膜下的層的

功能。然後，對導電膜進行蝕刻而加工，由此形成閘極電極610（圖13C）。

【0181】 接著，形成絕緣層611。並且，在絕緣層611中形成到達導電層608的接觸孔，使用導電材料填充該接觸孔，由此形成佈線612（圖13D）。此外，也可以在接觸孔中形成與導電層608接觸的導電層而使該導電層與佈線612接觸。另外，佈線612可以為單層或多層。

【0182】 如此，可以製造層疊有在其通道形成區包括單晶半導體的電晶體620以及作為OS電晶體的電晶體630的半導體裝置。

【0183】 注意，在圖13D中，閘極電極604與導電層608連接。即，電晶體620的閘極與電晶體630的源極和汲極中的一個連接。這種結構可以適當地用於圖7A至圖7C以及圖9所示的電路等。例如，電晶體620對應於圖7A至圖7C中的電晶體222、232等，電晶體630對應於圖7A至圖7C中的電晶體221、231等。另外，電晶體620對應於圖9中的電晶體321等，電晶體630對應於圖9中的電路（電晶體）83等。

【0184】 注意，電晶體620與電晶體630的連接關係不侷限於圖13D所示的情況。例如，如圖14A所示，也可以採用雜質區605與閘極電極610藉由佈線612連接的結構。由此，可以得到電晶體620的源極和汲極中的一個與電晶體630的閘極連接的結構。這種結構可以適當地用於圖9所示的電路等。例如，電晶體620對應於圖9中的電晶體311、332等，電晶體630對應於圖9中的電晶體324、352等。

【0185】 另外，如圖14B所示，也可以採用雜質區605與導電層608連接的結構。由此，可以得到電晶體620的源極和汲極中的一個與電晶體630的源極和汲極中的一個連接的結構。這種結構可以適當地用於圖9所示的電

路等。例如，電晶體620對應於圖9中的電晶體311等，電晶體630對應於圖9中的電晶體312等。

【0186】 另外，如圖14C所示，也可以採用閘極電極604與閘極電極610藉由佈線612連接的結構。由此，可以得到電晶體620的閘極與電晶體630的閘極連接的結構。這種結構可以適當地用於圖9所示的電路等。例如，電晶體620對應於圖9中的電晶體311等，電晶體630對應於圖9中的電晶體312等。這種結構有利於使用在其通道形成區包括單晶半導體的電晶體以及OS電晶體形成反相器的情況等。

【0187】 此外，在圖13D及圖14A至圖14C中，電晶體620和電晶體630也可以具有隔著絕緣層606相互重疊的區域。例如，如圖13D及圖14C所示，電晶體620的雜質區605和電晶體630的通道形成區可以具有隔著絕緣層606相互重疊的區域。另外，如圖14A和圖14B所示，電晶體620的通道形成區和電晶體630的通道形成區可以具有隔著絕緣層606相互重疊的區域。此外，電晶體620的閘極電極604與電晶體630的閘極電極610可以具有隔著絕緣層606相互重疊的區域。藉由採用這種結構，可以提高電晶體的集成度。

【0188】 注意，圖13D及圖14A至圖14C所示的電晶體的疊層結構可以自由地用於圖1A至圖12D所示的各種電路。

【0189】 本實施方式可以與其他實施方式適當地組合而實施。

【0190】 實施方式4

在本實施方式中，說明可用於記憶體電路或邏輯電路的電晶體的結構。

【0191】 〈半導體裝置的剖面結構實例〉

圖15示出電晶體620、630的結構的一個例子。注意，圖15例示出將作為

OS電晶體的電晶體630形成於在其通道形成區包括氧化物半導體以外的材料的電晶體620上的情況。

【0192】 注意，這種層疊有在其通道形成區包括氧化物半導體以外的材料的電晶體以及OS電晶體的結構可以適當地用於圖1A至圖3D、圖5至12D所示的各種電路所包括的電晶體。

【0193】 注意，雖然在本實施方式中示出與圖13D同樣地使電晶體620的閘極與電晶體630的源極和汲極中的一個連接的結構，但不侷限於此。可以使電晶體620的源極和汲極中的一個與電晶體630的閘極連接（參照圖14A），可以使電晶體620的源極和汲極中的一個與電晶體630的源極和汲極中的一個連接（參照圖14B），也可以使電晶體620的閘極與電晶體630的閘極連接（參照圖14C）。

【0194】 電晶體620可以在非晶、微晶、多晶或單晶的矽或鍺等的半導體膜或半導體基板中包括通道形成區。或者，電晶體620可以在氧化物半導體膜或氧化物半導體基板中包括通道形成區。當所有的電晶體在氧化物半導體膜或氧化物半導體基板中包括通道形成區時，可以不將電晶體630層疊於電晶體620上，而可以在同一層中形成電晶體630和電晶體620。

【0195】 當使用矽薄膜形成電晶體620時，作為該薄膜可以使用：利用電漿CVD（Chemical Vapor Deposition：化學氣相沉積）法等氣相沉積法或濺射法製造的非晶矽；利用雷射照射等的處理使非晶矽晶化而形成的多晶矽；或藉由對單晶矽晶圓注入氫離子等來使表層剝離而得到的單晶矽等。

【0196】 作為形成有電晶體620的半導體基板801例如可以使用矽基板、鍺基板、矽鍺基板等。圖15示出將單晶矽基板用作半導體基板801的例

子。

【0197】 另外，電晶體620利用元件隔離法被電隔離。作為元件隔離法，可以採用局部氧化（LOCOS：Local Oxidation of Silicon）法、淺溝槽隔離（STI：Shallow Trench Isolation）法等。在圖14A至圖14C中示出利用淺溝槽隔離法使電晶體620電隔離的例子。明確而言，圖15示出利用元件隔離區810使電晶體620元件隔離的情況的例子，該元件隔離區810是藉由在半導體基板801中利用蝕刻等形成溝槽之後將含有氧化矽等的絕緣物嵌入該溝槽中而形成的。

【0198】 在電晶體620上設置有絕緣膜811。在絕緣膜811中形成有開口部。並且，在上述開口部中形成有分別與電晶體620的源極及汲極電連接的導電膜825及導電膜826、與電晶體620的閘極電連接的導電膜827。

【0199】 導電膜825與形成於絕緣膜811上的導電膜834電連接，導電膜826與形成於絕緣膜811上的導電膜835電連接，導電膜827與形成於絕緣膜811上的導電膜836電連接。

【0200】 在導電膜834至導電膜836上形成有絕緣膜812。在絕緣膜812中形成有開口部，在上述開口部中形成有電連接到導電膜836的導電膜837。並且，導電膜837與形成在絕緣膜812上的導電膜851電連接。

【0201】 另外，在導電膜851上形成有絕緣膜813。在絕緣膜813中形成有開口部，在上述開口部中形成有電連接到導電膜851的導電膜852。並且，導電膜852與形成在絕緣膜813上的導電膜853電連接。此外，在絕緣膜813上形成有導電膜844。

【0202】 在導電膜853及導電膜844上形成有絕緣膜861。並且，在圖

15中，在絕緣膜861上形成有電晶體630。

【0203】 電晶體630包括：絕緣膜861上的包含氧化物半導體的半導體膜901；半導體膜901上的用作源極或汲極的導電膜921及導電膜922；半導體膜901、導電膜921及導電膜922上的閘極絕緣膜862；以及位於閘極絕緣膜862上且在導電膜921與導電膜922之間重疊於半導體膜901的閘極電極931。另外，導電膜922在設置於絕緣膜861中的開口部中電連接到導電膜853。

【0204】 在電晶體630中，半導體膜901在重疊於導電膜921的區域與重疊於閘極電極931的區域之間包括區域910。另外，在電晶體630中，半導體膜901在重疊於導電膜922的區域與重疊於閘極電極931的區域之間包括區域911。藉由以導電膜921、導電膜922及閘極電極931為遮罩對區域910及區域911添加氫、對半導體膜901賦予p型導電性的雜質或者對半導體膜901賦予n型導電性的雜質，與半導體膜901中的重疊於閘極電極931的區域相比，可以降低區域910及區域911的電阻率。

【0205】 在電晶體630上設置有絕緣膜863。

【0206】 另外，雖然在圖15中電晶體630在半導體膜901的至少一側具有閘極電極931即可，但是電晶體630也可以具有夾著半導體膜901存在的一對閘極電極。

【0207】 在電晶體630具有夾著半導體膜901存在的一對閘極電極的情況下，可以對一個閘極電極施加用來控制導通狀態或非導通狀態的信號，並從其他佈線對另一個閘極電極施加電位。在此情況下，既可以對一對閘極電極施加相同位準的電位，又可以只對另一個閘極電極施加地電位等固定電位。藉由控制對另一個閘極電極施加的電位的位準，可以控制電

晶體的臨界電壓。

【0208】 另外，圖15例示出電晶體630具有單閘極結構的情況，即包括對應於一個閘極電極931的一個通道形成區。但是，電晶體630也可以具有多閘極結構，其中藉由具有相互電連接的多個閘極電極，在一個活性層中具有多個通道形成區。

【0209】 〈電晶體〉

接著，對OS電晶體的結構實例進行說明。

【0210】 圖16A至圖16C示出作為OS電晶體的電晶體2000的結構的一個例子。圖16A示出電晶體2000的俯視圖。注意，在圖16A中，為了明確示出電晶體2000的佈局，省略各種絕緣膜。此外，圖16B示出沿著圖16A所示的俯視圖的點劃線A1-A2的剖面圖，圖16C示出沿著點劃線A3-A4的剖面圖。

【0211】 如圖16A至圖16C所示，電晶體2000包括：在形成於基板2007上的絕緣膜2001上依次層疊的氧化物半導體膜2002a及氧化物半導體膜2002b；電連接於氧化物半導體膜2002b且被用作源極電極或汲極電極的導電膜2003及導電膜2004；氧化物半導體膜2002b、導電膜2003及導電膜2004上的氧化物半導體膜2002c；被用作閘極絕緣膜且位於氧化物半導體膜2002c上的絕緣膜2005；以及被用作閘極電極且在絕緣膜2005上與氧化物半導體膜2002a至氧化物半導體膜2002c重疊的導電膜2006。另外，基板2007既可以是玻璃基板或半導體基板等，又可以在玻璃基板或半導體基板上形成有半導體元件的元件基板。

【0212】 此外，圖17A至圖17C示出電晶體2000的具體結構的其他一個例子。圖17A示出電晶體2000的俯視圖。注意，在圖17A中，為了明確示

出電晶體2000的佈局，省略各種絕緣膜。此外，圖17B示出沿著圖17A所示的俯視圖的點劃線A1-A2的剖面圖，圖17C示出沿著點劃線A3-A4的剖面圖。

【0213】 如圖17A至圖17C所示，電晶體2000包括：在絕緣膜2001上依次層疊的氧化物半導體膜2002a至氧化物半導體膜2002c；電連接於氧化物半導體膜2002c且被用作源極電極或汲極電極的導電膜2003及導電膜2004；被用作閘極絕緣膜且位於氧化物半導體膜2002c、導電膜2003及導電膜2004上的絕緣膜2005；以及被用作閘極電極且在絕緣膜2005上與氧化物半導體膜2002a至氧化物半導體膜2002c重疊的導電膜2006。

【0214】 另外，在圖16A至圖17C中，示出使用層疊的氧化物半導體膜2002a至氧化物半導體膜2002c的電晶體2000的結構。電晶體2000所包括的氧化物半導體膜不限於包括多個氧化物半導體膜的疊層結構，還可以為單層結構。

【0215】 當電晶體2000包括氧化物半導體膜2002a至氧化物半導體膜2002c被依次層疊的半導體膜時，氧化物半導體膜2002a及氧化物半導體膜2002c為如下氧化物膜：在其構成要素中包含構成氧化物半導體膜2002b的金屬元素的至少一個，並且其導帶底的能量比氧化物半導體膜2002b更接近於真空能階0.05eV以上、0.07eV以上、0.1eV以上或0.15eV以上，且2eV以下、1eV以下、0.5eV以下或0.4eV以下。並且，當氧化物半導體膜2002b至少包含銦時，載子移動率變高，所以是較佳的。

【0216】 在電晶體2000具有上述結構的半導體膜的情況下，藉由對閘極電極施加電壓，就可以在對半導體膜施加電場時使通道區形成在半導體膜中的導帶底的能量小的氧化物半導體膜2002b中。即，藉由在氧化物半導

體膜2002b與絕緣膜2005之間設置有氧化物半導體膜2002c，可以在與絕緣膜2005分開的氧化物半導體膜2002b中形成通道區。

【0217】 另外，由於氧化物半導體膜2002c在其構成要素中包含至少一個構成氧化物半導體膜2002b的金屬元素，所以在氧化物半導體膜2002b與氧化物半導體膜2002c的介面處不容易發生介面散射。因此，在該介面處載子的移動不容易被阻礙，所以電晶體2000的場效移動率變高。

【0218】 另外，當在氧化物半導體膜2002b與氧化物半導體膜2002a的介面處形成介面能階時，由於在介面附近的區域中也會形成通道區，因此電晶體2000的臨界電壓變動。但是，氧化物半導體膜2002a在其構成要素中包含至少一個構成氧化物半導體膜2002b的金屬元素，所以在氧化物半導體膜2002b與氧化物半導體膜2002a的介面處不容易形成介面能階。由此，藉由上述結構可以減少電晶體2000的臨界電壓等的電特性的偏差。

【0219】 另外，較佳的是，以防止因雜質存在於氧化物半導體膜間而在各膜的介面形成阻礙載子移動的介面能階的方式將多個氧化物半導體膜層疊。這是因為，當被層疊的氧化物半導體膜的膜間存在雜質時，氧化物半導體膜間的導帶底的能量失去連續性，於是在介面附近，載子被俘獲或因再結合而消失。藉由減少膜間的雜質，與將作為主成分至少包含相同一種金屬的多個氧化物半導體膜單純地層疊相比，更容易形成連續接合（這裡尤其是指導帶底的能量具有在各膜之間連續地變化的U字型井結構的狀態）。

【0220】 為了形成連續接合，需要使用具備負載鎖定室的多室方式的成膜裝置（濺射裝置）在不使各膜暴露於大氣的情況下連續地層疊。在濺

射裝置中的各處理室中，為了儘可能地去除成為氧化物半導體的雜質的水等，較佳為使用如低溫泵的吸附式的真空排氣泵進行高真空排氣（ 5×10^{-7} Pa 至 1×10^{-4} Pa）。或者，較佳為組合渦輪分子泵與冷阱使氣體不從排氣系統倒流到處理室內。

【0221】 為了得到高純度的本質氧化物半導體，對各處理室不僅進行高真空排氣，還需要將用於濺射的氣體高度純化。藉由將用作上述氣體的氧氣體或氫氣體的露點設定為 -40°C 以下，較佳為 -80°C 以下，更佳為 -100°C 以下，實現氣體的高度純化，可以儘可能地防止水分等混入氧化物半導體膜。明確而言，當氧化物半導體膜2002b包含In-M-Zn氧化物（M是Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf），並且用於形成氧化物半導體膜2002b的靶材中的金屬元素的原子個數比為In:M:Zn= $x_1:y_1:z_1$ 時， x_1/y_1 較佳為1/3以上且6以下，更佳為1以上且6以下， z_1/y_1 較佳為1/3以上且6以下，更佳為1以上且6以下。另外，藉由將 z_1/y_1 設定為1以上且6以下，作為氧化物半導體膜2002b容易形成CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c軸配向結晶氧化物半導體）膜。作為靶材的金屬元素的原子個數比的典型例子，有In:M:Zn=1:1:1、In:M:Zn=3:1:2等。注意，將在後面說明CAAC-OS的詳細內容。

【0222】 明確而言，當氧化物半導體膜2002a及氧化物半導體膜2002c包含In-M-Zn氧化物（M為Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf）時，在用來形成氧化物半導體膜2002a及氧化物半導體膜2002c的靶材中的金屬元素的原子個數比為In:M:Zn= $x_2:y_2:z_2$ 的情況下，較佳的是， $x_2/y_2 < x_1/y_1$ ， z_2/y_2 是1/3以上且6以下，更佳的是1以上且6以下。另外，藉由將 z_2/y_2 設定為1以上且6以下，容易形成用作氧化物半導體膜2002a及氧化物半導體膜2002c的

CAAC-OS膜。作為靶材的金屬元素的原子個數比的典型例子，有

In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8等。

【0223】 氧化物半導體膜2002a及氧化物半導體膜2002c的厚度為3nm以上且100nm以下，較佳為3nm以上且50nm以下。此外，氧化物半導體膜2002b的厚度為3nm以上且200nm以下，較佳為3nm以上且100nm以下，更佳為3nm以上且50nm以下。

【0224】 在三層結構的半導體膜中，氧化物半導體膜2002a至氧化物半導體膜2002c既可以是非晶又可以是結晶。注意，由於當形成有通道區的氧化物半導體膜2002b是結晶時可以賦予電晶體2000穩定的電特性，因此氧化物半導體膜2002b較佳為結晶。

【0225】 注意，通道形成區是指在電晶體2000的半導體膜中與閘極電極重疊且被源極電極和汲極電極夾著的區域。另外，通道區是指在通道形成區中電流主要流過的區域。

【0226】 例如，當作為氧化物半導體膜2002a及氧化物半導體膜2002c使用藉由濺射法形成的In-Ga-Zn氧化物膜時，可以使用In-Ga-Zn氧化物（In:Ga:Zn=1:3:2[原子個數比]）的靶材形成氧化物半導體膜2002a及氧化物半導體膜2002c。例如，可以採用如下成膜條件：作為成膜氣體使用30sccm的氬氣體和15sccm的氧氣體，將壓力設定為0.4Pa，基板溫度為200℃，DC功率為0.5kW。

【0227】 另外，當作為氧化物半導體膜2002b使用CAAC-OS膜時，較佳為使用包含In-Ga-Zn氧化物（In:Ga:Zn=1:1:1[原子個數比]）的多晶靶材形成氧化物半導體膜2002b。例如，可以採用如下成膜條件：作為成膜氣體使

用30sccm的氫氣體和15sccm的氧氣體，將壓力設定為0.4Pa，基板溫度為300°C，DC功率為0.5kW。當作為氧化物半導體膜2002b使用CAAC-OS膜時，也可以作為靶材使用In-Ga-Zn氧化物（In:Ga:Zn=2:1:3[原子數比]）來形成氧化物半導體膜2002b。在使用上述靶材形成的CAAC-OS膜中，在一定範圍內觀察到CAAC-OS的繞射圖案的区域比率（還稱為CAAC化率）可以得到提高，所以能夠提高在該CAAC-OS膜中包括通道形成區的電晶體的頻率特性（f特性）。

【0228】 注意，氧化物半導體膜2002a至2002c可以藉由濺射法形成。

【0229】 因為其中的載子發生源少，所以藉由減少用作電子施體（施體）的水分或氫等雜質且減少氧缺陷來實現高度純化的氧化物半導體（purified Oxide Semiconductor）可以是i型（本質半導體）或無限趨近於i型。因此，在被高度純化的氧化物半導體膜中包括通道形成區的電晶體的關態電流極低且可靠性高。並且，在該氧化物半導體膜中形成有通道形成區的電晶體容易具有臨界電壓為正的電特性（也稱為常關閉（normally-off）特性）。

【0230】 明確而言，根據各種實驗可以證明在被高度純化的氧化物半導體膜中包括通道形成區的電晶體的關態電流低。例如，通道寬度為 $1 \times 10^6 \mu\text{m}$ 且通道長度為 $10 \mu\text{m}$ 的元件也可以在源極電極與汲極電極之間的電壓（汲極電壓）為1V至10V的範圍內獲得關態電流為半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13} \text{A}$ 以下的特性。在此情況下，可知以電晶體的通道寬度標準化的關態電流為 $100 \text{zA}/\mu\text{m}$ 以下。此外，在電路中將電容器與電晶體連接且由該電晶體控制流入電容器或從電容器流出的電荷，並藉由使用該電路來測量關態電流。在該測量時，將被高度純化的氧化物半導體膜用於

上述電晶體的通道形成區，且根據電容器的每單位時間的電荷量推移來測量該電晶體的關態電流。其結果，可知當電晶體的源極電極與汲極電極之間的電壓為3V時，可以獲得更低的關態電流，即幾十yA/ μm 。由此，將被高度純化的氧化物半導體膜用於通道形成區的電晶體的關態電流比使用具有結晶性的矽的電晶體的關態電流要低得多。

【0231】 另外，當作為半導體膜使用氧化物半導體膜時，氧化物半導體較佳為至少包含銦（In）或鋅（Zn）。另外，作為降低使用該氧化物半導體的電晶體的電特性的偏差的穩定劑，除了上述元素以外較佳為還包含鎵（Ga）。此外，作為穩定劑較佳為包含錫（Sn）。此外，作為穩定劑較佳為包含鈦（Hf）。此外，作為穩定劑較佳為包含鋁（Al）。此外，作為穩定劑較佳為包含銦（Zr）。

【0232】 在氧化物半導體中，In-Ga-Zn氧化物、In-Sn-Zn氧化物等與碳化矽、氮化鎵或氧化鎵不同，可以藉由濺射法或濕處理製造電特性優良的電晶體，並具有容易大量生產等優點。此外，不同於使用碳化矽、氮化鎵或氧化鎵的情況，在使用上述In-Ga-Zn氧化物的情況下，可以在玻璃基板上製造電特性優良的電晶體。此外，還可以應對基板的大型化。

【0233】 此外，作為其他穩定劑，也可以包含鑰系元素的鑰（La）、鈰（Ce）、鐮（Pr）、釹（Nd）、釷（Sm）、鎔（Eu）、釷（Gd）、鉕（Tb）、鐳（Dy）、釹（Ho）、鉕（Er）、鎳（Tm）、鐳（Yb）、鐳（Lu）中的一種或多種。

【0234】 例如，作為氧化物半導體，可以使用：氧化銦、氧化鎵、氧化錫、氧化鋅、In-Zn氧化物、Sn-Zn氧化物、Al-Zn氧化物、Zn-Mg氧化物、

Sn-Mg氧化物、In-Mg氧化物、In-Ga氧化物、In-Ga-Zn氧化物（也稱為IGZO）、In-Al-Zn氧化物、In-Sn-Zn氧化物、Sn-Ga-Zn氧化物、Al-Ga-Zn氧化物、Sn-Al-Zn氧化物、In-Hf-Zn氧化物、In-La-Zn氧化物、In-Pr-Zn氧化物、In-Nd-Zn氧化物、In-Ce-Zn氧化物、In-Sm-Zn氧化物、In-Eu-Zn氧化物、In-Gd-Zn氧化物、In-Tb-Zn氧化物、In-Dy-Zn氧化物、In-Ho-Zn氧化物、In-Er-Zn氧化物、In-Tm-Zn氧化物、In-Yb-Zn氧化物、In-Lu-Zn氧化物、In-Sn-Ga-Zn氧化物、In-Hf-Ga-Zn氧化物、In-Al-Ga-Zn氧化物、In-Sn-Al-Zn氧化物、In-Sn-Hf-Zn氧化物、In-Hf-Al-Zn氧化物。

【0235】 注意，例如，In-Ga-Zn氧化物是指包含In、Ga和Zn的氧化物，而對In、Ga、Zn的比率沒有限制。另外，也可以包含In、Ga、Zn以外的金屬元素。In-Ga-Zn氧化物在無電場時的電阻足夠高而能夠充分地降低關態電流且移動率也高。

【0236】 例如，使用In-Sn-Zn氧化物比較容易得到高移動率。但是，在使用In-Ga-Zn氧化物時，也可以藉由降低塊體內缺陷密度而提高移動率。

【0237】 另外，在電晶體2000中，根據用於源極電極及汲極電極的導電材料，有時源極電極及汲極電極中的金屬會抽出氧化物半導體膜中的氧。此時，氧化物半導體膜中的接觸於源極電極及汲極電極的區域由於氧缺陷的形成而成為n型。因為成為n型的區域被用作源極區或汲極區，所以可以降低氧化物半導體膜與源極電極及汲極電極之間的接觸電阻。因此，藉由形成n型的區域，可以增大電晶體2000的移動率及通態電流，從而可以實現使用電晶體2000的半導體裝置的高速工作。

【0238】 另外，源極電極及汲極電極中的金屬所引起的氧的抽出有可

能在利用濺射法等形成源極電極及汲極電極時發生，還有可能在形成源極電極及汲極電極之後進行的加熱處理中發生。另外，藉由將容易與氧鍵合的導電材料用於源極電極及汲極電極，更容易形成n型的區域。作為上述導電材料，例如可以舉出Al、Cr、Cu、Ta、Ti、Mo、W等。

【0239】 當將包括多個層疊的氧化物半導體膜的半導體膜用於電晶體2000時，為了提高電晶體2000的移動率及通態電流以實現半導體裝置的更高速的工作，n型的區域較佳為到達用作通道區的氧化物半導體膜2002b。

【0240】 絕緣膜2001較佳為具有藉由加熱將上述氧的一部分供應到氧化物半導體膜2002a至氧化物半導體膜2002c的功能。此外，較佳為使絕緣膜2001中的缺陷少，典型的是，藉由ESR測量所得到的在起因於矽的懸空鍵的 $g=2.001$ 的自旋密度較佳為 1×10^{18} spins/cm³以下。

【0241】 由於絕緣膜2001具有藉由加熱將上述氧的一部分供應到氧化物半導體膜2002a至氧化物半導體膜2002c的功能，因此絕緣膜2001較佳為氧化物，例如可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化銻、氧化釷、氧化鋇、氧化釷、氧化釷、氧化釷及氧化釷等。絕緣膜2001可以利用電漿CVD法或濺射法等形式。

【0242】 注意，在本說明書中，“氧氮化物”是指在其組成中氧含量多於氮含量的材料，而“氮氧化物”是指在其組成中氮含量多於氧含量的材料。

【0243】 另外，圖16A至圖17C所示的電晶體2000具有如下結構：在形成有通道區的氧化物半導體膜2002b的端部中不與導電膜2003及導電膜2004重疊的端部（換言之，位於與導電膜2003及導電膜2004所在的區域不同

的區域的端部)與導電膜2006重疊。在用來形成氧化物半導體膜2002b的端部的蝕刻中該端部暴露於電漿時，從蝕刻氣體產生的氯自由基、氟自由基等容易與構成氧化物半導體的金屬元素鍵合。因此，在氧化物半導體膜的端部中，與該金屬元素鍵合的氧處於容易脫離的狀態，而形成氧缺陷，所以容易成為n型。然而，在圖16A至圖17C所示的電晶體2000中，由於不與導電膜2003及導電膜2004重疊的氧化物半導體膜2002b的端部與導電膜2006重疊，因此藉由控制導電膜2006的電位可以控制施加於該端部的電場。因此，可以由供應到導電膜2006的電位控制經過氧化物半導體膜2002b的端部流過導電膜2003與導電膜2004之間的電流。將這種電晶體2000的結構稱為surrounded channel (s-channel：圍繞通道)結構。

【0244】 明確而言，若採用s-channel結構，當將使電晶體2000關閉的電位供應到導電膜2006時，可以使經過該端部流過導電膜2003與導電膜2004之間的關態電流較低。因此，在電晶體2000中，即使為了得到大通態電流而縮短通道長度，其結果，氧化物半導體膜2002b的端部的導電膜2003與導電膜2004之間的長度變短，也可以降低電晶體2000的關態電流。因此，在電晶體2000中，藉由縮短通道長度，在處於導通狀態時可以得到較大的通態電流，在處於關閉狀態時降低關態電流。

【0245】 明確而言，若採用s-channel結構，當將使電晶體2000導通的電位供應到導電膜2006時，可以使經過氧化物半導體膜2002b的端部流過導電膜2003與導電膜2004之間的電流較大。該電流有助於電晶體2000的場效移動率和通態電流的增大。並且，藉由使氧化物半導體膜2002b的端部與導電膜2006重疊，氧化物半導體膜2002b中的載子不僅在近於絕緣膜2005的氧化

物半導體膜2002b的介面附近流過，還在氧化物半導體膜2002b中的較廣的範圍內流過，所以電晶體2000中的載子的移動量增加。其結果，電晶體2000的通態電流增大且場效移動率增高，典型的是，場效移動率為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上，進一步為 $20\text{cm}^2/\text{V}\cdot\text{s}$ 以上。注意，在此的場效移動率是電晶體的飽和區域中的電流驅動力的指標，即外觀上的場效移動率，而不是作為氧化物半導體膜的物性值的移動率的近似值。

【0246】 〈氧化物半導體膜的結構〉

下面說明氧化物半導體膜的結構。注意，在以下說明中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，還包括角度為 -5° 以上且 5° 以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下的狀態。因此，還包括角度為 85° 以上且 95° 以下的狀態。另外，在本說明書中，在結晶為三方晶系或菱方晶系的情況下，記為六方晶系。

【0247】 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜是指CAAC-OS膜、多晶氧化物半導體膜、微晶氧化物半導體膜、非晶氧化物半導體膜等。

【0248】 〈CAAC-OS膜〉

首先，說明CAAC-OS膜。

【0249】 CAAC-OS膜是包含呈c軸配向的多個結晶部的氧化物半導體膜之一。

【0250】 根據利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察CAAC-OS膜的明視野影像及繞射圖案的複合分析影像（也稱為高解析度TEM影像），可以觀察到多個結晶部。但是，在高解析度TEM

影像中觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在CAAC-OS膜中，不容易發生起因於晶界的電子移動率的降低。

【0251】 根據從大致平行於樣本面的方向觀察的CAAC-OS膜的高解析度剖面TEM影像可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映了被形成CAAC-OS膜的面（也稱為被形成面）或CAAC-OS膜的頂面的凸凹的形狀並以平行於CAAC-OS膜的被形成面或CAAC-OS膜的頂面的方式排列。

【0252】 另一方面，根據從大致垂直於樣本面的方向觀察的CAAC-OS膜的高解析度平面TEM影像可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

【0253】 使用X射線繞射（XRD：X-Ray Diffraction）裝置對CAAC-OS膜進行結構分析。例如，當利用out-of-plane法分析包括InGaZnO₄結晶的CAAC-OS膜時，在繞射角（ 2θ ）為 31° 附近時會出現峰值。由於該峰值來源於InGaZnO₄結晶的（009）面，由此可知CAAC-OS膜中的結晶具有c軸配向性，並且c軸朝向大致垂直於CAAC-OS膜的被形成面或頂面的方向。

【0254】 注意，當利用out-of-plane法分析包括InGaZnO₄結晶的CAAC-OS膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著CAAC-OS膜的一部分中含有不呈c軸配向的結晶。較佳的是，在CAAC-OS膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

【0255】 CAAC-OS膜是雜質濃度低的氧化物半導體膜。雜質是指

氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，矽等元素因為其與氧的結合力比構成氧化物半導體膜的金屬元素與氧的結合力更強而成為因從氧化物半導體膜奪取氧而打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。此外，鐵或鎳等重金屬、氫、二氧化碳等因為其原子半徑（分子半徑）大而在包含在氧化物半導體膜內部時成為打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。注意，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

【0256】 此外，CAAC-OS膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺損有時成為載子陷阱或者藉由俘獲氫而成為載子發生源。

【0257】 將雜質濃度低且缺陷態密度低（氧缺損的個數少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常導通特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為高可靠性電晶體。此外，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放需要長時間，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

【0258】 此外，在使用CAAC-OS膜的電晶體中，起因於可見光或紫外光照射的電特性變動小。

【0259】 〈微晶氧化物半導體膜〉

接下來，說明微晶氧化物半導體膜。

【0260】 在微晶氧化物半導體膜的高解析度TEM影像中有觀察到結晶部的區域及觀察不到明確的結晶部的區域。包含在微晶氧化物半導體膜中的結晶部的尺寸大多為1nm以上且100nm以下，或1nm以上且10nm以下。尤其是，將具有尺寸為1nm以上且10nm以下或1nm以上且3nm以下的微晶的奈米晶（nc：nanocrystal）的氧化物半導體膜稱為nc-OS（nanocrystalline-Oxide Semiconductor：奈米晶氧化物半導體）膜。另外，例如在nc-OS膜的高解析度TEM影像中，有時觀察不到明確的晶界。

【0261】 nc-OS膜在微小區域（例如是1nm以上且10nm以下的區域，尤其是1nm以上且3nm以下的區域）中其原子排列具有週期性。另外，nc-OS膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時nc-OS膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由利用使用其束徑比結晶部大的X射線的XRD裝置的out-of-plane法對nc-OS膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在對nc-OS膜進行使用其束徑比結晶部大（例如，50nm以上）的電子射線的電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對nc-OS膜進行使用其束徑近於結晶部或者比結晶部小的電子射線的奈米束電子繞射時，觀察到斑點。另外，在nc-OS膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。並且，在nc-OS膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

【0262】 nc-OS膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS膜的缺陷態密度比CAAC-OS膜高。

【0263】 〈非晶氧化物半導體膜〉

接著，對非晶氧化物半導體膜進行說明。

【0264】 非晶氧化物半導體膜是具有無序的原子排列並不具有結晶部的氧化物半導體膜。其一個例子為具有如石英那樣的無定形態的氧化物半導體膜。

【0265】 在非晶氧化物半導體膜的高解析度TEM影像中，觀察不到結晶部。

【0266】 使用XRD裝置對非晶氧化物半導體膜進行結構分析。當利用out-of-plane法分析時，檢測不到表示結晶面的峰值。另外，在非晶氧化物半導體膜的電子繞射圖案中，觀察到光暈圖案。另外，在非晶氧化物半導體膜的奈米束電子繞射圖案中，觀察不到斑點，而觀察到光暈圖案。

【0267】 此外，氧化物半導體膜有時具有呈現nc-OS膜與非晶氧化物半導體膜之間的物性的結構。將具有這種結構的氧化物半導體膜特別稱為amorphous-like氧化物半導體（amorphous-like OS：amorphous-like Oxide Semiconductor）膜。

【0268】 在amorphous-like OS膜的高解析度TEM影像中，有時觀察到空洞（也稱為空隙）。此外，在amorphous-like OS膜的高解析度TEM影像中，有明確地確認到結晶部的區域及確認不到結晶部的區域。amorphous-like OS

膜有時因TEM觀察時的微量的電子照射而產生晶化，由此觀察到結晶部的生長。另一方面，在良好的nc-OS膜中，幾乎觀察不到因TEM觀察時的微量的電子照射而產生晶化。

【0269】 此外，amorphous-like OS膜及nc-OS膜的結晶部的尺寸的測量可以使用高解析度TEM影像進行。例如， InGaZnO_4 結晶具有層狀結構，在In-O層之間具有兩個Ga-Zn-O層。 InGaZnO_4 結晶的單位晶格具有三個In-O層和六個Ga-Zn-O層的一共九個層在c軸方向上重疊為層狀的結構。因此，這些彼此相鄰的層之間的間隔與(009)面的晶格表面間隔(也稱為d值)大致相等，從結晶結構分析求出其值，即為0.29nm。因此，著眼於高解析度TEM影像的晶格條紋，在晶格條紋的間隔為0.28nm以上且0.30nm以下的區域中，每個晶格條紋都對應於 InGaZnO_4 結晶的a-b面。

【0270】 注意，氧化物半導體膜例如可以是包括非晶氧化物半導體膜、amorphous-like OS膜、微晶氧化物半導體膜和CAAC-OS膜中的兩種以上的疊層膜。

【0271】 本實施方式可以與其他實施方式適當地組合而實施。

【0272】 實施方式5

在本實施方式中，說明具有與圖15不同的結構的半導體裝置的結構的一個例子。

【0273】 圖18示出半導體裝置的剖面結構的一個例子。注意，以虛線A1-A2表示的區域示出電晶體620及電晶體630的通道長度方向上的結構，以虛線A3-A4表示的區域示出電晶體620及電晶體630的通道寬度方向上的結構。注意，在本發明的一個方式中，電晶體620的通道長度方向與電晶體630

的通道長度可以不一致。

【0274】 另外，通道長度方向是指在源極（源極區或源極電極）與汲極（汲極區或汲極電極）之間載子移動的方向，通道寬度方向是指在與基板平行的面內垂直於通道長度方向的方向。

【0275】 圖18例示出將OS電晶體的電晶體630形成於在其通道形成區包括氧化物半導體以外的材料的電晶體620上的情況。

【0276】 注意，這種層疊有在其通道形成區包括氧化物半導體以外的材料的電晶體以及OS電晶體的結構可以適當地用於圖1A至圖3D、圖5至12D所示的各種電路所包括的電晶體。

【0277】 注意，雖然在本實施方式中示出與圖13D同樣地使電晶體620的閘極與電晶體630的源極和汲極中的一個連接的結構，但不侷限於此。可以使電晶體620的源極和汲極中的一個與電晶體630的閘極連接（參照圖14A），可以使電晶體620的源極和汲極中的一個與電晶體630的源極和汲極中的一個連接（參照圖14B），也可以使電晶體620的閘極與電晶體630的閘極連接（參照圖14C）。

【0278】 電晶體620可以在非晶、微晶、多晶或單晶的矽或鍺等的半導體膜或半導體基板中包括通道形成區。或者，電晶體620可以在氧化物半導體膜或氧化物半導體基板中包括通道形成區。當所有的電晶體在氧化物半導體膜或氧化物半導體基板中包括通道形成區時，可以不將電晶體630層疊於電晶體620上，而可以在同一層中形成電晶體630和電晶體620。

【0279】 當使用矽薄膜形成電晶體620時，作為該薄膜可以使用：利用電漿CVD法等氣相沉積法或濺射法製造的非晶矽；利用雷射照射等的處

理使非晶矽晶化而形成的多晶矽；或藉由對單晶矽晶圓注入氫離子等來使表層剝離而得到的單晶矽等。

【0280】 作為形成有電晶體620的基板1000例如可以使用矽基板、鍺基板、矽鍺基板等。圖18示出將單晶矽基板用作基板1000的例子。

【0281】 另外，電晶體620利用元件隔離法被電隔離。作為元件隔離法，可以採用淺溝槽隔離（STI：Shallow Trench Isolation）法等。在圖18中示出利用淺溝槽隔離法使電晶體620電隔離的例子。明確而言，圖18示出利用元件隔離區1001使電晶體620元件隔離的情況的例子，該元件隔離區1001是將含有氧化矽等的絕緣物嵌入藉由蝕刻等形成於基板1000的溝槽中，然後利用蝕刻等部分去除該絕緣物而形成的。

【0282】 另外，在位於溝槽以外的區域的基板1000的凸部中設置有電晶體620的雜質區1002及雜質區1003以及夾在雜質區1002與雜質區1003之間的通道形成區1004。再者，電晶體620包括覆蓋通道形成區1004的絕緣膜1005以及隔著絕緣膜1005與通道形成區1004重疊的閘極電極1006。

【0283】 在電晶體620中，藉由使通道形成區1004中的凸部的側部及上部隔著絕緣膜1005與閘極電極1006重疊，可以使載子流過包括通道形成區1004的側部及上部的較廣的範圍。由此，可以縮小電晶體620在基板上所占的面積，並可以增加電晶體620中的載子的移動量。其結果，可以在增大電晶體620的通態電流的同時提高場效移動率。尤其在將通道形成區1004中的凸部的通道寬度方向上的長度（通道寬度）設定為 W 並將通道形成區1004中的凸部的膜厚度設定為 T 時，在膜厚 T 與通道寬度 W 的縱橫比較高的情況下，載子流過的範圍變得更廣，因此可以增大電晶體620的通態電流並提高

場效移動率。

【0284】 另外，當電晶體620使用塊狀半導體基板時，縱橫比較佳為0.5以上，更佳為1以上。

【0285】 在電晶體620上設置有絕緣膜1011。在絕緣膜1011中形成有開口部。並且，在上述開口部中形成有分別與雜質區1002、雜質區1003電連接的導電膜1012、導電膜1013以及與閘極電極1006電連接的導電膜1014。

【0286】 並且，導電膜1012與形成於絕緣膜1011上的導電膜1016電連接，導電膜1013與形成於絕緣膜1011上的導電膜1017電連接，導電膜1014與形成於絕緣膜1011上的導電膜1018電連接。

【0287】 在導電膜1016至導電膜1018上設置有絕緣膜1020。並且，在絕緣膜1020上設置有具有防止氧、氫、水的擴散的阻擋效果的絕緣膜1021。絕緣膜1021的密度越高越緻密或者懸空鍵越少在化學上越穩定，阻擋效果則越高。作為具有防止氧、氫、水的擴散的阻擋效果的絕緣膜1021，例如可以採用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釷、氧氮化釷、氧化鈣、氧氮化鈣等。另外，作為具有防止氫、水的擴散的阻擋效果的絕緣膜1021，例如還可以採用氮化矽、氮氧化矽等。

【0288】 在絕緣膜1021上設置有絕緣膜1022，在絕緣膜1022上設置有電晶體630。

【0289】 電晶體630在絕緣膜1022上包括：含有氧化物半導體的半導體膜1030；與半導體膜1030電連接的用作源極電極或汲極電極的導電膜1032及導電膜1033；覆蓋半導體膜1030的閘極絕緣膜1031；以及隔著閘極絕緣膜1031與半導體膜1030重疊的閘極電極1034。另外，在絕緣膜1020至絕緣膜

1022中設置有開口部，導電膜1033在上述開口部中與導電膜1018連接。

【0290】 另外，在圖18中，雖然電晶體630只要在半導體膜1030的一側至少具有閘極電極1034即可，但是還可以具有隔著絕緣膜1022與半導體膜1030重疊的閘極電極。

【0291】 當電晶體630具有一對閘極電極時，可以對一個閘極電極施加用來控制導通狀態或非導通狀態的信號，並從其他佈線對另一個閘極電極施加電位。在該情況下，可以對一對閘極電極施加相同位準的電位，也可以只對另一個閘極電極施加地電位等固定電位。可以藉由控制對另一個閘極電極施加的電位的位準來控制電晶體的臨界電壓。

【0292】 另外，圖18例示出電晶體630具有單閘極結構的情況，即包括對應於一個閘極電極1034的一個通道形成區。但是，電晶體630也可以具有多閘極結構，其中藉由具有相互電連接的多個閘極電極，在一個活性層中具有多個通道形成區。

【0293】 另外，圖18示出電晶體630中的半導體膜1030包括依次層疊於絕緣膜1022上的氧化物半導體膜1030a至氧化物半導體膜1030c的例子。但是，在本發明的一個方式中，電晶體630所具有半導體膜1030也可以由單層的金屬氧化物膜構成。

【0294】 注意，本實施方式可以與其他實施方式適當地組合而實施。

【0295】 實施方式6

其他實施方式所公開的導電膜、半導體膜及絕緣膜等各種膜可以利用濺射法或電漿CVD法形成，但是也可以利用熱CVD法等其他方法形成。作為熱CVD法的例子，也可以使用MOCVD（Metal Organic Chemical Vapor

Deposition：有機金屬化學氣相沉積）法或ALD（Atomic Layer Deposition：原子層沉積）法。

【0296】 由於熱CVD法是不使用電漿的成膜方法，因此具有不產生因電漿損傷而引起的缺陷的優點。

【0297】 可以以如下方法進行利用熱CVD法的成膜：將源氣體及氧化劑同時供應到處理室內，將處理室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上起反應。

【0298】 此外，可以以如下方法進行利用ALD法的成膜：將處理室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入處理室，並且按該順序反復地引入氣體。例如，藉由切換各開關閥（也稱為高速閥）來將兩種以上的源氣體依次供應到處理室內。為了防止多種源氣體混合，例如，在引入第一源氣體的同時或之後引入惰性氣體（氬或氮等）等，然後引入第二源氣體。注意，當同時引入第一源氣體及惰性氣體時，惰性氣體被用作載子氣體，另外，可以在引入第二源氣體的同時引入惰性氣體。另外，也可以不引入惰性氣體而藉由真空抽氣將第一源氣體排出，然後引入第二源氣體。第一源氣體附著到基板表面形成第一層，然後第二源氣體被引入以與該第一層起反應，由此第二層層疊於第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。由於薄膜的厚度可以根據按順序反復引入氣體的次數來調整，因此，ALD法可以準確地調節厚度，因而適用於製造微型FET。

【0299】 利用MOCVD法或ALD法等熱CVD法可以形成上述實施方式所公開的導電膜、半導體膜、絕緣膜等的各種膜，例如，當形成In-Ga-Zn-O

膜時，使用三甲基銦、三甲基鎵及二甲基鋅。三甲基銦的化學式為 $\text{In}(\text{CH}_3)_3$ 。三甲基鎵的化學式為 $\text{Ga}(\text{CH}_3)_3$ 。二甲基鋅的化學式為 $\text{Zn}(\text{CH}_3)_2$ 。另外，不侷限於上述組合，也可以使用三乙基鎵（化學式為 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）代替三甲基鎵，並使用二乙基鋅（化學式為 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）代替二甲基鋅。

【0300】 例如，在使用利用ALD法的成膜裝置形成氧化鈺膜時，使用如下兩種氣體：藉由使包含溶劑和鈺前體化合物的液體（鈺醇鹽或鈺醯胺諸如四（二甲基胺基）鈺（TDMAH））氣化而得到的源氣體；以及用作氧化劑的臭氧（ O_3 ）。四（二甲基胺基）鈺的化學式為 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 。另外，作為其它材料液有四（乙基甲基胺基）鈺等。

【0301】 例如，在使用利用ALD法的成膜裝置形成氧化鋁膜時，使用如下兩種氣體：藉由使包含溶劑和鋁前體化合物的液體（三甲基鋁（TMA）等）氣化而得到的源氣體；以及用作氧化劑的 H_2O 。三甲基鋁的化學式為 $\text{Al}(\text{CH}_3)_3$ 。另外，作為其它材料液有三（二甲基醯胺）鋁、三異丁基鋁、鋁三（2,2,6,6-四甲基-3,5-庚二酮）等。

【0302】 例如，在使用利用ALD法的成膜裝置形成氧化矽膜時，使六氯乙矽烷附著在被成膜面上，去除附著物所包含的氯，供應氧化性氣體（ O_2 、一氧化二氮）的自由基使其與附著物起反應。

【0303】 例如，在使用利用ALD法的成膜裝置形成鎢膜時，依次反復引入 WF_6 氣體和 B_2H_6 氣體形成初始鎢膜，然後同時引入 WF_6 氣體和 H_2 氣體形成鎢膜。也可以使用 SiH_4 氣體代替 B_2H_6 氣體。

【0304】 例如，在使用利用ALD的成膜裝置形成氧化物半導體膜如In-Ga-Zn-O膜時，依次反復引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成In-O層，然後同

時引入Ga(CH₃)₃氣體和O₃氣體形成GaO層，之後同時引入Zn(CH₃)₂氣體和O₃氣體形成ZnO層。注意，這些層的順序不侷限於上述例子。此外，也可以混合這些氣體來形成混合化合物層如In-Ga-O層、In-Zn-O層、Ga-Zn-O層等。注意，雖然也可以使用利用Ar等惰性氣體進行起泡而得到的H₂O氣體代替O₃氣體，但是較佳為使用不包含H的O₃氣體。還可以使用In(C₂H₅)₃氣體代替In(CH₃)₃氣體。也可以使用Ga(C₂H₅)₃氣體代替Ga(CH₃)₃氣體。另外，也可以使用Zn(CH₃)₂氣體。

【0305】 注意，本實施方式可以與其他實施方式適當地組合而實施。

【0306】 實施方式7

在本實施方式中，說明根據本發明的一個方式的半導體裝置的使用方式的例子。

【0307】 根據本發明的一個方式的半導體裝置如上述實施方式所示那樣能夠檢測出所指定的物理量或化學量。因此，藉由使人或動物等攜帶半導體裝置，與時間和地點無關地可以不間斷地檢測出生物資料。

【0308】 作為半導體裝置的攜帶方法，以人為例，有貼在身體表面的方法或埋入體內的方法等，根據要檢測的物理量或化學量而選擇適當的方法即可。圖19A至圖19E示出本發明的半導體裝置的使用方式的具體例子。

【0309】 圖19A是手鐲型電子裝置5001，其中在外殼5002設置有半導體裝置5003。藉由以接觸於手腕或手臂的方式戴上電子裝置5001，可以在手腕或手臂檢測出生物資料。注意，還可以將電子裝置5001戴在腰或腿上。另外，還可以使用腰帶等代替外殼5002。半導體裝置5003所檢測的生物資料可以使用讀取/寫入器等讀取。

【0310】 另外，半導體裝置可以埋入體內。圖19B示出將半導體裝置5004埋入手腕時的使用方式。此時，可以戴上半導體裝置5004而無需使用外殼或腰帶，從而可以減少脫戴的麻煩。此外，半導體裝置5004除了手腕之外還可以埋入口內或耳垂（圖19C）等身體的任何地方。

【0311】 另外，如圖19D所示，半導體裝置5004還可以貼到動物身上或埋入動物體內。並且，藉由定期讀取半導體裝置5004所檢測的動物的生物資料，可以監測並管理動物的健康狀態。此時，藉由預先將識別號碼儲存於半導體裝置5004，能夠同時管理多個動物。

【0312】 此外，如圖19E所示，可以將半導體裝置5004貼到植物上或埋入植物內部。並且，藉由定期讀取半導體裝置5004所檢測的植物的生物資料，可以預測開花的時間以及發貨時間等資料。另外，當半導體裝置5004包括檢測出光的元件時，可以得到日照時間的資料。此外，當半導體裝置5004包括太陽能電池時，藉由將來自外部的光轉換為電力而供應到半導體裝置5004，可以使半導體裝置5004工作。

【0313】 如此，藉由將根據本發明的一個方式的半導體裝置貼到人體、動物、植物等上或埋入人體、動物、植物等內，可以更容易地檢測出每個生物的生物資料。

【0314】 另外，本發明的使用方式不侷限於上述內容。根據本發明的半導體裝置還可以應用於顯示裝置、個人電腦、具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示其影像的顯示器的裝置）、行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、視頻攝影機、數位相

機等影像拍攝裝置、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）、自動販賣機以及醫療設備等各種電子裝置。

【0315】 注意，本實施方式可以與其他實施方式適當地組合而實施。

【符號說明】

【0316】

- 10 半導體裝置
- 20 電路
- 30 電路
- 40 電路
- 50 電路
- 60 電路
- 70 電路
- 80 電路
- 81 記憶體電路
- 82 記憶體電路
- 83 電路
- 90 電路
- 91 電路
- 92 電路
- 100 基板
- 101 絕緣層
- 102 導電層
- 110 電路
- 111 佈線
- 112 佈線
- 113 佈線
- 120 電路

- 121 佈線
- 122 佈線
- 201 電晶體
- 202 電容器
- 203 佈線
- 211 電晶體
- 212 電容器
- 213 佈線
- 214 電路
- 215 電晶體
- 216 佈線
- 221 電晶體
- 222 電晶體
- 223 電容器
- 224 佈線
- 231 電晶體
- 232 電晶體
- 233 電容器
- 234 電晶體
- 235 佈線
- 236 電晶體
- 237 佈線
- 301 XNOR 電路
- 302 NOR 電路
- 303 反相器
- 304 AND 電路
- 311 電晶體
- 312 電晶體
- 321 電晶體
- 322 電晶體
- 323 電晶體
- 324 電晶體
- 331 電晶體

- 332 電晶體
- 333 電晶體
- 334 電晶體
- 342 電晶體
- 351 電晶體
- 352 電晶體
- 401 反相器
- 405 反相器
- 411 XOR 電路
- 413 XOR 電路
- 421 AND 電路
- 424 AND 電路
- 431 NOR 電路
- 432 NOR 電路
- 501 XOR 電路
- 502 AND 電路
- 511 反相器
- 512 反相器
- 513 AND 電路
- 514 AND 電路
- 515 OR 電路
- 520 運算放大器
- 600 基板
- 601 絕緣物
- 602 井
- 603 閘極絕緣膜
- 604 閘極電極
- 605 雜質區
- 606 絕緣層
- 607 氧化物半導體層
- 608 導電層
- 609 閘極絕緣膜
- 610 閘極電極

- 611 絕緣層
- 612 佈線
- 620 電晶體
- 630 電晶體
- 801 半導體基板
- 810 元件隔離區
- 811 絕緣膜
- 812 絕緣膜
- 813 絕緣膜
- 825 導電膜
- 826 導電膜
- 827 導電膜
- 834 導電膜
- 835 導電膜
- 836 導電膜
- 837 導電膜
- 844 導電膜
- 851 導電膜
- 852 導電膜
- 853 導電膜
- 861 絕緣膜
- 862 閘極絕緣膜
- 863 絕緣膜
- 901 半導體膜
- 910 區域
- 911 區域
- 921 導電膜
- 922 導電膜
- 931 閘極電極
- 1000 基板
- 1001 元件隔離區
- 1002 雜質區
- 1003 雜質區

- 1004 通道形成區
- 1005 絕緣膜
- 1006 閘極電極
- 1011 絕緣膜
- 1012 導電膜
- 1013 導電膜
- 1014 導電膜
- 1016 導電膜
- 1017 導電膜
- 1018 導電膜
- 1020 絕緣膜
- 1021 絕緣膜
- 1022 絕緣膜
- 1030 半導體膜
- 1030a 氧化物半導體膜
- 1030c 氧化物半導體膜
- 1031 閘極絕緣膜
- 1032 導電膜
- 1033 導電膜
- 1034 閘極電極
- 2000 電晶體
- 2001 絕緣膜
- 2002a 氧化物半導體膜
- 2002b 氧化物半導體膜
- 2002c 氧化物半導體膜
- 2003 導電膜
- 2004 導電膜
- 2005 絕緣膜
- 2006 導電膜
- 2007 基板
- 5001 電子裝置
- 5002 外殼

- 5003 半導體裝置
- 5004 半導體裝置

(109 年 7 月 10 日專利修正無畫線版)

申請專利範圍

1. 一種半導體裝置，包括：

記憶體電路，包括：

在通道形成區域中包括氧化物半導體的第一電晶體；

第二至第四電晶體；

電容器；以及

第一至第五佈線，

其中：

該第一佈線電連接於該第一電晶體的源極和汲極中的一個與該第二電晶體的源極和汲極中的一個，

該第一電晶體的該源極和該汲極中的另一個電連接於該第三電晶體的閘極與該電容器的其中一個電極，

該第一電晶體的閘極電連接於該第二佈線，

該第二電晶體的該源極和該汲極中的另一個電連接於該第三電晶體的源極和汲極中的一個與該第四電晶體的源極和汲極中的一個，

該第二電晶體的閘極電連接於該第三佈線，

該第三電晶體的該源極和該汲極中的另一個電連接於該電容器的另一個電極與該第四佈線，

該第四電晶體的閘極電連接於該第五佈線，

並且，該第二佈線提供第一電壓，該第三佈線提供與該第一電壓不同的第二電壓。

2. 一種半導體裝置，包括：

(109 年 7 月 10 日專利修正無畫線版)

第一記憶體電路；

第二記憶體電路，該第二記憶體電路包括：

在通道形成區域中包括氧化物半導體的第一電晶體；

第二至第四電晶體；

電容器；以及

第一至第五佈線，

其中：

該第一佈線電連接於該第一電晶體的源極和汲極中的一個與該第二電晶體的源極和汲極中的一個，

該第一電晶體的該源極和該汲極中的另一個電連接於該第三電晶體的閘極與該電容器的其中一個電極，

該第一電晶體的閘極電連接於該第二佈線，

該第二電晶體的該源極和該汲極中的另一個電連接於該第三電晶體的源極和汲極中的一個與該第四電晶體的源極和汲極中的一個，

該第二電晶體的閘極電連接於該第三佈線，

該第三電晶體的該源極和該汲極中的另一個電連接於該電容器的另一個電極與該第四佈線，

該第四電晶體的閘極電連接於該第五佈線，

該第一記憶體電路儲存來自外部的資料，

該第二記憶體電路儲存參考資料，

並且，該第二佈線提供第一電壓，該第三佈線提供與該第一電壓不同的第二電壓。

(109 年 7 月 10 日專利修正無畫線版)

3. 根據申請專利範圍第1或2項之半導體裝置，
其中該第一佈線及該第四佈線電連接於具有寫入資料的功能的驅動電路。
4. 根據申請專利範圍第1或2項之半導體裝置，還包括電連接於該第四電晶體的該源極和該汲極中的另一個的算術電路。
5. 根據申請專利範圍第1項之半導體裝置，
其中該記憶體電路與算術電路的至少一部分重疊。
6. 根據申請專利範圍第2項之半導體裝置，
其中該第一佈線及該第四佈線電連接於具有寫入資料的功能的驅動電路，
並且，該第二佈線電連接於具有選擇該第一記憶體電路的功能的驅動電路。
7. 根據申請專利範圍第2項之半導體裝置，
其中該第二記憶體電路與算術電路的至少一部分重疊。
8. 根據申請專利範圍第2項之半導體裝置，還包括算術電路，
其中該算術電路對該資料和該參考資料進行比較。

圖式

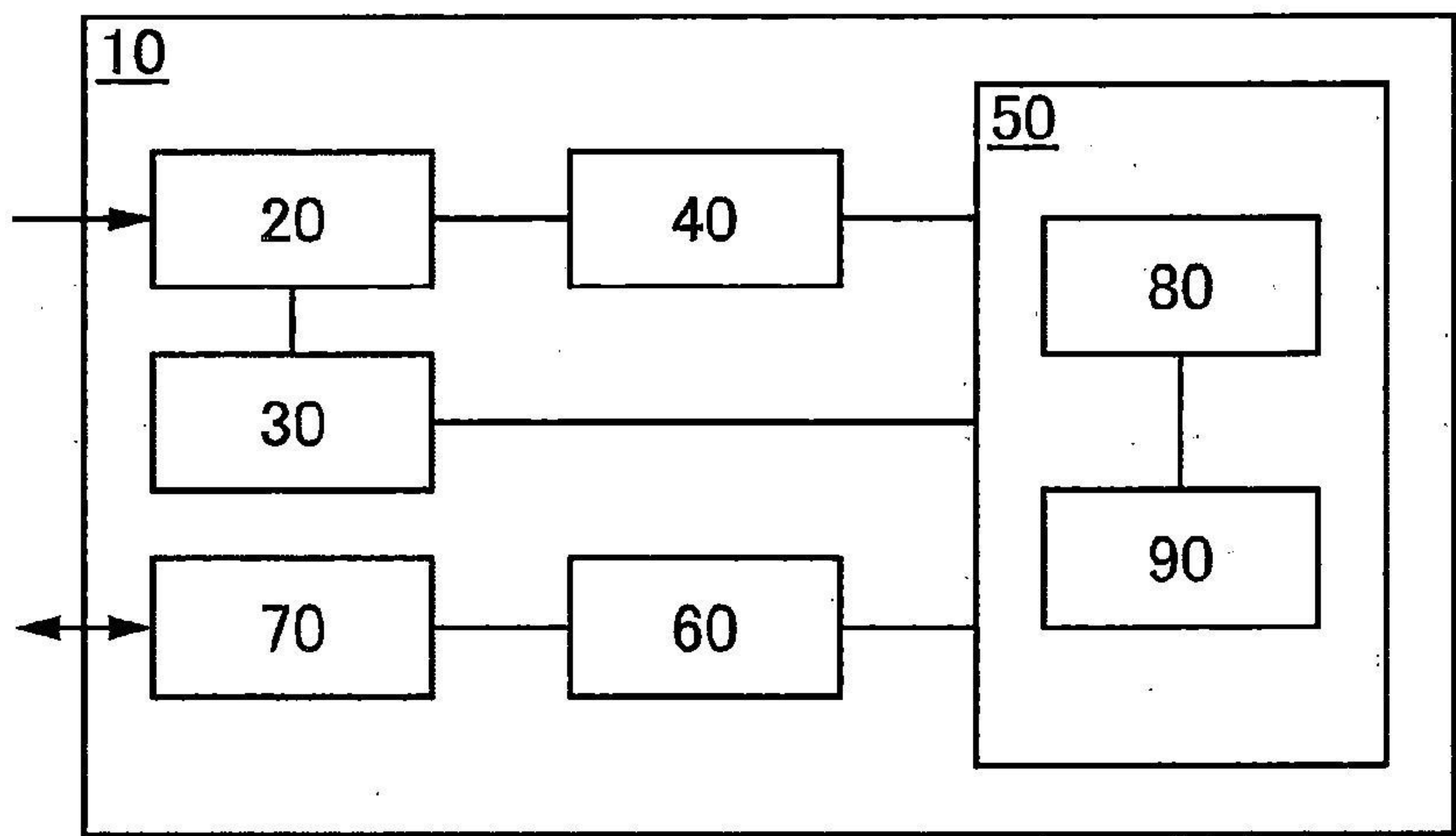


圖 1A

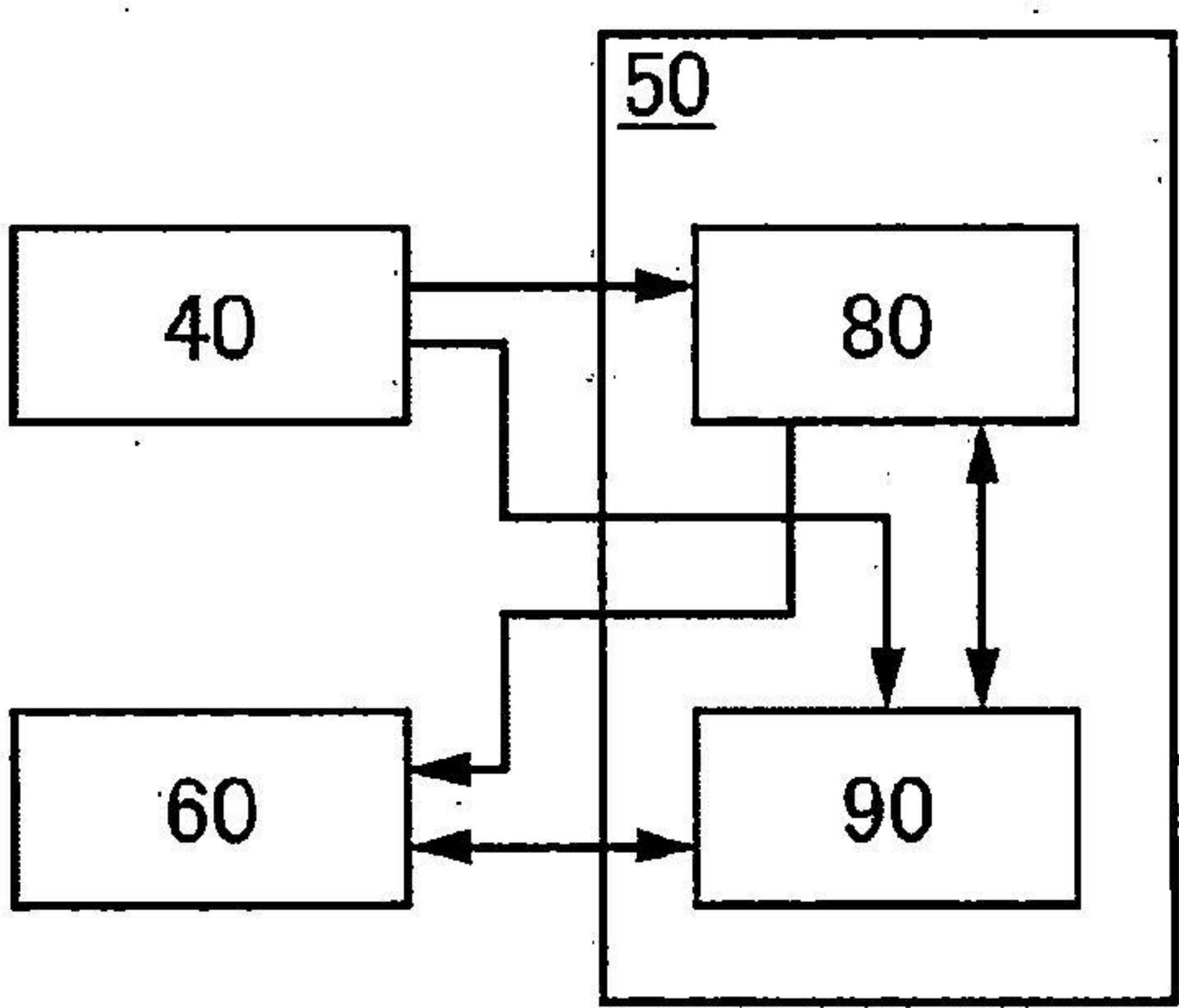


圖 1B

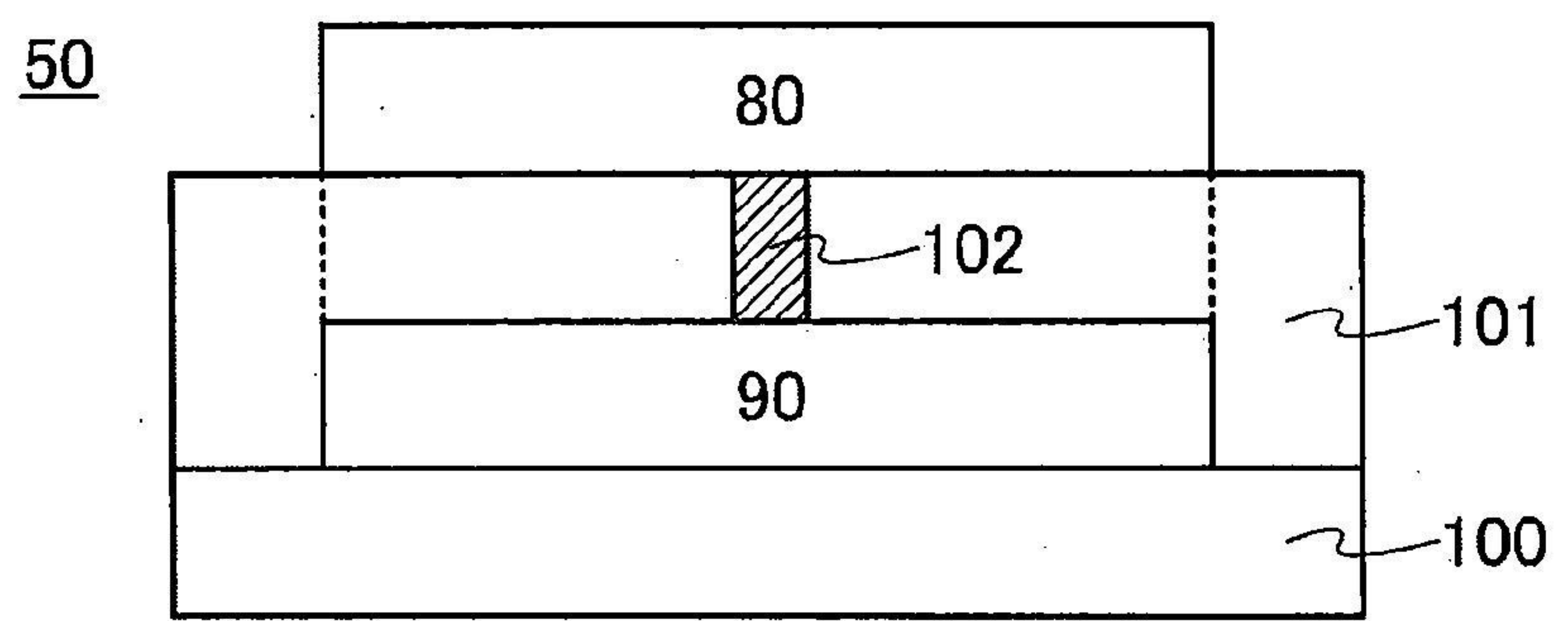


圖 1C

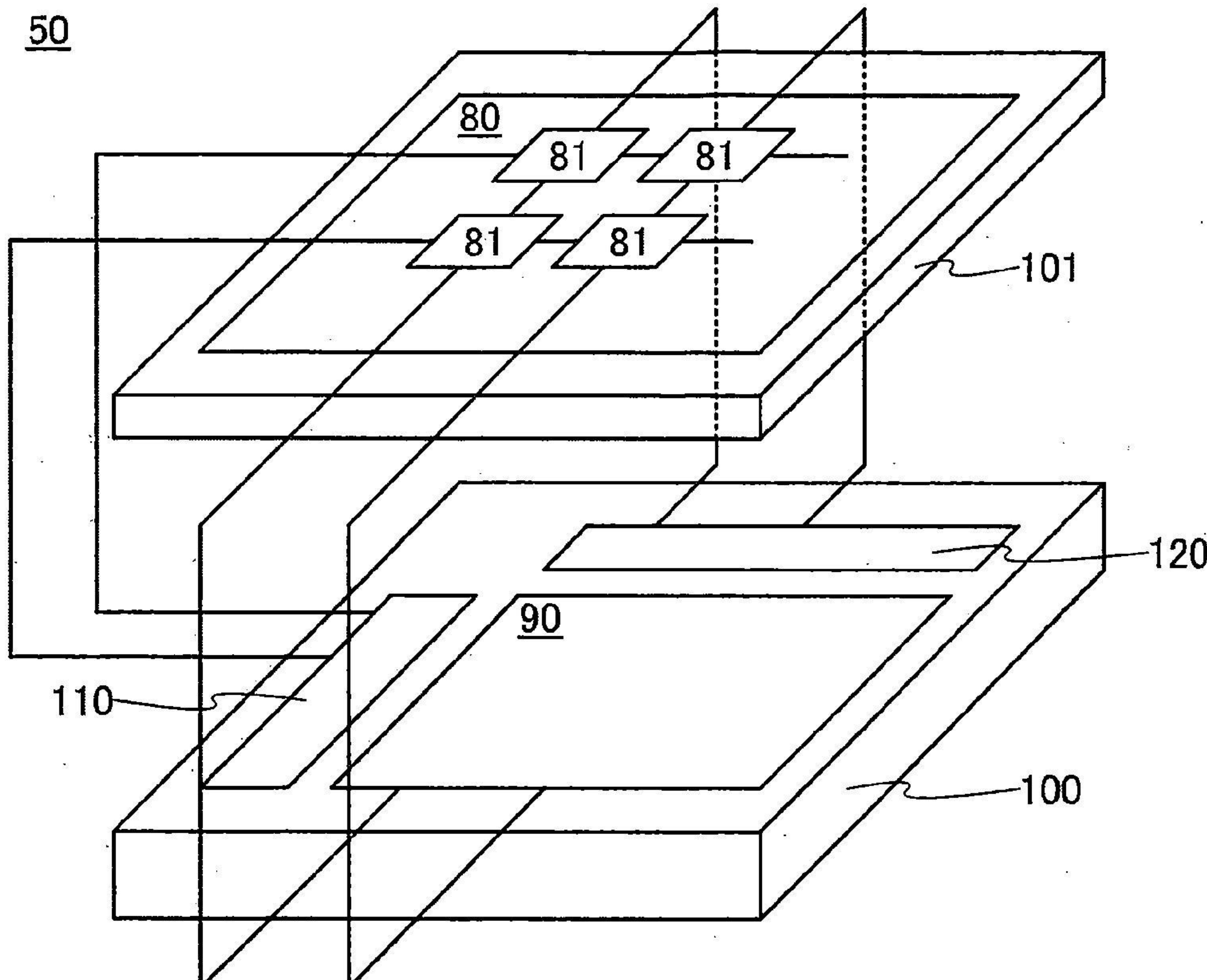


圖 2A

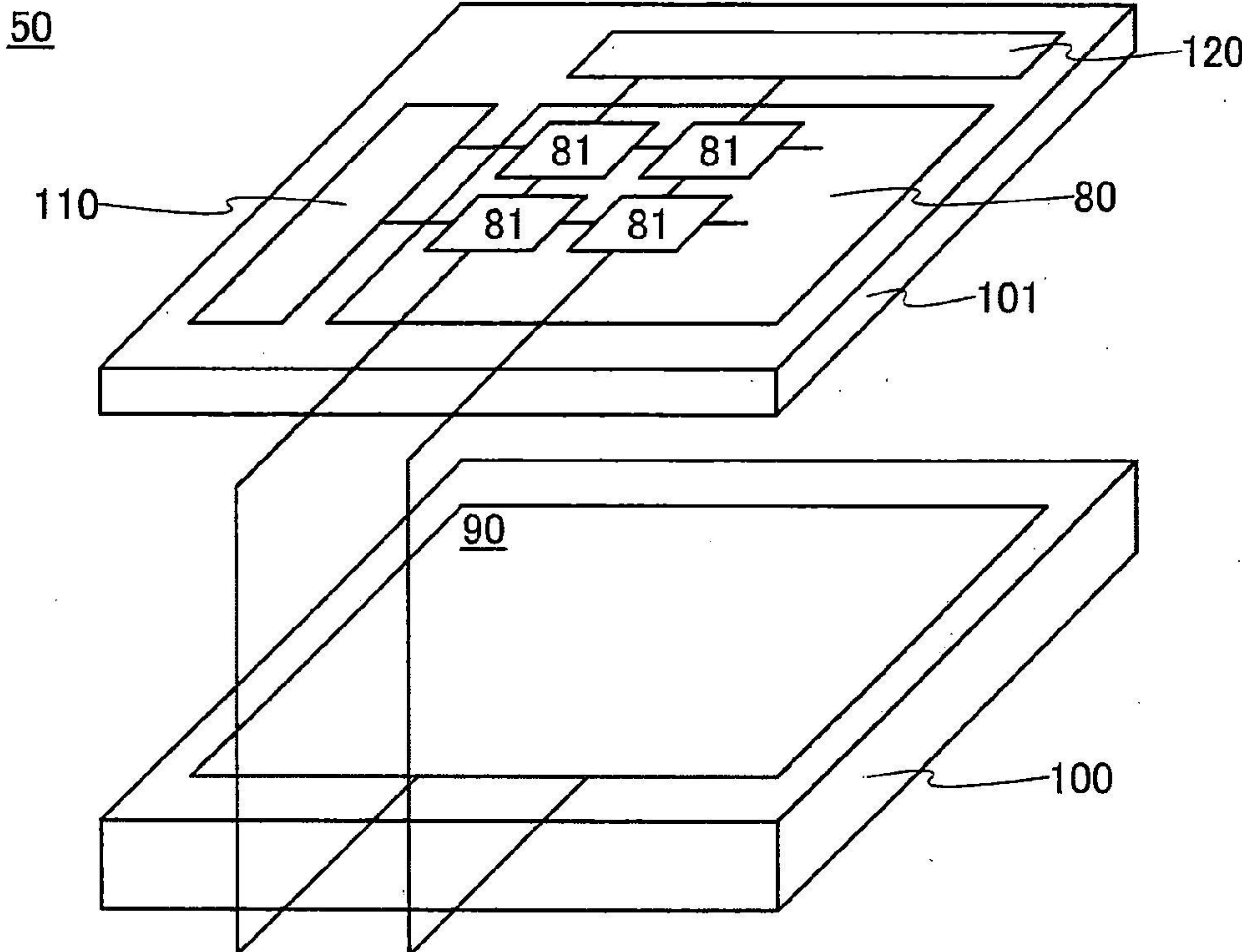


圖 2B

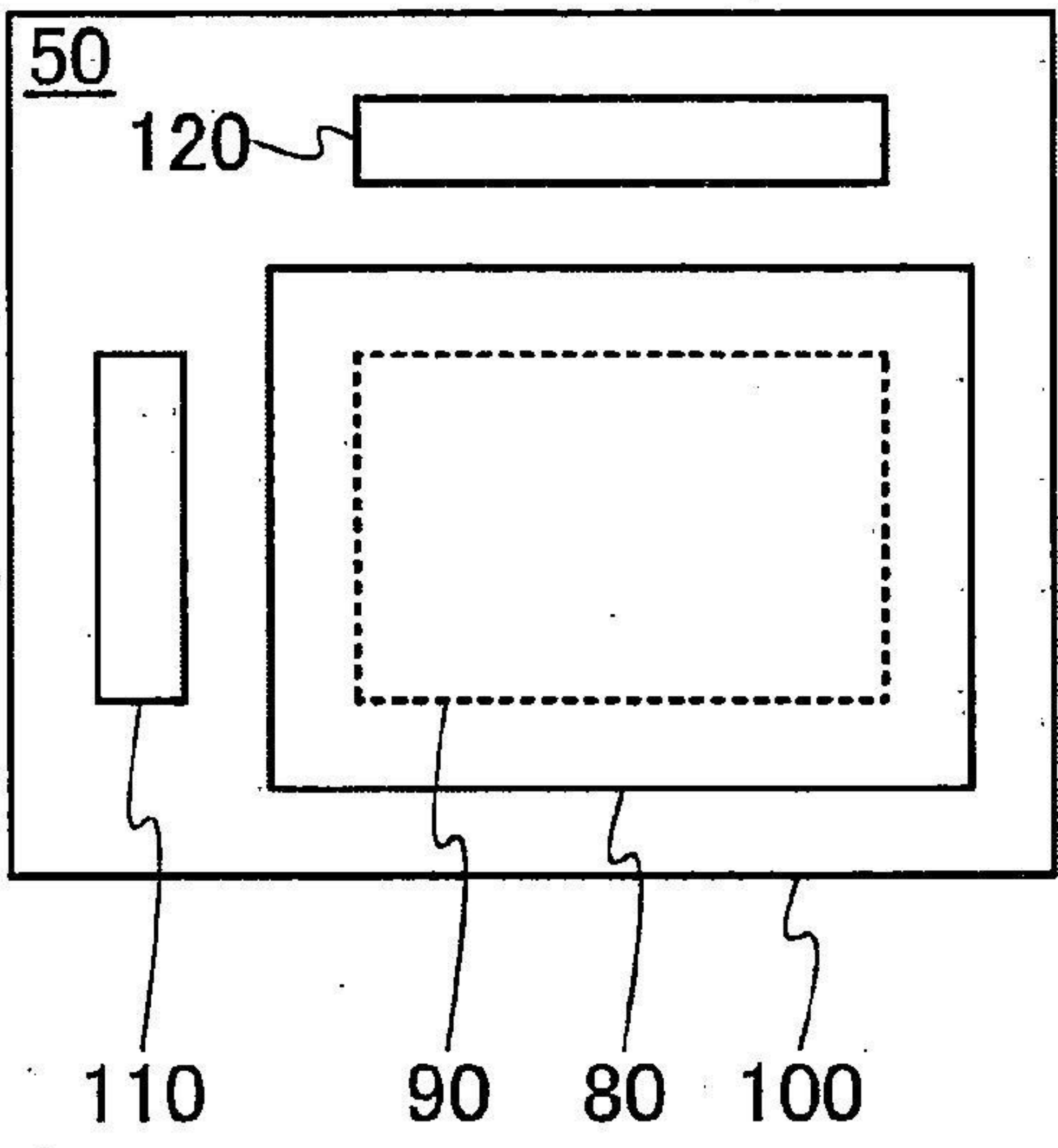


圖 3A

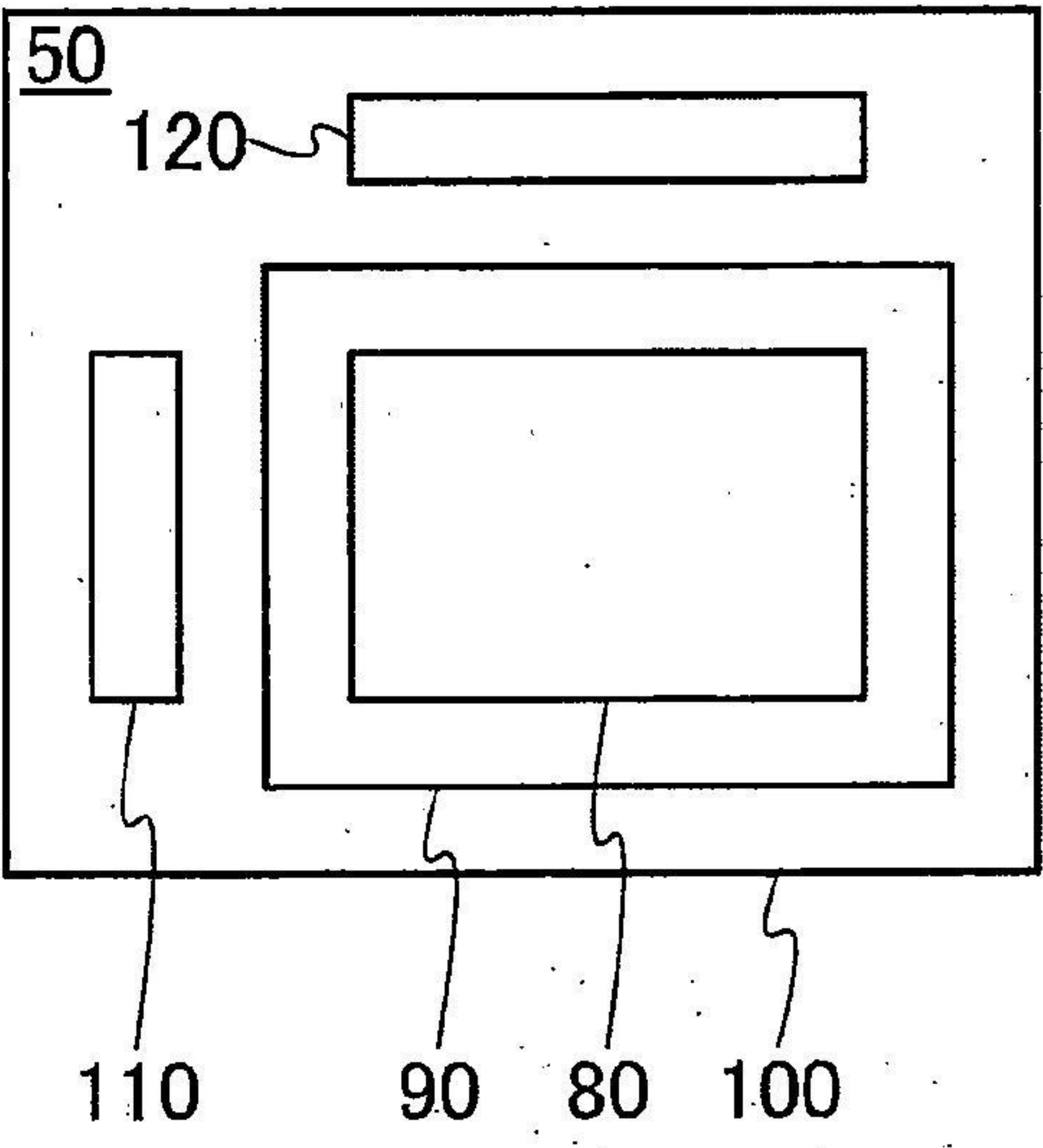


圖 3B

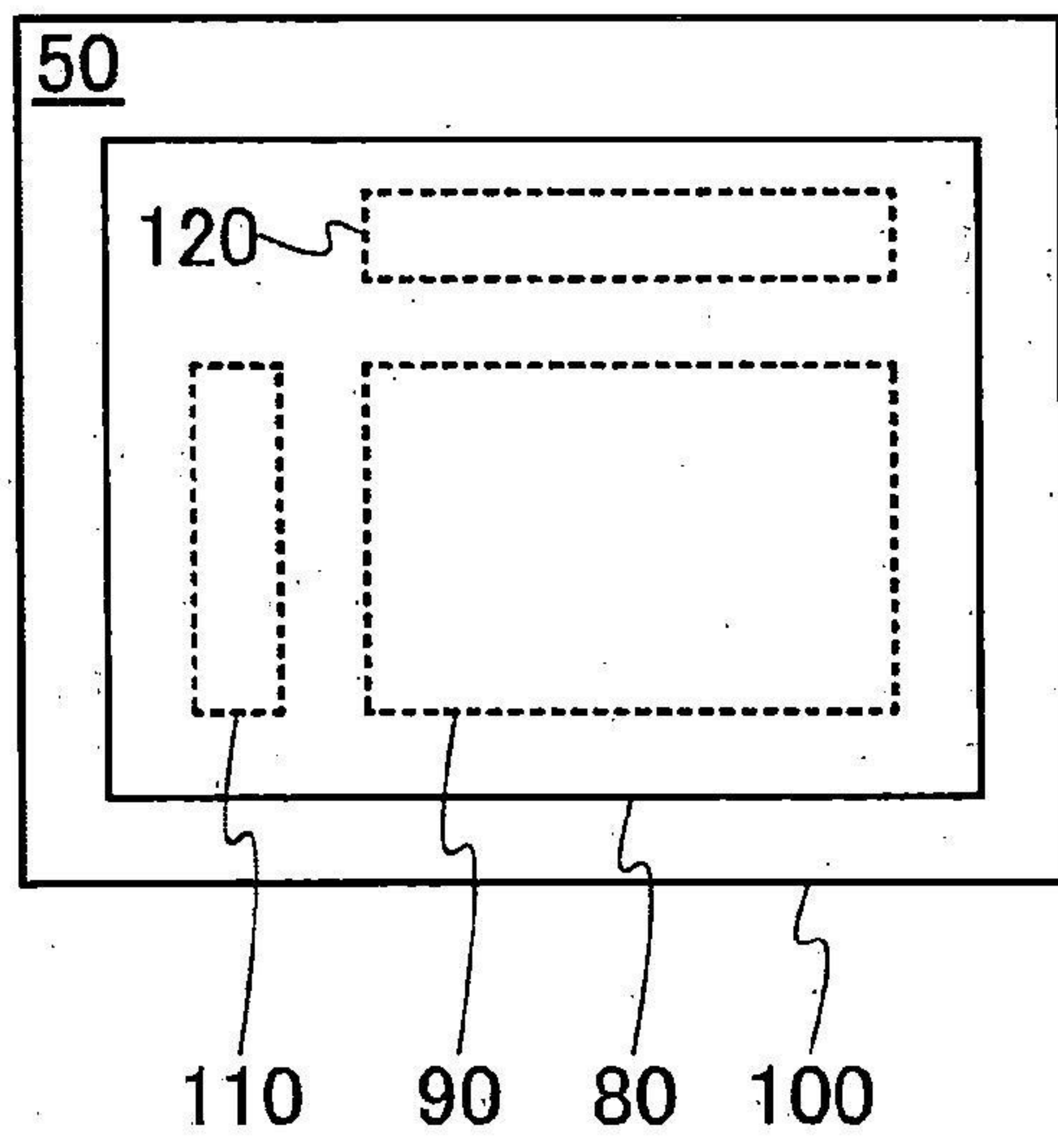


圖 3C

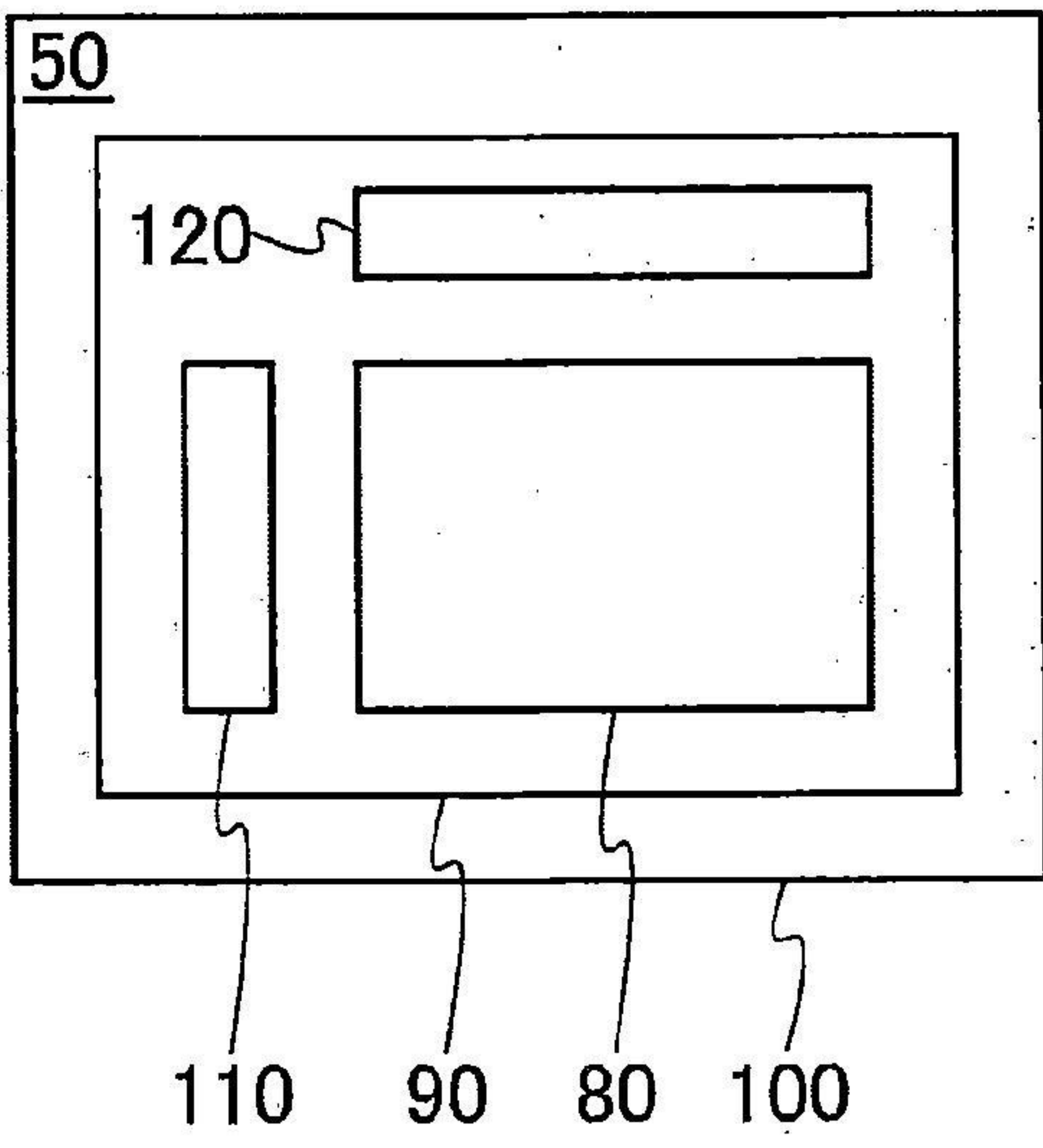


圖 3D

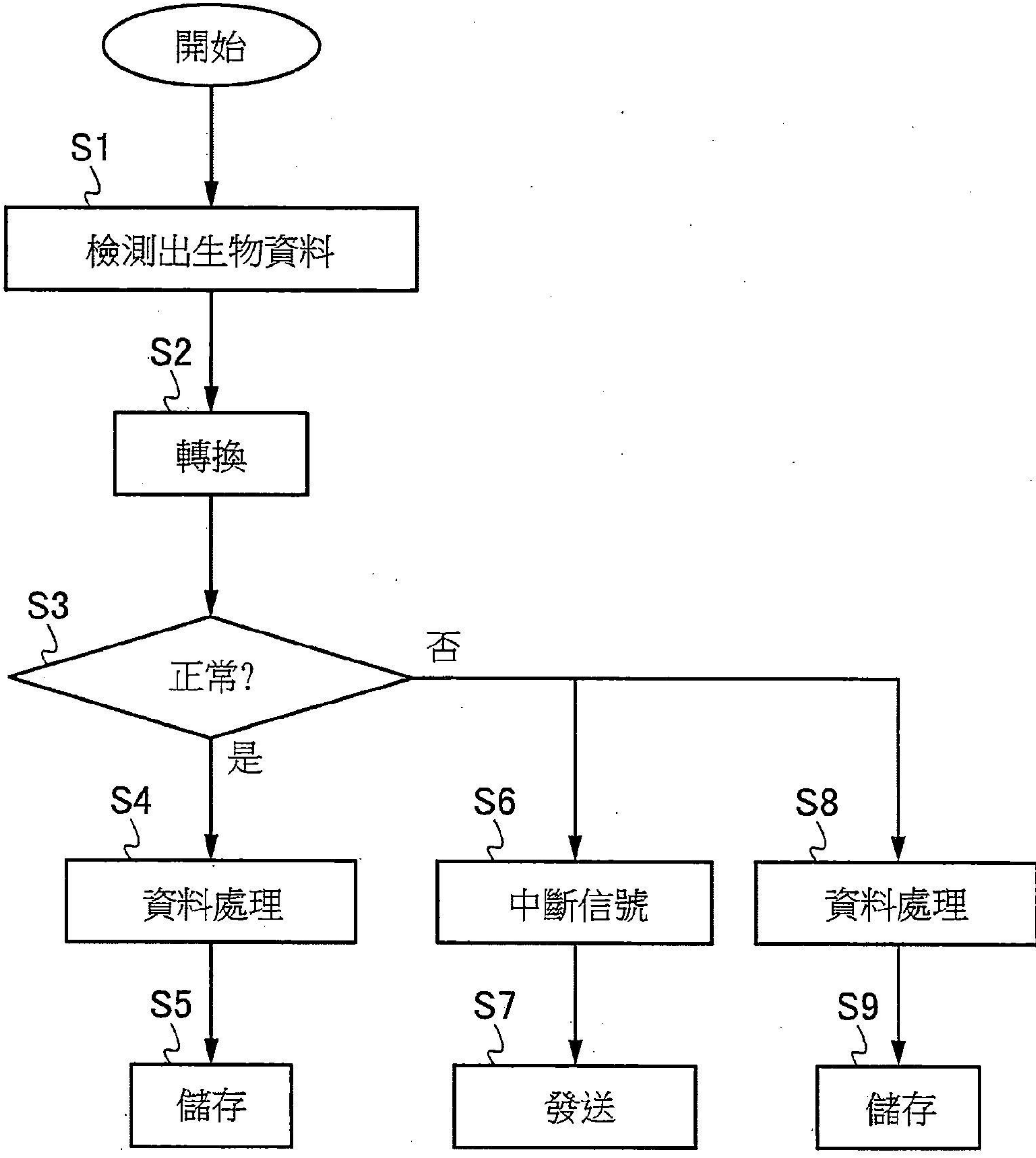


圖 4

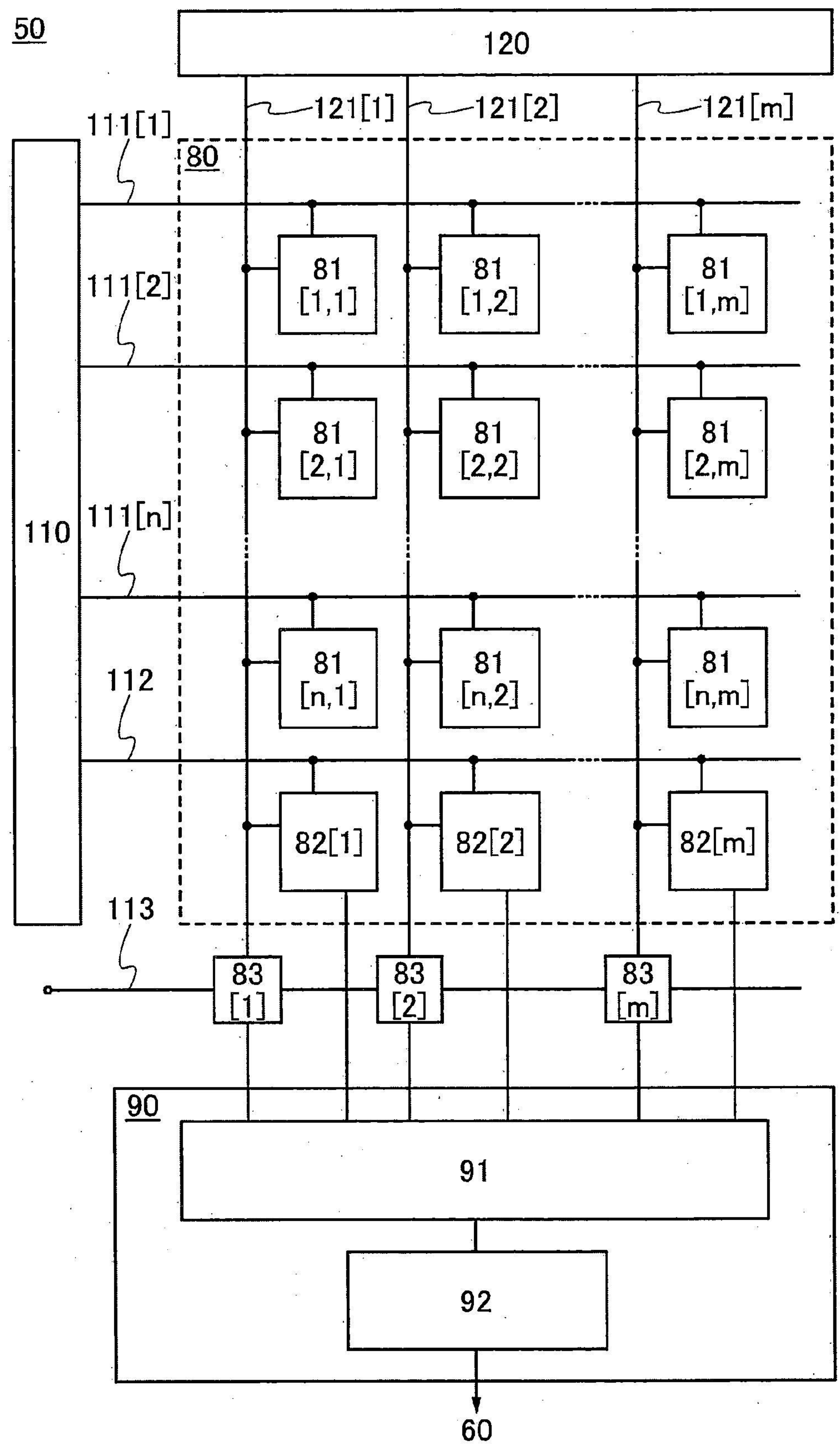


圖 5

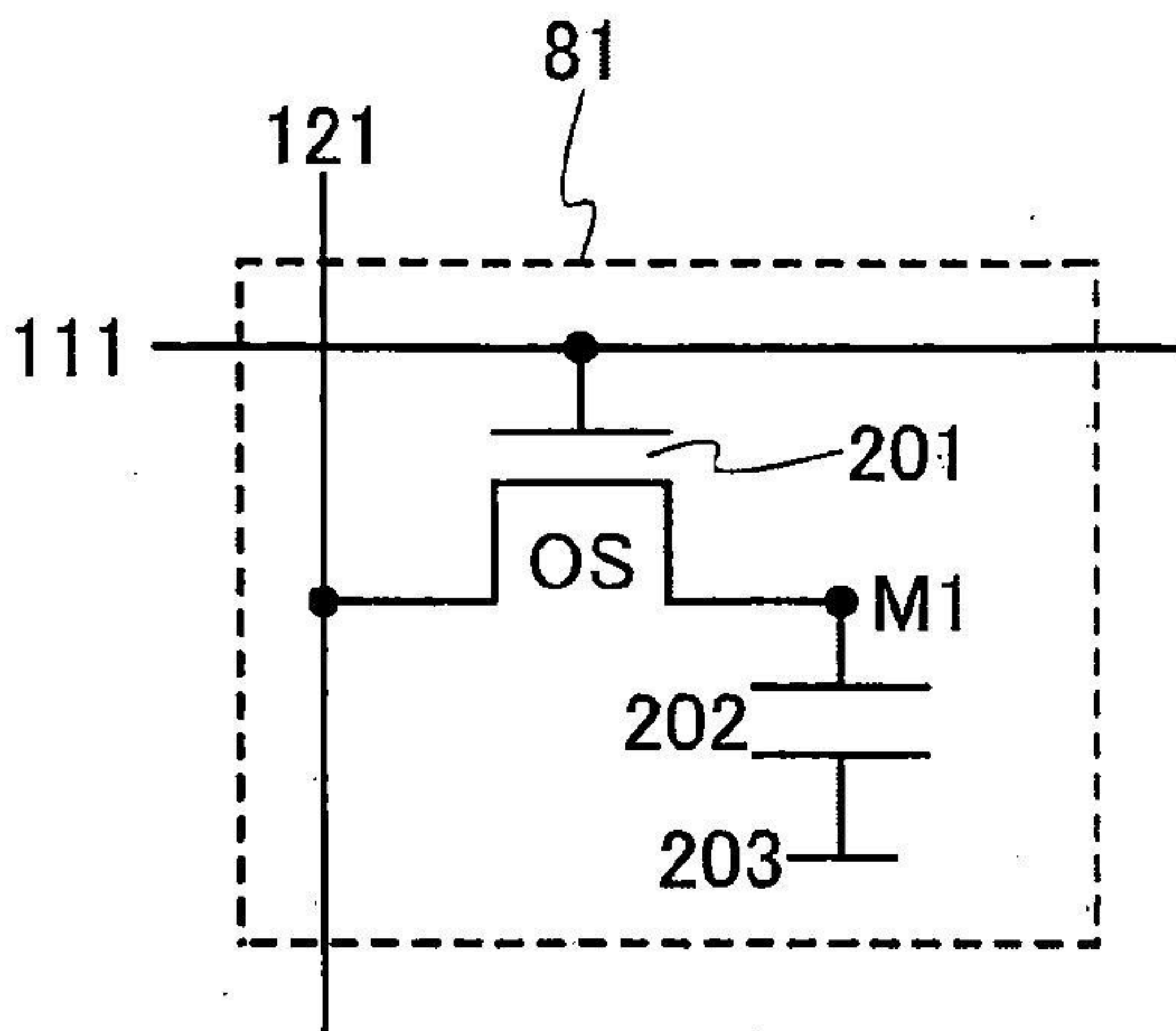


圖 6A

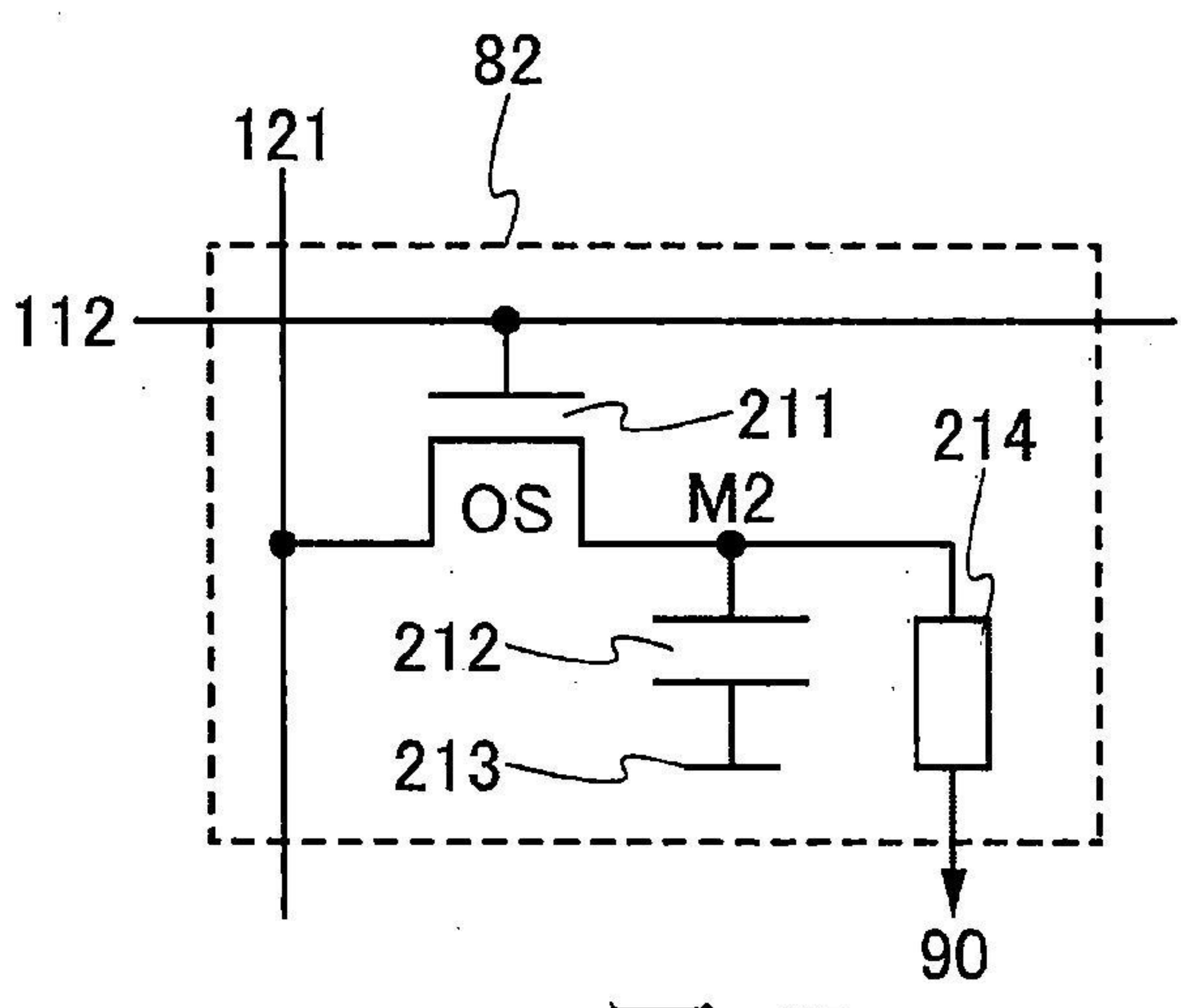


圖 6B

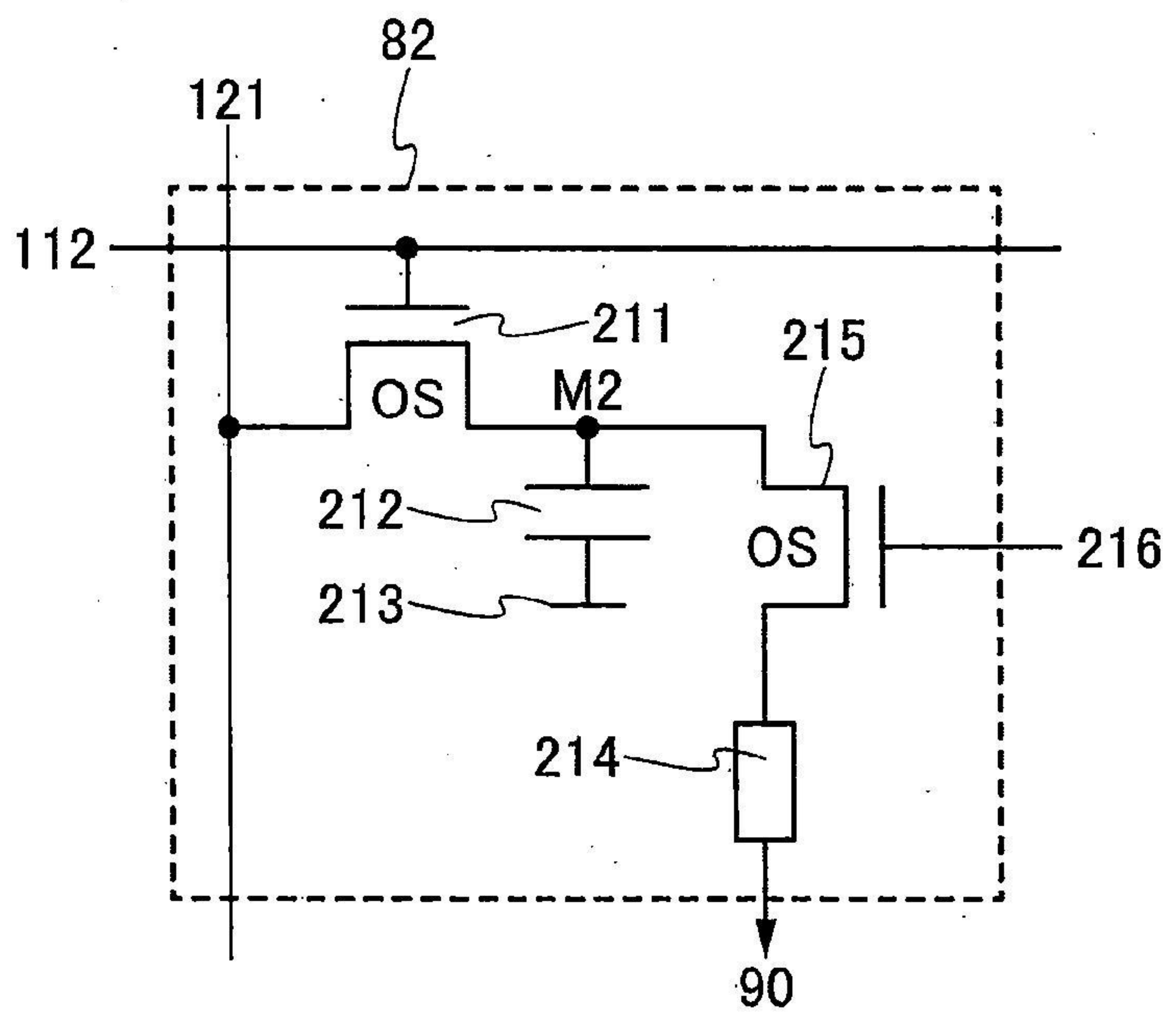


圖 6C

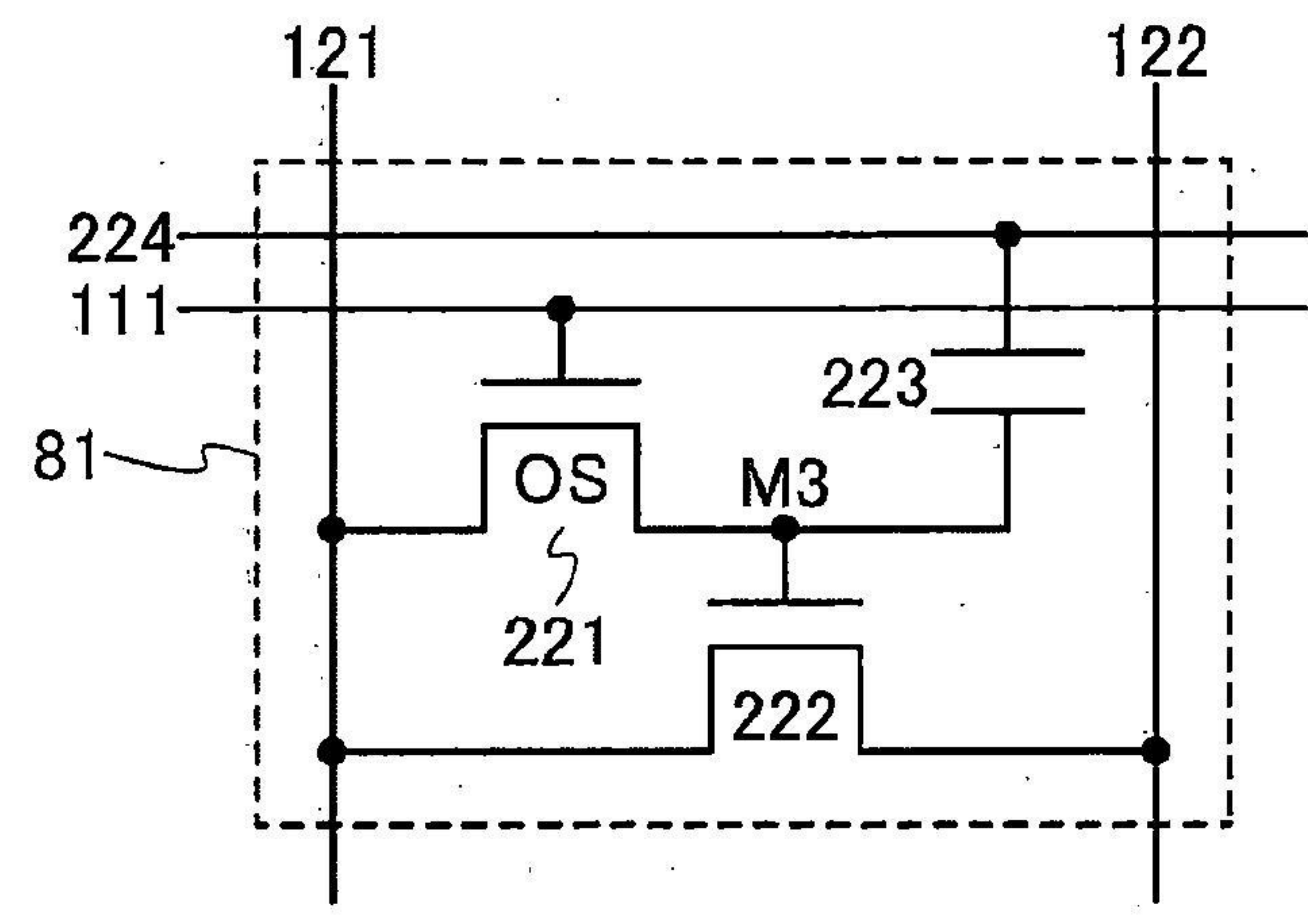


圖 7A

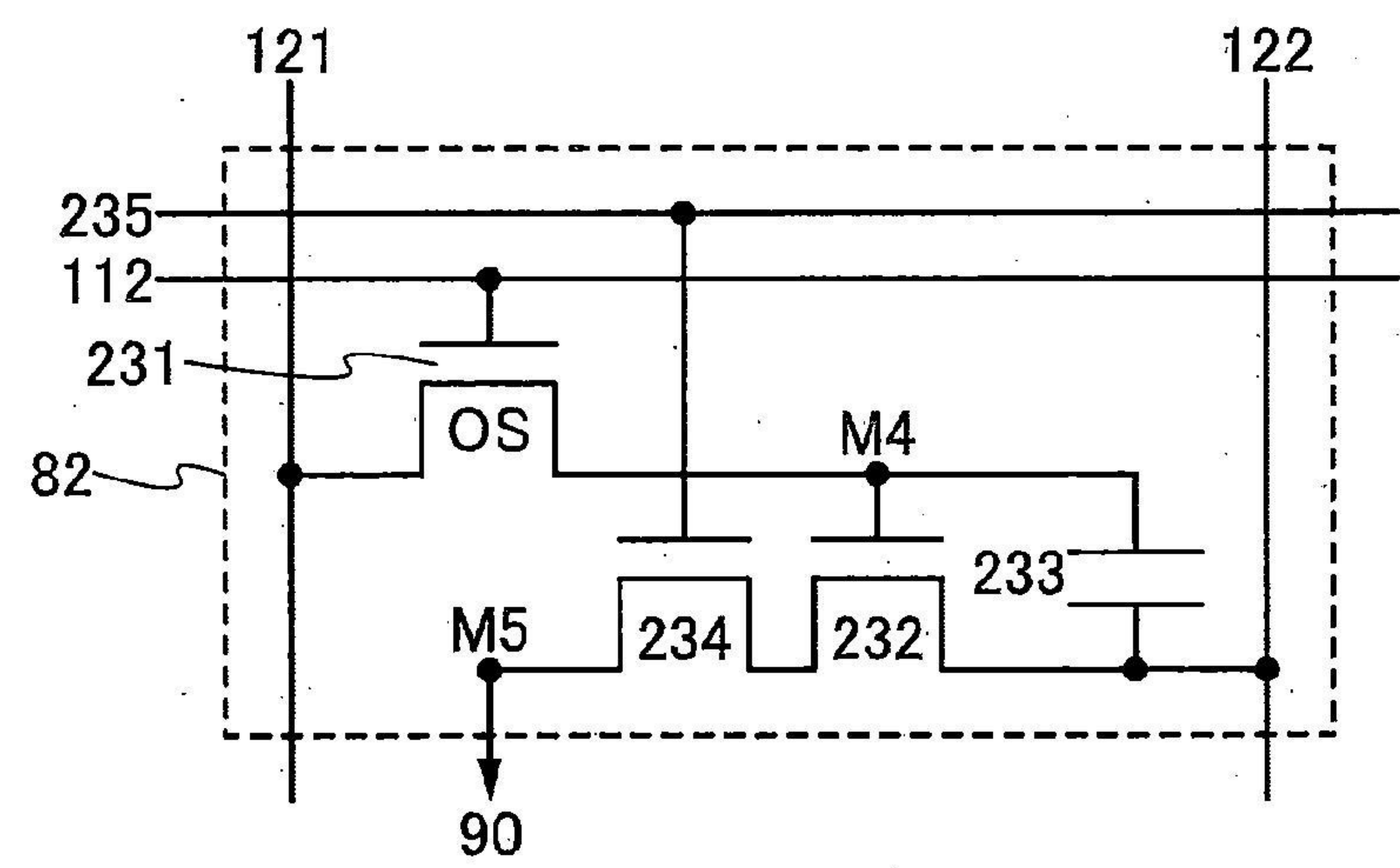


圖 7B

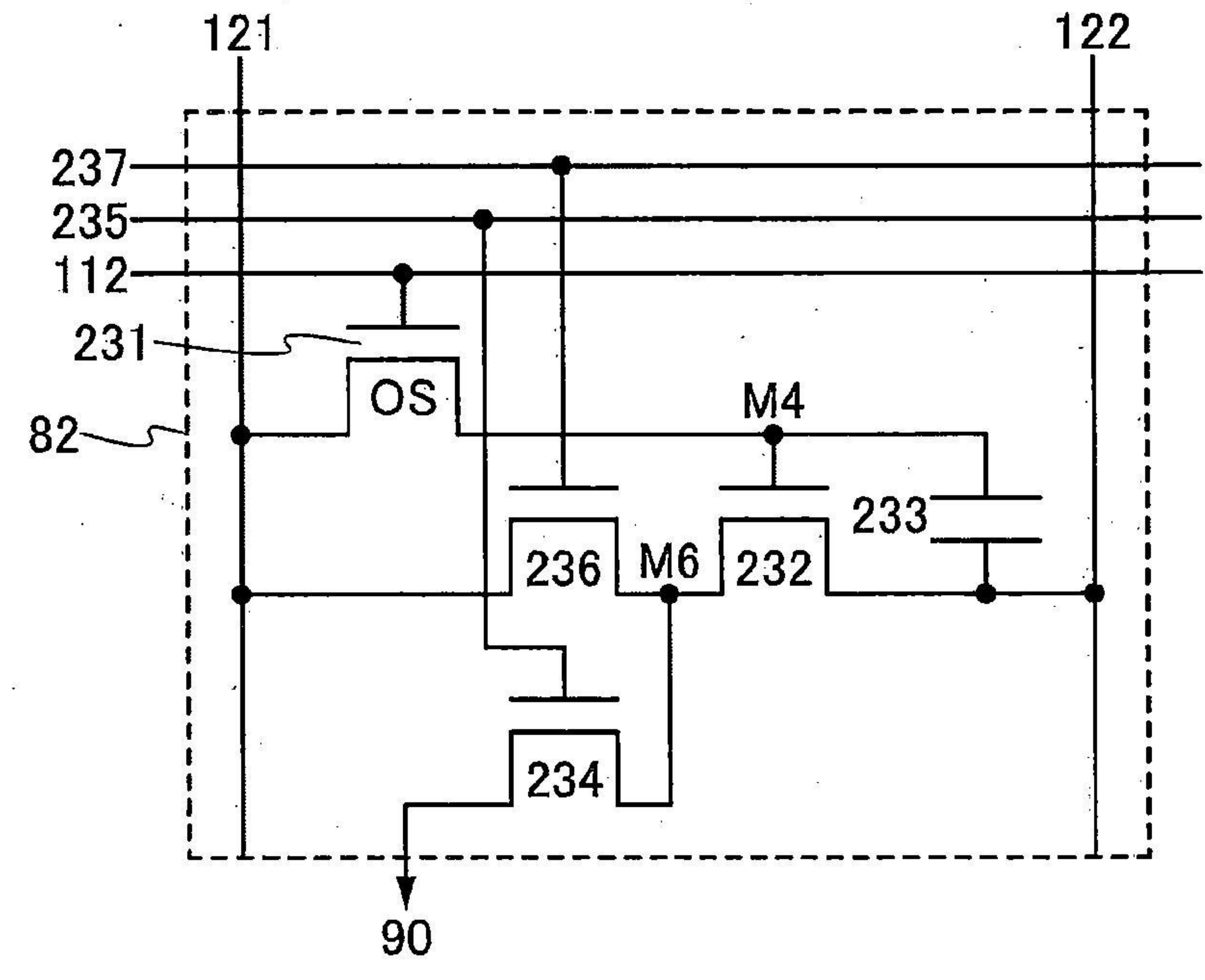


圖 7C

90

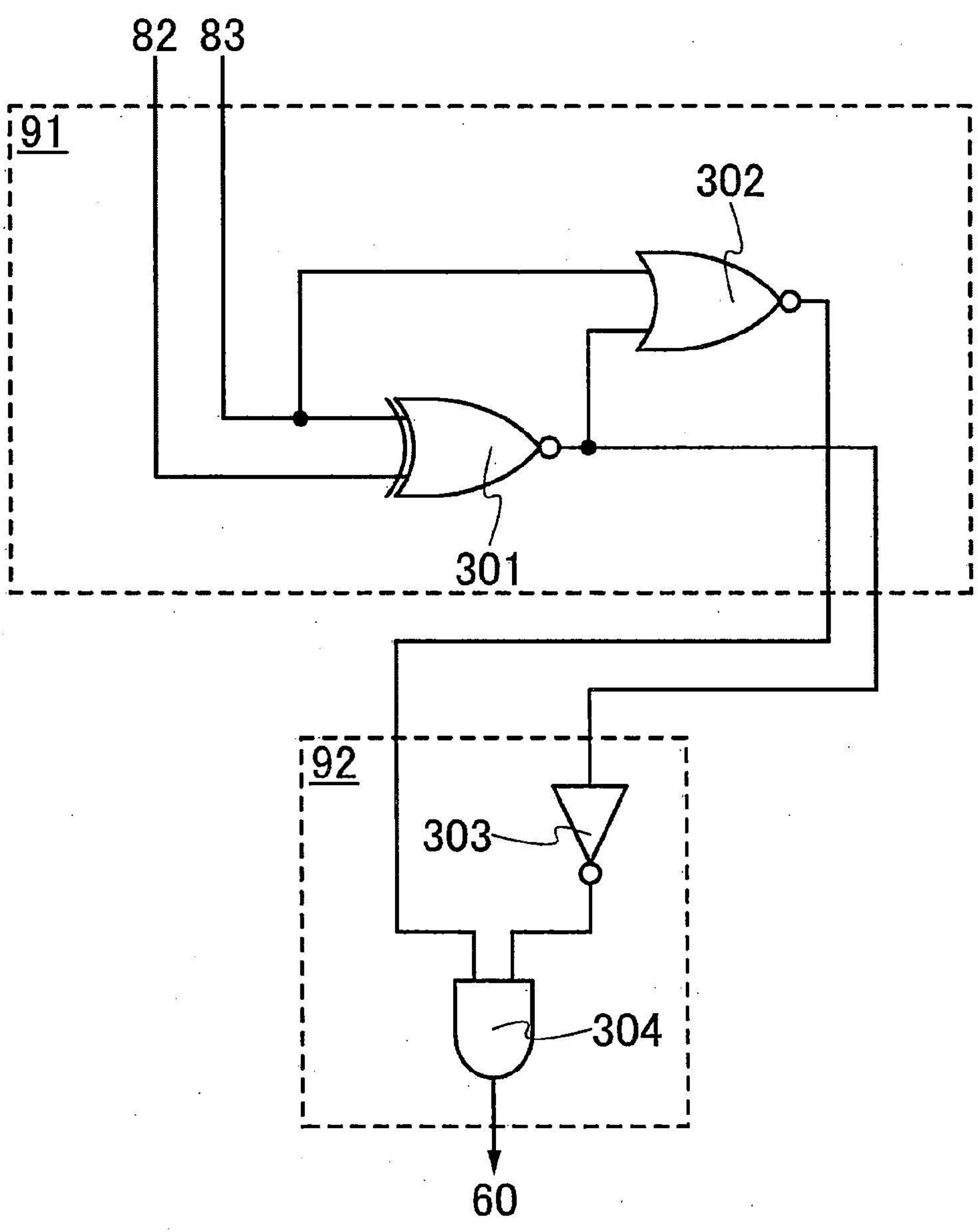


圖 8

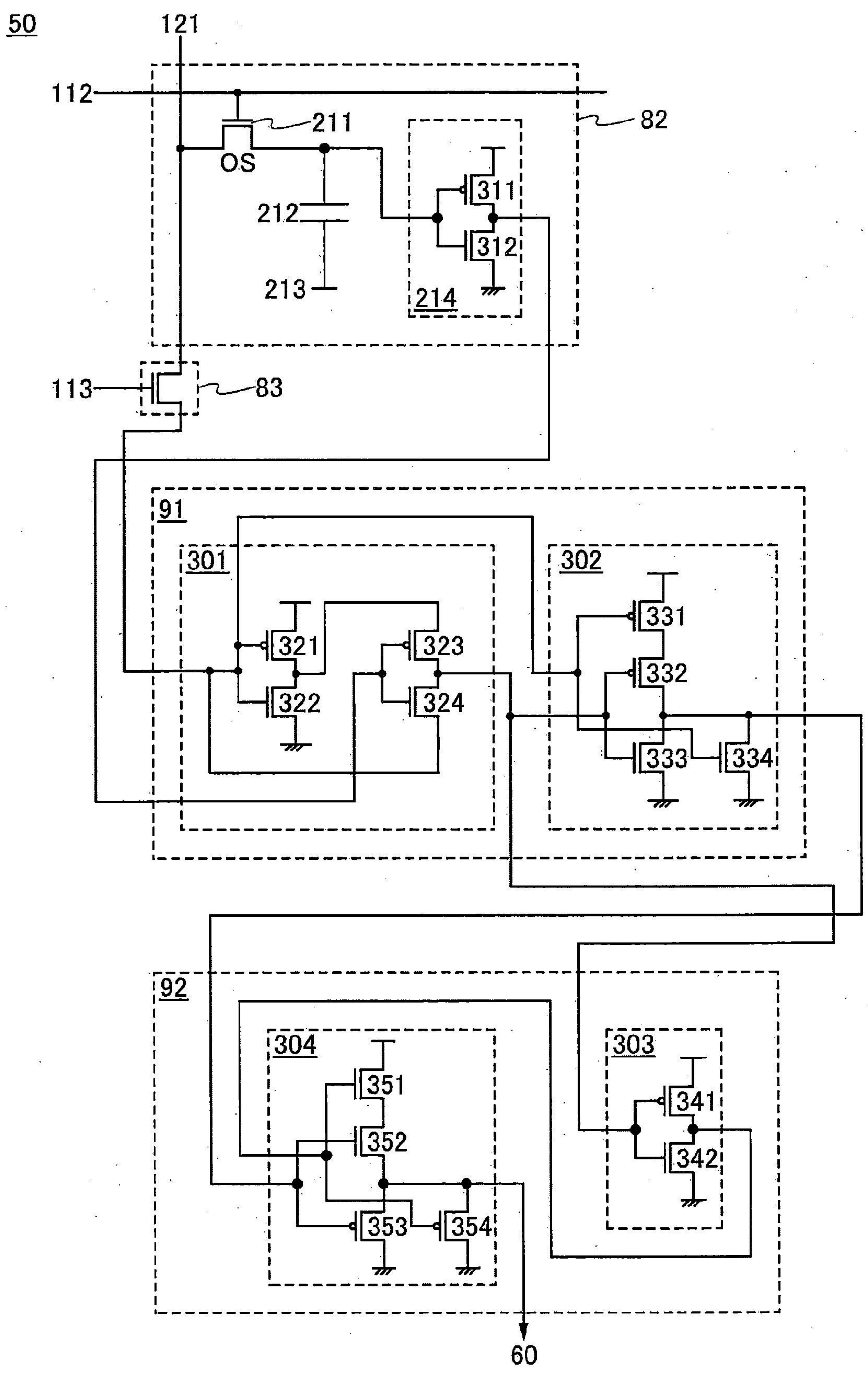


圖 9

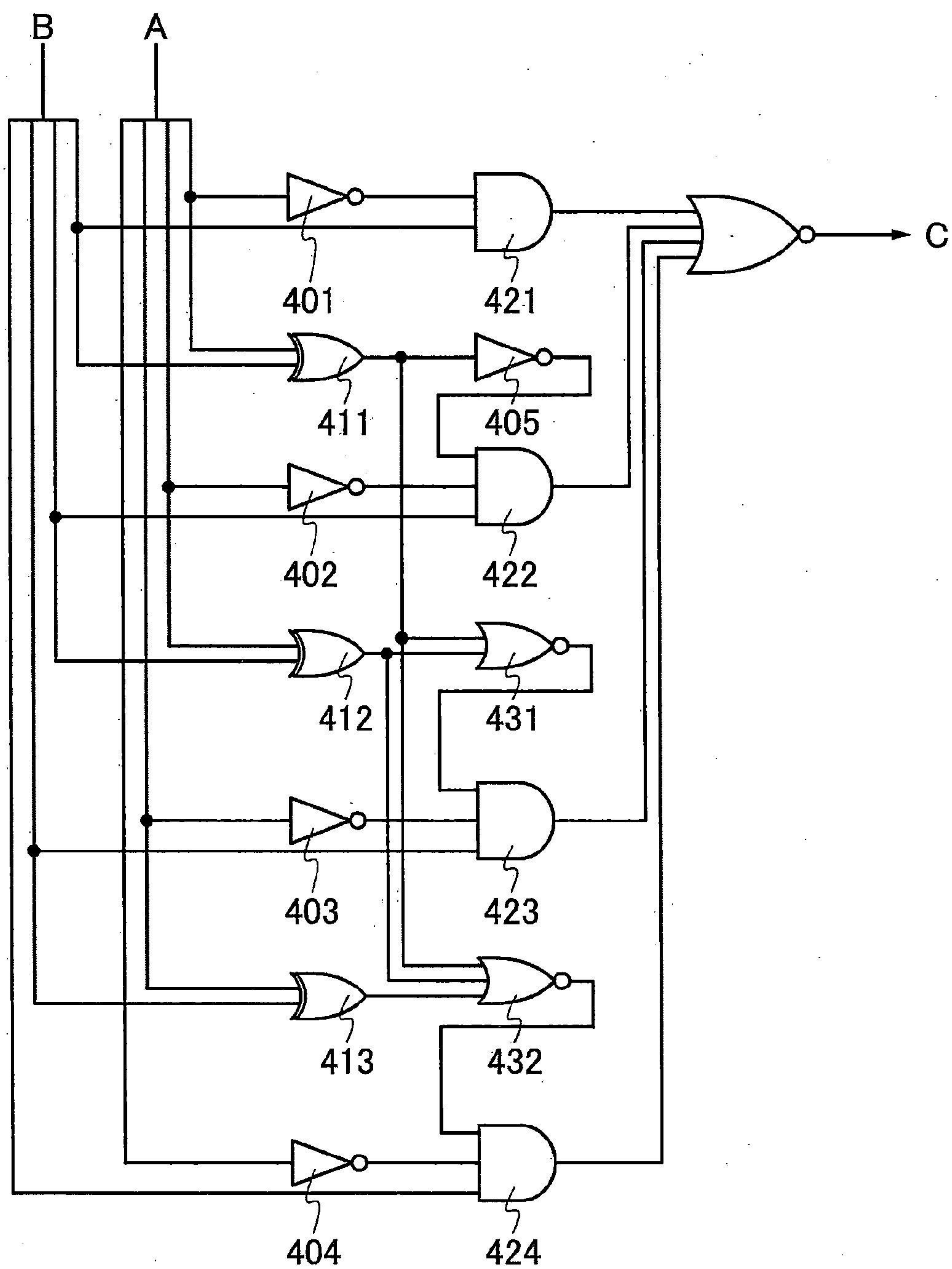


圖 10

90

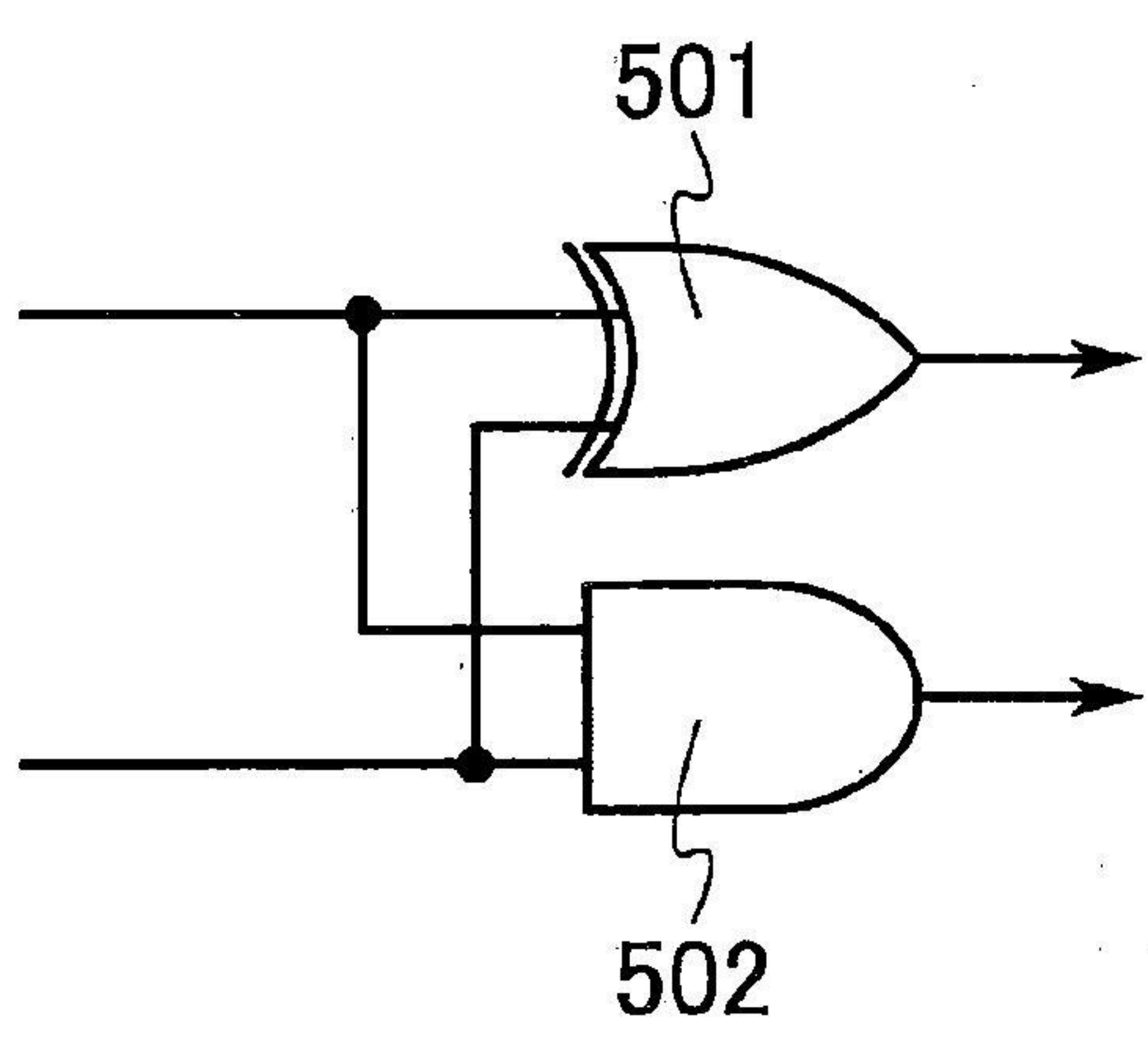


圖 11A

90

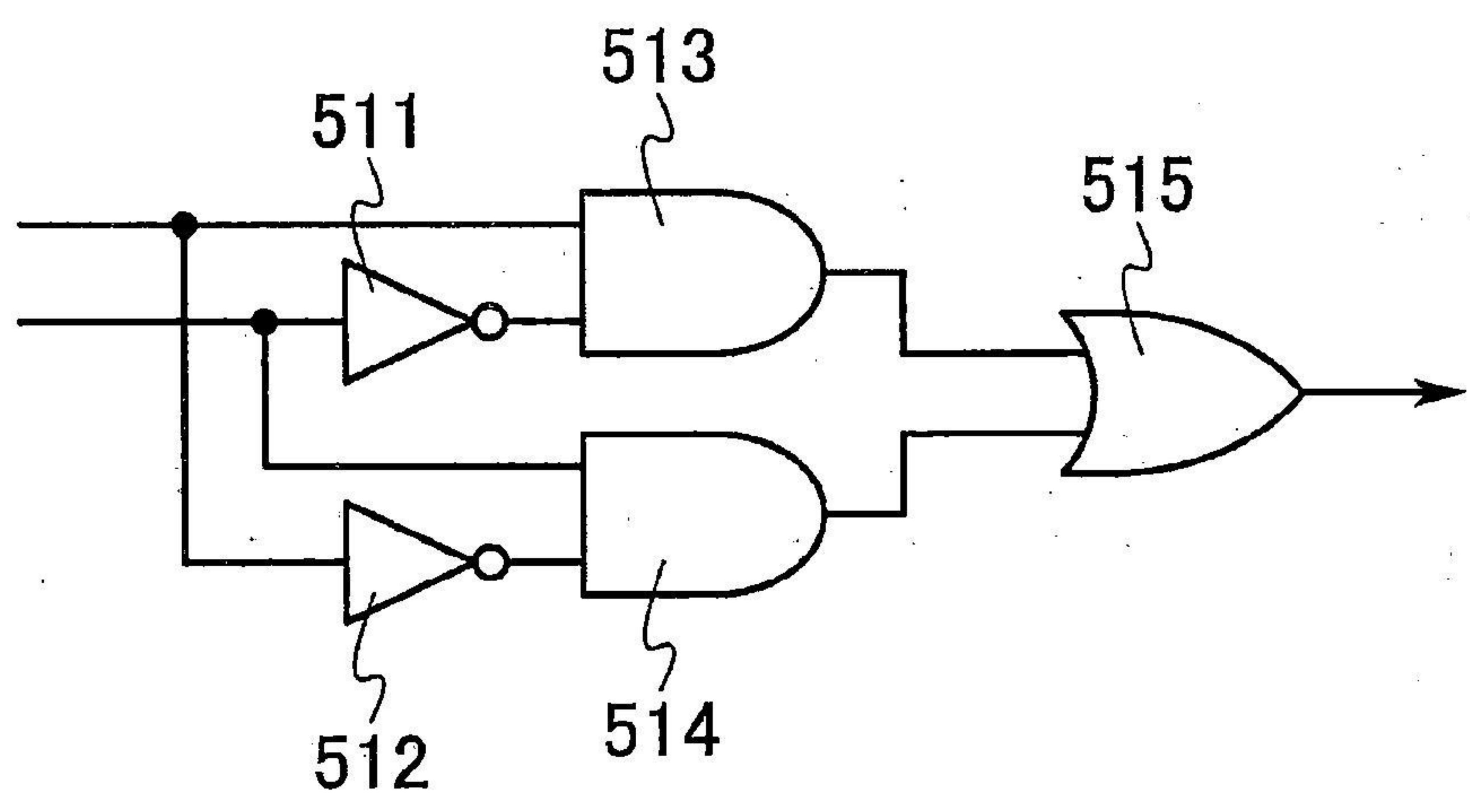


圖 11B

90

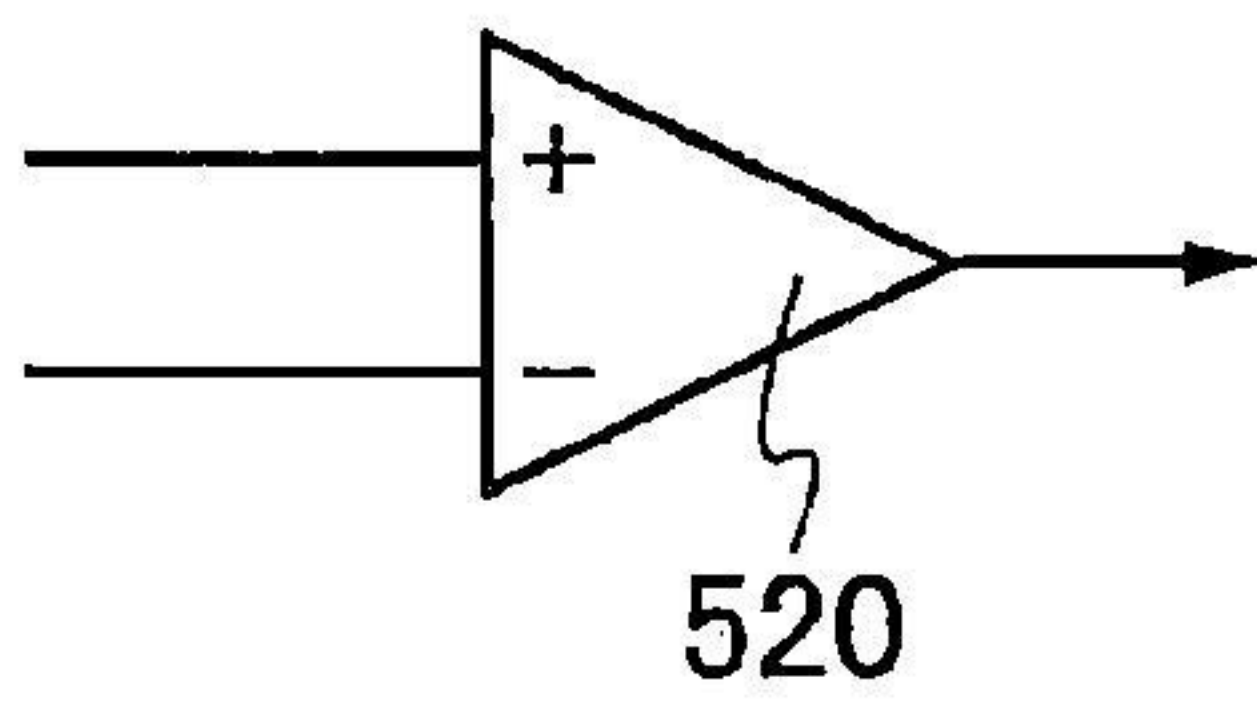


圖 12A

90

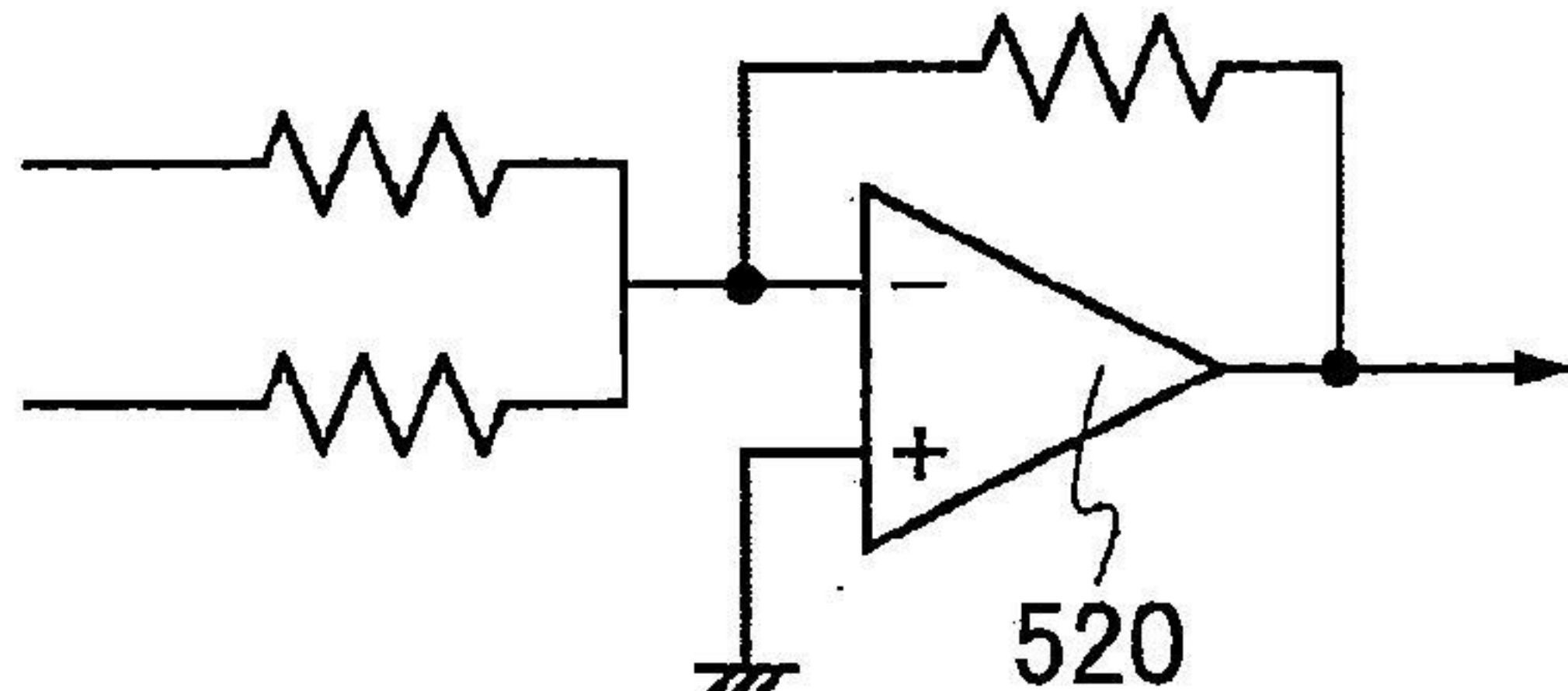


圖 12B

90

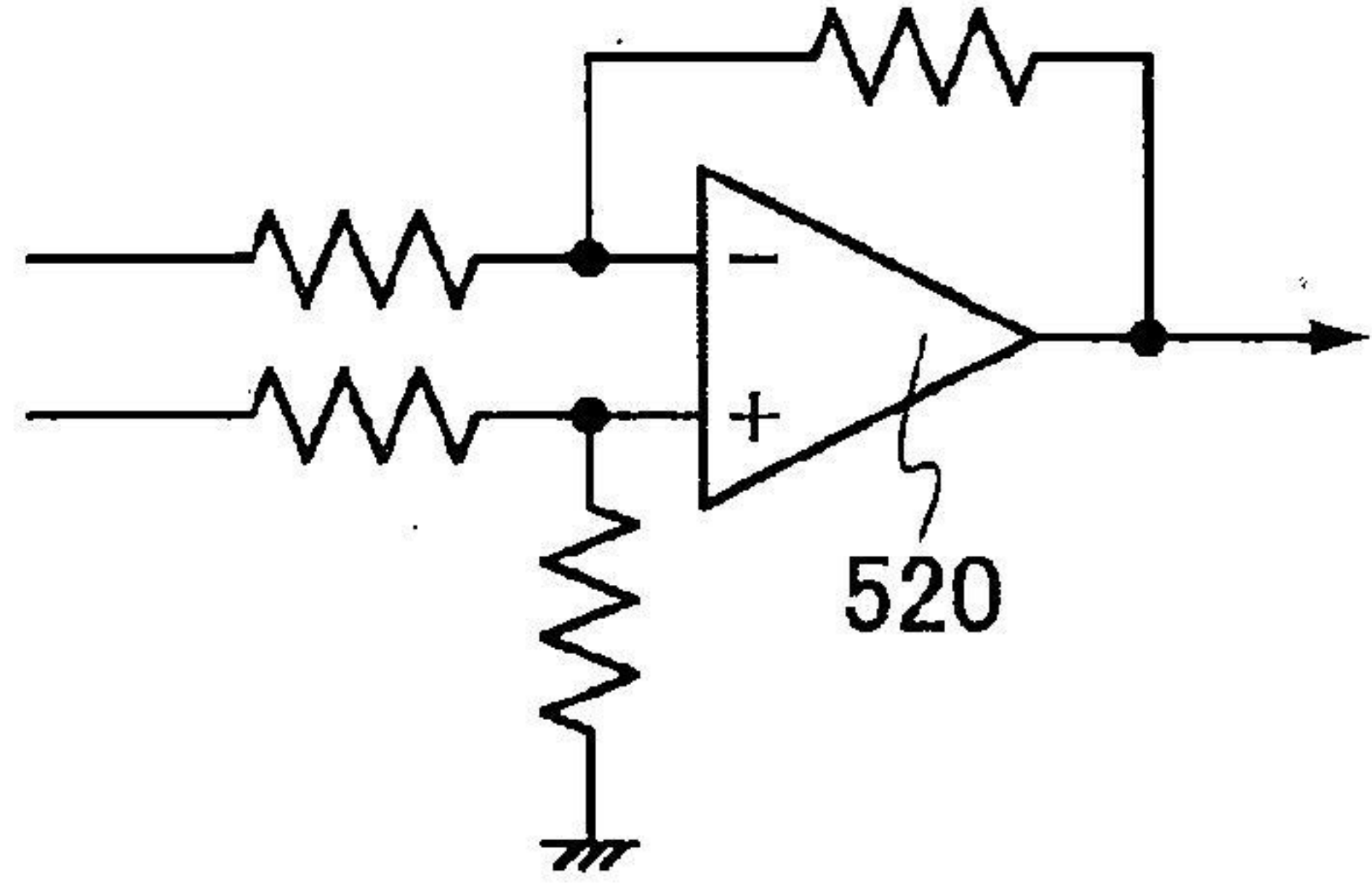


圖 12C

90

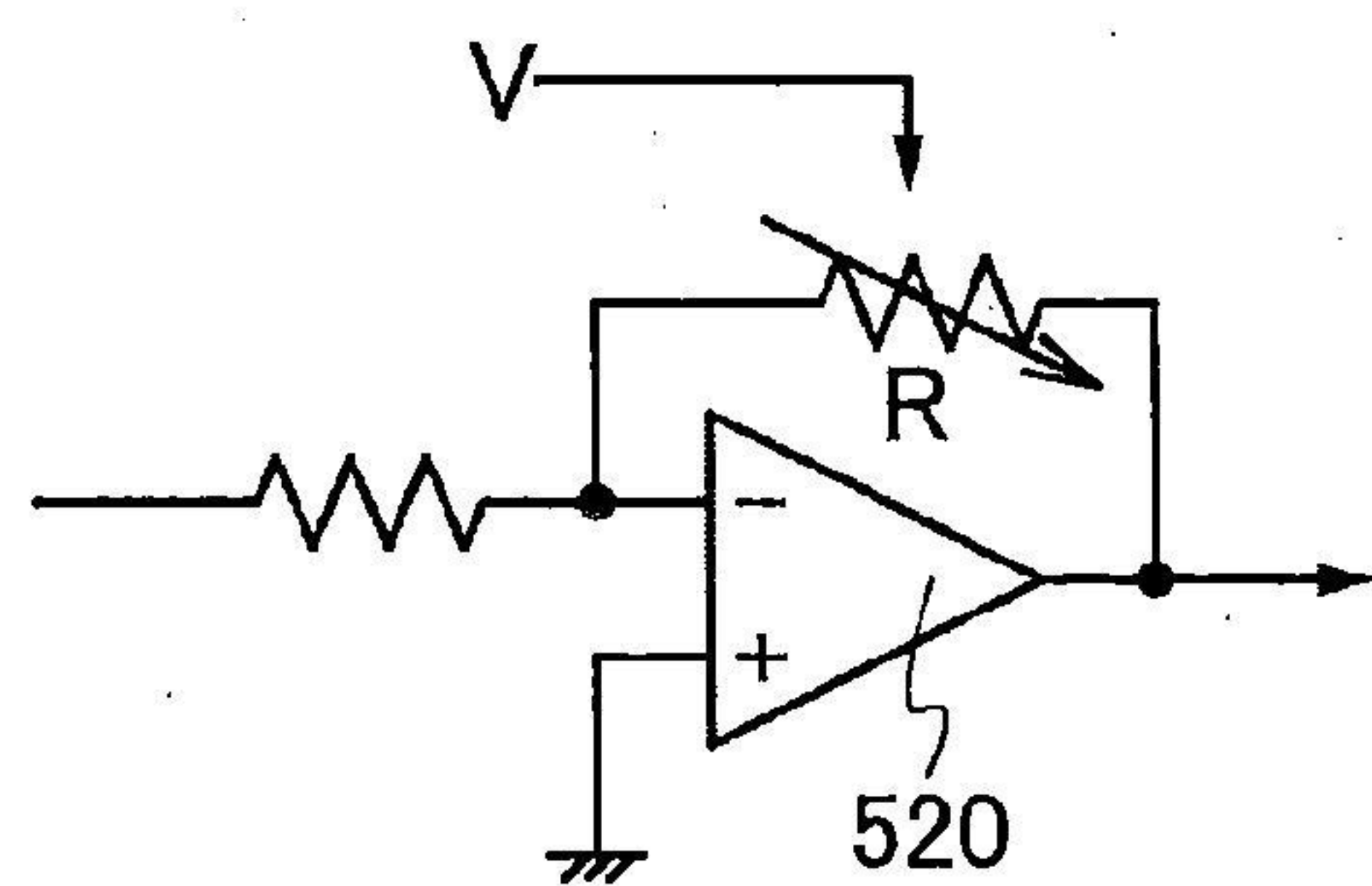


圖 12D

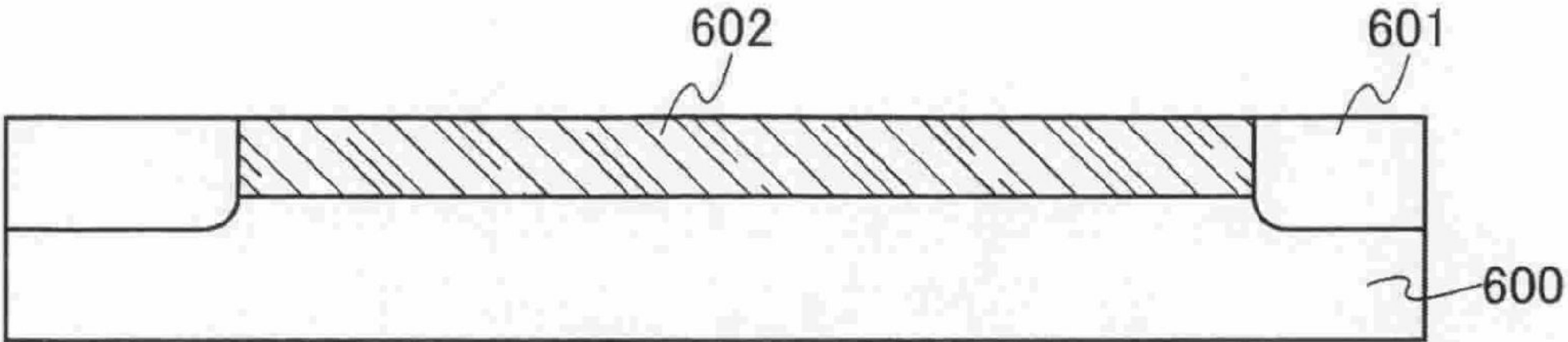


圖 13A

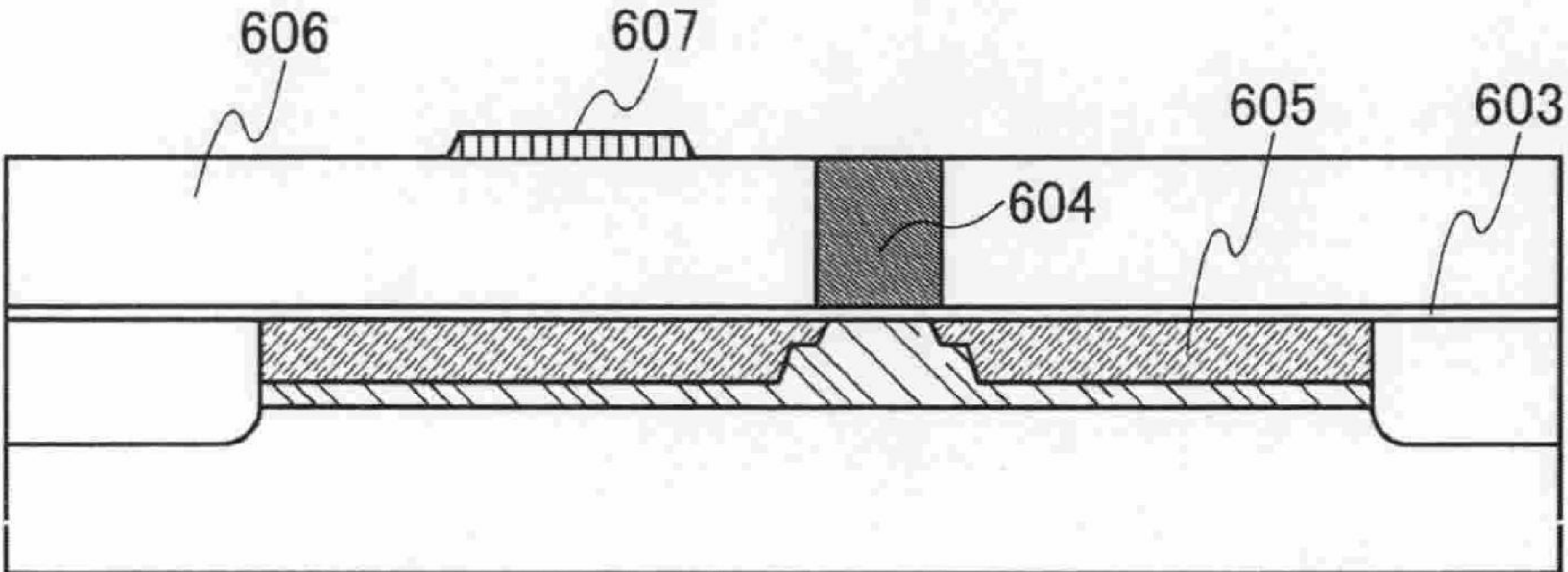


圖 13B

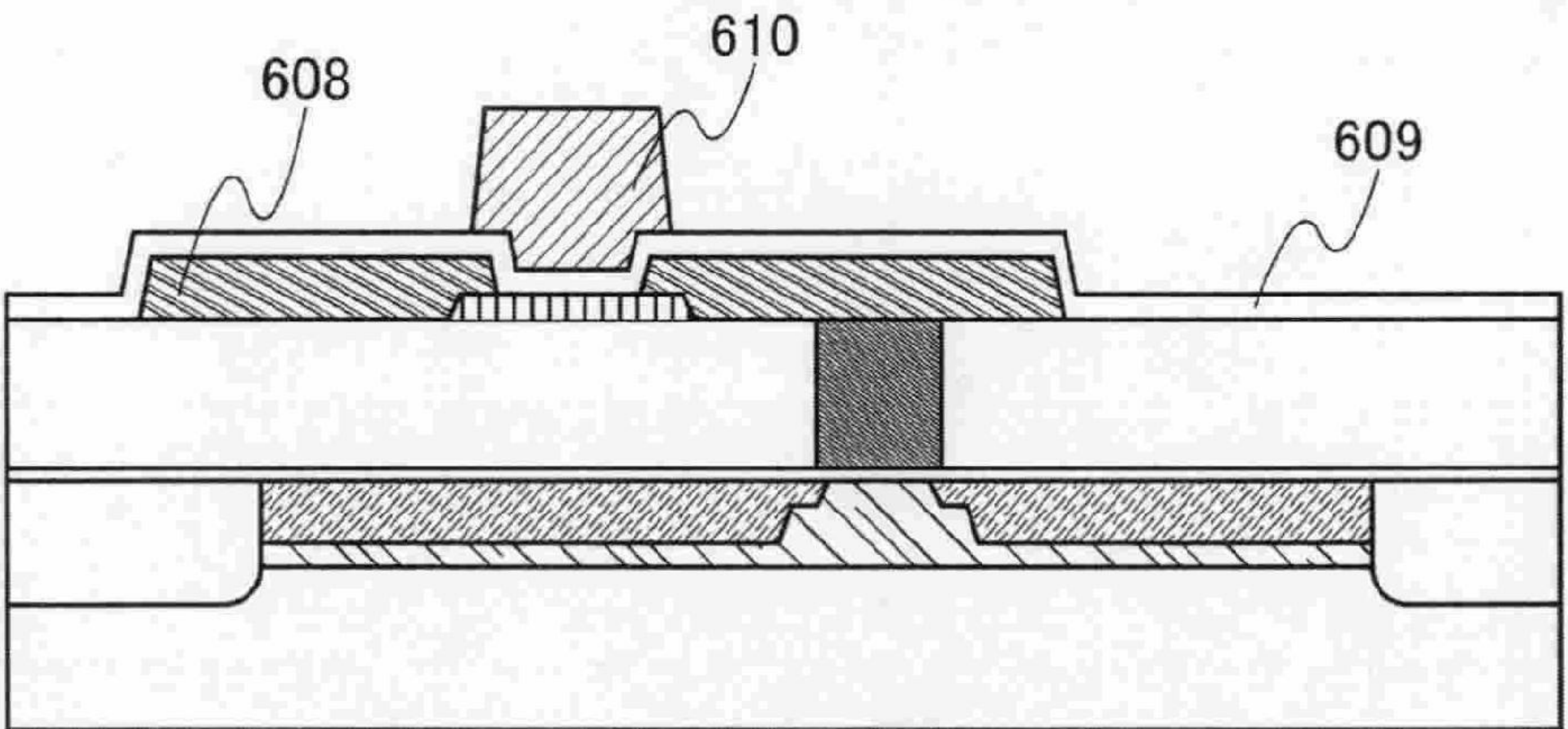


圖 13C

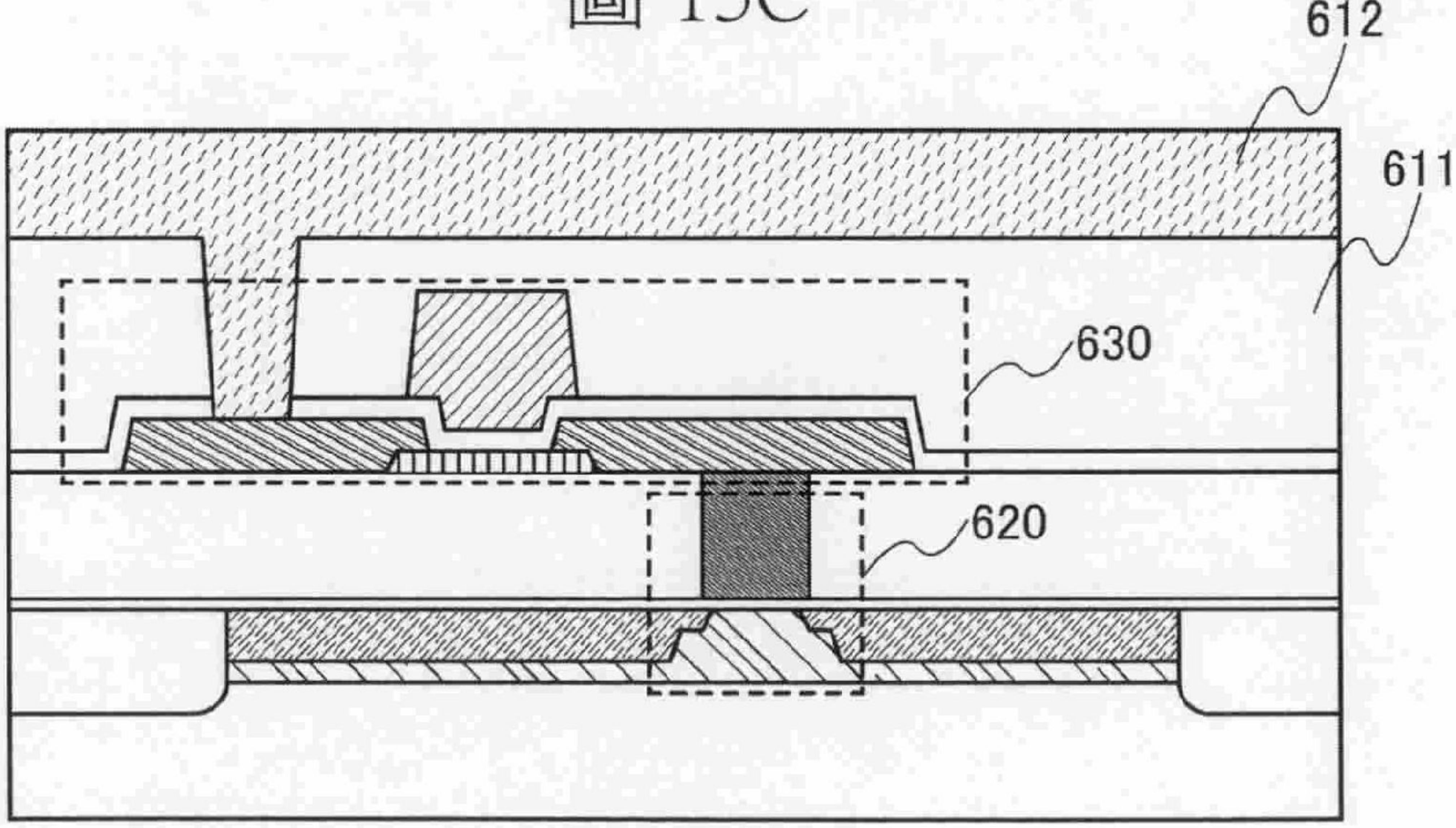


圖 13D

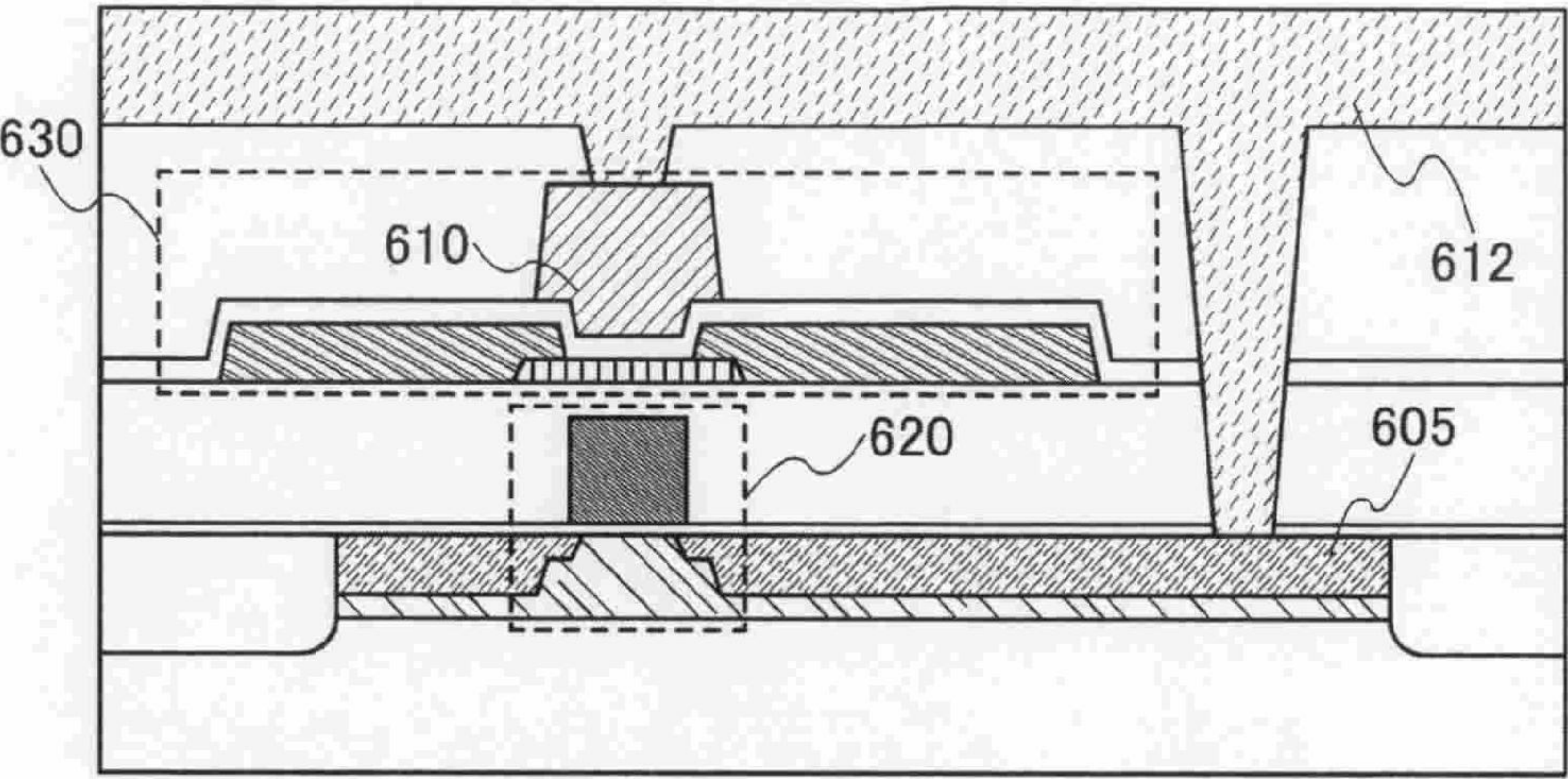


圖 14A

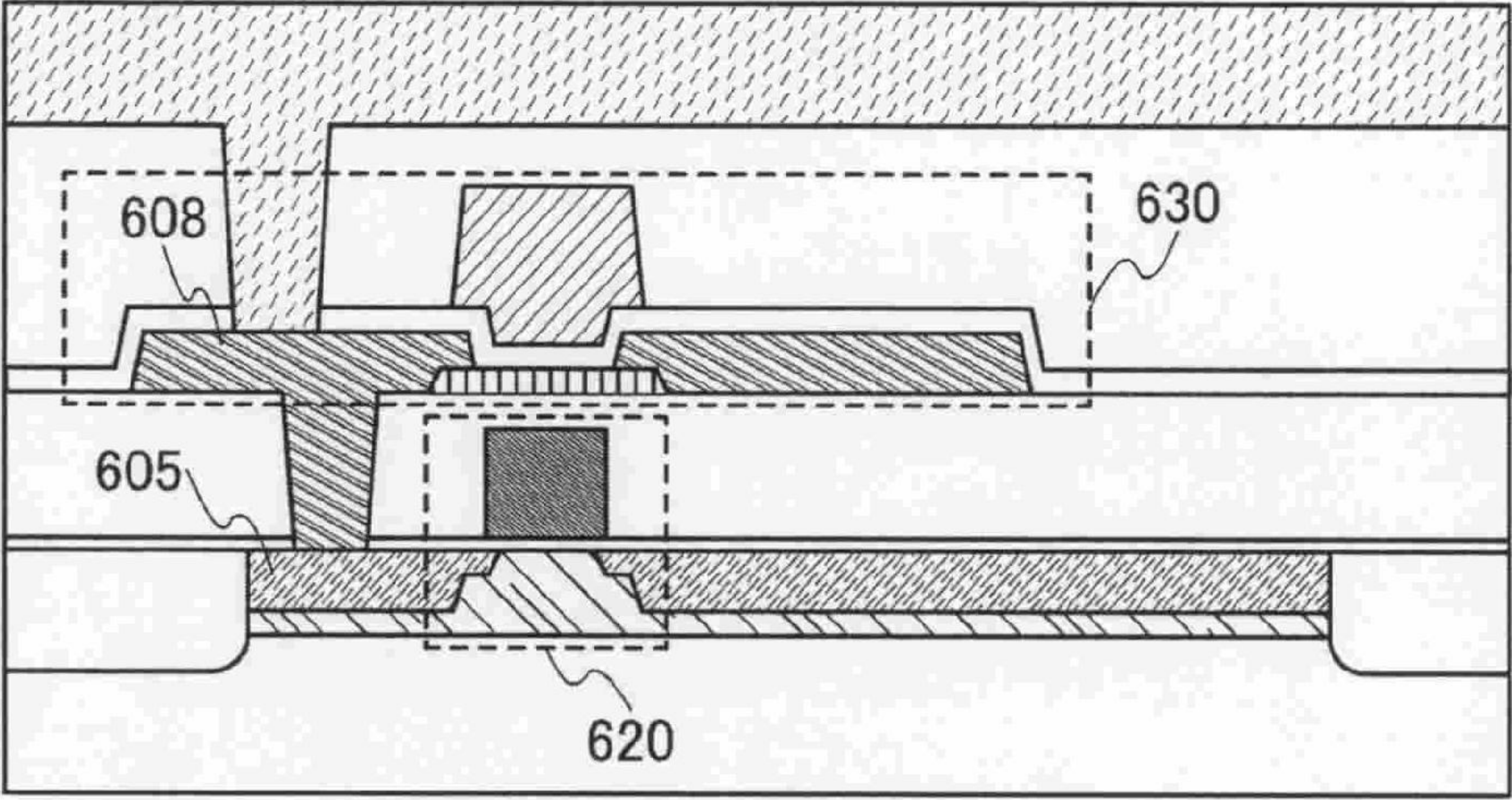


圖 14B

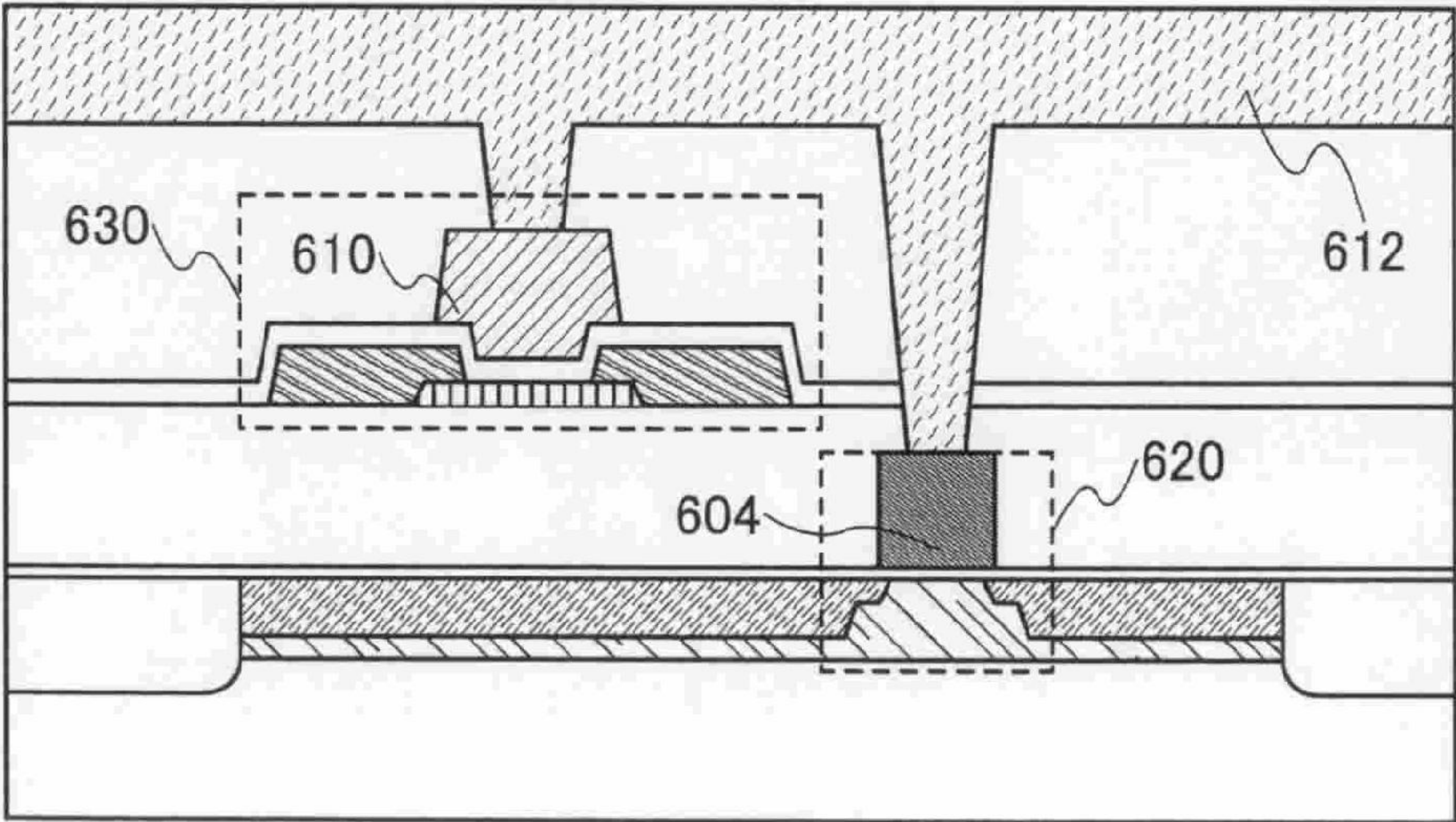


圖 14C

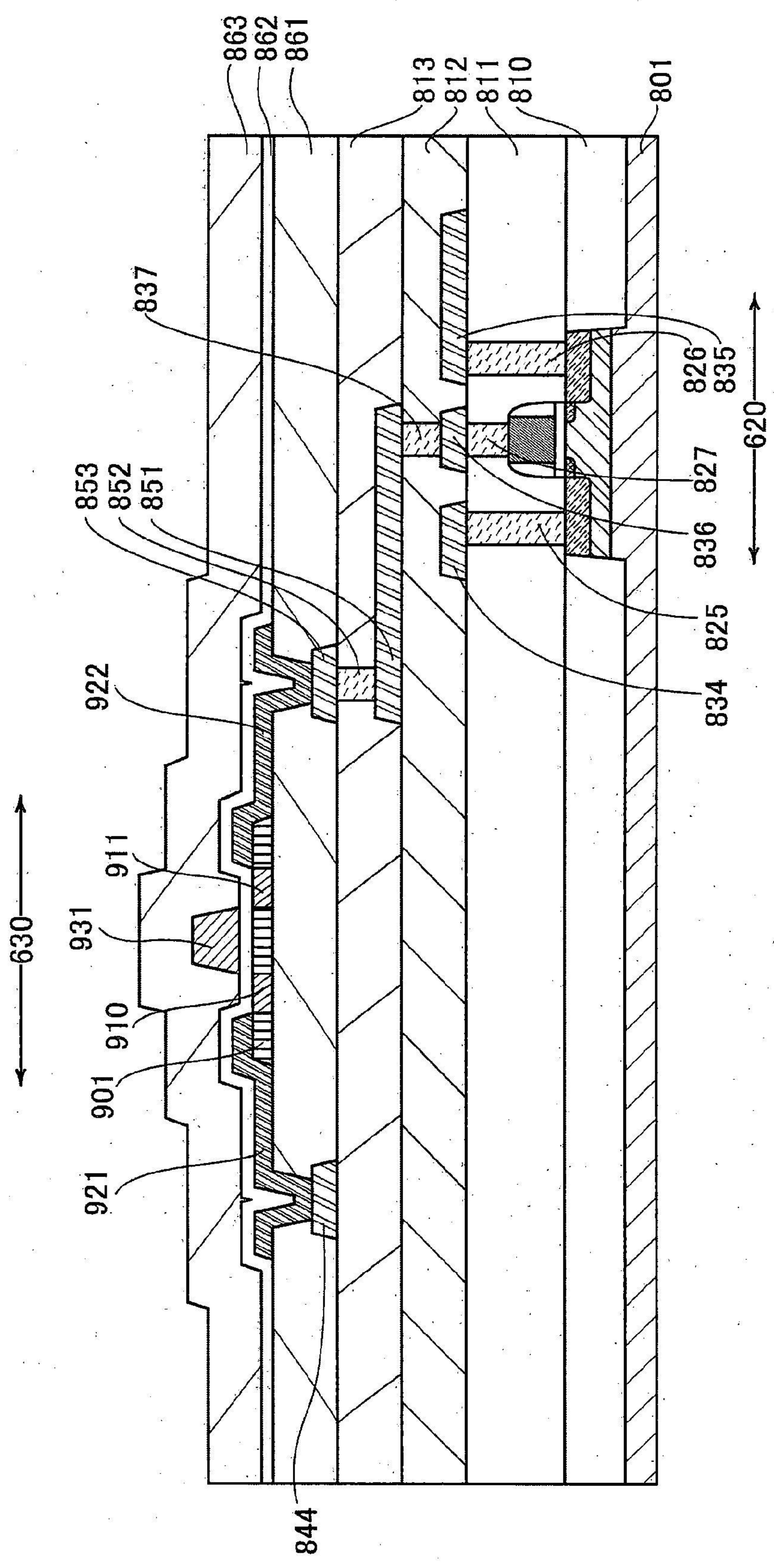


圖 15

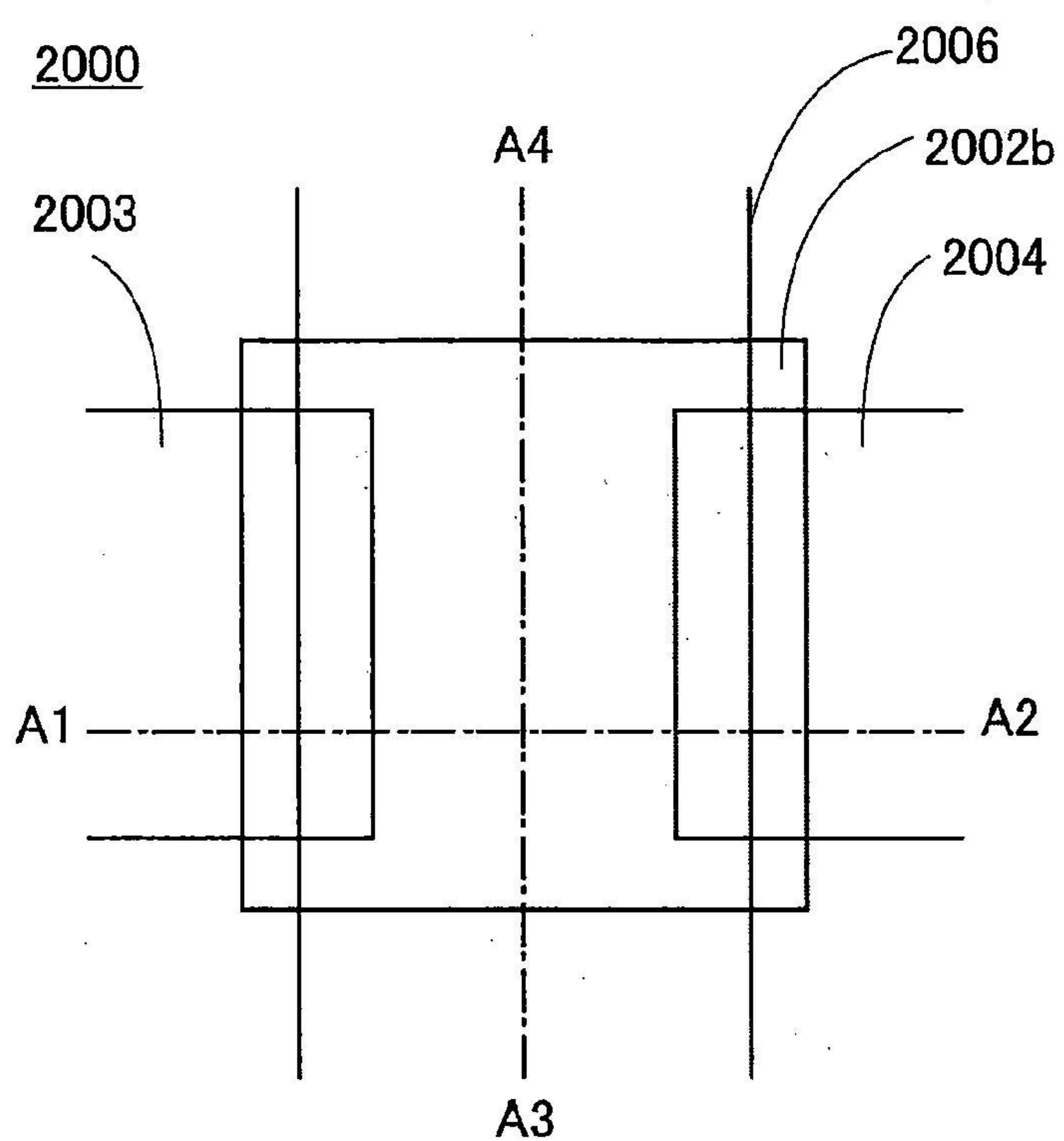


圖 16A

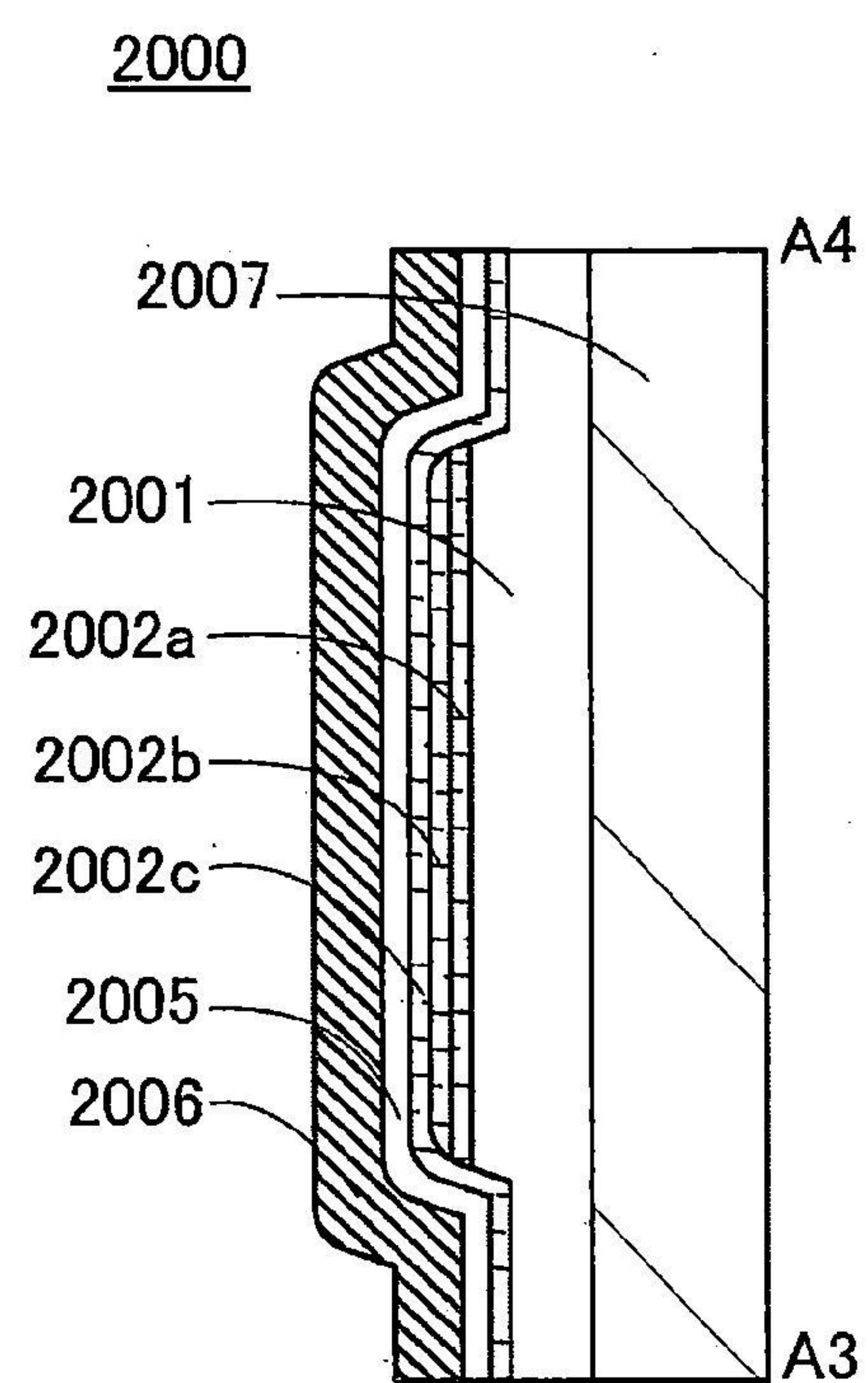


圖 16C

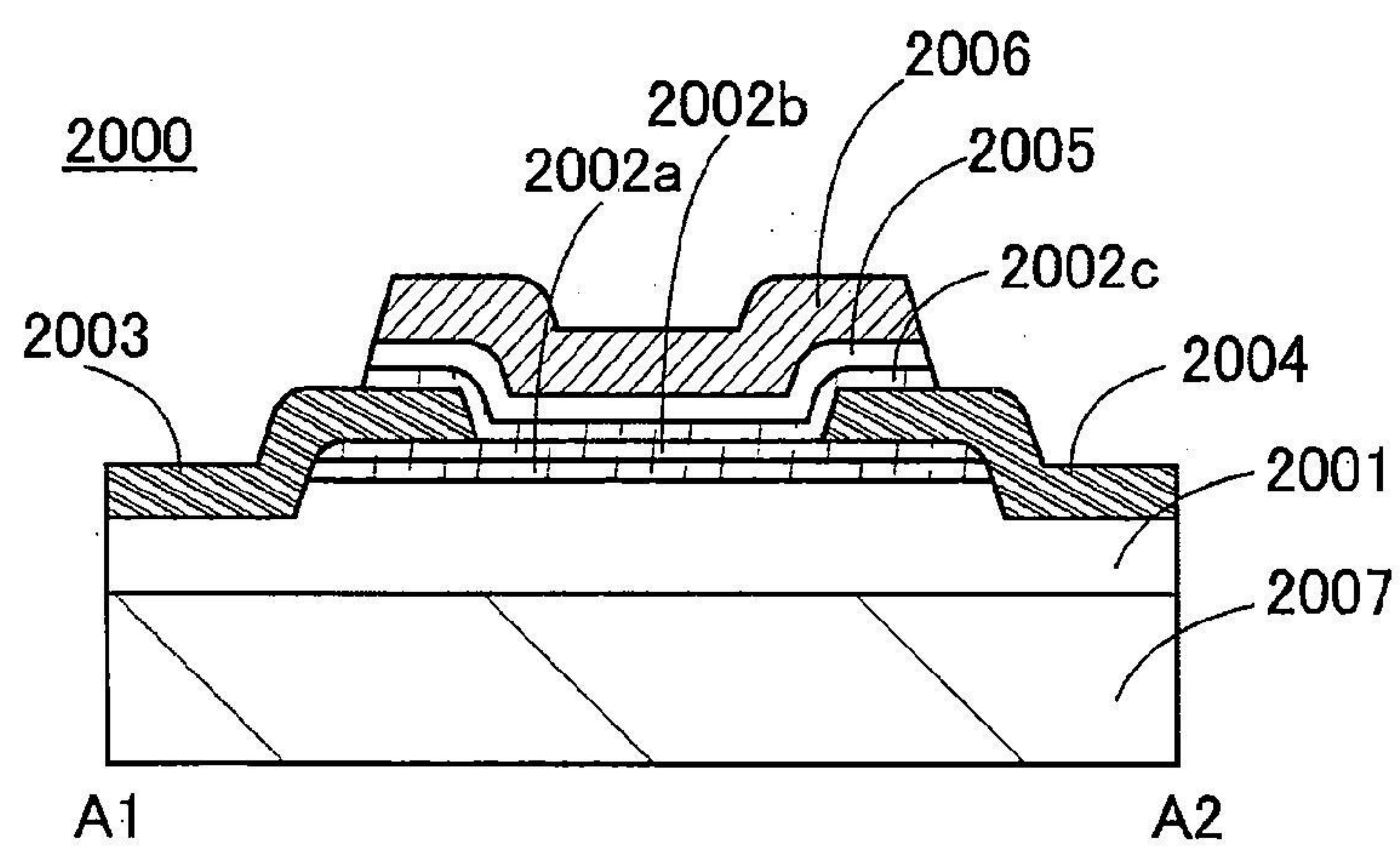


圖 16B

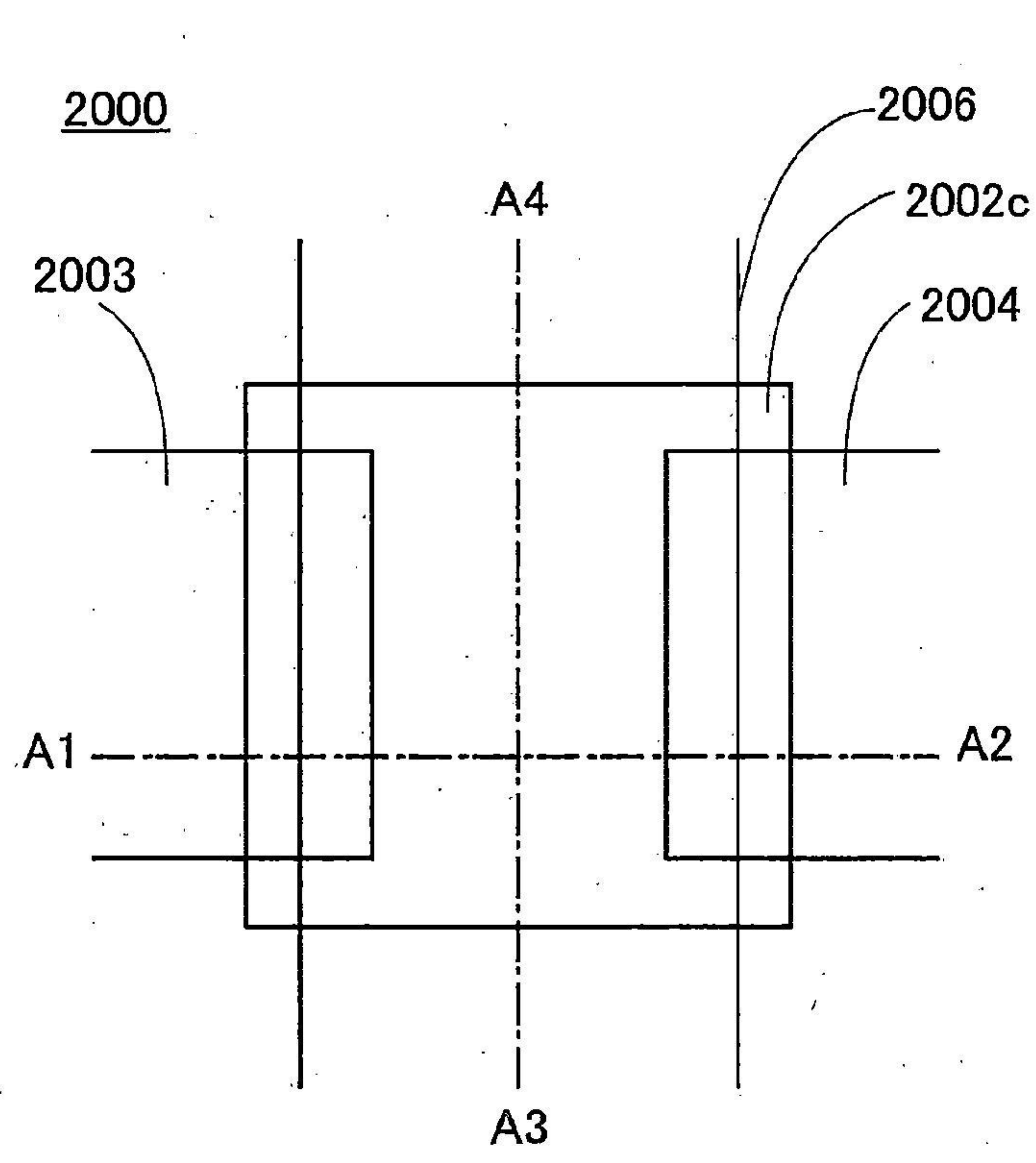


圖 17A

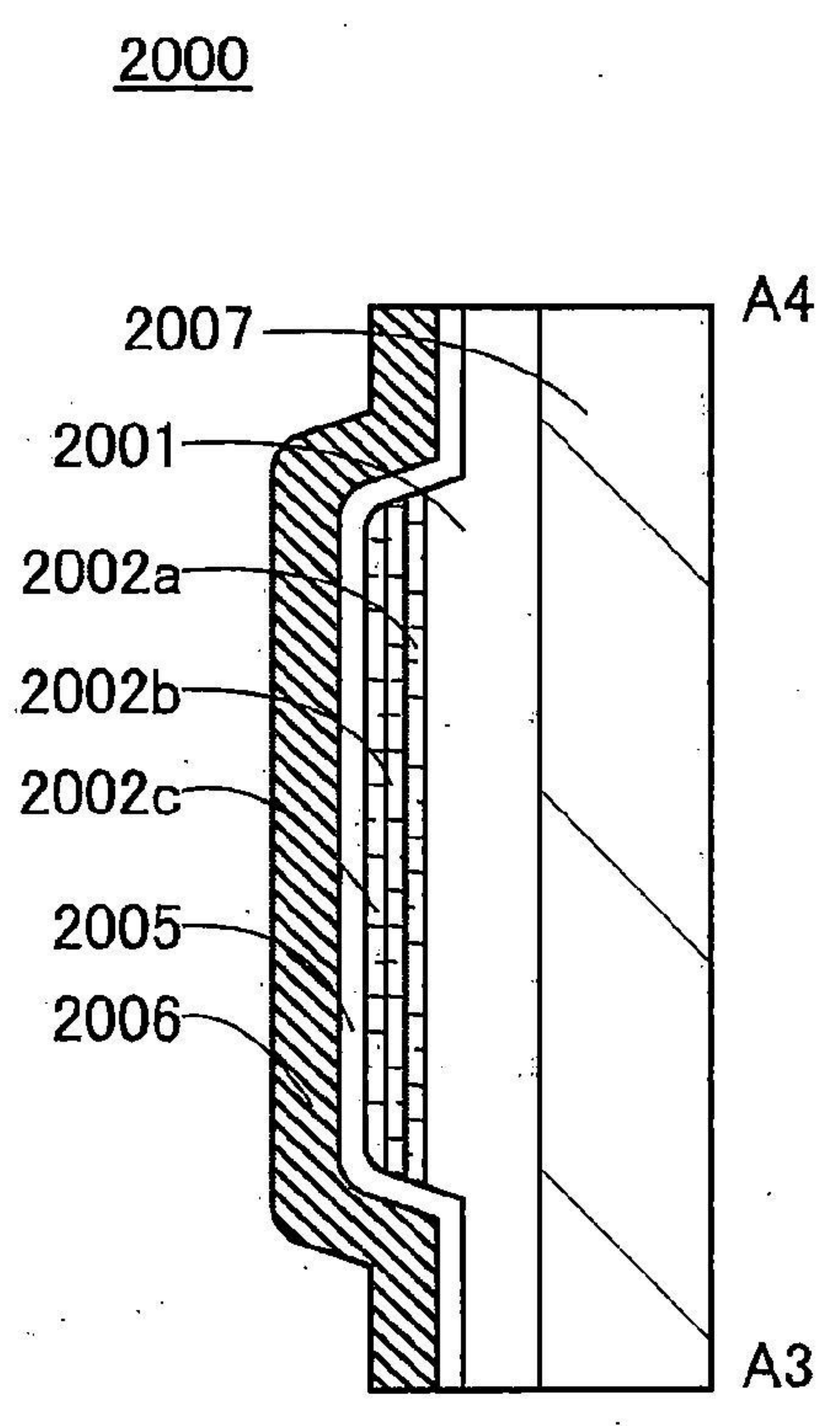


圖 17C

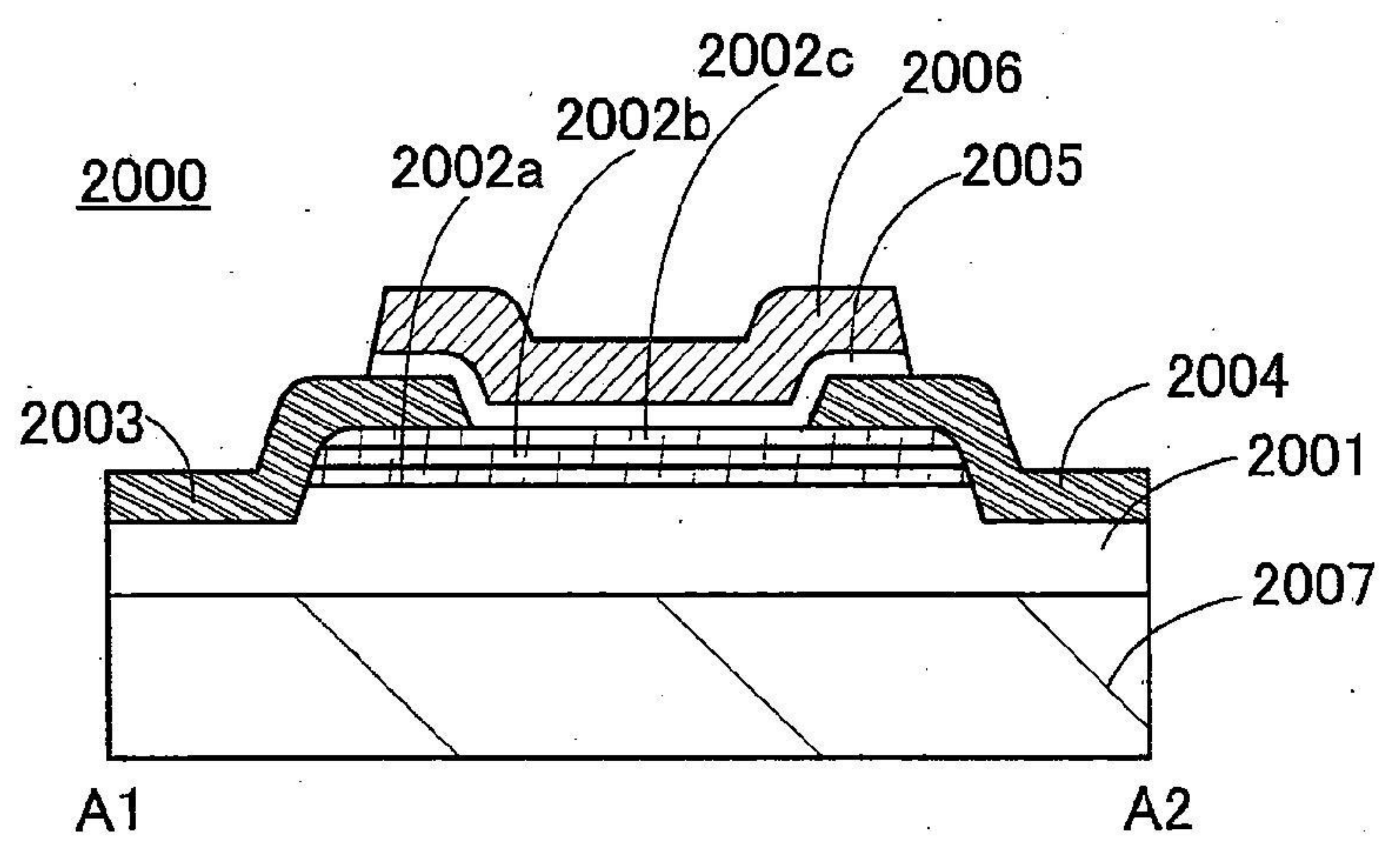
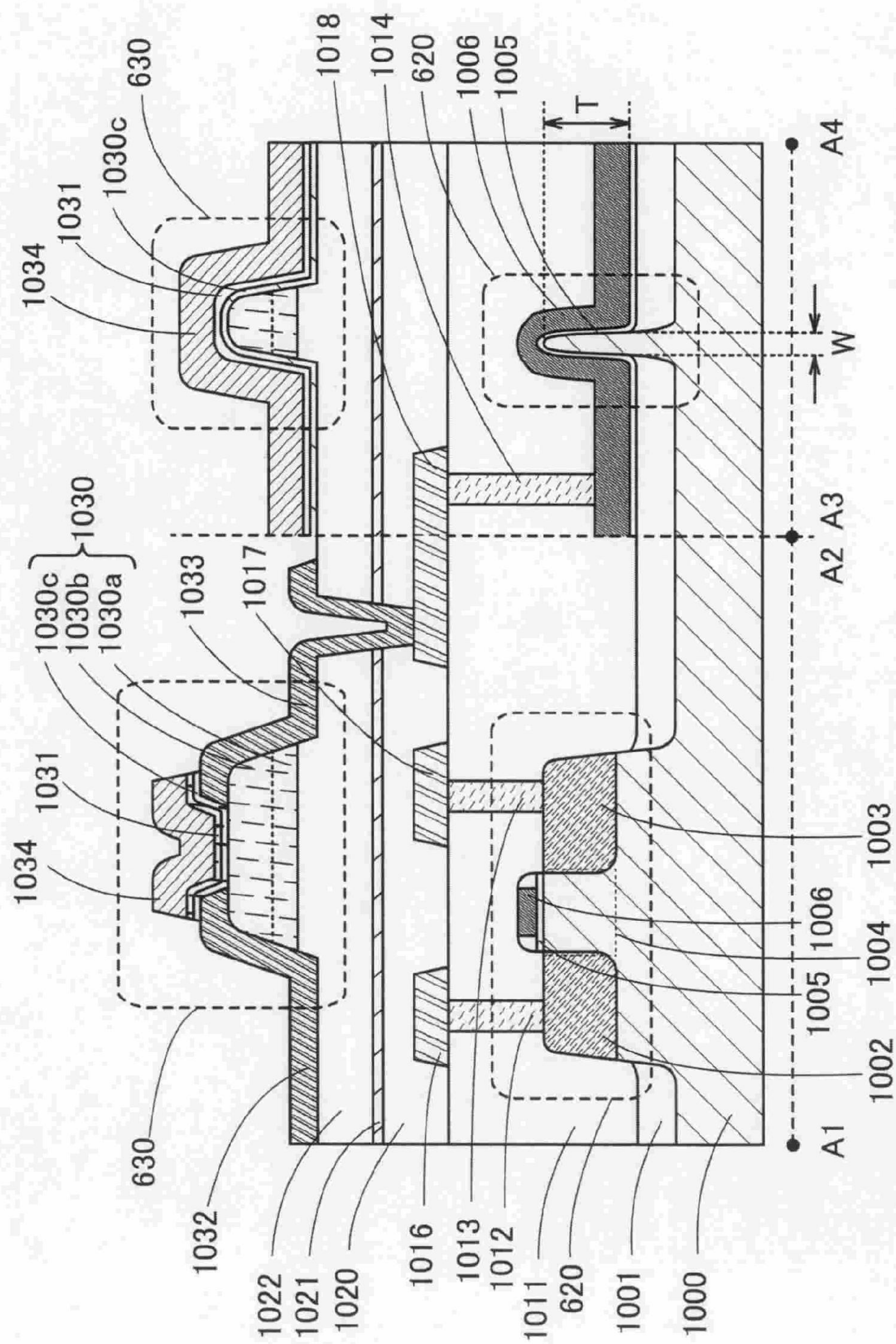


圖 17B



18回

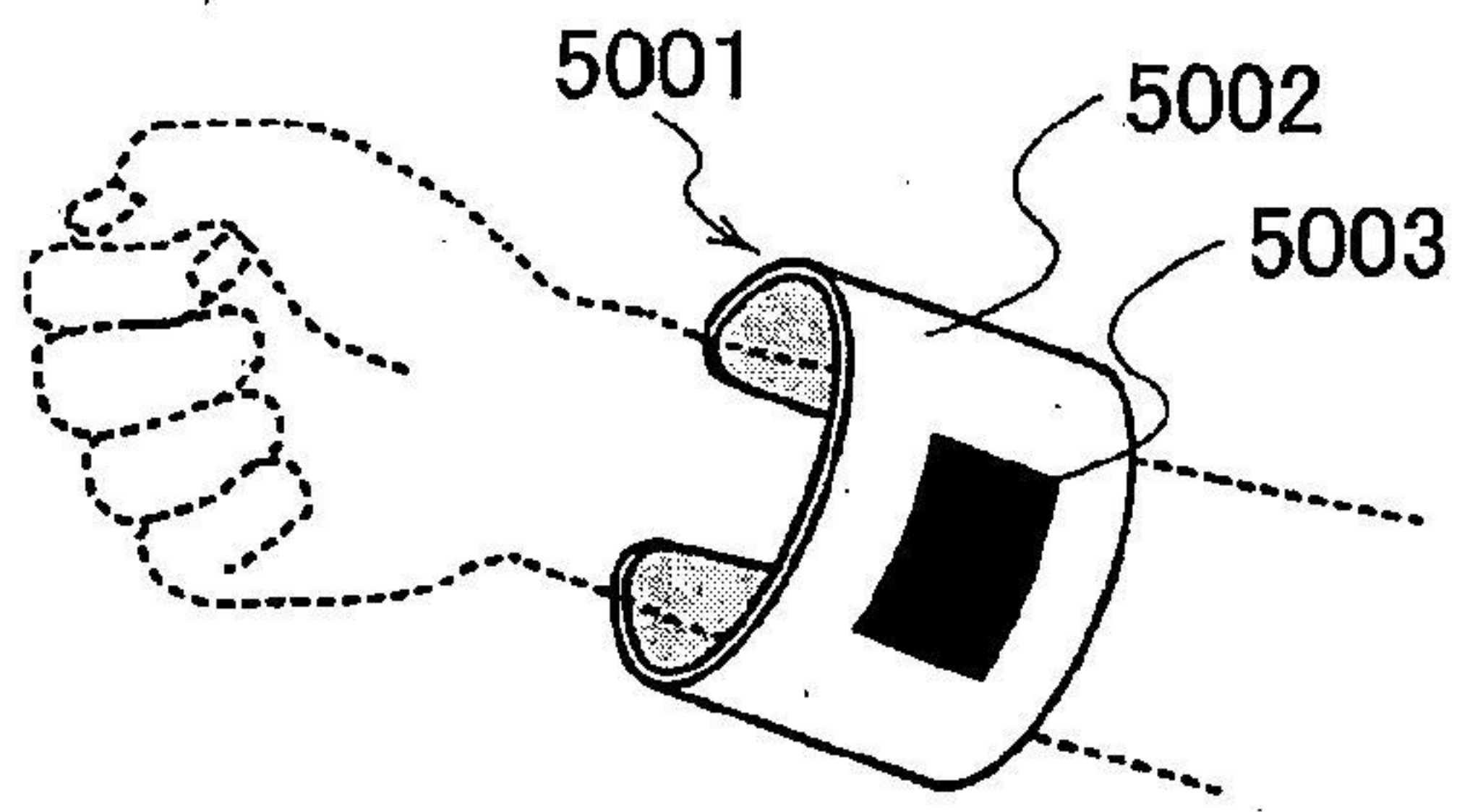


圖 19A

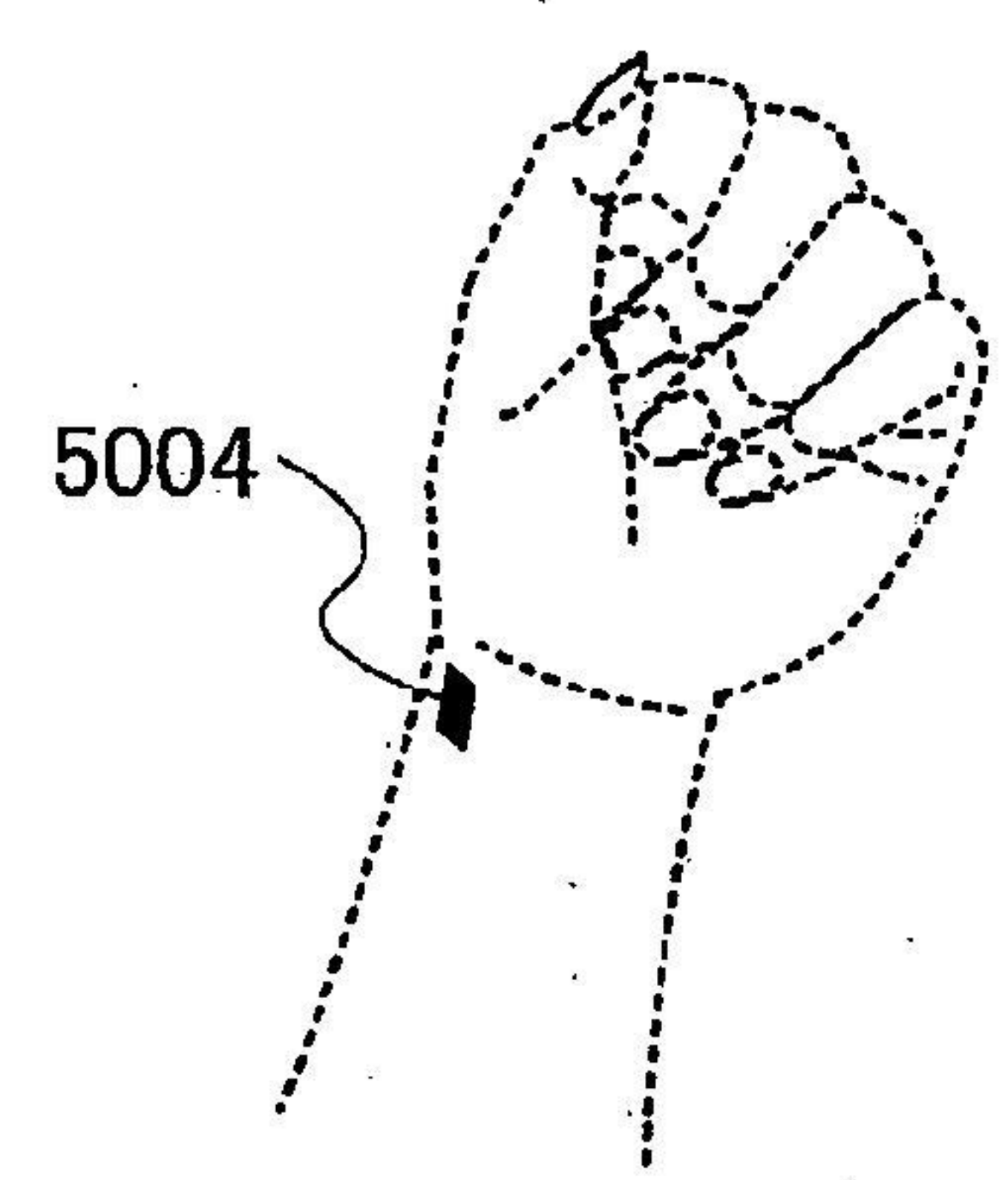


圖 19B

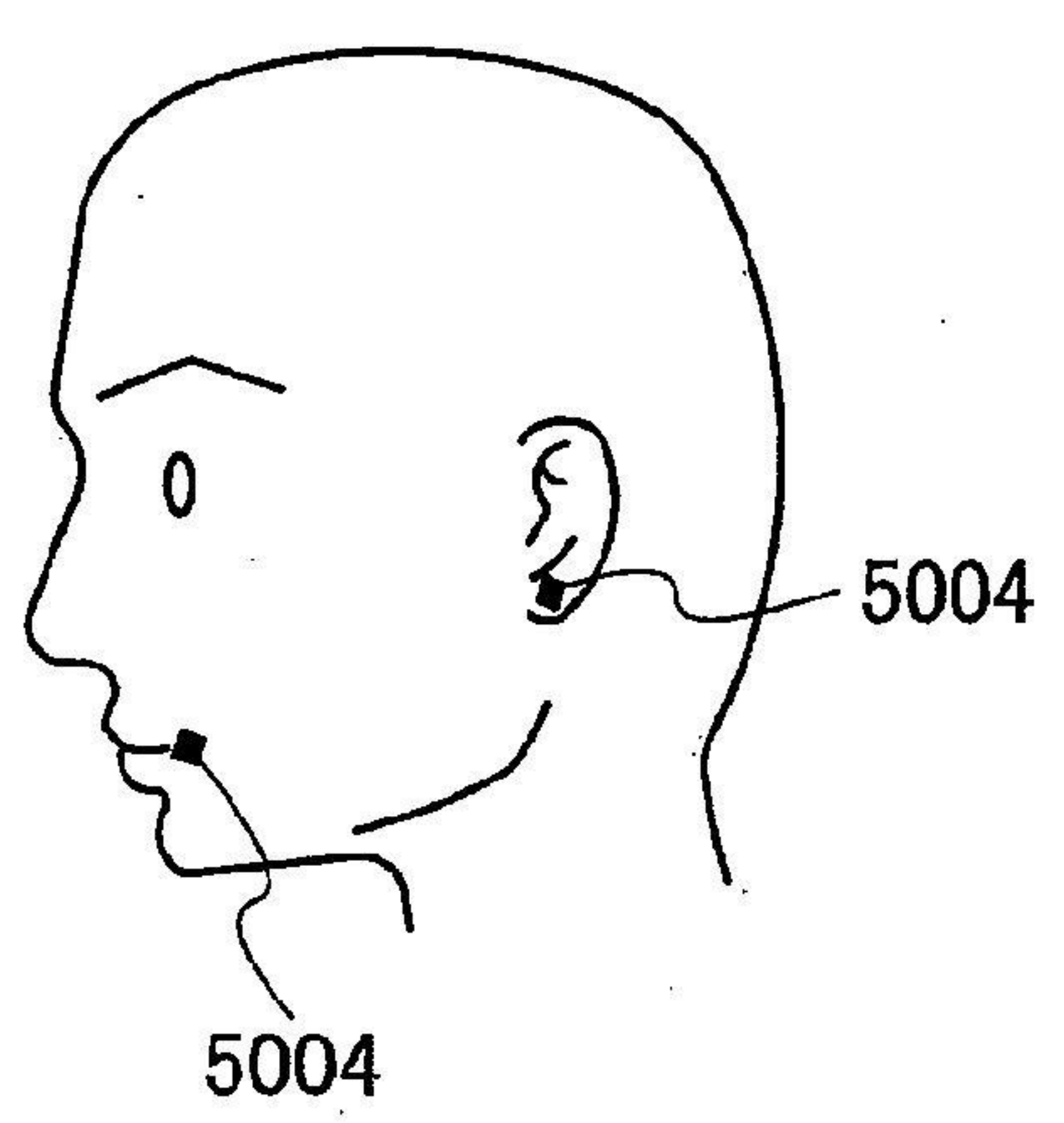


圖 19C

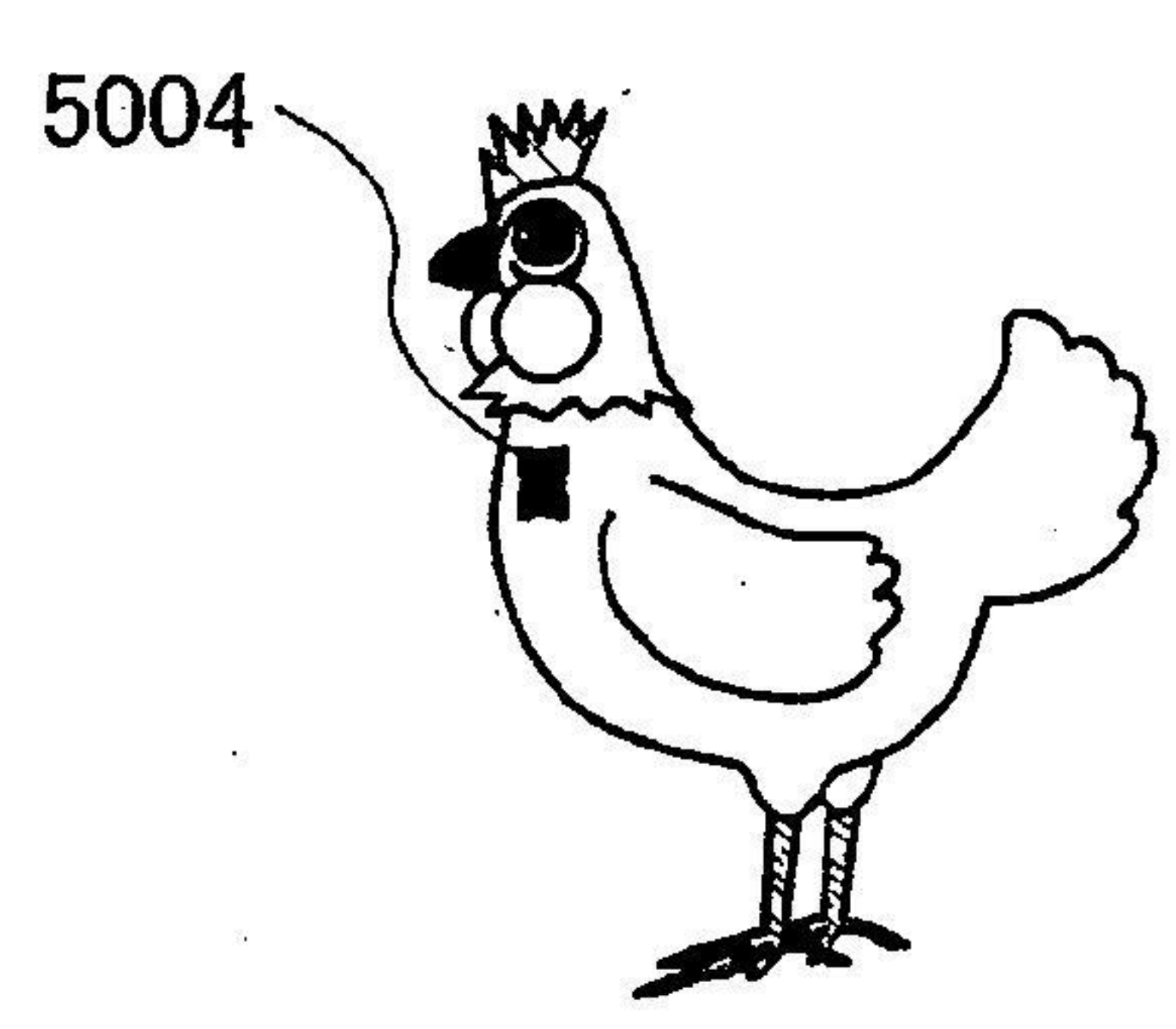


圖 19D

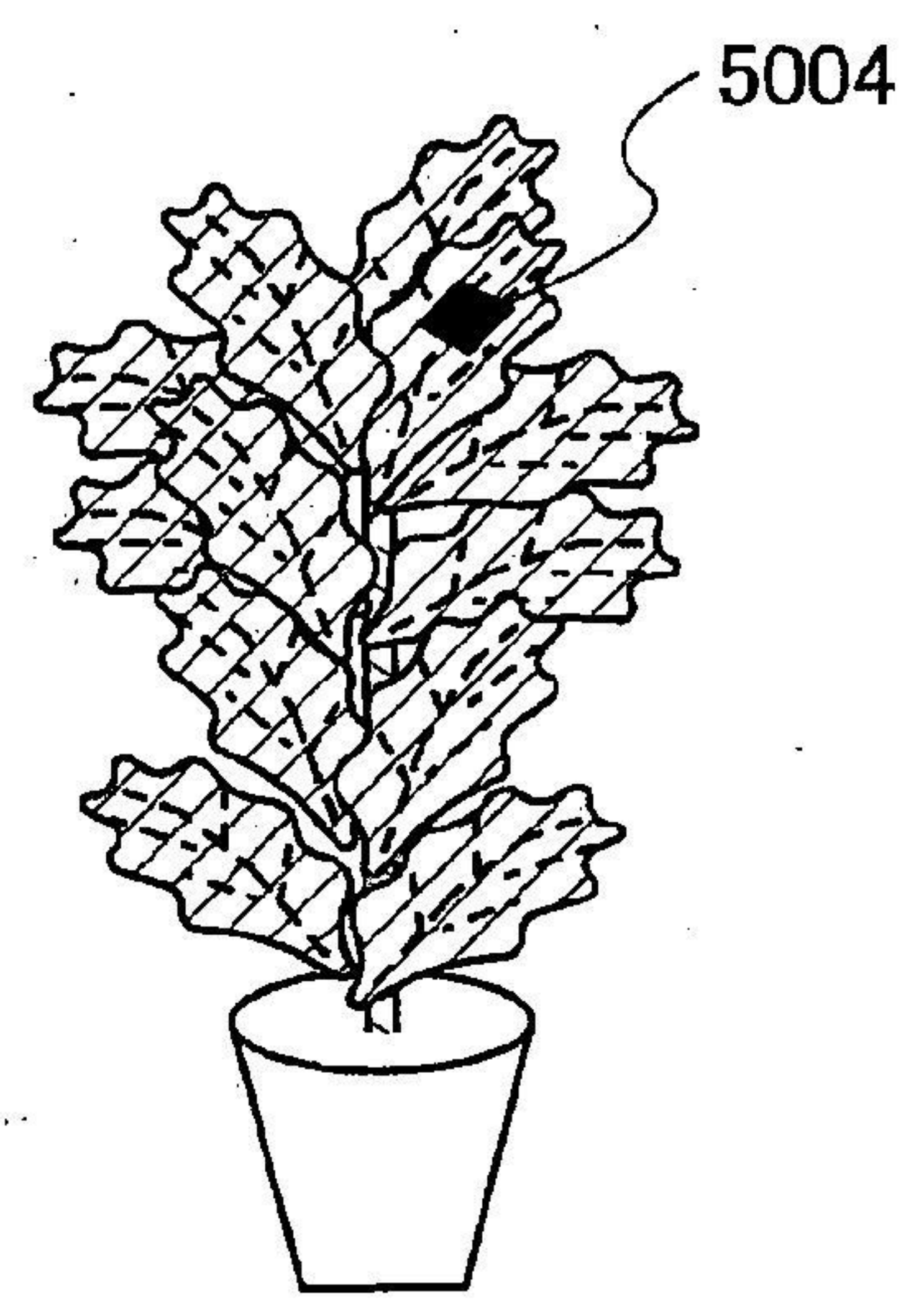


圖 19E