

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年3月23日(23.03.2017)



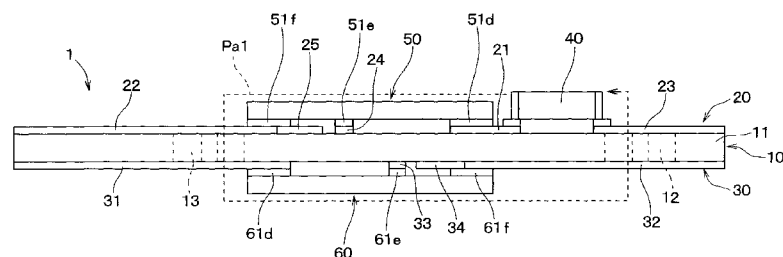
(10) 国際公開番号

WO 2017/047345 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H02M 7/48 (2007.01)
H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2016/074729
- (22) 国際出願日: 2016年8月25日(25.08.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-185802 2015年9月18日(18.09.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 山口 晃弘(YAMAGUCHI Akihiro); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(JIN Shunji); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体モジュール



(57) Abstract: This semiconductor module is provided with: a substrate (10) which includes an insulation layer (11) and on which connection parts (12, 13) connecting the front surface to the rear surface of the insulation layer (11) are formed; a first pattern (20) formed on the front surface of the substrate (10); a second pattern (30) formed on the rear surface of the substrate (10); a first semiconductor element (50, 70, 90) which is arranged on the front surface side of the substrate (10) and which includes a first switching element (51, 71, 91) having a lateral structure; a second semiconductor element (60, 80, 100) which is arranged on the rear surface side of the substrate (10) and which includes a second switching element (61, 81, 101) having a lateral structure; and a capacitor (40). A path formed by the first pattern (20) and the first semiconductor element (50, 70, 90) and a path formed by the second pattern (30) and the second semiconductor element (60, 80, 100) are opposed to each other with the substrate (10) interposed therebetween, and allow current to flow therethrough in directions opposite to each other.

(57) 要約:

[続葉有]

WO 2017/047345 A1



半導体モジュールは、絶縁層（１１）を備えるとともに、絶縁層（１１）の表面と裏面とを接続する接続部（１２、１３）が形成された基板（１０）と、基板（１０）の表面に形成された第１パターン（２０）と、基板（１０）の裏面に形成された第２パターン（３０）と、基板（１０）の表面側に配置されるとともに、横型構造の第１スイッチング素子（５１、７１、９１）を備える第１半導体素子（５０、７０、９０）と、基板（１０）の裏面側に配置されるとともに、横型構造の第２スイッチング素子（６１、８１、１０１）を備える第２半導体素子（６０、８０、１００）と、コンデンサ（４０）と、を備え、第１パターン（２０）および第１半導体素子（５０、７０、９０）が構成する経路と、第２パターン（３０）および第２半導体素子（６０、８０、１００）が構成する経路とは、基板（１０）を挟んで対向しており、かつ、互いに逆の向きに電流を流す。

明 細 書

発明の名称：半導体モジュール

関連出願の相互参照

[0001] 本出願は、2015年9月18日に出願された日本出願番号2015-185802号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、横型構造の半導体素子を備える半導体モジュールに関するものである。

背景技術

[0003] 三相交流モータ等の駆動を行うインバータ回路では、上下アームのスイッチング素子および整流素子等を備える半導体モジュールが用いられている。スイッチング素子としては、例えばIGBT（絶縁ゲート型バイポーラトランジスタ）が用いられ、整流素子としては、例えばFWD（フライホイールダイオード）素子が用いられる。

[0004] インバータ回路では、上下アームのスイッチング素子のオン、オフを切り替えることによりモータが備える複数のコイルに流す電流の向きを制御し、モータを駆動する。このオン、オフの切り替えの際、配線等が構成する寄生インダクタンスにより、サージ電圧が発生する。特に半導体モジュールに大電流が流れる場合、このサージ電圧により、半導体モジュールが備える各素子が破壊されるおそれがある。

[0005] これに対し、半導体モジュールにコンデンサを設置することによりサージ電圧を抑制する方法が提案されている。しかし、コンデンサの設置に伴い新たな配線が必要となるため、コンデンサを接続するための配線と、他の配線とで新たに寄生インダクタンスが構成される。

[0006] これらの配線のループ面積はコンデンサの位置に応じて変化するため、コンデンサの位置により、この寄生インダクタンスが大きくなる場合がある。この場合、寄生インダクタンスの増加によりサージ電圧が大きくなるため、

サージ電圧を十分に低減できない。

[0007] そこで、例えば特許文献 1 に記載の半導体モジュールでは、金属製のミドルサイド板の表面に上下アームの半導体素子と絶縁部材とを配置し、絶縁部材の上に導電板を配置し、導電板の上にコンデンサを配置している。そして、上アームの半導体素子の上に金属製のハイサイド板を配置し、下アームの半導体素子の上に金属製のローサイド板を配置し、ハイサイド板とローサイド板とを、導電板およびコンデンサにより接続している。

[0008] このような構成では、導電板に流れる電流と、ミドルサイド板に流れる電流とが互いに逆向きになるため、導電板に流れる電流により発生する磁界と、ミドルサイド板に流れる電流により発生する磁界とが互いに打ち消し合う。これにより、実効インダクタンスを低減し、サージ電圧を抑制することができる。

先行技術文献

特許文献

[0009] 特許文献1：特開 2 0 1 0 - 2 0 5 9 6 0 号公報

発明の概要

[0010] しかしながら、特許文献 1 に記載の半導体モジュールは、I G B T 素子や S i C 素子等の縦型構造の半導体素子には適用できるものの、次世代デバイスとして期待される G a N 等の横型構造の半導体素子には適用できない。

[0011] G a N は高速スイッチング性能を有するため、G a N を用いた半導体モジュールではサージ電圧が大きくなりやすい。また、G a N はアバランシェ耐量が小さいため、サージ電圧により破壊されやすい。そのため、G a N を用いた半導体モジュールでは、インダクタンスを低減し、サージ電圧を抑制することが重要である。

[0012] 本開示は、横型構造の半導体素子を備え、サージ電圧を抑制することが可能な半導体モジュールを提供することを目的とする。

[0013] 本開示の一態様によれば、半導体モジュールは、絶縁層を備えるとともに、絶縁層の表面と裏面とを接続する接続部が形成された基板と、基板の表面

に形成された配線パターンである第1パターンと、基板の裏面に形成された配線パターンである第2パターンと、基板の表面側に配置されるとともに、横型構造の第1スイッチング素子を備える第1半導体素子と、基板の裏面側に配置されるとともに、横型構造の第2スイッチング素子を備える第2半導体素子と、コンデンサと、を備える。第1スイッチング素子は、第1ドレイン電極および第1ソース電極を備え、第2スイッチング素子は、第2ドレイン電極および第2ソース電極を備える。第1パターン、第2パターン、および接続部は、第1半導体素子、第2半導体素子、およびコンデンサを電氣的に接続するループ経路を構成する。第1ソース電極は第2ドレイン電極に接続され、第1ドレイン電極はコンデンサを通して第2ソース電極に接続される。ループ経路において、第1パターンおよび第1半導体素子が構成する経路と、第2パターンおよび第2半導体素子が構成する経路とは、基板を挟んで対向しており、かつ、互いに逆の向きに電流が流れる。

[0014] これによれば、第1パターンおよび第1半導体素子が構成する経路と、第2パターンおよび第2半導体素子が構成する経路とが基板を挟んで対向しており、かつ、これらの2つの経路において互いに逆の向きに電流が流れる。したがって、2つの経路それぞれを流れる電流により発生する磁界が互いに打ち消し合い、実効インダクタンスが小さくなるため、横型構造の半導体素子を備える半導体モジュールにおいて、サージ電圧を抑制することができる。

図面の簡単な説明

[0015] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。

[図1]第1実施形態にかかる半導体モジュールが適用されるインバータ回路の回路図である。

[図2]第1実施形態にかかる半導体モジュールの斜視図である。

[図3]第1実施形態にかかる半導体モジュールの上面図である。

[図4]図3のIV矢視図である。

[図5]第1実施形態にかかる半導体モジュールの底面図である。

[図6]半導体素子の断面図である。

[図7]図6のVII矢視図である。

[図8]図4に相当する図であって、第2実施形態にかかる半導体モジュールを示した図である。

[図9]図4に相当する図であって、第3実施形態にかかる半導体モジュールを示した図である。

[図10]図4に相当する図であって、第4実施形態にかかる半導体モジュールを示した図である。

[図11]第5実施形態にかかる半導体モジュールの分解斜視図である。

[図12]第5実施形態にかかる半導体モジュールの斜視図である。

[図13]第5実施形態にかかる半導体モジュールの上面図である。

[図14]図13のXIV矢視図である。

[図15]図13のXV矢視図である。

[図16]図13のXVI-XVI線における断面図である。

[図17]熱交換器の斜視図である。

[図18]基板の断面図である。

[図19]基板の断面図である。

[図20]他の実施形態にかかる半導体モジュールの回路図である。

[図21]他の実施形態にかかる半導体モジュールが適用されるインバータ回路の回路図である。

発明を実施するための形態

[0016] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0017] (第1実施形態)

本開示の第1実施形態について説明する。ここでは、本実施形態にかかる半導体モジュール1を、車両用の三相交流モータなどの駆動を行うインバー

タ回路に適用した例について説明する。

- [0018] まず、図1を参照して、半導体モジュール1が備えられるインバータ回路の構成について説明する。図1に示すように、インバータ回路は、電源2に基づいて三相交流モータなどの負荷3を駆動するためのものである。電源2は、後述する第1半導体素子50、70、90、第2半導体素子60、80、100に電力を供給する直流電源である。
- [0019] インバータ回路には平滑コンデンサ4が並列接続されており、スイッチング時のリップルの低減やノイズの影響を抑制して一定な電源電圧が形成できるようにしてある。また、インバータ回路には後述する第1半導体素子50、70、90および第2半導体素子60、80、100を制御するための制御回路5が接続されており、制御回路5により後述するトランジスタ51～101のスイッチングが行われる。
- [0020] インバータ回路は、直列接続した上下アームの半導体素子が三相分並列接続された構成とされる。上アーム（ハイサイド）の3つの半導体素子をそれぞれ第1半導体素子50、70、90とし、下アーム（ローサイド）の3つの半導体素子をそれぞれ第2半導体素子60、80、100とする。
- [0021] インバータ回路では、第1半導体素子50、70、90と第2半導体素子60、80、100との各中間電位を負荷3となる三相交流モータのU相、V相、W相の各相に順番に入れ替えながら印加する。
- [0022] 具体的には、第1半導体素子50、70、90、第2半導体素子60、80、100は、それぞれ、Ga N等で構成される横型構造のスイッチング素子であるトランジスタ51、71、91、61、81、101を備えている。トランジスタ51～101は、それぞれ、ゲート電極が制御回路5に接続されており、制御回路5からの信号に基づいてオン、オフが切り替えられる。
- [0023] なお、トランジスタ51～101は、ローレベルのゲート電圧が印加され、オフ状態とされている場合にも、ソース電極からドレイン電極へは電流を流す。

- [0024] なお、後述する図6、図7に示すように、トランジスタ51のドレイン電極、ゲート電極、ソース電極を、それぞれ、ドレイン電極51d、ゲート電極51e、ソース電極51fとする。また、トランジスタ61のドレイン電極、ゲート電極、ソース電極を、それぞれ、ドレイン電極61d、ゲート電極61e、ソース電極61fとする。また、図7に示すように、トランジスタ51、61のSS電極をそれぞれSS電極51g、61gとする。なお、図6では、SS電極51g、61gの図示を省略している。
- [0025] 図1に示すインバータ回路では、トランジスタ51～101をオンオフ制御することで、三相交流モータに対して周期の異なる三相の交流電流を供給する。これにより、三相交流モータの駆動を可能としている。
- [0026] トランジスタ51、71、91は、それぞれ、第1スイッチング素子に相当する。また、トランジスタ61、81、101は、それぞれ、第2スイッチング素子に相当する。
- [0027] 本実施形態では、第1半導体素子50が形成された半導体チップと、第2半導体素子60が形成された半導体チップとをモジュール化して一体化している。つまり、2つのアームを一体化した2in1構造の半導体モジュール1を用いてインバータ回路を構成している。なお、本実施形態では、第1半導体素子70および第2半導体素子80を備え、三相交流モータのV相に電圧を印加する半導体モジュールについても、半導体モジュール1と同様に構成されている。また、第1半導体素子90および第2半導体素子100を備え、三相交流モータのW相に電圧を印加する半導体モジュールについても、半導体モジュール1と同様に構成されている。
- [0028] 続いて、半導体モジュール1の詳細構造について、図1～図7を参照して説明する。図2に示す半導体モジュール1は、図3～図5に示すように、基板10と、第1パターン20と、第2パターン30と、コンデンサ40と、第1半導体素子50と、第2半導体素子60とを備えている。図2～図5に示すように、基板10の表面側に配置されたコンデンサ40および第1半導体素子50と、基板10の裏面側に配置された第2半導体素子60とは、第

1 パターン 20、第2パターン30および基板10に形成されたビア12、13により接続されている。

[0029] 図4に示すように、基板10は、絶縁層11によって構成されている。絶縁層11は、例えば樹脂により構成される。基板10には、絶縁層11の表面と裏面とを接続するビアが形成されている。本実施形態では、基板10には、複数のビア12および複数のビア13が形成されている。

[0030] 複数のビア12および複数のビア13は、内部にCu等の導電材料が埋め込まれた貫通ビアであり、接続部に相当する。複数のビア12は、図1のインバータ回路において、第2半導体素子60とコンデンサ40との接続点に相当する部分に配置されており、後述するN配線23とN配線32とを接続している。複数のビア13は、図1のインバータ回路において、第1半導体素子50と第2半導体素子60との接続点に相当する部分に配置されており、後述するO配線22とO配線31とを接続している。図3、図5に示すように、複数のビア12および複数のビア13は、それぞれ、基板10の上面から見て、格子状に並んでいる。

[0031] 基板10の表面および裏面には、Cu等で構成された配線パターンが形成されている。基板10の表面に形成された配線パターンを第1パターン20とし、基板10の裏面に形成された配線パターンを第2パターン30とする。

[0032] 図3に示すように、第1パターン20は、P配線21と、O配線22と、N配線23と、G配線24と、SS配線25とを備えている。

[0033] P配線21は、コンデンサ40と第1半導体素子50とを接続する配線である。具体的には、P配線21の両端部のうち一方の上面にはレジストが塗布されていない部分が存在し、この部分と、コンデンサ40が備える2つの電極のうち一方とが、はんだにより接合されている。そして、P配線21の両端部のうちコンデンサ40とは反対側の端部は、トランジスタ51のドレイン電極51dに接続されている。また、図示しないが、P配線21は、電源2、平滑コンデンサ4、第1半導体素子70および第1半導体素子90に

接続されている。

[0034] O配線22は、ビア13と第1半導体素子50とを接続する配線である。具体的には、図3に示すように、O配線22はビア13の一方の端部および周辺に形成され、ビア13と電氣的に接続されている。また、O配線22はトランジスタ51のソース電極51fに接続されている。また、図示しないが、O配線22は、負荷3に接続されている。

[0035] N配線23は、ビア12とコンデンサ40とを接続する配線である。具体的には、図3に示すように、N配線23は、ビア12の一方の端部および周辺に形成され、ビア12と電氣的に接続されている。また、N配線23の端部の上面にはレジストが塗布されていない部分が存在し、この部分と、コンデンサ40が備える2つの電極のうちの一方とが、はんだにより接合されている。これにより、P配線21とN配線23とがコンデンサ40を介して接続されている。G配線24は、トランジスタ51のゲート電極51eと制御回路5とを接続する配線である。

[0036] SS配線25は、ゲート駆動用に設けられた専用のソース配線であり、SS電極51gを介して、ソース電極51fと電氣的に接続されている。ソース配線と比べ、SS配線25は小さな電流が流れるようになっているため、ゲートーソース間の駆動電圧にスイッチング時のノイズが乗りづらくなっている。なお、ソース電極51fとSS電極51gとは、第1半導体素子50の内部で電氣的に接続されている。

[0037] 図5に示すように、第2パターン30は、O配線31と、N配線32と、G配線33と、SS配線34とを備えている。O配線31は、ビア13と第2半導体素子60とを接続する配線である。具体的には、図5に示すように、O配線31はビア13のうちO配線22とは反対側の端部と、ビア13の周辺とに形成され、ビア13と電氣的に接続されている。また、O配線31は、トランジスタ61のドレイン電極61dに接続されている。

[0038] N配線32は、ビア12と第2半導体素子60とを接続する配線である。具体的には、図5に示すように、N配線32はビア12のうちN配線23と

は反対側の端部と、ビア 1 2 の周辺とに形成され、ビア 1 2 と電氣的に接続されている。また、N 配線 3 2 は、トランジスタ 6 1 のソース電極 6 1 f に接続されている。また、図示しないが、N 配線 3 2 は、電源 2、平滑コンデンサ 4、第 2 半導体素子 8 0 および第 2 半導体素子 1 0 0 に接続されている。G 配線 3 3 は、トランジスタ 6 1 のゲート電極 6 1 e と制御回路 5 とを接続する配線である。

[0039] SS 配線 3 4 は、ゲート駆動用に設けられた専用のソース配線であり、S 電極 6 1 g を介して、ソース電極 6 1 f と電氣的に接続されている。ソース配線と比べ、SS 配線 3 4 は小さな電流が流れるようになっているため、ゲートーソース間の駆動電圧にスイッチング時のノイズが乗りづらくなっている。なお、ソース電極 6 1 f と SS 電極 6 1 g とは、第 2 半導体素子 6 0 の内部で電氣的に接続されている。

[0040] コンデンサ 4 0 は、サージ電圧を低減するためのコンデンサである。図 2 ～図 4 に示すように、本実施形態では、コンデンサ 4 0 は、基板 1 0 の表面側に配置されている。また、前述したように、コンデンサ 4 0 が備える 2 つの電極のうちの一方は P 配線 2 1 に接続され、他方は N 配線 2 3 に接続されている。本実施形態では、半導体モジュール 1 は、コンデンサ 4 0 を複数備えており、複数のコンデンサ 4 0 は、P 配線 2 1 と N 配線 2 3 との間で並列に接続されている。

[0041] 基板 1 0 の表面側には、上アーム（ハイサイド）の第 1 半導体素子 5 0 が配置されている。前述したように、第 1 半導体素子 5 0 は、トランジスタ 5 1 を備えている。図 6 に示すように、トランジスタ 5 1 は、横型構造の半導体素子であり、基板 5 1 a と、積層体 5 1 b と、絶縁層 5 1 c と、ドレイン電極 5 1 d と、ゲート電極 5 1 e と、ソース電極 5 1 f とを備えている。また、図 7 に示すように、トランジスタ 5 1 は、SS 電極 5 1 g を備えている。

[0042] なお、図 6 は半導体素子の断面図であるが、第 1 半導体素子 5 0 および第 2 半導体素子 6 0 は同じ断面形状であるため、図 6 を用いて第 1 半導体素子

50および第2半導体素子60について説明する。

[0043] 基板51aは、例えばSi等で構成されており、第1基板に相当する。積層体51bは、基板51aの上面に、図示しないバッファ層、GaN層、AlGaN層を順に積層することにより形成されており、第1積層体に相当する。

[0044] 図6に示すように、積層体51bの上面に、ドレイン電極51dおよびソース電極51fが互いに離されて形成されている。ドレイン電極51d、ソース電極51fは、それぞれ、第1ドレイン電極、第1ソース電極に相当する。

[0045] また、図6に示すように、積層体51bの上面のうち、ドレイン電極51dとソース電極51fとで挟まれた部分には、絶縁層51cが形成されている。そして、図6、図7に示すように、絶縁層51cの上面において、ドレイン電極51dおよびソース電極51fから離れた位置にゲート電極51eが形成されている。

[0046] また、図7に示すように、絶縁層51cの上面のうち、ゲート電極51eとソース電極51fとの間に位置する領域の一部には、SS電極51gが形成されている。SS電極51gは、ゲート電極51eおよびソース電極51fから離れた位置に形成されているが、上述したように、第1半導体素子50の内部でソース電極51fと電氣的に接続されている。

[0047] このような構成のトランジスタ51では、ゲート電極51eに電圧を印加することにより、積層体51bに形成される二次元電子ガス(2DEG)およびチャネルを通して、ドレイン電極51dからソース電極51fへ電流が流れる。

[0048] なお、第1半導体素子50は、このように形成されたトランジスタ51を図示しない樹脂により封止したパッケージとされている。

[0049] 基板10の裏面側には、下アーム(ローサイド)の第2半導体素子60が配置されている。前述したように、第2半導体素子60は、トランジスタ61を備えている。図6に示すように、トランジスタ61は、横型構造の半導

体素子であり、基板 6 1 a と、積層体 6 1 b と、絶縁層 6 1 c と、ドレイン電極 6 1 d と、ゲート電極 6 1 e と、ソース電極 6 1 f とを備えている。また、図 7 に示すように、トランジスタ 6 1 は、S S 電極 6 1 g を備えている。

[0050] 基板 6 1 a は、例えば S i 等で構成されており、第 2 基板に相当する。積層体 6 1 b は、基板 6 1 a の上面に、図示しないバッファ層、G a N 層、A l G a N 層を順に積層することにより形成されており、第 2 積層体に相当する。

[0051] 図 6 に示すように、積層体 6 1 b の上面に、ドレイン電極 6 1 d およびソース電極 6 1 f が互いに離されて形成されている。ドレイン電極 6 1 d、ソース電極 6 1 f は、それぞれ、第 2 ドレイン電極、第 2 ソース電極に相当する。

[0052] また、図 6 に示すように、積層体 6 1 b の上面のうち、ドレイン電極 6 1 d とソース電極 6 1 f とで挟まれた部分には、絶縁層 6 1 c が形成されている。そして、図 6、図 7 に示すように、絶縁層 6 1 c の上面において、ドレイン電極 6 1 d およびソース電極 6 1 f から離れた位置にゲート電極 6 1 e が形成されている。

[0053] また、図 7 に示すように、絶縁層 6 1 c の上面のうち、ゲート電極 6 1 e とソース電極 6 1 f との間に位置する領域の一部には、S S 電極 6 1 g が形成されている。S S 電極 6 1 g は、ゲート電極 6 1 e およびソース電極 6 1 f から離れた位置に形成されているが、上述したように、第 2 半導体素子 6 0 の内部でソース電極 6 1 f と電氣的に接続されている。

[0054] このような構成のトランジスタ 6 1 では、ゲート電極 6 1 e に電圧を印加することにより、積層体 6 1 b に形成される二次元電子ガス（2 D E G）およびチャネルを通して、ドレイン電極 6 1 d からソース電極 6 1 f へ電流が流れる。

[0055] なお、第 2 半導体素子 6 0 は、このように形成されたトランジスタ 6 1 を図示しない樹脂により封止したパッケージとされている。

- [0056] 図2、図4に示すように、第1半導体素子50および第2半導体素子60は、基板10を挟んで対向するように配置されている。
- [0057] また、図4に示すように、第1パターン20、第2パターン30、ビア12、ビア13は、第1半導体素子50、第2半導体素子60、およびコンデンサ40を電氣的に接続するループ経路Pa1を構成している。
- [0058] 具体的には、トランジスタ51のソース電極51fは、O配線22、ビア13、O配線31を介して、トランジスタ61のドレイン電極61dに接続されている。また、トランジスタ51のドレイン電極51dは、P配線21、コンデンサ40、N配線23、ビア12、N配線32を介して、トランジスタ61のソース電極61fに接続されている。
- [0059] 図4に示すように、ループ経路Pa1において、第1パターン20および第1半導体素子50が構成する経路と、第2パターン30および第2半導体素子60が構成する経路とは、基板10を挟んで対向している。そして、これら2つの経路において、互いに逆の向きに電流が流れる。したがって、2つの経路それぞれを流れる電流により発生する磁界が互いに打ち消し合い、実効インダクタンスが小さくなるため、サージ電圧を抑制することができる。
- [0060] このように、本実施形態では、横型構造の半導体素子であるトランジスタ51、61を備える半導体モジュール1において、サージ電圧を抑制することができる。
- [0061] また、本実施形態では、電流経路が簡素であり、ループ経路Pa1のうち、第1パターン20および第1半導体素子50とで構成される経路と、第2パターン30および第2半導体素子60とで構成される経路とが、基板10を挟んで配置されている。そのため、これら2つの経路の距離が短い。これにより、2つの経路それぞれを流れる電流により発生する磁界が互いに打ち消し合う効果が向上し、実効インダクタンスがさらに小さくなるため、サージ電圧をさらに抑制することができる。また、本実施形態では、電流経路が簡素であるため、ループ面積が小さい。そのため、本実施形態では、寄生イ

ンダクタンスを低減し、サージ電圧をさらに抑制することができる。

[0062] また、本実施形態では、第1半導体素子50と第2半導体素子60とが、基板10を挟んで対向するように配置されている。そのため、第1半導体素子50と第2半導体素子60とを、基板10の表面に対する法線方向から見て互いに離間して配置する場合に比べて、この方向から見た第1半導体素子50と第2半導体素子60とで構成される部分の面積が小さくなる。これにより、半導体モジュール1を小型化することができる。

[0063] また、本実施形態では、コンデンサ40、第1半導体素子50、第2半導体素子60を基板10に実装するのみでよく、他の部品が必要とされないため、部品の実装が容易であり、半導体モジュール1を容易に製造することができる。また、半導体モジュール1の製造コストを低減することができる。

[0064] なお、ループ経路Pa1のループ面積を小さくして配線インダクタンスをさらに低減するため、ビア12およびビア13をコンデンサ40、第1半導体素子50および第2半導体素子60の付近に形成することが好ましい。また、配線インダクタンスをさらに低減するため、ビア12およびビア13を多く形成することが好ましい。

[0065] また、G配線24、33、SS配線25、34を流れる電流がループ経路Pa1を流れる電流により発生する磁界の影響を受け、誤動作が生じるおそれがある。そのため、誤動作が生じることを抑制するために、G配線24、33、SS配線25、34をループ経路Pa1を構成する配線に対して垂直に配置し、磁界の影響を低減することが好ましい。

[0066] (第2実施形態)

本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対してコンデンサ40の数を変更したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0067] 本実施形態では、複数のコンデンサ40が直列に接続されている。具体的には、コンデンサ40は、図8に示すように基板10の表面側に加えて裏面

側にも配置されており、基板 10 の表面側のコンデンサ 40 と、基板 10 の裏面側のコンデンサ 40 とは、ループ経路 P a 1 において直列に接続されている。

[0068] また、本実施形態の N 配線 32 は、第 1 実施形態の N 配線 32 を 2 つに分けたものであり、基板 10 の裏面側のコンデンサ 40 は、2 つに分かれた N 配線 32 のうちの一方によりビア 12 と接続されており、他方により第 2 半導体素子 60 と接続されている。

[0069] また、本実施形態では、基板 10 の裏面側に複数のコンデンサ 40 が配置されており、基板 10 の裏面側に配置された複数のコンデンサ 40 は、ループ経路 P a 1 において並列に接続されている。

[0070] このように複数のコンデンサ 40 を直列に接続した構成では、例えば基板 10 の表面側のコンデンサ 40 が破壊されてショートした場合でも、基板 10 の裏面側のコンデンサ 40 が破壊されていなければ半導体モジュール 1 全体としては短絡が生じない。したがって、このような構成の半導体モジュール 1 では、半導体モジュール 1 の故障が抑制されるため、半導体モジュール 1 の信頼性を高めることができる。

[0071] また、本実施形態では、複数のコンデンサ 40 を直列に接続することにより、複数のコンデンサ 40 それぞれに加わる電圧が低くなるので、耐圧の低い小型のコンデンサを使用することが可能となる。したがって、半導体モジュール 1 をさらに小型化することができる。また、半導体モジュール 1 の製造コストをさらに低減することができる。

[0072] (第 3 実施形態)

本開示の第 3 実施形態について説明する。本実施形態は、第 1 実施形態に対してコンデンサ 40 の配置と、基板 10、第 1 パターン 20 および第 2 パターン 30 の構成とを変更したものであり、その他に関しては第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。

[0073] 図 9 に示すように、本実施形態では、コンデンサ 40 は、コンデンサ 40 を流れる電流の向きが基板 10 に対し垂直となるように配置されている。ま

た、コンデンサ40は、基板10の表面に平行な一方向から見て少なくとも一部が基板10と重なるように配置されている。

[0074] また、本実施形態では、基板10はビア12を備えておらず、第1パターン20はN配線23を備えていない。そして、P配線21は、第1半導体素子50とは反対側の端部においてコンデンサ40が備える2つの電極のうち一方に接続されている。また、N配線32は、第2半導体素子60とは反対側の端部において、コンデンサ40が備える2つの電極のうちP配線21とは反対側の電極に接続されている。これにより、P配線21とN配線32とがコンデンサ40を介して接続される。

[0075] コンデンサ40をこのように配置することにより、ループ経路Pa1のループ面積がさらに小さくなるため、本実施形態では、インダクタンスをさらに低減し、サージ電圧をさらに抑制することができる。

[0076] (第4実施形態)

本開示の第4実施形態について説明する。本実施形態は、第3実施形態に対してコンデンサ40の構成を変更したものであり、その他に関しては第3実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0077] 図10に示すように、本実施形態では、絶縁層11を挟んで対向させられた第1パターン20と第2パターン30とによってコンデンサ40が構成されている。つまり、本実施形態では、第1パターン20のP配線21と、第2パターン30のN配線32との間の寄生容量を、サージ電圧の抑制のために使用している。

[0078] 上記のようにコンデンサ40を構成した本実施形態では、第1パターン20と、基板10の絶縁層11と、第2パターン30とがコンデンサ40の構成要素を兼ねているため、半導体モジュール1の製造コストをさらに低減することができる。また、ループ経路Pa1のループ面積を小さくして、インダクタンスをさらに低減し、サージ電圧をさらに抑制することができる。

[0079] (第5実施形態)

本開示の第5実施形態について説明する。本実施形態は、第1実施形態に対して放熱板を追加したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0080] 図11～図16に示すように、本実施形態の半導体モジュール1は、第1実施形態の半導体モジュール1が備える構成に加えて、第1放熱板110と、第2放熱板120と、第3放熱板130とを備えている。また、本実施形態の第1半導体素子50および第2半導体素子60は、樹脂で封止されており、ベアチップとされている。

[0081] 第1放熱板110は、第1半導体素子50を冷却する導電性の放熱板である。また、第1放熱板110は、第1パターン20と接続され、第1半導体素子50の基板51aの電位を固定している。具体的には、第1放熱板110は、O配線22および基板51aと接続され、基板51aとO配線22およびソース電極51fとを電氣的に接続している。

[0082] 第2放熱板120は、第2半導体素子60を冷却する導電性の放熱板である。また、第2放熱板120は、第2パターン30と接続され、第2半導体素子60の基板61aの電位を固定している。具体的には、第2放熱板120は、N配線32および基板61aと接続され、基板61aとN配線32およびソース電極61fとを電氣的に接続している。

[0083] 第3放熱板130は、基板10を冷却する導電性の放熱板であり、P配線21上に配置され、P配線21と電氣的に接続されている。

[0084] 第1放熱板110、第2放熱板120、第3放熱板130は、それぞれ、熱交換器150に配置された半導体モジュール1を外部の配線と接続するためのO端子111、N端子121、P端子131を備えている。

[0085] また、本実施形態の半導体モジュール1は、第1半導体素子50を制御するための制御端子であるG端子141およびSS端子142と、第2半導体素子60を制御するための制御端子であるG端子143およびSS端子144とを備えている。G端子141、SS端子142、G端子143、SS端子144は、それぞれ直線状とされ、一端がG配線24、SS配線25、G

配線 3 3、SS 配線 3 4 に接続されており、他端が制御回路 5 に接続されている。G 端子 1 4 1、SS 端子 1 4 2、G 端子 1 4 3、SS 端子 1 4 4 は、それぞれ、制御端子に相当する。

[0086] O 端子 1 1 1、N 端子 1 2 1、P 端子 1 3 1、G 端子 1 4 1、SS 端子 1 4 2、G 端子 1 4 3、SS 端子 1 4 4 は、ループ経路 P a 1 を流れる電流の方向に対して垂直に延設されている。

[0087] このような構成の半導体モジュール 1 を図 1 7 に示す熱交換器 1 5 0 に配置することで、半導体モジュール 1 を冷却することができる。熱交換器 1 5 0 は、流路管 1 5 1 と、突出管部 1 5 2 と、媒体導入部 1 5 3 と、媒体導出部 1 5 4 とを備えている。

[0088] 流路管 1 5 1 は、内部に熱媒体が流通する媒体流路が形成された扁平形状の配管である。図 1 7 に示すように、熱交換器 1 5 0 は、流路管 1 5 1 を複数積層することにより構成されている。

[0089] 半導体モジュール 1 は、隣り合う 2 つの流路管 1 5 1 の間に配置されている。具体的には、半導体モジュール 1 は、両側に置かれた流路管 1 5 1 のうち一方に第 1 放熱板 1 1 0 および第 3 放熱板 1 3 0 が接し、他方に第 2 放熱板 1 2 0 が接するように配置されている。なお、第 1 放熱板 1 1 0、第 2 放熱板 1 2 0、第 3 放熱板 1 3 0 の表面のうち流路管 1 5 1 に接する部分には、図示しない絶縁層が形成されており、第 1 放熱板 1 1 0、第 2 放熱板 1 2 0、および第 3 放熱板 1 3 0 と、流路管 1 5 1 とは、電氣的に絶縁されている。

[0090] G 端子 1 4 1、SS 端子 1 4 2、G 端子 1 4 3、SS 端子 1 4 4 は、半導体モジュール 1 が流路管 1 5 1 の間に配置されたときに一端が熱交換器 1 5 0 の外側に位置するように延設されており、図示しない配線により制御回路 5 に接続されている。

[0091] また、同様に、O 端子 1 1 1、N 端子 1 2 1、P 端子 1 3 1 は、半導体モジュール 1 が流路管 1 5 1 の間に配置されたときに一端が熱交換器 1 5 0 の外側に位置するように延設されている。そして、図示しない配線により、O

端子 1 1 1 は負荷 3 に接続されており、N 端子 1 2 1 および P 端子 1 3 1 は電源 2 に接続されている。

[0092] 本実施形態では、三相交流モータの V 相、W 相にそれぞれ電圧を印加する 2 つの半導体モジュールと半導体モジュール 1 とが流路管 1 5 1 の間に配置されている。具体的には、三相交流モータの U 相に電圧を印加する半導体モジュール 1 と、V 相に電圧を印加する半導体モジュールと、W 相に電圧を印加する半導体モジュールとが、間に流路管 1 5 1 を挟んで順に積層されている。また、本実施形態では、これらの半導体モジュールがそれぞれ複数用意され、3 つの半導体モジュールと流路管 1 5 1 の積層構造が複数構成されている。

[0093] また、各半導体モジュールは、各半導体モジュールが備える G 端子、S S 端子が同じ向きに延設され、かつ、各半導体モジュールが備える O 端子、N 端子、P 端子が同じ向きに延設されるように配置されている。そして、図示しない配線により、各 G 端子および各 S S 端子は制御回路 5 に接続されており、各 O 端子は負荷 3 に接続されており、各 N 端子および各 P 端子は電源 2 に接続されている。

[0094] 流路管 1 5 1 の長手方向の両側には、突出管部 1 5 2 が設けられている。突出管部 1 5 2 は、隣り合う流路管 1 5 1 を連結する配管であり、流路管 1 5 1 の積層方向に開口すると共に、流路管 1 5 1 の積層方向に突出した円筒状とされている。

[0095] 複数の流路管 1 5 1 のうち、積層方向の最も外側に位置する一対の流路管 1 5 1 以外の流路管 1 5 1 には、積層方向の両側に突出管部 1 5 2 が設けられている。一方、複数の流路管 1 5 1 のうち、積層方向の最も外側に位置する一対の流路管 1 5 1 には、隣り合う流路管 1 5 1 に対向する一面にだけ突出管部 1 5 2 が設けられている。

[0096] 複数の流路管 1 5 1 は、突出管部 1 5 2 同士を嵌合させると共に、突出管部 1 5 2 の側壁同士を接合することにより連結されている。これにより、隣り合う流路管 1 5 1 は、互いの媒体流路が連通している。

- [0097] 図 17 に示すように、複数の流路管 151 のうち、積層方向の最も外側に配置される一対の流路管 151 の一方には、媒体導入部 153 および媒体導出部 154 が接続されている。媒体導入部 153 は、熱媒体を熱交換器 150 に導入するための配管であり、媒体導出部 154 は、熱媒体を熱交換器 150 から導出するための配管である。媒体導入部 153 および媒体導出部 154 は、ろう付け等の接合技術により流路管 151 に接合されている。
- [0098] 本実施形態では、熱交換器 150 において、熱媒体は、図示しないポンプにより媒体導入部 153 を通して熱交換器 150 へ供給され、各流路管 151 の内部を通り、媒体導出部 154 を通して熱交換器 150 から排出される。このとき、半導体モジュール 1 が備える第 1 放熱板 110、第 2 放熱板 120、第 3 放熱板 130 と熱媒体との熱交換により、半導体モジュール 1 が冷却される。
- [0099] 半導体モジュール 1 に大電流が流れると、半導体モジュール 1 の発熱量が大きくなる。このとき、本実施形態のように半導体モジュール 1 に放熱板を設置し、半導体モジュール 1 を熱交換器 150 に配置することにより、半導体モジュール 1 を冷却し、半導体モジュール 1 が高温により破壊されることを抑制することができる。
- [0100] また、本実施形態では、樹脂モールドを省略している。これにより、半導体モジュール 1 を冷却して半導体モジュール 1 の高温による破壊を抑制しつつ、モジュール体格を小型化することができる。
- [0101] また、本実施形態では、第 1 半導体素子 50 がベアチップとされており、第 1 半導体素子 50 のトランジスタ 51 が備える基板 51a と、O 配線 22 およびソース電極 51f とが、第 1 放熱板 110 を介して電氣的に接続されている。これにより、トランジスタ 51 の基板 51a の電位を固定することができる。
- [0102] また、本実施形態では、第 2 放熱板 120 は、トランジスタ 61 の基板 61a と、N 配線 32 およびソース電極 61f とを電氣的に接続している。これにより、トランジスタ 61 の基板 61a の電位を固定することができる。

[0103] (他の実施形態)

なお、本開示は上記した実施形態に限定されるものではなく、本開示の主旨を逸脱しない範囲内において適宜変更が可能である。

[0104] 例えば、上記第1実施形態では、コンデンサ40を基板10の表面側に配置したが、コンデンサ40を基板10の裏面側に配置してもよい。

[0105] また、上記第1実施形態では、半導体モジュール1を、2つのアームを一体化した2 in 1構造の半導体モジュールとしたが、半導体モジュール1が、第1半導体素子および第2半導体素子をそれぞれ複数備えていてもよい。例えば、半導体モジュール1を、4つのアームを一体化した4 in 1構造の半導体モジュールとし、半導体モジュール1が、第1半導体素子50、70および第2半導体素子60、80を備えていてもよい。この場合、複数の第1半導体素子および第2半導体素子によりループ経路が複数構成され、ループ経路を含む回路が複数構成され、ループ経路を含む複数の回路が電源2に対してそれぞれ並列に接続されていてもよい。また、半導体モジュール1が、第1半導体素子50、90および第2半導体素子60、100を備えていてもよい。また、半導体モジュール1が、第1半導体素子70、90および第2半導体素子80、100を備えていてもよい。また、半導体モジュール1が、第1半導体素子50、70、90および第2半導体素子60、80、100を備え、6つのアームを一体化した6 in 1構造の半導体モジュールとされていてもよい。

[0106] また、上記第1～第5実施形態では、制御回路5は基板10とは別に配置されているが、制御回路5を基板10上に形成してもよい。このとき、基板10が、図18に示すように絶縁層11を複数備え、複数の絶縁層11が例えばCu等により構成される配線層14を介して積層された多層基板とされ、制御回路5が、絶縁層11および配線層14により構成されていてもよい。制御回路5を基板10に形成することにより、インバータ回路のうち、半導体モジュール1と制御回路5とで構成される部分を小型化することができる。

- [0107] また、このとき、図19に示すように、基板10のうち第1半導体素子50および第2半導体素子60が配置される部分を、1つの絶縁層11の表面に第1パターン20が形成され、裏面に第2パターン30が形成された2層構造としてもよい。これにより、インバータ回路のうち半導体モジュール1と制御回路5とで構成される部分を小型化しつつ、ループ経路Pa1のループ面積を小さいまま保持して、上記第1～第5実施形態と同様にサージ電圧を抑制することができる。
- [0108] また、上記第1～第4実施形態では、第1半導体素子50および第2半導体素子60をそれぞれ樹脂により封止したが、第1半導体素子50および第2半導体素子60を樹脂により封止せず、ベアチップとしてもよい。ただし、実用上、第1半導体素子50および第2半導体素子60をそれぞれ樹脂により封止することが好ましい。
- [0109] また、上記第1～第5実施形態において、図20に示すように、コンデンサ40に対して直列に抵抗体15を接続し、RC回路を構成してもよい。これにより、インバータ回路の共振を抑制することができる。
- [0110] また、上記第5実施形態では、基板51aとO配線22およびソース電極51fとを第1放熱板110により接続したが、基板51aとP配線21およびドレイン電極51dとを第3放熱板130により接続し、基板51aの電位をドレイン電極51dの電位に固定してもよい。
- [0111] また、上記第5実施形態では、基板61aとN配線32およびソース電極61fとを第2放熱板120により電氣的に接続したが、基板61aとO配線31およびドレイン電極61dとを電氣的に接続してもよい。
- [0112] また、第1半導体素子50および第2半導体素子60が、温度測定用のダイオードを備えていてもよい。この場合、温度測定用のダイオードを他の装置と接続するための配線を、各G配線、各SS配線と同様に、ループ経路Pa1に対して垂直に延設することが好ましい。
- [0113] また、第1半導体素子50、70、90が、それぞれ、トランジスタ51、71、91を複数備えていてもよい。また、第2半導体素子60、80、

100が、それぞれ、トランジスタ61、81、101を複数備えていてもよい。

[0114] また、図21に示すように、第1半導体素子50、70、90、第2半導体素子60、80、100が、それぞれ、FWDなどの還流を目的とした整流素子であるダイオード52、72、92、62、82、102を備えていてもよい。この場合、ダイオード52、72、92、62、82、102のカソード電極は、それぞれ対応するトランジスタ51、71、91、61、81、101のドレイン電極に接続される。また、ダイオード52、72、92、62、82、102のアノード電極は、それぞれ対応するトランジスタ51、71、91、61、81、101のソース電極に接続される。なお、ダイオード52、72、92は、それぞれ、第1整流素子に相当する。また、ダイオード62、82、102は、それぞれ、第2整流素子に相当する。

[0115] また、トランジスタ51～101を、ダイオード52～102と同様の向きの整流作用を有する内蔵ダイオードが形成された横型のSiC-MOSFETで構成してもよい。

[0116] また、上記第1～第5実施形態では、半導体モジュール1を車両用の三相交流モータなどの駆動を行うインバータ回路に適用した例について説明したが、本開示をインバータ以外の電力変換器に適用してもよい。例えば、本開示をDC/DCコンバータ、充電器等に適用してもよい。

[0117] 本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 絶縁層（11）を備えるとともに、前記絶縁層の表面と裏面とを接続する接続部（12、13）が形成された基板（10）と、
- 前記基板の表面に形成された配線パターンである第1パターン（20）と、
- 前記基板の裏面に形成された配線パターンである第2パターン（30）と、
- 前記基板の表面側に配置されるとともに、横型構造の第1スイッチング素子（51、71、91）を備える第1半導体素子（50、70、90）と、
- 前記基板の裏面側に配置されるとともに、横型構造の第2スイッチング素子（61、81、101）を備える第2半導体素子（60、80、100）と、
- コンデンサ（40）と、を備え、
- 前記第1スイッチング素子は、第1ドレイン電極（51d）および第1ソース電極（51f）を備え、
- 前記第2スイッチング素子は、第2ドレイン電極（61d）および第2ソース電極（61f）を備え、
- 前記第1パターン、前記第2パターン、および前記接続部は、前記第1半導体素子、前記第2半導体素子、および前記コンデンサを電氣的に接続するループ経路（Pa1）を構成し、
- 前記第1ソース電極は前記第2ドレイン電極に接続され、
- 前記第1ドレイン電極は前記コンデンサを通して前記第2ソース電極に接続され、
- 前記ループ経路において、前記第1パターンおよび前記第1半導体素子が構成する経路と、前記第2パターンおよび前記第2半導体素子が構成する経路とは、前記基板を挟んで対向しており、かつ、互いに逆の向きに電流が流れる、半導体モジュール。

- [請求項2] 前記第1半導体素子および前記第2半導体素子は、前記基板を挟んで対向するように配置されている請求項1に記載の半導体モジュール。
- [請求項3] 前記コンデンサを複数備え、
複数の前記コンデンサは、前記ループ経路において直列に接続されている請求項1または2に記載の半導体モジュール。
- [請求項4] 前記コンデンサは、前記基板の表面に平行な一方向から見て少なくとも一部が前記基板と重なるように配置されており、かつ、2つの電極のうち的一方が前記第1パターンと接続され、他方が前記第2パターンと接続されている請求項1ないし3のいずれか1つに記載の半導体モジュール。
- [請求項5] 前記絶縁層を挟んで対向させられた前記第1パターンと前記第2パターンとによって前記コンデンサが構成されている請求項1ないし4のいずれか1つに記載の半導体モジュール。
- [請求項6] 前記コンデンサに対して直列に接続された抵抗体（15）を備える請求項1ないし5のいずれか1つに記載の半導体モジュール。
- [請求項7] 前記第1半導体素子を冷却する導電性の第1放熱板（110）と、
前記第2半導体素子を冷却する導電性の第2放熱板（120）と、
を備える請求項1ないし6のいずれか1つに記載の半導体モジュール。
- [請求項8] 前記第1スイッチング素子は、第1基板（51a）と、前記第1基板の表面に形成された第1積層体（51b）とを備え、
前記第1ドレイン電極および前記第1ソース電極は、前記第1積層体の表面に形成され、
前記第1放熱板は、前記第1パターンおよび前記第1基板と接続されている請求項7に記載の半導体モジュール。
- [請求項9] 前記第2スイッチング素子は、第2基板（61a）と、前記第2基板の表面に形成された第2積層体（61b）とを備え、

前記第2ドレイン電極および前記第2ソース電極は、前記第2積層体の表面に形成され、

前記第2放熱板は、前記第2パターンおよび前記第2基板と接続されている請求項7または8に記載の半導体モジュール。

[請求項10] 前記第1半導体素子または前記第2半導体素子を制御するための制御端子（141、142、143、144）を備え、

前記制御端子は、前記ループ経路を流れる電流の方向に対して垂直に延設されている請求項1ないし9のいずれか1つに記載の半導体モジュール。

[請求項11] 前記基板は、前記絶縁層を複数備え、複数の前記絶縁層が配線層（14）を介して積層された多層基板とされ、

前記絶縁層および前記配線層により、前記第1半導体素子および前記第2半導体素子を制御するための制御回路（5）が構成されている請求項1ないし10のいずれか1つに記載の半導体モジュール。

[請求項12] 前記基板のうち前記第1半導体素子および前記第2半導体素子が配置される部分は、1つの前記絶縁層の表面に前記第1パターンが形成され、裏面に前記第2パターンが形成された構造とされている請求項11に記載の半導体モジュール。

[請求項13] 前記第1半導体素子は、前記第1スイッチング素子を複数備え、

前記第2半導体素子は、前記第2スイッチング素子を複数備える請求項1ないし12のいずれか1つに記載の半導体モジュール。

[請求項14] 前記第1半導体素子は、前記第1スイッチング素子と並列に接続された第1整流素子（52、72、92）を備え、

前記第2半導体素子は、前記第2スイッチング素子と並列に接続された第2整流素子（62、82、102）を備える請求項1ないし13のいずれか1つに記載の半導体モジュール。

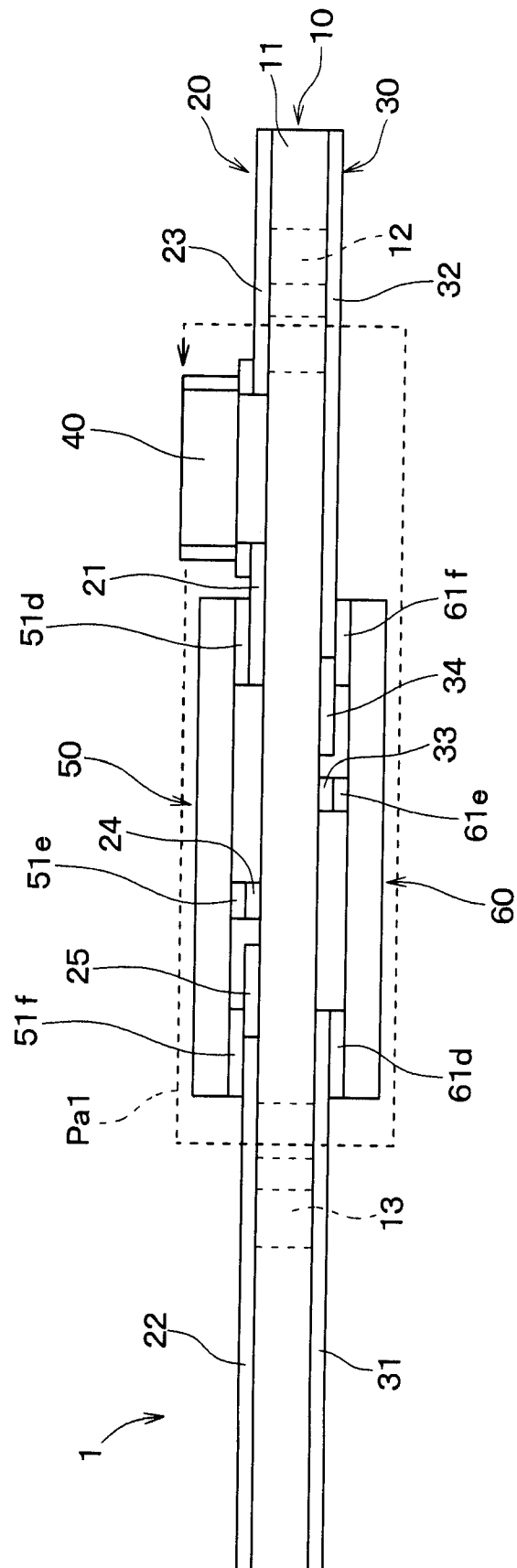
[請求項15] 前記第1半導体素子および前記第2半導体素子をそれぞれ複数備え、

前記ループ経路は、複数の前記第 1 半導体素子および複数の前記第 2 半導体素子により複数構成され、

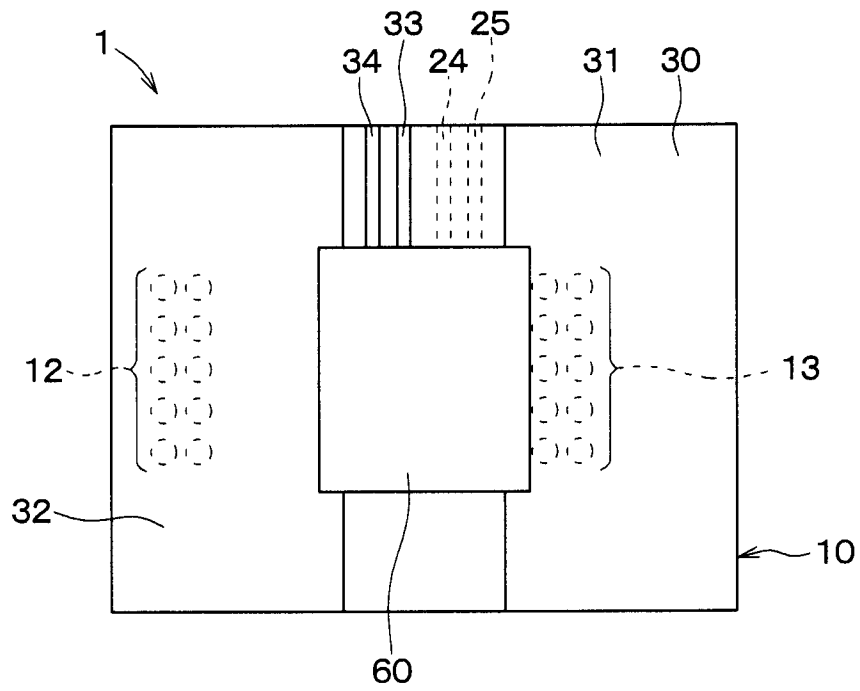
前記ループ経路を含む回路が複数構成され、

前記ループ経路を含む回路は、前記第 1 半導体素子および前記第 2 半導体素子に電力を供給する電源（2）に対してそれぞれ並列に接続されている請求項 1 ないし 14 のいずれか 1 つに記載の半導体モジュール。

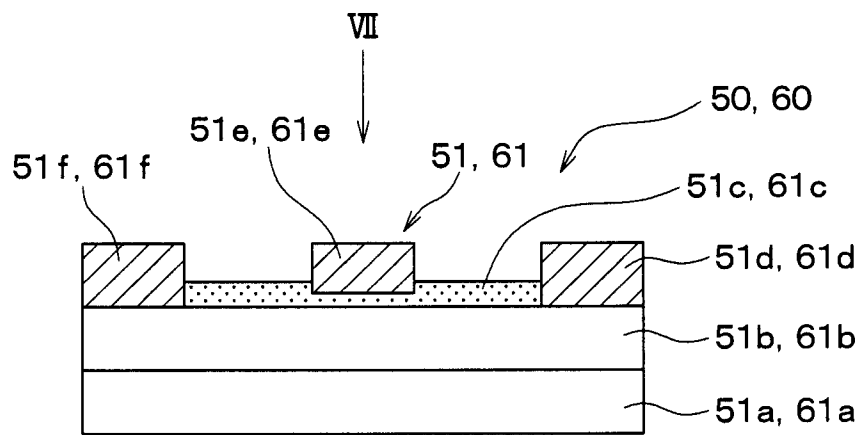
[図4]



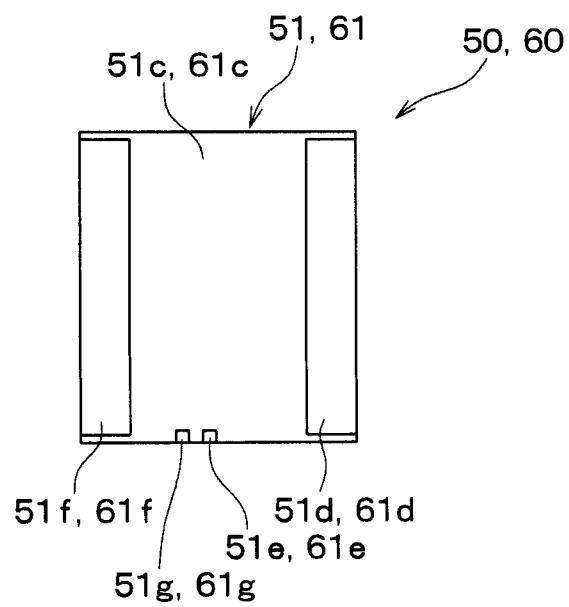
[図5]



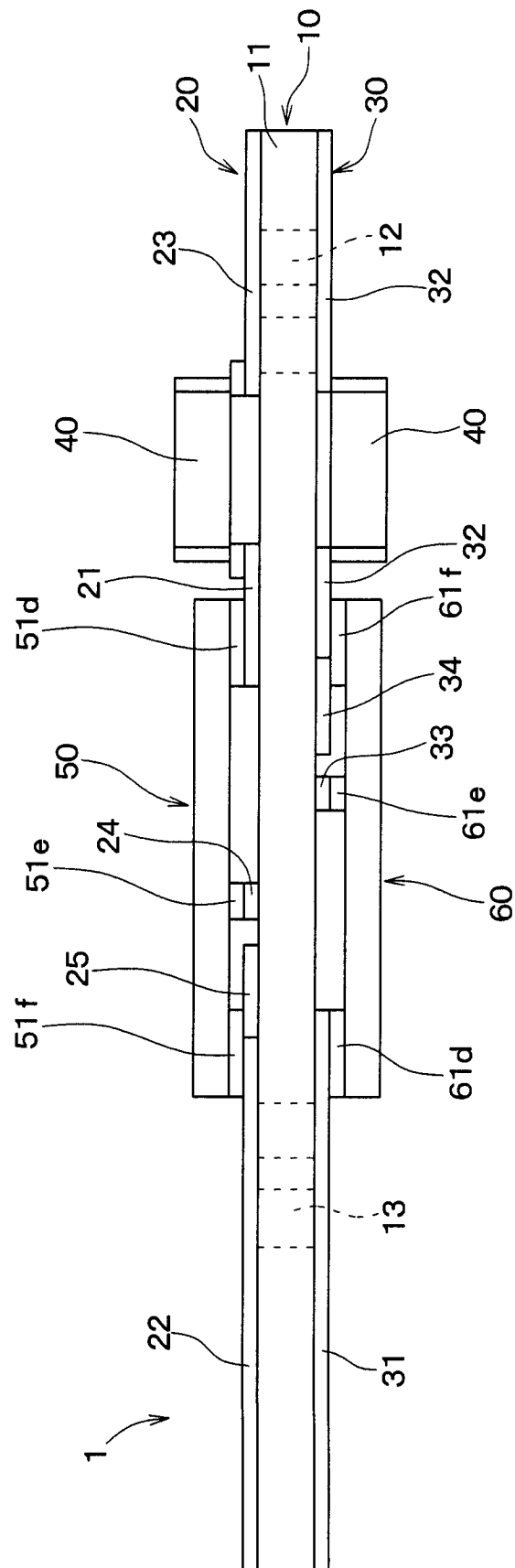
[図6]



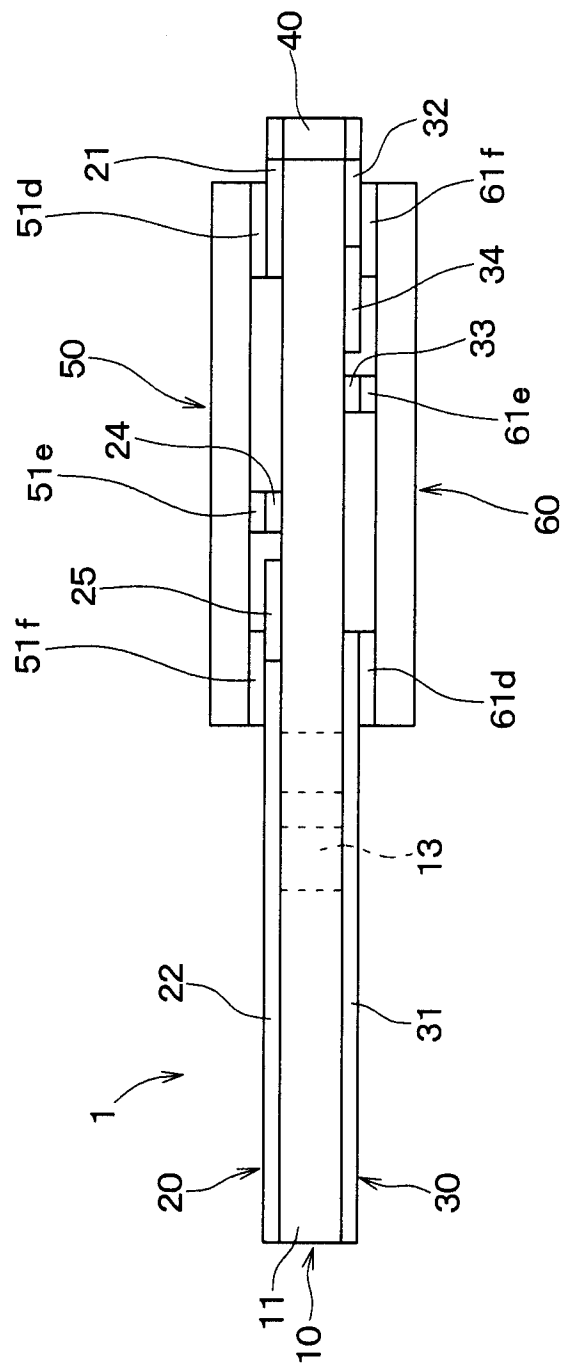
[図7]



[図8]

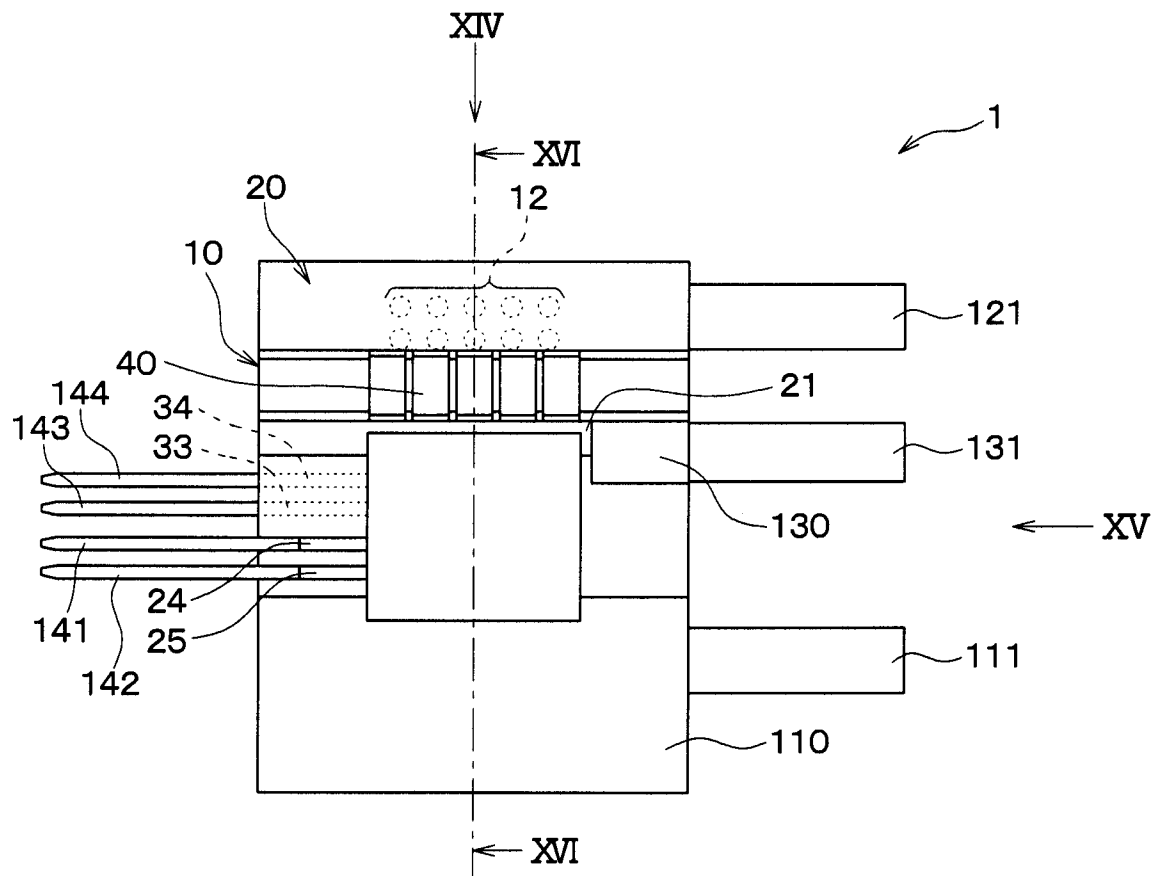


[図9]

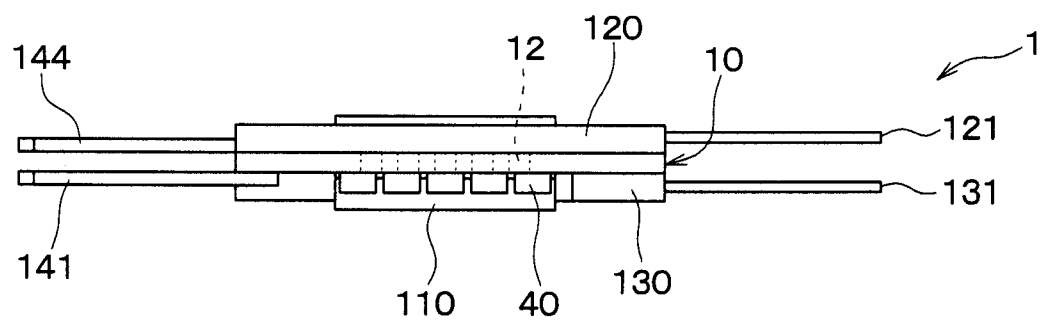


A cross-sectional diagram of a semiconductor device assembly. A central substrate 10 is shown with a top layer 11 and a bottom layer 13. On the left side, there is a stack of layers labeled 20, 21, 22, 24, 25, 50, 51d, 51e, and 51f. On the right side, there is a stack of layers labeled 30, 31, 32, 33, 34, 60, 61d, 61e, and 61f. The entire assembly is enclosed within a frame 1. Various dashed lines indicate internal structures or interfaces between layers.

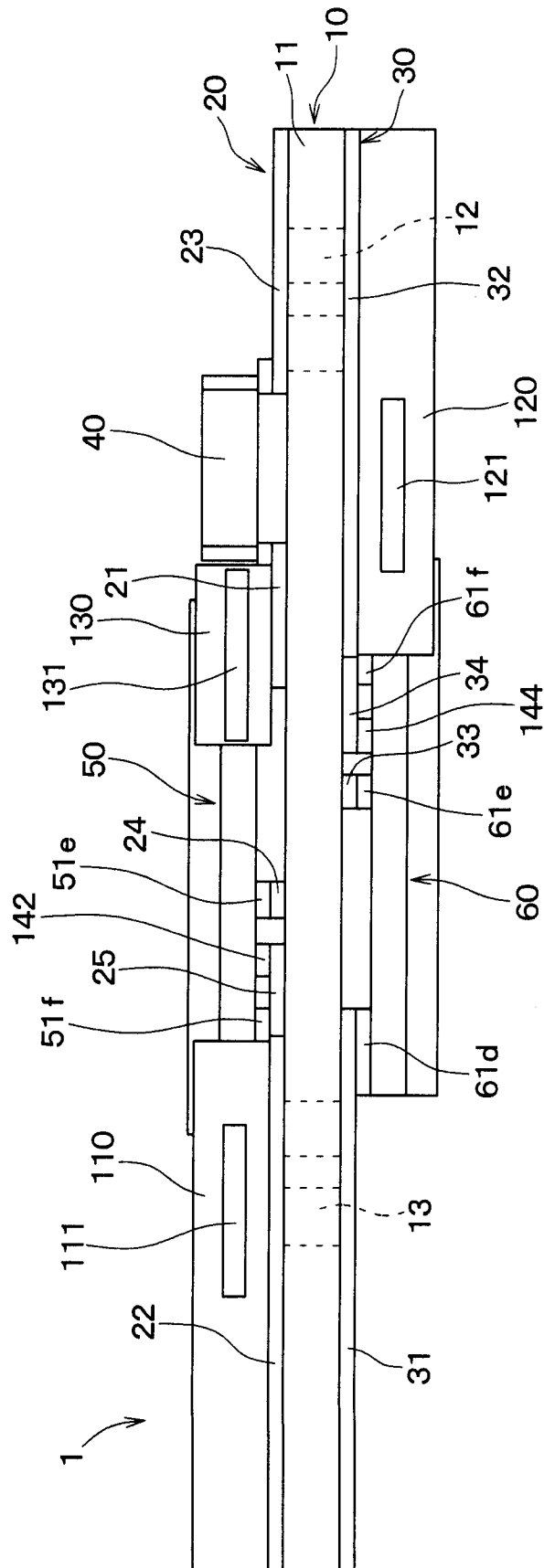
[図13]



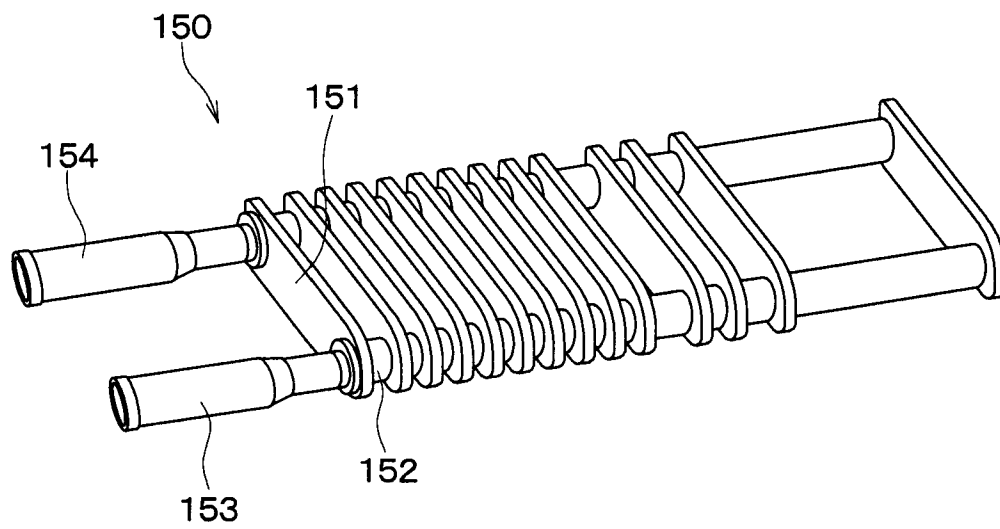
[図14]



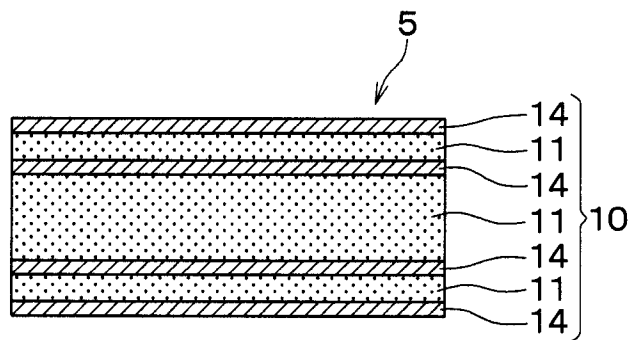
[図15]



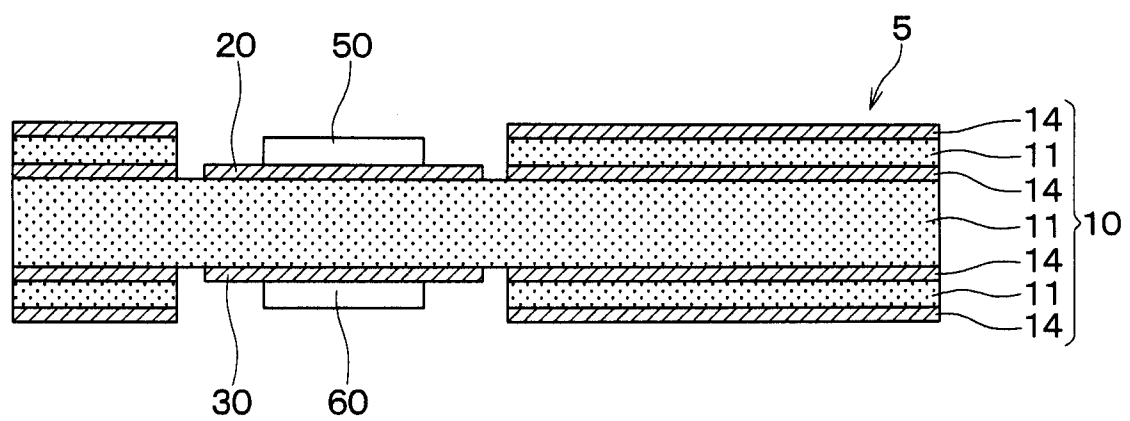
[図17]



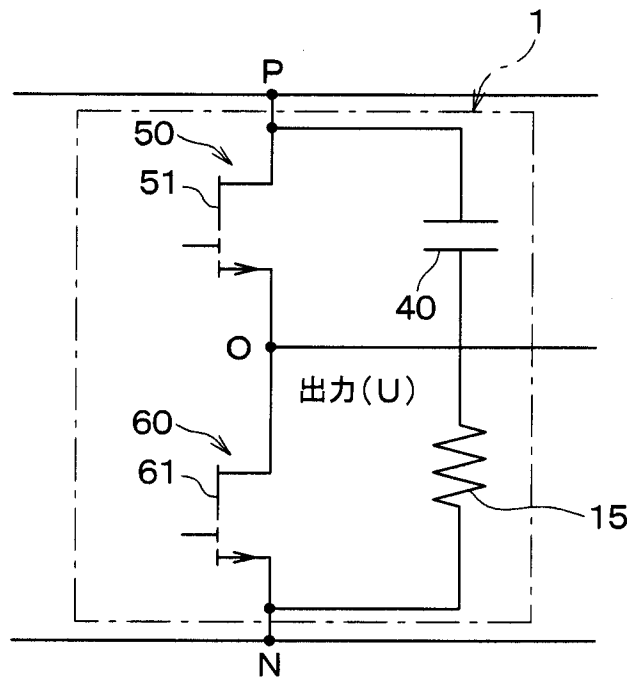
[図18]



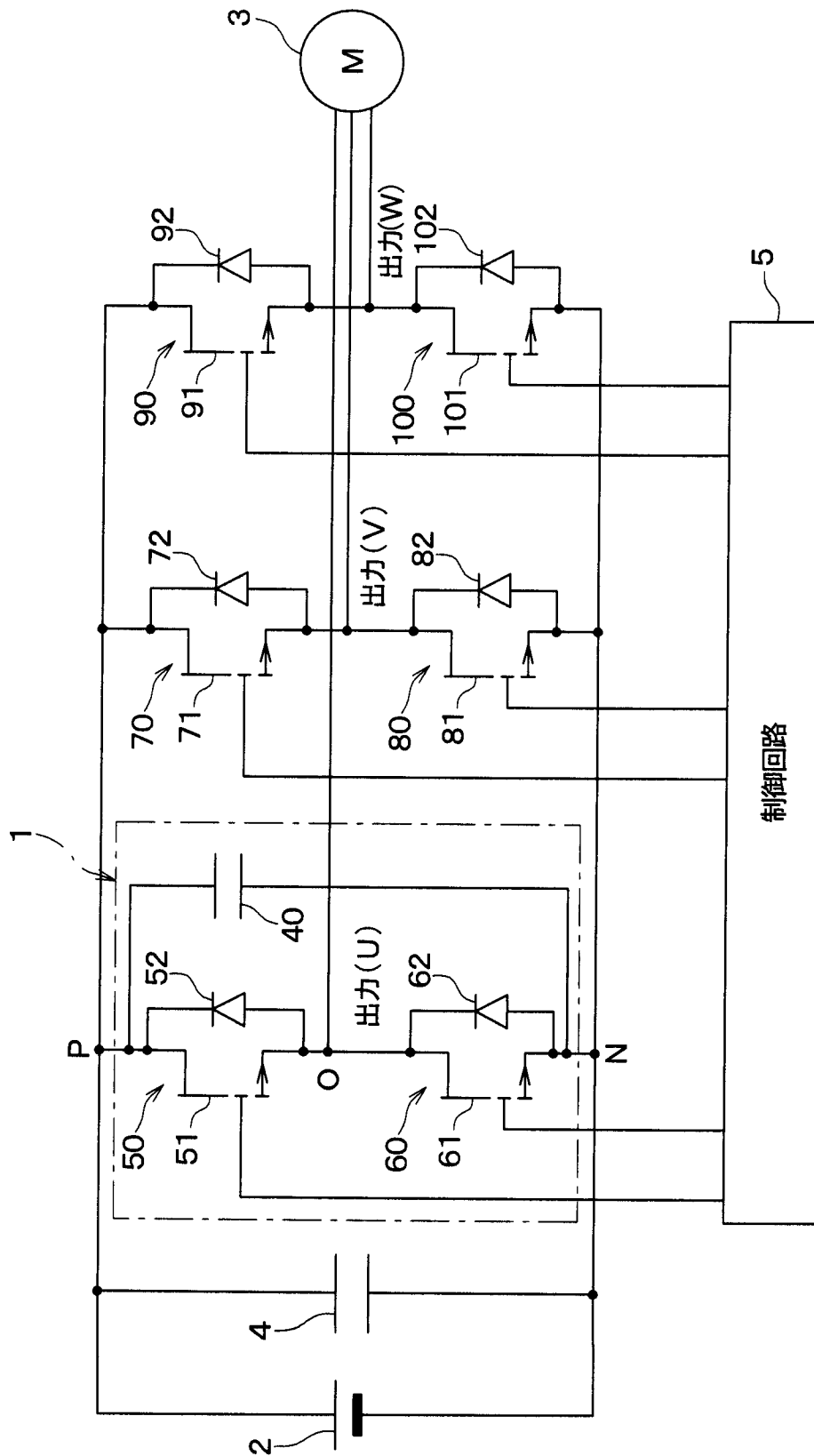
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/074729

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-022844 A (Yaskawa Electric Corp.), 22 January 2004 (22.01.2004), paragraphs [0016] to [0017]; fig. 1 (Family: none)	1-15
Y	JP 2010-251711 A (Toyota Central Research and Development Laboratories, Inc.), 04 November 2010 (04.11.2010), paragraphs [0045] to [0072]; fig. 4 & US 2010/0237507 A1 paragraphs [0060] to [0092]; fig. 4 & CN 101847623 A	1-15
Y	JP 2010-205960 A (Denso Corp.), 16 September 2010 (16.09.2010), paragraph [0034]; fig. 3, 6 (Family: none)	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 September 2016 (15.09.16)

Date of mailing of the international search report
27 September 2016 (27.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/074729

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 02-168663 A (Hitachi, Ltd.), 28 June 1990 (28.06.1990), claim 1; fig. 1 & EP 359513 A2 claim 1; fig. 1	5
Y	JP 07-273276 A (Nissan Motor Co., Ltd.), 20 October 1995 (20.10.1995), paragraph [0026]; fig. 4 (Family: none)	6
Y	JP 2011-205020 A (Sanken Electric Co., Ltd.), 13 October 2011 (13.10.2011), paragraphs [0054] to [0058]; fig. 1 & US 2011/0233758 A1 paragraphs [0053] to [0057]; fig. 1 & CN 102201380 A	8,9
Y	JP 2008-198750 A (Denso Corp.), 28 August 2008 (28.08.2008), paragraphs [0005], [0041]; fig. 5 (Family: none)	10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/07, H01L25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-022844 A（株式会社安川電機）2004.01.22, 段落 [0016]-[0017], 第1図（ファミリーなし）	1-15
Y	JP 2010-251711 A（株式会社豊田中央研究所）2010.11.04, 段落 [0045]-[0072], 第4図 & US 2010/0237507 A1, 段落[0060]-[0092], 第4図 & CN 101847623 A	1-15
Y	JP 2010-205960 A（株式会社デンソー）2010.09.16, 段落[0034], 第 3, 6図（ファミリーなし）	3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

15.09.2016

国際調査報告の発送日

27.09.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小山 和俊

5 D

9369

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 02-168663 A (株式会社日立製作所) 1990.06.28, 特許請求の範囲 1, 第 1 図 & EP 359513 A2, 特許請求の範囲 1, 第 1 図	5
Y	JP 07-273276 A (日産自動車株式会社) 1995.10.20, 段落[0026], 第 4 図 (ファミリーなし)	6
Y	JP 2011-205020 A (サンケン電気株式会社) 2011.10.13, 段落 [0054]-[0058], 第 1 図 & US 2011/0233758 A1, 段落[0053]-[0057], 第 1 図 & CN 102201380 A	8, 9
Y	JP 2008-198750 A (株式会社デンソー) 2008.08.28, 段落 [0005], [0041], 第 5 図 (ファミリーなし)	10