

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5834801号
(P5834801)

(45) 発行日 平成27年12月24日 (2015. 12. 24)

(24) 登録日 平成27年11月13日 (2015. 11. 13)

(51) Int. Cl.	F 1				
HO 1 L 29/12 (2006. 01)	HO 1 L	29/78	6 5 2 T		
HO 1 L 29/78 (2006. 01)	HO 1 L	29/78	6 5 3 A		
HO 1 L 21/336 (2006. 01)	HO 1 L	29/78	6 5 2 K		
	HO 1 L	29/78	6 5 8 F		

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2011-250256 (P2011-250256)	(73) 特許権者	000002130
(22) 出願日	平成23年11月16日 (2011. 11. 16)		住友電気工業株式会社
(65) 公開番号	特開2013-105966 (P2013-105966A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成25年5月30日 (2013. 5. 30)	(74) 代理人	110001195
審査請求日	平成26年6月25日 (2014. 6. 25)		特許業務法人深見特許事務所
前置審査		(72) 発明者	増田 健良
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
		(72) 発明者	和田 圭司
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
		(72) 発明者	日吉 透
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【特許請求の範囲】

【請求項 1】

炭化珪素からなる基板を準備する工程と、
前記基板の一方の主表面側に開口し、{ 0 0 0 1 } 面と平行な底面および { 0 0 0 1 } 面とのなす角が 4 0 ° 以上 7 0 ° 以下である壁面を含むトレンチをドライエッチングによる予備エッチングを実施した後、熱エッチングを実施することによって前記基板に形成する工程と、

前記トレンチの前記底面と前記壁面とを含む領域に酸化膜を形成する工程とを備え、
前記酸化膜を形成する工程では、酸素を含む雰囲気中において、前記熱エッチングにより形成された前記壁面を露出させた状態で 1 2 5 0 以上の温度で前記基板が加熱され、
前記底面を含む領域に形成された酸化膜の膜厚に対する前記壁面を含む領域に形成された酸化膜の膜厚の比率が 6 0 パーセント以上となるように前記酸化膜が形成される、半導体装置の製造方法。

【請求項 2】

前記酸化膜を形成する工程では、1 3 0 0 以上の温度で前記基板が加熱される、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記酸化膜を形成する工程では、1 4 0 0 以下の温度で前記基板が加熱される、請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

窒素原子を含むガスを含有する雰囲気中において前記基板を加熱することにより、前記酸化膜と前記基板を構成する炭化珪素との界面を含む領域に窒素原子を導入する工程をさらに備える、請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記基板の前記主表面は、{ 0 0 0 1 } 面である、請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記基板は第 1 導電型の第 1 層と第 2 導電型の第 2 層とを含み、

前記酸化膜は、前記トレンチの前記壁面上において、前記第 1 層および前記第 2 層に直接接するように形成される、請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置の製造方法

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法および半導体装置に関するものであり、より特定的には、所望の特性を有する半導体装置を安定に製造することができる半導体装置の製造方法、および酸化膜への電界集中を緩和することにより所望の耐圧を安定して発揮することができる半導体装置に関するものである。

【背景技術】

【0002】

20

近年、半導体装置の高耐圧化、低損失化などを可能とするため、半導体装置を構成する材料としての炭化珪素の採用が進められている。炭化珪素は、従来より半導体装置を構成する材料として広く用いられている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。

【0003】

炭化珪素を材料として採用した半導体装置としては、たとえば MOSFET (Metal Oxide Semiconductor Field Effect Transistor) がある。MOSFET については、セルの微細化やオン抵抗のさらなる低減のため、トレンチゲート型の素子構造の採用も進められており、その特性向上などについて検討がなされている (たとえば、特許文献 1 参照)。特許文献 1 においては、トレンチ側壁面に膜厚の薄い酸化膜を、トレンチ底面に膜厚の厚い酸化膜をそれぞれ形成することにより、閾値電圧が低く耐圧が高いトレンチゲート型の MOSFET を製造する方法が提案されている。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 7 - 3 2 6 7 5 5 号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0005】

特許文献 1 にて提案されている製造方法においては、トレンチ側壁面に酸化速度の遅い結晶面を、トレンチ底面に酸化速度の速い結晶面を採用し、酸化速度の面方位依存性を利用することにより、閾値電圧が低く耐圧が高い MOSFET を製造することができる。

【0006】

しかし、この製造方法においては、たとえばトレンチ側壁面や底面の面方位にばらつきがある場合、酸化速度の面方位依存性により、形成される酸化膜の膜厚にもばらつきが生じる。そして、酸化膜の膜厚のばらつきは、製造される MOSFET の特性にも影響を及ぼす。その結果、所望の特性を有する MOSFET を安定に製造することが困難になる。

【0007】

50

本発明は、上記課題に鑑みてなされたものであり、その目的は、所望の特性を有する半導体装置を安定に製造することができる半導体装置の製造方法、および酸化膜への電界集中を緩和することにより所望の耐圧を安定して発揮することができる半導体装置を提供することである。

【課題を解決するための手段】

【0008】

本発明に従った半導体装置の製造方法は、炭化珪素からなる基板を準備する工程と、基板の一方の主表面側に開口し、{0001}面と平行な底面および{0001}面とのなす角が40°以上70°以下である壁面を含むトレンチを基板に形成する工程と、トレンチの底面と壁面とを含む領域に酸化膜を形成する工程とを備えている。酸化膜を形成する工程では、酸素を含む雰囲気中において、1250以上の温度で基板が加熱される。

10

【0009】

本発明者は、所望の特性を有する半導体装置を安定に製造するための方策について詳細な検討を行なった。その結果、ゲート絶縁膜として機能する酸化膜の形成における基板の加熱温度を一般的な加熱温度よりも高くすることにより、具体的には1250以上とすることにより、基板の酸化速度の面方位依存性を低減可能であることを見出し、本発明に想到した。本発明に従った半導体装置の製造方法においては、1250以上という適切な温度で基板が加熱されることにより、基板に形成されたトレンチ表面を含む領域に酸化膜が形成される。そのため、形成される酸化膜の膜厚のトレンチ表面の面方位に対する依存性が低減される。その結果、トレンチ表面の面方位にばらつきがあった場合でも、目的の膜厚に近い酸化膜を形成することができる。このように、本発明に従った半導体装置の製造方法によれば、トレンチ表面を含む領域に所望の膜厚の酸化膜を安定に形成することにより、所望の閾値電圧などの特性を有する半導体装置を安定に製造することができる。

20

【0010】

上記半導体装置の製造方法において、酸化膜を形成する工程では、1300以上の温度で基板が加熱されてもよい。これにより、形成される酸化膜の膜厚のトレンチ表面の面方位に対する依存性を一層効果的に低減することができる。

【0011】

上記半導体装置の製造方法において、酸化膜を形成する工程では、1400以下の温度で基板が加熱されてもよい。このように、上記半導体装置の製造方法は、1400以下という製造装置の耐久性などを考慮した適切な温度で実施することができる。

30

【0012】

上記半導体装置の製造方法は、窒素原子を含むガスを含有する雰囲気中において基板を加熱することにより、酸化膜と基板を構成する炭化珪素との界面を含む領域に窒素原子を導入する工程をさらに備えていてもよい。

【0013】

これにより、酸化膜と基板を構成する炭化珪素との界面を含む領域に存在する界面準位を低減することができる。そのため、界面準位の存在に起因したチャネル移動度の低下を抑制することができる。

【0014】

上記半導体装置の製造方法において、基板の上記主表面は、{0001}面であってもよい。炭化珪素は、<0001>方向に容易に成長させることができる。そのため、炭化珪素からなる基板の上記主表面を{0001}面とすることにより、容易に基板を準備することができる。なお、上記主表面が{0001}面である状態とは、上記主表面の{0001}面に対するオフ角が8°以内である状態を意味するものとする。

40

【0015】

上記半導体装置の製造方法において、トレンチを形成する工程では、{0001}面とのなす角が40°~70°である壁面を含むトレンチが形成されてもよい。このように、{0001}面とのなす角が上記範囲である上記壁面を含むトレンチを形成し、当該壁面に沿ってチャネル領域を形成することにより、高いチャネル移動度を有する半導体装置を

50

製造することができる。

【0016】

本発明に従った半導体装置は、一方の主表面側に開口し、{0001}面と平行な底面および{0001}面とのなす角が40°以上70°以下である壁面を含むトレンチが形成され、炭化珪素からなる基板と、トレンチの底面と壁面とを覆うように形成された酸化膜とを備えている。酸化膜は、1250以上の温度で基板を加熱することにより形成されており、酸化膜の膜厚の最大値は、酸化膜の膜厚の最小値の2倍以下の値である。なお、酸化膜の膜厚とは、トレンチの表面に対して垂直な方向への膜厚を意味するものとする。

上記半導体装置の製造方法および上記半導体において、基板は第1導電型の第1層と第2導電型の第2層とを含み、酸化膜は、トレンチの壁面上において、第1層および第2層に直接接するように形成されてもよい。

10

【0017】

本発明に従った半導体装置によれば、酸化膜への電界集中を緩和することにより、所望の耐圧を安定して発揮することができる半導体装置を提供することができる。

【発明の効果】

【0018】

以上の説明から明らかなように、本発明に従った半導体装置の製造方法によれば、所望の特性を有する半導体装置を安定に製造することができる。また、本発明に従った半導体装置によれば、酸化膜への電界集中を緩和することにより、所望の耐圧を安定して発揮することができる半導体装置を提供することができる。

20

【図面の簡単な説明】

【0019】

【図1】MOSFETの構成を示す概略断面図である。

【図2】MOSFETの製造方法の概略を示すフローチャートである。

【図3】MOSFETの製造方法を説明するための概略断面図である。

【図4】MOSFETの製造方法を説明するための概略断面図である。

【図5】MOSFETの製造方法を説明するための概略断面図である。

【図6】MOSFETの製造方法を説明するための概略断面図である。

【図7】MOSFETの製造方法を説明するための概略断面図である。

30

【図8】MOSFETの製造方法を説明するための概略断面図である。

【図9】MOSFETの製造方法を説明するための概略断面図である。

【図10】酸化膜の膜厚を示す電子顕微鏡写真である。

【図11】酸化膜の膜厚に対する基板の加熱温度の影響を示す図である。

【図12】酸化膜の膜厚比に対する基板の加熱温度の影響を示す図である。

【発明を実施するための形態】

【0020】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。また、本明細書中においては、個別方位を[]、集合方位を<>、個別面を()、集合面を{ }でそれぞれ示す。また、負の指数については、結晶学上、“-”(バー)を数字の上に付けることになっているが、本明細書中では、数字の前に負の符号を付けている。

40

【0021】

まず、本発明の一実施の形態に係る半導体装置の構成について説明する。図1を参照して、本実施の形態に係る半導体装置としてのMOSFET1は、炭化珪素基板10と、炭化珪素層20と、酸化膜40と、ゲート電極41と、層間絶縁膜50と、ソース電極60と、ドレイン電極70と、ソース配線61と、裏面保護電極71とを備えている。炭化珪素層20は、ドリフト領域21と、ボディ領域22と、ソース領域23と、コンタクト領域24とを含んでいる。炭化珪素基板10と炭化珪素層20とは、炭化珪素からなる基板30を構成する。このように、本実施の形態に係る半導体装置としてのMOSFET1は

50

、炭化珪素からなる基板 30 を備える炭化珪素半導体装置である。

【0022】

基板 30 には、一方の主表面 30A 側に開口するトレンチ 15 が形成されている。トレンチ 15 は、側壁面 15A と底面 15B とを含み、側壁面 15A がソース領域 23、ボディ領域 22 およびドリフト領域 21 に亘るようにソース領域 23 およびボディ領域 22 を貫通し、底面 15B がドリフト領域 21 に位置するように形成されている。

【0023】

炭化珪素基板 10 は、n 型不純物を含むことにより導電型が n 型となっている。ドリフト領域 21 は、炭化珪素基板 10 の主表面 10A 上に形成されている。ドリフト領域 21 は、n 型不純物を含むことにより導電型が n 型となっている。ドリフト領域 21 に含まれる n 型不純物の濃度値は、炭化珪素基板 10 に含まれる n 型不純物の濃度値よりも低い値となっている。

10

【0024】

ボディ領域 22 は、ドリフト領域 21 から見て炭化珪素基板 10 とは反対側に形成されている。ボディ領域 22 は、側壁面 15A を含み、側壁面 15A から離れる向きにおいてドリフト領域 21 と接触しつつ延在するように形成されている。ボディ領域 22 は、p 型不純物を含むことにより導電型が p 型となっている。ボディ領域 22 に含まれる p 型不純物は、たとえば Al (アルミニウム)、B (硼素) などである。

【0025】

ソース領域 23 は、ボディ領域 22 から見てドリフト領域 21 とは反対側に形成されている。ソース領域 23 は、側壁面 15A を含み、側壁面 15A から離れる向きにおいてボディ領域 22 と接触しつつ延在するように形成されている。ソース領域 23 は、n 型不純物を含むことにより導電型が n 型となっている。ソース領域 23 に含まれる n 型不純物の濃度値は、ドリフト領域 21 に含まれる n 型不純物の濃度値よりも高い値となっている。ソース領域 23 に含まれる n 型の不純物は、たとえば P (リン) などである。

20

【0026】

コンタクト領域 24 は、ボディ領域 22 に接触しつつ、ソース領域 23 に隣接するように形成されている。コンタクト領域 24 は、p 型不純物を含むことにより導電型が p 型となっている。コンタクト領域 24 に含まれる p 型不純物の濃度値は、ボディ領域 22 に含まれる p 型不純物の濃度値よりも高い値となっている。コンタクト領域 24 に含まれる p 型不純物は、ボディ領域 22 に含まれる p 型不純物と同様に、たとえば Al、B などである。

30

【0027】

酸化膜 40 は、トレンチ 15 の表面、すなわち側壁面 15A および底面 15B、ならびに基板 30 の主表面 30A を覆うように形成されている。酸化膜 40 の膜厚の最大値は、酸化膜 40 の膜厚の最小値の 2 倍以下の値となっている。酸化膜 40 は、たとえば二酸化珪素 (SiO_2) からなっている。

【0028】

ゲート電極 41 は、トレンチ 15 内において、側壁面 15A および底面 15B を覆うように形成された酸化膜 40 に接触するように形成されている。ゲート電極 41 は、たとえば不純物が添加されたポリシリコン、Al などの導電体からなっている。

40

【0029】

ソース電極 60 は、ソース領域 23 およびコンタクト領域 24 に接触するように形成されている。ソース電極 60 は、ソース領域 23 に対してオーミック接触することができる材料、たとえば Ni_xSi_y (ニッケルシリサイド)、 Ti_xSi_y (チタンシリサイド)、 Al_xSi_y (アルミシリサイド) および $\text{Ti}_x\text{Al}_y\text{Si}_z$ (チタンアルミシリサイド) などからなっており、ソース領域 23 に対して電氣的に接続されている。

【0030】

層間絶縁膜 50 は、酸化膜 40 と共にゲート電極 41 を取囲むように形成されており、ゲート電極 41 をソース電極 60 およびソース配線 61 に対して電氣的に絶縁している。

50

層間絶縁膜50は、たとえば二酸化珪素(SiO_2)からなっている。

【0031】

ソース配線61は、層間絶縁膜50およびソース電極60を覆うように形成されている。ソース配線61は、たとえばA1などの導電体からなっており、ソース電極60を介してソース領域23と電氣的に接続されている。

【0032】

ドレイン電極70は、炭化珪素基板10から見てドリフト領域21とは反対側の主表面10B上に形成されている。ドレイン電極70は、炭化珪素基板10とオーミック接触することができる材料、たとえばソース電極60と同様の材料からなっており、炭化珪素基板10に対して電氣的に接続されている。裏面保護電極71は、ドレイン電極70を覆うように形成されている。裏面保護電極71は、たとえばA1などの導電体からなっている。

10

【0033】

次に、MOSFET1の動作について説明する。図1を参照して、ゲート電極41に印加された電圧が閾値電圧未満の状態、すなわちオフ状態では、ソース電極60とドレイン電極70との間に電圧が印加されても、ボディ領域22とドリフト領域21との間に形成されるpn接合が逆バイアスとなり、非導通状態となる。一方、ゲート電極41に閾値電圧以上の電圧が印加されると、ボディ領域22において側壁面15Aに接する領域であるチャンネル領域に反転層が形成される。その結果、ソース領域23とドリフト領域21とが電氣的に接続され、ソース電極60とドレイン電極70との間に電流が流れる。以上のようにして、MOSFET1は動作する。

20

【0034】

以上のように、本実施の形態に係る半導体装置としてのMOSFET1において、酸化膜40の膜厚の最大値は、酸化膜40の膜厚の最小値の2倍以下の値となっている。これにより、トレンチ15の表面を覆うように形成された酸化膜40、より具体的には、電界集中が生じ易い側壁面15Aと底面15Bとの境界付近を覆うように形成された酸化膜40への電界集中を緩和することができる。したがって、本実施の形態に係る半導体装置としてのMOSFET1によれば、所望の耐圧を安定して発揮することができる半導体装置を提供することができる。

【0035】

次に、本発明の一実施の形態に係る半導体装置の製造方法について、図2～図9を参照して説明する。本実施の形態に係る半導体装置の製造方法においては、上記本実施の形態に係る半導体装置であるMOSFET1(図1参照)が製造される。まず、工程(S10)として、炭化珪素からなる基板を準備する工程が実施される。この工程(S10)は、以下に示す工程(S11)および(S12)を含んでいる。まず、工程(S11)として、炭化珪素基板準備工程が実施される。この工程(S11)では、図3を参照して、炭化珪素基板10が準備される。炭化珪素基板10は、たとえば4H型の六方晶炭化珪素からなっている。

30

【0036】

次に、工程(S12)として、エピタキシャル成長層形成工程が実施される。この工程(S12)では、図3を参照して、エピタキシャル成長により、炭化珪素基板10の主表面10A上に炭化珪素層20が形成される。このようにして、炭化珪素基板10および炭化珪素層20より構成される基板30が準備される。

40

【0037】

基板30の主表面30Aは、{0001}面であってもよい。炭化珪素は、<0001>方向に容易に成長させることができる。そのため、炭化珪素からなる基板30の主表面30Aを{0001}面とすることにより、容易に基板30を準備することができる。

【0038】

次に、工程(S20)として、イオン注入工程が実施される。この工程(S20)では、図4を参照して、まず、たとえばA1イオンを炭化珪素層20の表層部に注入する。そ

50

して、たとえばPイオンを、上記A1イオンの注入深さよりも浅い注入深さで、炭化珪素層20の表層部に注入する。これにより、炭化珪素層20の表層部において、Pイオンが注入されたソース領域23と、A1イオンが注入されたボディ領域22とが形成される。そして、炭化珪素層20において、ソース領域23およびボディ領域22が形成されなかった領域は、ドリフト領域21となる。

【0039】

次に、工程(S30)として、トレンチ形成工程が実施される。この工程(S30)では、図5を参照して、基板30の一方の主表面30Aに開口するトレンチ15が基板30に形成される。具体的には、トレンチ15は、側壁面15Aがソース領域23と、ボディ領域22と、ドリフト領域21とに亘るようにソース領域23とボディ領域22とを貫通し、底面15Bがドリフト領域21に位置するように形成される。

10

【0040】

この工程(S30)において、たとえばRIE(Reactive Ion Etching)などのドライエッチング、または、たとえば塩素ガスなどのハロゲン系ガスを用いた熱エッチング、あるいはこれらを組み合わせたエッチング方法により、トレンチ15が基板30に形成されてもよい。具体的には、たとえば基板30の主表面30A上に、二酸化珪素(SiO_2)からなるマスク層(図示しない)を形成し、RIEにより予備エッチングを実施した後、さらに熱エッチングを実施することにより、トレンチ15が基板30に形成されてもよい。また、この工程(S30)において、熱エッチングを含むエッチング方法を用いてトレンチ15を基板30に形成することにより、互いに対向する側壁面15Aの面方位のばらつきを低減することができる。その結果、後述するゲート酸化膜形成工程(S60)において、側壁面15Aを含む領域に形成される酸化膜の膜厚のばらつきを低減することができる。

20

【0041】

また、この工程(S30)において、トレンチ15は、側壁面15Aと{0001}面とのなす角が 40° 以上 70° 以下となるように形成されてもよい。このように、{0001}面とのなす角が上記範囲である側壁面15Aを含むトレンチ15を形成し、側壁面15Aに沿ってチャネル領域を形成することにより、高いチャネル移動度を有するMOSFET1(図1参照)を製造することができる。

【0042】

また、この工程(S30)において、トレンチ15は、側壁面15Aと底面15Bとを含むU型トレンチとして形成されてもよいが、これに限られるものではない。たとえば、トレンチ15は、底面15Bを含まず、側壁面15Aのみを含むV型トレンチとして形成されてもよい。

30

【0043】

次に、工程(S40)として、コンタクト領域形成工程が実施される。この工程(S40)では、図6を参照して、ソース領域23に、たとえばA1イオンを注入することにより、ボディ領域22に接触しつつソース領域23に隣接するコンタクト領域24が形成される。

【0044】

次に、工程(S50)として、活性化アニール工程が実施される。この工程(S50)では、基板30を加熱することにより、上記工程(S20)および(S40)において導入された不純物を活性化する。これにより、不純物が導入された領域において所望のキャリアが生成する。

40

【0045】

次に、工程(S60)として、ゲート酸化膜形成工程が実施される。この工程(S60)では、図7を参照して、酸素を含む雰囲気中において、基板30を加熱することにより、トレンチ15の表面、すなわち側壁面15Aおよび底面15B、ならびに基板30の主表面30Aを含む領域に亘り酸化膜40が形成される。酸化膜40としては、たとえば二酸化珪素(SiO_2)からなるものが形成される。酸素を含む雰囲気とは、酸素ガスのみ

50

を含む雰囲気であってもよいし、たとえばアルゴンなどの希ガスと酸素ガスとの混合ガスや、 N_2O 、 NO 、 NO_2 、 $POCl_3$ 、 SO_2 および SO_4 などの酸化性ガスを含む雰囲気であってもよい。

【0046】

この工程(S60)では、1250以上の温度で基板30が加熱される。また、好ましくは1300以上の温度で基板30が加熱される。これにより、酸化膜40の膜厚のトレンチ15表面の面方位に対する依存性を一層効果的に低減することができる。また、この工程(S60)では、1400以下の温度で基板30が加熱されてもよい。このように、工程(S60)は、1250以上1400以下という製造装置の耐久性などが考慮された適切な温度で実施することができる。

10

【0047】

次に、工程(S70)として、窒素原子導入工程が実施される。この工程(S70)では、窒素原子を含むガスを含む雰囲気中において基板30を加熱することにより、酸化膜40と基板30を構成する炭化珪素との界面を含む領域に窒素原子が導入される。この工程(S70)は必須の工程ではないが、これを実施することにより、酸化膜40と基板30を構成する炭化珪素との界面を含む領域に存在する界面準位を低減することができる。そのため、界面準位の存在に起因したチャネル移動度の低下を抑制することができる。窒素原子を含むガスとしては、たとえば NO (一酸化窒素)、 NO_2 (二酸化窒素)および N_2O (亜酸化窒素)などが用いられてもよい。

【0048】

20

次に、工程(S80)として、ゲート電極形成工程が実施される。この工程(S80)では、図8を参照して、たとえばLPCVD(Low Pressure Chemical Vapor Deposition)法により、トレンチ15内にポリシリコン膜が形成される。これにより、トレンチ15の表面を含む領域に形成された酸化膜40に接触するようにゲート電極41が形成される。

【0049】

次に、工程(S90)として、層間絶縁膜形成工程が実施される。この工程(S90)では、図9を参照して、たとえばP(Plasma)-CVD法により、絶縁体である SiO_2 からなる層間絶縁膜50が、酸化膜40と共にゲート電極41を取囲むように形成される。

30

【0050】

次に、工程(S100)として、オーミック電極形成工程が実施される。この工程(S100)では、図9を参照して、まず、ソース電極60を形成すべき領域において、層間絶縁膜50および酸化膜40が除去され、ソース領域23およびコンタクト領域24が露出した状態になる。そして、当該領域において、たとえばNiからなる膜が形成される。一方、炭化珪素基板10において、ドリフト領域21が形成される側とは反対側の主表面10B上に、たとえばNiからなる膜が形成される。その後、合金加熱処理が施され、上記Niからなる膜の少なくとも一部がシリサイド化されることにより、ソース電極60およびドレイン電極70がそれぞれ形成される。

【0051】

40

次に、工程(S110)として、配線形成工程が実施される。この工程(S110)では、図9および図1を参照して、たとえば蒸着法により導電体であるAlからなるソース配線61が、層間絶縁膜50およびソース電極60を覆うように形成される。一方、たとえばAlからなる裏面保護電極71が、ドレイン電極70を覆うように形成される。以上の工程(S10)~(S110)を実施することによりMOSFET1が製造され、本実施の形態に係る半導体装置の製造方法が完了する。

【0052】

以上のように、本実施の形態に係る半導体装置の製造方法においては、1250以上という適切な温度で基板30が加熱されることにより、基板30に形成されたトレンチ15表面を含む領域に酸化膜40が形成される。そのため、形成される酸化膜40の膜厚の

50

トレンチ15表面の面方位に対する依存性が低減される。その結果、トレンチ15表面の面方位にばらつきがあった場合でも、目的の膜厚に近い酸化膜40を形成することができる。このように、本実施の形態に係る半導体装置の製造方法によれば、トレンチ15表面を含む領域に所望の膜厚の酸化膜40を安定に形成することにより、所望の閾値電圧などの特性を有するMOSFET1を安定に製造することができる。

【0053】

上記実施の形態においては、トレンチゲート型のMOSFETの製造方法について説明したが、本発明の半導体装置の製造方法はこれに限られるものではない。本発明の半導体装置の製造方法は、たとえばトレンチゲート型のIGBT(Insulated Gate Bipolar Transistor)の製造方法など、トレンチ表面を含む領域に熱酸化膜を形成する工程を含む半導体装置の製造方法において広く用いることができる。

10

【実施例1】

【0054】

半導体装置の製造方法における酸化膜の安定的な形成についての本発明の効果を確認する実験を行なった。具体的には、上記本実施の形態に係る半導体装置の製造方法を用いて、トレンチゲート型のMOSFETを製造した。酸化膜の形成においては、酸素雰囲気中において、1350で20分間加熱することにより、トレンチ表面を含む領域に酸化膜を形成した。そして、製造されたMOSFETの断面構造を、BF-STEM(Bright Field-Scanning Transmission Electron Microscope)により観察し、得られたBF-STEM写真より、MOSFETのトレンチ表面を含む領域に形成された酸化膜の膜厚を調査した。

20

【0055】

上記実験結果について、図10に基づいて説明する。図10は、上記実験において製造されたMOSFETのトレンチ表面を含む領域の断面構造を示すBF-STEM写真である(倍率50000倍)。図10より明らかなように、側壁面15Aと底面15Bとでは面方位が大きく異なるにも関わらず、酸化膜40は、それぞれ0.05 μ m程度の膜厚で形成されていた。このことから、本発明の半導体装置の製造方法においては、酸化膜の形成における酸化速度の面方位依存性が低減され、所望の膜厚の酸化膜を安定に形成することができることが確認された。

30

【実施例2】

【0056】

次に、半導体装置の製造方法における酸化膜の安定的な形成についての本発明の効果をより詳細に確認する実験を行なった。具体的には、上記本実施の形態に係る半導体装置の製造方法を用いて、トレンチゲート型のMOSFETを製造した。トレンチを形成する工程では、底面が(000-1)面、側壁面が(0-33-8)面となるように、トレンチを基板に形成した。また、酸化膜を形成する工程では、酸素を含む雰囲気中において、1200、1250、1300、1350および1400の温度で20分間加熱することにより、トレンチの側壁面および底面を含む領域に酸化膜を形成した。そして、側壁面および底面を含む領域に形成された酸化膜の膜厚を評価し、酸化膜の膜厚に対する基板の加熱温度による影響を調査した。表1には、側壁面および底面を含む領域に形成された酸化膜の膜厚に対する基板の加熱温度の影響を示す。また、表2には、側壁面および底面を含む領域に形成された酸化膜の膜厚比に対する基板の加熱温度の影響を示す。ここで、上記膜厚比とは、底面を含む領域に形成された酸化膜の膜厚に対する側壁面を含む領域に形成された酸化膜の膜厚の比率を意味している。

40

【0057】

【表 1】

	1200°C	1250°C	1300°C	1350°C	1400°C
酸化膜(側壁面)の膜厚(Å)	146	270	449	659	883
酸化膜(底面)の膜厚(Å)	311	447	581	782	970

【 0 0 5 8 】

【表 2】

	1200°C	1250°C	1300°C	1350°C	1400°C
酸化膜(側壁面)の膜厚/ 酸化膜(底面)の膜厚(%)	47	60	77	84	91

10

【 0 0 5 9 】

上記実験結果について、図 1 1 および図 1 2 に基づいて説明する。図 1 1 は、側壁面および底面を含む領域に形成された酸化膜の膜厚に対する基板の加熱温度の影響を示している。また、図 1 2 は、側壁面および底面を含む領域に形成された酸化膜の膜厚比に対する基板の加熱温度の影響を示している。図 1 1 および表 1 から明らかなように、加熱温度が高くなるに従い、酸化膜の膜厚差はより小さくなった。また、図 1 2 および表 2 から明らかなように、加熱温度が 1 2 0 0 の場合には、酸化膜の膜厚比が 5 0 % 以下であったのに対し、加熱温度を 1 2 5 0 以上とすることにより、酸化膜の膜厚比は 5 0 % 以上となった。このことから、本発明の半導体装置の製造方法においては、酸化膜の形成における基板の加熱温度を 1 2 5 0 以上とすることにより、好ましくは 1 3 0 0 以上とすることにより、酸化膜の形成における酸化速度の面方位依存性が低減され、所望の膜厚の酸化膜を安定に形成することができることが確認された。

20

【 0 0 6 0 】

今回開示された実施の形態および実施例はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

30

【産業上の利用可能性】

【 0 0 6 1 】

本発明の半導体装置の製造方法および半導体装置は、所望の特性を有する半導体装置を安定に製造することが要求される半導体装置の製造方法、および酸化膜への電界集中を緩和することにより所望の耐圧を安定して発揮することが要求される半導体装置において特に有利に適用され得る。

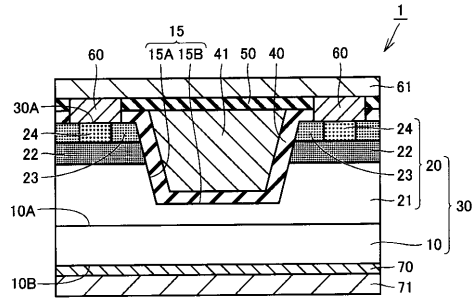
【符号の説明】

【 0 0 6 2 】

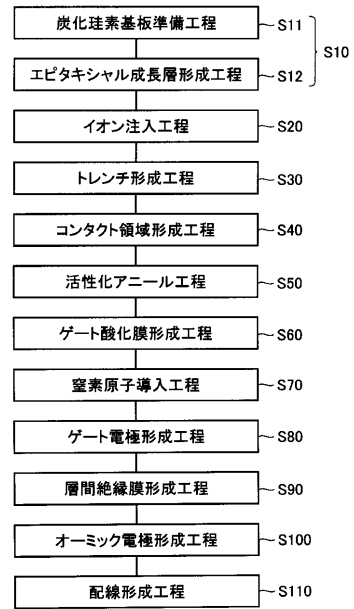
1 MOSFET、10 炭化珪素基板、10A、10B、30A 主表面、15 トレンチ、15A 側壁面、15B 底面、20 炭化珪素層、21 ドリフト領域、22 ボディ領域、23 ソース領域、24 コンタクト領域、30 基板、40 酸化膜、41 ゲート電極、50 層間絶縁膜、60 ソース電極、61 ソース配線、70 ドレイン電極、71 裏面保護電極。

40

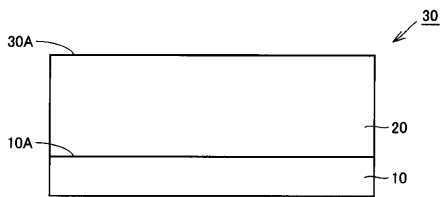
【図1】



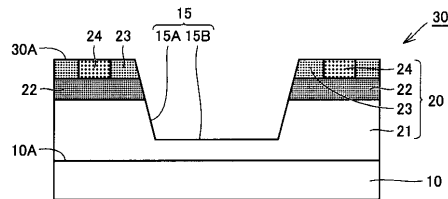
【図2】



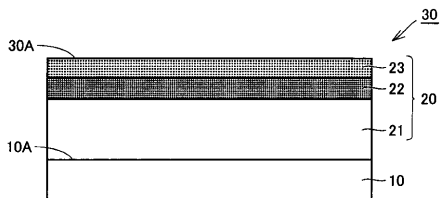
【図3】



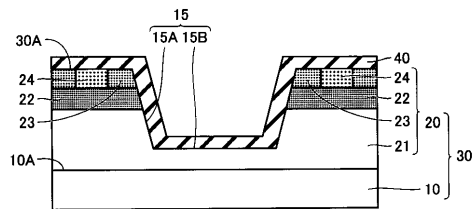
【図6】



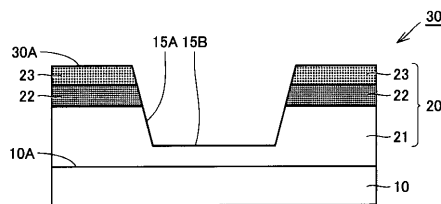
【図4】



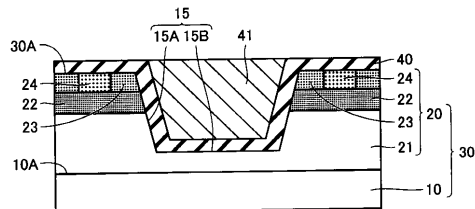
【図7】



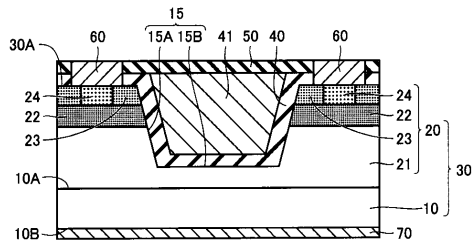
【図5】



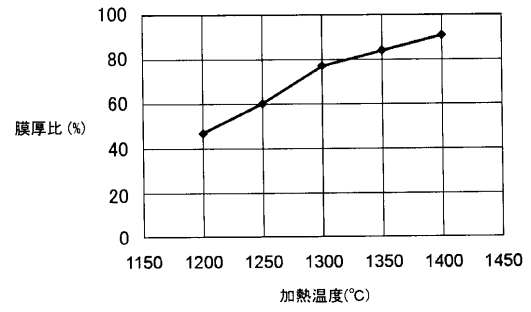
【図8】



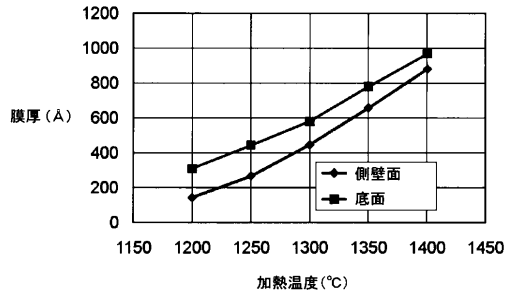
【 図 9 】



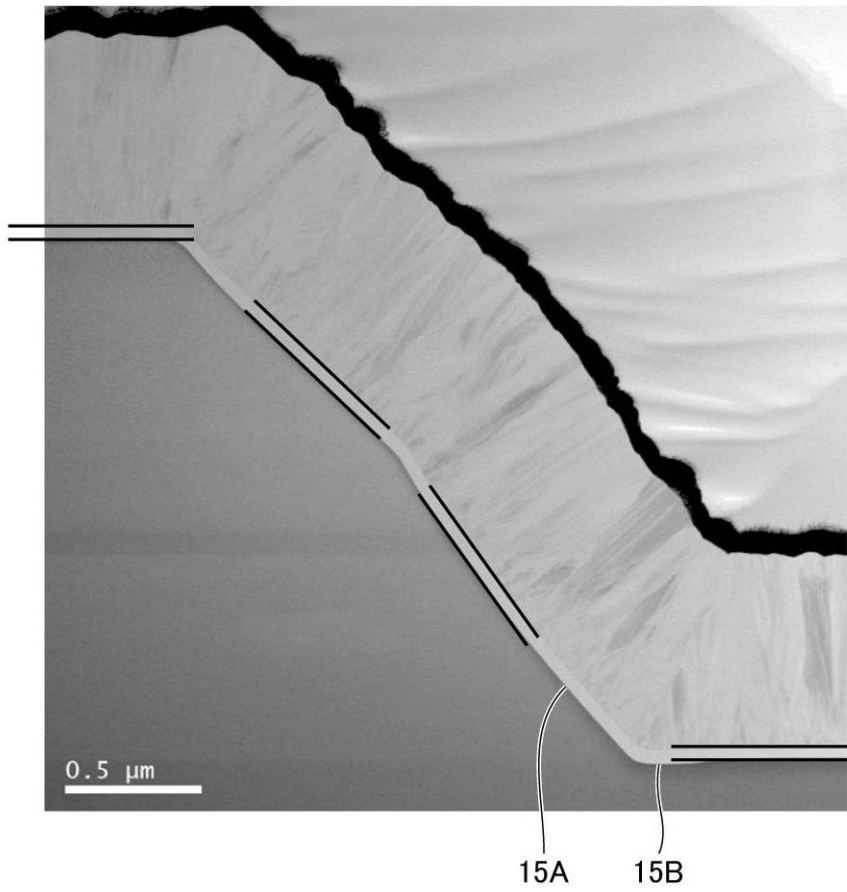
【 図 1 2 】



【 図 1 1 】



【図10】



フロントページの続き

審査官 儀同 孝信

- (56)参考文献 特開2001-210637(JP,A)
特開2007-080971(JP,A)
特開2007-157751(JP,A)
特開2008-226997(JP,A)
特開2002-261275(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/12
H01L 21/336
H01L 29/78