

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4419049号
(P4419049)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl.	F I	
HO 1 L 25/065 (2006.01)	HO 1 L 25/08	Z
HO 1 L 25/07 (2006.01)	GO 6 F 12/00	5 5 O E
HO 1 L 25/18 (2006.01)	GO 6 F 12/00	5 5 O K
GO 6 F 12/00 (2006.01)	GO 6 F 13/16	5 1 O A
GO 6 F 13/16 (2006.01)	G 1 1 C 5/00	3 O 3 Z
請求項の数 40 (全 41 頁) 最終頁に続く		

(21) 出願番号 特願2003-115834 (P2003-115834)
 (22) 出願日 平成15年4月21日(2003.4.21)
 (65) 公開番号 特開2004-327474 (P2004-327474A)
 (43) 公開日 平成16年11月18日(2004.11.18)
 審査請求日 平成17年7月5日(2005.7.5)

(73) 特許権者 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100077838
 弁理士 池田 憲保
 (74) 代理人 100082924
 弁理士 福田 修一
 (74) 代理人 100129023
 弁理士 佐々木 敬
 (72) 発明者 松井 義徳
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内
 (72) 発明者 菅野 利夫
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内
 最終頁に続く

(54) 【発明の名称】 メモリモジュール及びメモリシステム

(57) 【特許請求の範囲】

【請求項1】

メモリセルを備え、アドレス、コマンド、クロック信号の入力回路を備えていない複数のメモリチップと、外部入出力データ信号と内部データ信号の変換を行うためのI/Oチップが貫通電極を用いて接続されたメモリモジュールであって、

前記I/Oチップはアドレス、コマンド、クロック信号の入力回路を備え、

前記I/Oチップの生成する制御信号により前記メモリチップへの内部データ信号の入出力が制御され、

前記メモリチップはシステムデータバス数の2n倍(nは1以上の自然数)の書き込み用および読み出し用、あるいは双方向のデータ信号端子を有し、

更に、前記I/Oチップはシステムデータバス数の2n倍の書き込み用および読み出し用、あるいは双方向の内部データ信号端子を有しており、前記メモリチップのデータ信号端子と前記I/Oチップの内部データ信号端子が前記貫通電極によって接続されていることを特徴とするメモリモジュール。

【請求項2】

請求項1において、更に前記I/Oチップを実装するためのインターポーザ基板を備え、当該インターポーザ基板は、予め定められたデータ幅を有するシステムデータ信号を出入力するためのシステム入出力端子を有していることを特徴とするメモリモジュール。

【請求項3】

DRAMのメモリセルを備え、

アドレス、コマンド、クロック信号の入力回路を備えていない複数のDRAMチップと、アドレス、コマンド、クロック信号の入力回路を備えたIOチップとが貫通電極を用いて接続されたメモリモジュールであって、

1チャンネルのメモリサブシステムの機能を構成するのに必要なすべてのシステムデータ信号、システムアドレス信号、システム制御信号、システムクロック信号それぞれに対応するBGA端子を有するインターポーザ基板を備え、

前記BGA端子と前記IOチップ上の各信号に対応した入出力用パッドとが結線され、
前記DRAMチップと前記IOチップ間のデータ信号、アドレス信号、制御信号は前記貫通電極を介して受送信され、

電源およびGNDは前記BGA端子より前記IOチップ上のパッドに供給され、

前記貫通電極を介して前記DRAMチップの電源、GND端子に供給され、

前記DRAMチップはシステムデータバス数の2n倍（nは1以上の自然数）の書き込み用および読み出し用、あるいは双方向のデータ信号端子を有し、

更に、前記IOチップはシステムデータバス数の2n倍の書き込み用および読み出し用、あるいは双方向の内部データ信号端子を有しており、前記DRAMチップのデータ信号端子と前記IOチップの内部データ信号端子が前記貫通電極によって接続されていることを特徴とするメモリモジュール。

【請求項4】

DRAMのメモリセルを備え、

アドレス、コマンド、クロック信号の入力回路を備えていない複数のDRAMチップと、アドレス、コマンド、クロック信号の入力回路を備えたIOチップとが貫通電極を用いて接続されたメモリモジュールであって、

1チャンネルのメモリサブシステムの機能を構成するのに必要なすべてのシステムデータ信号、システムアドレス信号、システム制御信号、システムクロック信号それぞれに対応するBGA端子を有するインターポーザ基板を備え、

前記BGA端子と前記IOチップ上の各信号に対応した入出力用パッドとが結線され、
前記DRAMチップと前記IOチップ間のデータ信号、アドレス信号、制御信号は前記貫通電極を介して受送信され、

電源およびGNDは前記BGA端子より前記IOチップ上のパッドに供給され、
前記貫通電極を介して前記DRAMチップの電源、GND端子に供給され、

前記DRAMチップ及びIOチップは貫通電極データ端子を介して相互のデータ転送を行う一方、前記IOチップはシステムデータバスより伝送された、システムデータバス数の2n倍（nは1以上の自然数）の連続したデータ信号をシリアルパラレル変換して同時に前記DRAMチップに転送するシリアルパラレル回路と、

前記DRAMチップより転送されたデータをパラレルシリアル変換してシステムデータバス数の2n倍の連続したデータとしてシステムデータバスに出力するパラレルシリアル回路とを有していることを特徴とするメモリモジュール。

【請求項5】

請求項3または4において、前記積層されたDRAMチップ上にSPDチップを積層したことを特徴とするメモリモジュール。

【請求項6】

請求項5において、前記SPDチップの入出力信号端子は貫通電極を介してIOチップ上のSPD入出力端子パッドに接続され、

各DRAMチップはSPD入出力信号のための、前記DRAMチップで使用されない貫通電極を有していることを特徴とするメモリモジュール。

【請求項7】

請求項3～6のいずれかにおいて、積層される前記DRAMチップは、貫通電極形成以外のパターン形成は同じものを用いて形成されていることを特徴とするメモリモジュール。

【請求項8】

10

20

30

40

50

請求項 3 ~ 6 のいずれかにおいて、積層される前記 D R A M チップは、すべてのパターン形成が同じもので、ヒューズ素子を切断することにより I O チップからの個々の前記 D R A M チップに対する信号を識別することを特徴とするメモリモジュール。

【請求項 9】

D R A M のメモリセルを備え、

アドレス、コマンド、クロック信号の入力回路を備えていない複数の D R A M チップと、アドレス、コマンド、クロック信号の入力回路を備えた I O チップとが貫通電極を用いて接続されたメモリモジュールであって、

1 チャンルのメモリサブシステムの機能を構成するのに必要なすべてのシステムデータ信号、システムアドレス信号、システム制御信号、システムクロック信号それぞれに対応する B G A 端子を有するインターポーザ基板を備え、

前記 D R A M チップは前記 I O チップから送信される制御信号あるいはアドレス信号と照合することにより信号の受信をするための照合信号を生成するカウンター回路を備え、

前記貫通電極形成パターンを異にする少なくとも 2 種類の前記 D R A M チップを交互に積層した構成を有することを特徴とするメモリモジュール。

【請求項 10】

請求項 9 において、前記 I O チップから出力された複数ビットの信号が最下層の前記 D R A M チップ上の前記カウンター回路に入力し、そのカウンター回路からの出力が最下層から 2 番目の D R A M チップ上のカウンター回路に入力し、最下層から 2 番目の D R A M チップのカウンター回路の出力がさらに次層の D R A M チップ上のカウンター回路に入力するようにして最上層の D R A M チップまで順次インクリメントされた信号が伝達されることにより各 D R A M チップが異なるカウンター出力値を得るようにしたことを特徴とするメモリモジュール。

【請求項 11】

請求項 9 又は 10 において、前記 D R A M チップは前記カウンター回路の出力値に応じて照合信号を生成し、前記 I O チップから送信される制御信号あるいはアドレス信号と照合し、一致した場合に前記 I O チップから送信された信号を取り込むことを特徴とするメモリモジュール。

【請求項 12】

請求項 9 ~ 11 のいずれかにおいて、前記 I O チップから送信される前記 D R A M チップの選択信号に対し、前記 D R A M チップは、前記カウンター回路の出力値に応じてメモリモジュール内における前記 D R A M チップの積層番目の論理を生成する論理回路を備えていることを特徴とするメモリモジュール。

【請求項 13】

請求項 12 において、前記各 D R A M チップの論理回路は前記 I O チップから送信される前記 D R A M チップ選択信号の論理値が前記論理に一致した場合に前記 I O チップから送信された信号を取り込むことを特徴とするメモリモジュール。

【請求項 14】

D R A M のメモリセルを備え、

アドレス、コマンド、クロック信号の入力回路を備えていない複数の D R A M チップと、アドレス、コマンド、クロック信号の入力回路を備えた I O チップとが貫通電極を用いて接続し、積層されたメモリモジュールであって、

予め定められたデータ幅を有するシステムデータ信号を入出力するシステム信号入出力端子を備え、

前記 I O チップは、前記システムデータ入出力端子のデータ幅よりも幅広の内部データ信号を前記 D R A M チップに対して送受するための、前記システムデータ信号と前記内部データ信号との間の変換を行う機能を備え、

前記 D R A M チップはバンク構成を有し、システムバンク選択信号から前記 I O チップが論理生成したバンク選択信号により選択的に前記 D R A M チップが動作することを特徴とするメモリモジュール。

【請求項 15】

請求項 14 において、前記積層された各 D R A M チップは前記 I O チップにより論理生成されたバンク選択信号と、各 D R A M チップのメモリモジュール内における積層番目を示す照合信号を照合することにより D R A M チップ活性化信号あるいは D R A M チップ内ラッチ信号を生成することを特徴とするメモリモジュール。

【請求項 16】

請求項 15 において、前記 I O チップは前記積層された D R A M チップの構成に応じてバンク選択信号の論理を変更する機能を有することを特徴とするメモリモジュール。

【請求項 17】

請求項 14 において、前記 I O チップは、当該 I O チップ上に積層された前記 D R A M チップの積層数をあらかず積層数認識信号により前記バンク選択信号の論理を変更することを特徴とするメモリモジュール。

10

【請求項 18】

請求項 17 において、前記 I O チップは前記積層数認識信号および前記システム信号入出力端子に与えられた電位レベルにより前記バンク選択信号の論理を変更することを特徴とするメモリモジュール。

【請求項 19】

請求項 14 において、前記 I O チップは積層された一部の前記 D R A M チップと個別に信号を受送信するための貫通電極端子を有することを特徴とするメモリモジュール。

【請求項 20】

請求項 14 において、前記積層された各 D R A M チップは前記 I O チップと個々の D R A M チップが信号受送信をするための複数の前記貫通電極と、当該貫通電極に接続されたカウンター回路を有し、前記カウンター回路のカウンター値に応じて該当する前記 D R A M チップが選択されることを特徴とするメモリモジュール。

20

【請求項 21】

請求項 14 において、前記 D R A M チップはヒューズ素子を備えた複数のヒューズ回路を備え、前記ヒューズ素子を切断することにより、前記積層された D R A M チップの選択を行う信号を生成することを特徴とするメモリモジュール。

【請求項 22】

請求項 14 において、前記 D R A M チップは前記 I O チップより前記貫通電極を介して送信された信号をトリガにして前記 I O チップから送信される他の信号を取り込むことを特徴とするメモリモジュール。

30

【請求項 23】

請求項 14 において、前記 D R A M チップは前記 I O チップより前記貫通電極を介して送信された信号により前記 D R A M チップ内部回路のコントロールを行うことを特徴とするメモリモジュール。

【請求項 24】

D R A M のメモリセルを備え、
アドレス、コマンド、クロック信号の入力回路を備えていない複数の D R A M チップと、アドレス、コマンド、クロック信号の入力回路を備えた 1 個の I O チップとが貫通電極を用いて接続されたメモリモジュールであって、
前記 I O チップと前記 D R A M チップの積層体を 2 組備え、
前記 2 組の積層体は、信号を入出力する B G A 端子を備えたインターポーザ基板上に共に搭載され、
システムデータ信号用の前記 B G A 端子の 1 / 2 ずつに前記 I O チップがそれぞれ接続されており、アドレス、コマンド、クロック等のシステムデータ信号以外の B G A 端子は前記 2 個の I O チップ間で共有した構成を備えていることを特徴とするメモリモジュール。

40

【請求項 25】

請求項 24 において、前記 2 つの I O チップ上の積層された前記 D R A M チップは同時

50

にアクセスされる２ランクを構成していることを特徴とするメモリモジュール。

【請求項 26】

請求項 24 又は 25 において、前記 2 組の積層体の一方の最上層には、SPDチップが搭載されていることを特徴とするメモリモジュール。

【請求項 27】

DRAMのメモリセルを備え、

アドレス、コマンド、クロック信号の入力回路を備えていない複数のDRAMチップと、アドレス、コマンド、クロック信号の入力回路を備えたIOチップとが貫通電極を用いて接続し、積層されたメモリモジュールであって、

予め定められたデータ幅を有するシステムデータ信号を入出力するシステム信号入出力端子を備え、

前記IOチップは、前記システムデータ入出力端子のデータ幅よりも幅広の内部データ信号を前記DRAMチップに対して送受するための、前記システムデータ信号と前記内部データ信号との間の変換を行う機能を備え、

前記各DRAMチップの内部には、個別のアレイ制御回路によって制御される複数のバンクが構成されていることを特徴とするメモリモジュール。

【請求項 28】

請求項 27 において、前記各DRAMチップのバンクは各DRAMチップの活性化信号により取り込まれるバンク選択信号により選択動作され、

メモリモジュール全体では、前記積層されたDRAMチップの個数と前記各DRAMチップの内部バンク数の積で表されるバンク数を有することを特徴とするメモリモジュール。

【請求項 29】

請求項 27 において、前記DRAMチップの内部を複数(n個)のバンクとして動作させるときのページサイズは1/nであることを特徴とするメモリモジュール。

【請求項 30】

請求項 27 において、前記IOチップは前記各DRAMチップの内部を複数(n個)のバンクとして動作させるかどうかを選択するバンクモード信号を前記DRAMチップに送信する手段を備えていることを特徴とするメモリモジュール。

【請求項 31】

請求項 30 において、前記バンクモード信号は外部のメモリコントローラから端子レベル信号として与えられることを特徴とするメモリモジュール。

【請求項 32】

請求項 27 ~ 31 のいずれかにおいて、SPDチップが前記貫通電極を介して接続され、

前記SPDチップの信号端子が前記IOチップ上のパッドを介してインターポーザ基板に接続される構造になっていることにより、前記IOチップで前記SPD信号の読み取りを行うことを特徴とするメモリモジュール。

【請求項 33】

請求項 32 において、前記SPDチップに書き込まれた情報を外部のメモリコントローラがシステムブート時に読み出して制御条件を自動設定する際に、前記IOチップ内にも情報を取り込み前記DRAMチップのコントロール信号の生成に使用することを特徴とするメモリモジュール。

【請求項 34】

請求項 32 において、メモリモジュールの初期設定時に、SPDチップ内に書き込まれている内部タイミング設定、モジュール構成等の設定情報を前記IOチップが読み取り、内部回路の設定を行うことを特徴とするメモリモジュール。

【請求項 35】

DRAMのメモリセルを備え、

アドレス、コマンド、クロック信号の入力回路を備えていない複数のDRAMチップと

、アドレス、コマンド、クロック信号の入力回路を備えたＩＯチップとが貫通電極を用いて接続し、積層されたメモリモジュールであって、

予め定められたデータ幅を有するシステムデータ信号を入出力するシステム信号入出力端子を備え、

前記ＩＯチップは、前記システムデータ入出力端子のデータ幅よりも幅広の内部データ信号を前記ＤＡＲＭチップに対して送受するための、前記システムデータ信号と前記内部データ信号との間の変換を行う機能を備え、

前記積層された各ＤＲＡＭチップは内部動作のテスト専用パッド及び当該テスト専用パッドに接続されたテスト回路を備えていることを特徴とするメモリモジュール。

【請求項 36】

請求項 35 において、前記 ＤＲＡＭチップの内部動作テスト時には、テストトリガ信号に同期して、前記テスト専用パッドよりテストコマンド、テストアドレス、テストデータ信号が与えられ、前記テスト回路により生成されたテスト用ラッチ信号により、前記テスト回路によって生成されたアドレス、コマンド、データ信号を受信し、内部動作を開始することを特徴とするメモリモジュール。

【請求項 37】

複数のメモリモジュールとメモリコントローラとを含むメモリシステムであって、

前記メモリモジュールは、ＤＲＡＭのメモリセルを備え、

アドレス、コマンド、クロック信号の入力回路を備えていない複数の ＤＲＡＭチップと、アドレス、コマンド、クロック信号の入力回路を備えた ＩＯチップとが貫通電極を用いて接続されており、前記 ＩＯチップは、システムデータ入出力端子のデータ幅よりも幅広の内部データ信号を前記 ＤＡＲＭチップに対して送受するための、前記システムデータ信号と前記内部データ信号との間の変換を行う機能を備え、

前記複数のメモリモジュールそれぞれに搭載された前記 ＩＯチップと前記メモリコントローラとは共通の信号配線によって接続されている、ことを特徴とするメモリシステム。

【請求項 38】

請求項 37 において、前記複数のメモリモジュールは共通のマザーボード上に平面的にインターポーザ基板を介して、前記メモリコントローラと共に実装され、

前記信号配線は前記マザーボード上に配線されていることを特徴とするメモリシステム。

【請求項 39】

請求項 37 において、前記複数のメモリモジュールは 1 枚の実装基板上に搭載され、

前記実装基板をマザーボード上にメモリコントローラと共に実装され、

前記信号配線は前記マザーボード上及び前記実装基板上に配線されていることを特徴とするメモリシステム。

【請求項 40】

メモリモジュールを含むメモリシステムであって、

前記メモリモジュールは、ＤＲＡＭのメモリセルを備え、

アドレス、コマンド、クロック信号の入力回路を備えていない複数の ＤＲＡＭチップと、アドレス、コマンド、クロック信号の入力回路を備えた ＩＯチップとが貫通電極を用いて接続された積層体から構成され、

前記 ＩＯチップは予め定められた転送速度でシステムデータ信号の送受を行うと共に、前記転送速度よりも遅い内部処理速度で、前記 ＤＲＡＭチップに対して内部データ信号を送受する機能を備えていることを特徴とするメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のメモリモジュールをそれぞれメモリサブシステムとして含むメモリシステムに関し、特に、各メモリモジュールには複数のメモリユニットを備えたメモリシステムに関する。

10

20

30

40

50

【 0 0 0 2 】

【従来の技術】

従来、この種のメモリシステムとして、マザーボード上に複数のメモリモジュールを取り付け、これらのメモリモジュールをチップセット（メモリコントローラ）によって制御する構成を備え、各メモリモジュールには、複数のDRAMをメモリユニットとして搭載したDRAMメモリシステムがある。

【 0 0 0 3 】

前述したDRAMメモリシステムには、SSTL（Stub Series Terminated Transceiver Logic）をインターフェース規格として採用し、且つ、クロックの前縁と後縁に同期してデータを入出力するDDR（Double Data Rate）方式を用いることにより、高速且つ低信号振幅でデータの書込、読出を行えるシステムが提案されている。

10

【 0 0 0 4 】

このようなメモリシステムの一例として、特開2001-256772号（以下、特許文献1と呼ぶ）には、複数のDRAMを搭載したメモリモジュール（即ち、DRAMモジュール）を複数個マザーボード上に取り付けたメモリシステムが開示されている。具体的に言えば、当該メモリモジュールは矩形形状のメモリモジュール基板と、当該メモリモジュール基板の長手方向に並列に配置された複数のDRAM、複数のDRAMの間に配置されたコマンド・アドレスバッファ、及び、クロックを各DRAMに分配するPLLチップとを備え、各メモリモジュールはメモリサブシステムを構成している。

【 0 0 0 5 】

20

ここで、メモリモジュール上の各DRAMはモジュール基板の短辺方向に延びるモジュールデータ配線に接続され、コマンド・アドレスバッファ及びPLLチップは、それぞれモジュール基板の短辺方向に延びるモジュールコマンド・アドレス配線及びモジュールクロック配線に接続されている。

【 0 0 0 6 】

更に、コマンド・アドレスバッファ及びPLLチップから各DRAMに対して、コマンド・アドレス及びクロックを分配するために、モジュールコマンド・アドレス分配配線及びモジュールクロック分配配線がモジュール基板の長辺方向に引き出されている。

【 0 0 0 7 】

この構成では、データ信号は、マザーボード基板上に設けられたメモリコントローラから、各メモリサブシステムを構成するメモリモジュール上のDRAMチップに対して直接与えられ、コマンド・アドレス信号及びクロック信号は、メモリコントローラからそれぞれコマンド・アドレスバッファ及びPLLチップを介して各メモリモジュール上のDRAMチップに与えられる。

30

【 0 0 0 8 】

このメモリモジュール構成によれば、DRAMチップに対する書込及び読出速度をシステムデータ信号の転送速度に比較して遅くしても、外部回路に対しては高速でシステムデータ信号を転送することができる。

【 0 0 0 9 】

しかしながら、特許文献1に示されているように、複数のDRAMチップを平面的に実装基板上に配列した構成では、次世代のメモリモジュールに対する12.8Gbpsの高速データレートの要求には応えられないことが判明した。

40

【 0 0 1 0 】

一方、特開平6-291250（特許文献2）には、縦及び横の寸法を統一すると共に規格統一された位置に信号パッドを備えた複数のICチップを積層し、各ICチップのパッド間を縦配線によって接続した構成の半導体集積回路が開示されている。

【 0 0 1 1 】

当該特許文献2では、具体例として、SRAMをアドレスデコーダ層上に4層積層した例が上げられている（図8及び0025段落）。この場合、アドレスデコード層は第1層として配置され、第2層から第5層としてSRAM層が配置されている。第2層から第5層

50

に配置されたSRAMに対しては、個別に各SRAMを選択するチップイネーブルバスが接続され、これによって、各SRAMは個別に選択され、個別に活性化されている。

【0012】

特許文献2はアドレスデコーダ層上で、複数のSRAM層の一つを選択し、選択されたSRAM層からのデータ信号をそのままアドレスデコーダ層から外部に出力している。

【0013】

更に、特表平9-504654(特許文献3)には、単一ICチップをICチップ積層体に置き換え、ホストシステムとICチップ積層体との間の信号の翻訳を行うインタフェース回路をICチップ積層体に含ませたメモリパッケージが開示されている(特許請求の範囲2)。この例においても、積層されたICチップ積層体はそれぞれ独立して動作するように、インタフェース回路によって選択的に制御されている。この場合、ホストシステムとICチップ積層体との間におけるデータ信号の幅及び転送速度は、ICチップ積層体内部における内部データ信号の幅及び転送速度とは同じである。

10

【0014】

換言すれば、引用文献3では、ICチップ積層体内部の内部データ幅がICチップ積層体外部におけるデータ信号幅よりも幅の広い場合について何等考慮していない。

【0015】

また、米国特許第6133640号明細書(特許文献4)にも、3次元構造のメモリが開示されている。この特許文献4はメモリ回路と制御論理回路とを物理的に分離された複数の層上に個別に配置しておき、単一の制御論理回路により各層のメモリ回路を個別に最適化し、これによって、複数のメモリ回路を動作させ、コストを低減する構成を開示している。

20

【0016】

【特許文献1】

特開2001-256772号公報

【0017】

【特許文献2】

特開平6-291250号公報

【0018】

【特許文献3】

特表平9-504654号公報

【0019】

【特許文献4】

米国特許第6133640号明細書

【0020】

【発明が解決しようとする課題】

上記した特許文献1~4のうち、特許文献2~4は特許文献1に示されているようなメモリシステム及びDRAMモジュール(メモリモジュール)について何等示唆していない。更に、モジュール内部のデータ信号の幅及び転送速度と、モジュール外部におけるデータ信号の幅及び転送速度とが互いに異なっているメモリシステム及びそのメモリシステムにおける問題点について、上記特許文献1~4は何等指摘していない。

40

【0021】

特許文献1に示されたメモリシステムでは、複数のDRAMからのデータをメモリサブシステムデータとして送受しているが、複数のDRAMはモジュール基板上に平面的に並列に配列されている。

【0022】

しかしながら、このようなメモリサブシステムではモジュール基板に搭載されるDRAMの数が増えると、より高速化の要求、特に、次世代のメモリモジュールにおける12.8Gbpsの高速データレートの要求に応えられないことが判明した。

【0023】

50

本発明者等は、上記したDRAMモジュールにおける高速化を妨げる原因を鋭意研究した結果、複数のDRAMチップを実装基板上に平面的に配列したのでは、メモリコントローラと各DRAMチップとの間におけるデータ信号、アドレスコマンド信号、及び、クロック信号の配線トポロジーが実装基板上において数cmに異なっているため、この程度の配線トポロジーの相違によって信号到達時間に差、即ち、スキューが生じてしまい、このスキューは転送速度が高速化すると、PLLを使用しても補正できないことが判明した。

【0024】

更に、転送速度を上げると、これに伴ってメモリサブシステムにおける消費電流が増加してしまうという問題がある。また、メモリモジュール上の各DRAMチップは高周波伝送信号を受送信するためのDLL回路を搭載しており、この消費電流は800MbpsでRead/Write電流の15%程度をしめ、この結果、消費電流の増加は避けられない状況にある。

【0025】

以下、図40を参照して、上記した問題点を具体的に説明する。

【0026】

図40を参照して、本発明の対象となるメモリサブシステム、即ち、メモリモジュールについて概略的に説明する。まず、図40に示されたメモリモジュールはモジュール基板200、モジュール基板200上に、平面的に並列に配置された複数のDRAMチップ(図では9個)201、モジュール基板200の中央部に配置されたレジスタ202、PLL203、及び、SPD(Serial Presence Detect)204を備え、モジュール基板200は図示しないコネクタによりマザーボード(図示せず)上に取り付けられている。

【0027】

ここで、マザーボード上には、図示されたメモリモジュールのほかに、他のメモリモジュールもチップセット(メモリコントローラ)と共に搭載されており、これら複数のメモリモジュールとチップセットにより、メモリシステムが構成されている。

【0028】

各DRAM201から図の下方に、即ち、モジュール基板200の短辺方向にモジュールデータ配線が施されており、他方、レジスタ202から図の下方にモジュールコマンド・アドレス配線が施されている。更に、PLL203から図の下方にモジュールクロック配線が伸びており、これらモジュールコマンド・アドレス配線及びモジュールクロック配線はモジュール基板200の長辺方向に配列されたコネクタに接続されている。また、SPD204はモジュール基板200に搭載されているDRAMチップ201の動作条件を定めるメモリであり、通常、ROMによって構成されている。

【0029】

更に、図示されたレジスタ202からは、モジュール基板200の長辺方向に、即ち、横方向にモジュールコマンド・アドレス分配配線が各DRAMチップ201に対して施されると共に、PLL203からも同様にモジュールクロック分配配線が各DRAMチップ201に施されている。

【0030】

この構成のメモリモジュールでは、メモリアクセスデータバスのバス幅に応じたビット数のデータをモジュールデータとして入出力することができる。しかしながら、この構成では、モジュールデータ配線のトポロジーは、モジュール・コマンド配線からモジュール・コマンド分配配線のトポロジー及びPLL03からのモジュールクロック配線及びモジュールクロック分配配線のトポロジーと相違している。

【0031】

一方、図示されたメモリモジュール構成において、プロセッサの要求するデータレートを実現するための手段として広いバス幅を持つ方法(DDR等のSDRAMを使った一般のデータ処理システム)と、狭いバス幅で転送速度を上げる(RDRAMのシステム)方法がとられている。

【0032】

10

20

30

40

50

これらの方法のうち、広いバス幅で構成された従来の一般的メモリモジュールはI/O数が16、8、4の単体DRAMを4～16個、平面的に並列にモジュール基板上に搭載し、64あるいは72のデータバスを構成している。

【0033】

一方、モジュールコマンド・アドレス信号、モジュールクロック信号は、通常、モジュール基板200上の全てのDRAMチップ201に共用されている。このため、これらの配線は、図示されているように、モジュール基板200上にレジスタ202、PLL203を搭載しておき、これらレジスタ202及びPLL203により、バッファリング、およびモジュール上配線遅延に対するタイミング調整をして、モジュールコマンド・アドレス信号、モジュールクロック信号は各DRAMチップ201に供給されている。

10

【0034】

前述したように、メモリコントローラ(チップセット)から配信されるデータ信号とアドレスコマンド信号、クロック信号はそれぞれ物理的に異なった配線トポロジーとなっており信号の伝送特性が異なる。

【0035】

この物理的配線トポロジーの差によって各DRAMにおけるデータ信号とモジュールクロック信号およびコマンド・アドレス信号にはPLL203で補整しきれない信号到達時間の差、スキューが生じ、これが転送速度をさらに上げる上で大きな障害になるという問題が生じている。

【0036】

更に、この種のメモリシステムにおける他の問題点としてメモリモジュールの増設を可能にすることに起因するデータ配線上の分岐配線の問題がある。通常、モジュールの増設はバス配線上に接続されたソケットに挿抜することで行われる。このため、データ信号はバス配線上で分岐されてモジュール内DRAMチップ201に与えられる。この分岐配線により生じる信号反射により高速の信号伝送に障害をもたらすという問題が生じている。

20

【0037】

また、メモリモジュールを増設するほど分岐配線による信号品質の劣化、また、DRAMパッケージに寄生するLCによる信号品質の劣化が増加するためこの構成を用いているDDRIIにおける増設数は2スロットが限界となっているのが実情である。実際、この構成を用いているDDRIIによるメモリサブシステムで実現できるデータレートはデータピンあたり533Mbps1システムチャンネルあたり4.26Gbps程度である。

30

【0038】

他方、図示されたような形式のメモリモジュールにおいて、狭いバス幅で転送速度を上げる方法も提案されている(RDRAM)。この方法ではI/O数が16の単体RDRAMをバス配線上に直列に接続して配置する。したがって、メモリコントローラから配信されるデータ信号、モジュールアドレス・コマンド信号、及び、モジュールクロック信号はそれぞれ物理的に同じ配線トポロジーとなっており各RDRAMにおける信号到達時間の差、即ち、スキューが生じない。

【0039】

また、各RDRAMはバス上に実装されるため信号配線上に分岐が生じない。

40

【0040】

したがって、現在、この構成を用いているRDRAMによるメモリサブシステムで実現できているバスの転送速度は、データピンあたり1.066Gbpsとなる。しかしながら、データ幅は2バイトしかがないためシステムのデータレートは2.13Gbps程度である。更に、メモリシステムのデータレートを上げるため2チャンネルのシステムを構成する方法がとられているが、その場合においても、4.26Gbps程度である。

【0041】

このRDRAMの構成ではバス上に分岐は生じないが、要求されるメモリ容量を実現するために同一のバス上に4倍以上のRDRAMを接続する必要がある。このように、長いバス上に多数のRDRAMが接続されると、RDRAMパッケージに寄生するLCによる信

50

号品質の劣化が増加する。したがって、メモリ容量の増設数に制限が生じシステムに要求されるメモリ容量を実現するのが困難である。また、長いバスに多数のDRAMを負荷として接続、保持した状態で、さらに高い要求データレートを実現することは困難である。

【0042】

また、DRAMにおけるIO数を増やすことも考えられるが、DRAMチップおよびパッケージが増大し、単体DRAMのコストが増加する。また同一DRAMでIO数を増やすほどIO単位でアクセス可能なページサイズが小さくなりシステムの要求を満たさなくなる。

【0043】

本発明の目的は、メモリモジュールにおける様々な問題点を解決して、高速で動作を行うことができるメモリシステムを提供することである。

10

【0044】

本発明の目的は、高速動作を可能にすると共に消費電流を小さくできるDRAMメモリモジュールを提供することである。

【0045】

本発明の目的は、次世代のメモリサブシステムに要求される12.8Gbpsのデータレートにも対処できるメモリモジュール及びメモリシステムを提供することである。

【0046】

【課題を解決するための手段】

本発明では、次世代のメモリサブシステムに要求されるデータレート(12.8Gbps)を十分なメモリ容量(増設性)を維持しつつ、且つ、消費電流の増加を抑えたメモリモジュールを実現できる。

20

【0047】

具体的に言えば、本発明の第1の態様によれば、予め定められたデータ幅を有するシステムデータ信号を入出力するシステム入出力端子と、前記システム入出力端子よりも幅広の内部データ信号をそれぞれ送受する複数のメモリチップを備えたメモリモジュールであって、前記システム入出力端子における前記システムデータ信号と前記内部データ信号との間の変換を行う機能を備えたIOチップを有し、前記複数のメモリチップは前記IOチップ上に積層されると共に、前記IOチップに対して前記積層された複数のメモリチップを貫通する貫通電極によって接続されていることを特徴とするメモリモジュールが得られる。

30

【0048】

この場合、更に、前記IOチップを実装するためのインターポータ基板を備え、当該インターポータ基板は前記システム入出力端子を構成する実装用端子を有している。

【0049】

本発明の第2の態様によれば、予め定められたデータ幅を有するシステムデータ信号を入出力すると共に、前記システムデータ信号よりも幅広の内部データ信号を送受する複数のメモリモジュールを含むメモリシステムにおいて、前記複数のメモリモジュールはそれぞれIOチップと、当該IOチップ上に積層された複数のメモリチップとを積層した構成を備えていることを特徴とするメモリシステムが得られる。

40

【0050】

この場合、複数のメモリモジュールは共通のマザーボード上に平面的に取り付けられても良いし、或いは、複数のメモリモジュールは共通の実装基板上に搭載され、前記実装基板をマザーボード上に取り付けられた構成を有していても良い。

【0051】

本発明の第3の態様によれば、予め定められた転送速度でシステムデータ信号の送受を行うと共に、前記転送速度よりも遅い内部処理速度で内部データ信号を送受する複数のメモリチップとを備えたシステムにおいて、前記予め定められた転送速度のデータ信号を送受する端子を備え、前記内部処理速度の内部データ信号と前記転送速度のシステムデータ信号との間の変換を行うIOチップを有し、前記複数のメモリチップは前記IOチップ上に

50

積層されていることを特徴とするシステムが得られる。

【0052】

本発明の他の態様によれば、I/Oチップと、当該I/Oチップ上に積層された複数のDRAMと、1チャンネルのメモリサブシステムの機能を構成するのに必要なすべてのシステムデータ信号、システムアドレス信号、システム制御信号、システムクロック信号をそれぞれのBGA端子を有するインターポータ基板を備え、I/Oチップ上のそれぞれの入出力回路の入出力用パッド及び入力用パッドに結線し、I/Oチップ上に積層された複数のDRAMチップとI/Oチップのデータ信号端子、アドレス信号端子、制御信号端子が貫通電極により接合され、チップ間のデータ信号、アドレス信号、制御信号は貫通電極を介して受送信され、電源およびGNDはBGA端子よりI/Oチップ上のパッドに供給され、貫通電極を介して各DRAMの電源、GND端子に供給される構成を有することを特徴とするDRAMメモリモジュールが得られる。この場合、前記積層されたDRAMチップ上にSPDチップが積層されていても良い。

10

【0053】

本発明の他の態様によれば、I/Oチップと、当該I/Oチップ上に積層された複数のDRAMチップと、1チャンネルのメモリサブシステムの機能を構成するのに必要なすべてのシステムデータ信号、システムアドレス信号、システム制御信号、システムクロック信号をそれぞれのBGA端子を有するインターポータ基板を備え、各DRAMチップはI/Oチップから送信される制御信号あるいはアドレス信号と照合することにより信号の受信をするための照合信号を生成するカウンター回路を備え、少なくとも2種類の貫通電極形成パターンを異にするDRAMチップを交互に積層した構成を有することを特徴とするDRAMモジュールが得られる。

20

【0054】

本発明の他の態様によれば、I/Oチップと、当該I/Oチップ上に積層された複数のDRAMチップと、1チャンネルのメモリサブシステムの機能を構成するのに必要なすべてのシステムデータ信号、システムアドレス信号、システム制御信号、システムクロック信号をそれぞれのBGA端子を有するインターポータ基板を備え、積層されるDRAMチップは、全て同一パターンを有すると共に、複数のヒューズ素子を備え、前記ヒューズ素子の切断位置によって、積層位置を問わず照合信号を生成することを特徴とするDRAMモジュールが得られる。

30

【0055】

本発明の別の態様によれば、予め定められたデータ幅を有するシステムデータ信号を入出力するシステム入出力端子と、前記システム入出力端子よりも幅広の内部データ信号をそれぞれ送受する複数のメモリチップを備えたDRAMモジュールであって、前記システム入出力端子における前記システムデータ信号と前記内部データ信号との間の変換を行う機能を備えたI/Oチップを有し、前記複数のメモリチップは前記I/Oチップ上に積層されると共に、前記I/Oチップに対して前記積層された複数のメモリチップを貫通する貫通電極によって接続され、且つ、積層された各DRAMチップはバンク構成を有し、システムバンク選択信号からI/Oチップが論理生成したバンク選択信号により選択的に動作することを特徴とするDRAMモジュールが得られる。

40

【0056】

本発明の更に別の態様によれば、システムデータ信号を入出力するBGA端子を備えたインターポータ基板と、当該インターポータ基板上に搭載された2個のI/Oチップとを有し、各I/Oチップはそれぞれ1/2のシステムデータ信号BGA端子に接続されており、アドレス、コマンド、クロック等のデータ以外のBGA端子は共有した構成を備え、前記2つのI/Oチップ上には、複数のDRAMチップが積層されていることを特徴とするDRAMモジュールが得られる。この場合、前記2つのI/Oチップ上の積層されたDRAMチップは同時にアクセスされる2ランクを構成される。この構成では、データ信号の端子容量を増加させずにメモリ容量の構成自由度の向上、インターポータ基板上の配線長を短縮でき、これによって、特性を改善できる。

50

【 0 0 5 7 】

また、前記 2 つの D R A M チップ積層体の一方の最上段には、S P D チップが搭載されていることが望ましい。

【 0 0 5 8 】

本発明の更に別の態様によれば、予め定められたデータ幅を有するシステムデータ信号を入出力するシステム入出力端子と、前記システム入出力端子よりも幅広の内部データ信号をそれぞれ送受する複数のメモリチップを備えたメモリモジュールであって、前記システム入出力端子における前記システムデータ信号と前記内部データ信号との間の変換を行う機能を備えた I O チップを有し、前記複数のメモリチップは前記 I O チップ上に積層されると共に、前記 I O チップに対して前記積層された複数のメモリチップを貫通する貫通電極によって接続され、更に、各 D R A M チップの内部には、個別のアレイ制御回路によって制御される複数のバンクが構成されていることを特徴とする D R A M モジュールが得られる。

10

【 0 0 5 9 】

本発明の更に別の態様によれば、予め定められたデータ幅を有するシステムデータ信号を入出力するシステム入出力端子と、前記システム入出力端子よりも幅広の内部データ信号をそれぞれ送受する複数のメモリチップを備えたメモリモジュールであって、前記システム入出力端子における前記システムデータ信号と前記内部データ信号との間の変換を行う機能を備えた I O チップを有し、前記複数のメモリチップは前記 I O チップ上に積層されると共に、前記 I O チップに対して前記積層された複数のメモリチップを貫通する貫通電極によって接続され、且つ、前記積層された各 D R A M チップはテスト専用パッド及び当該テスト専用パッドに接続されたテスト回路を備えていることを特徴とする D R A M モジュールが得られる。

20

【 0 0 6 0 】

この構成では、D R A M チップテスト時にはテストトリガ信号に同期して、前記テスト専用パッドよりテストコマンド、テストアドレス、テストデータ信号が与えられ、前記テスト回路により生成されたテスト用ラッチ信号により、テスト回路によって生成されたアドレス、コマンド、データ信号を受信し、内部動作を開始する。

【 0 0 6 1 】

【発明の実施の形態】

図 1 を参照すると、本発明の第 1 の実施形態に係るメモリモジュールが示されており、図 1 に示されたメモリモジュールは図 4 0 に示されたメモリモジュールと同様に、メモリデータバス幅として複数の D R A M チップのデータ幅に相当するデータ信号を入出力できる。このように、図 4 0 に示されたメモリモジュールを図 1 に示された積層構造にすることによって、メモリシステム全体として、複数のメモリサブシステムを含み、各メモリサブシステムにおけるデータレートとして、1 2 . 8 G B p s を有し、増設によってメモリ容量を大きくできると共に実装面積を縮小できるメモリシステムを構成できる。

30

【 0 0 6 2 】

図示されたメモリモジュールはインターポーザ基板 2 1 0、当該インターポーザ基板 2 1 0 上に搭載された I O チップ 2 1 1、及び、当該 I O チップ 2 1 1 上に積層された 8 個の D R A M チップ 2 0 1 とを備えている。ここでは、I O チップ 2 1 1 に隣接した最下層の D R A M チップから上方に第 1 乃至第 8 の D R A M チップと呼ぶこともある。ここで言うメモリモジュールとは、チップセット (C P U) の要求するメモリ容量、データレート (データバス幅 (6 4 , 7 2 , 1 2 8 , 1 4 4 , R D R A M は 1 6) × 転送速度) を満足するように複数の D R A M 単体により構成されたメモリサブシステムの構成単位を指す。

40

【 0 0 6 3 】

次に、メモリモジュールを構成する各部分について説明すると、各 D R A M チップ 2 0 1 は 5 0 μ m 程度の厚さを備え、I O チップ 2 1 1 と各 D R A M チップ 2 0 1 とは貫通電極 2 1 5 によって接続され、当該貫通電極 2 1 5 を介して、データ信号が I O チップ 2 1 1 との間で送受される。ここで、貫通電極 2 1 5 は各 D R A M チップ 2 0 1 の一方の面から

50

他方の面へ貫通するチップ間接続電極であり、この例では、銅又はアルミニウムによって形成された $72 \times 4 (= 288)$ の貫通電極が設けられているものとする。

【0064】

更に、インターポーザ基板210はシリコンによって形成され、1チャンネルのメモリサブシステムの機能を構成するのに必要な全てのシステムデータ信号、システムアドレス信号、システム制御信号、システムクロック信号のボード上実装ピッチに対応するBGA端子を有し、各信号BGA端子とシリコンチップで形成されるIOチップ上の各信号パッドとを基板配線およびバンプにより結線することを可能にする機能を備えている。

【0065】

また、IOチップ211は1チャンネルのメモリサブシステムの機能を構成するのに必要な全てのシステムデータ信号、システムアドレス信号、システム制御信号、システムクロック信号のパッドおよびインターフェイス回路を有している。ここで、1チャンネルとは、チップセット(CPU)が処理するデータの単位であり、ここでは、例えば、64又は72ビットであるものとする。

10

【0066】

概略的に言えば、IOチップ211は、チップセットより入力された信号をDRAMチップ201を動作させるために再構成する機能と、貫通電極215端子からDRAMチップ201に送信する機能、DRAMチップ201からの信号を貫通電極215端子より受信する機能、及び、DRAMチップ201から受信したデータ信号を再構成してシステムデータ信号として送信する機能を有している。

20

【0067】

図示されたメモリモジュールは、1チャンネルのメモリサブシステムの機能を構成するのに必要なすべてのシステムデータ信号、システムアドレス信号、システム制御信号、システムクロック信号それぞれのためのBGA端子を有するインターポーザ基板210を備えている。インターポーザ基板210のBGA端子は、IOチップ211上のそれぞれの入出力回路の入出力用パッド及び入力用パッドに結線され、IOチップ211上に積層された複数のDRAMチップ201とIOチップ211のデータ信号端子、アドレス信号端子、制御信号端子が貫通電極215により接合され、チップ間のデータ信号、アドレス信号、制御信号は貫通電極215を介して受送信される。また、電源およびGNDはインターポーザ基板210のBGA端子よりIOチップ211上のパッドに供給され、貫通電極215を介して各DRAMチップ201の電源、GND端子に供給される構成を有している。

30

【0068】

ここで、各DRAMチップ201はシステムデータバス数の $2n$ 倍(n は1以上の自然数)の書き込み用および読み出し用、或いは、双方向の貫通電極データ信号端子を有している。一方、IOチップ211はシステムデータバス数の $2n$ 倍の書き込み用および読み出し用、あるいは双方向の貫通電極データ信号端子を有している。

【0069】

このような構成を備えたDRAMチップ201及びIOチップ211との間では、貫通電極215のデータ端子を介して相互のデータ転送が行われる。

【0070】

この場合、IOチップ211はシリアルパラレル回路を有し、システムデータバスより伝送された連続した端子あたり $2n$ のデータ信号をシリアルパラレル変換して同時にDRAMチップ201に転送する。更に、IOチップ211はパラレルシリアル回路を有し、DRAMチップ201より転送された端子あたり $2n$ のデータをパラレルシリアル変換して連続する $2n$ のデータとしてシステムデータバスに出力する。

40

【0071】

更に、IOチップ211は $64m$ ビットあるいはパリティビットを含む $72m$ ビットのシステムデータバスとのインターフェイスを有する(m は1以上の自然数)。

【0072】

各DRAMチップ201のデータ信号端子は貫通電極215を介してIOチップ211の

50

データ信号端子に接続される。この場合、データ信号線としての貫通電極 215 は DRAM チップ 201 により共有される。また、各 DRAM チップ 201 のアドレス信号端子は貫通電極 215 をアドレス信号線として共有し、IO チップ 211 のアドレス信号端子に接続される。更に、各 DRAM チップ 201 の制御信号端子は貫通電極 215 を制御信号線として共有し、IO チップ 211 の制御信号端子に接続される。

【0073】

尚、この例では、WPP (Wafer Package Process) により再配線した後、IO チップ 211 上にはバンプが形成されている。

【0074】

更に、メモリモジュールには、図 40 と同様に SPD が設けられても良い。この場合、SPD はメモリモジュールのメモリ容量、バンク構成、保証動作スピード、その他の情報を製造時に書き込み、チップセットがシステムブート時に、これを参照して制御条件を自動設定するための機能を備えている。SPD チップが DRAM チップ 201 の積層体上に設けられる場合、SPD チップの入出力信号端子は貫通電極 215 を介して IO チップ 211 上の SPD 入出力端子パッドに接続される。また、各 DRAM チップ 201 は SPD 入出力信号のための、DRAM チップ 201 では使用されない貫通電極を備えている。

【0075】

ここで、積層体を構成する DRAM チップ 201 は、貫通電極 215 形成以外のパターン形成は同一パターンを有している。このように、積層される DRAM チップ 201 は、全て同一のパターンが形成されているから、ヒューズ素子を別途設けておき、このヒューズ素子を各 DRAM チップ 201 毎に切断することにより IO チップ 211 から個々の DRAM チップ 201 に対する信号を識別することができる。

【0076】

図 2 を参照して、本発明の第 2 の実施形態に係るメモリモジュールを説明する。図 2 に示された各 DRAM チップ 201 は IO チップ 211 から送信される制御信号あるいはアドレス信号と照合することにより信号の受信をするための照合信号を生成するカウンター回路 300 を備え、IO チップ 211 にはチップ識別コード生成回路 301 が設けられている。

【0077】

更に、図 2 に示すように、DRAM チップ 201 a 及び 201 c は同一の貫通電極形成パターン 251 を備え、一方、DRAM 201 b は DRAM チップ 201 a 及び 201 c の貫通電極形成パターン 251 とは異なる貫通電極形成パターン 252 を備えている。IO チップ 211 と DRAM チップ 201 a の貫通電極形成パターン 251 とは、貫通電極 215 a によって接続されており、DRAM チップ 201 a と 201 b とは、貫通電極 215 b により、更に、DRAM チップ 201 b と 201 c とは、貫通電極 215 a により相互に接続されている。図示された貫通電極 215 a 及び 215 b は 2 本だけを示しているが、2 本以上設けられても良い。尚、他の貫通電極 215 は図を簡略化するために省略されている。

【0078】

具体的に説明すると、DRAM チップ 201 a 上の貫通電極形成パターン 251 は当該 DRAM チップ 201 a 上のカウンター 300 に対して貫通電極 215 a からの信号を入力し、カウンター 300 からの出力を貫通電極 215 b に出力している。更に、DRAM チップ 201 b の貫通電極形成パターン 252 は当該 DRAM チップ 201 b 上のカウンター 300 に対して、DRAM チップ 201 a からの出力を供給し、DRAM チップ 201 b のカウンター 300 からの出力を貫通電極 215 a を介して上層の DRAM チップ 201 c の貫通電極形成パターン 251 に出力している。この構成では、各 DRAM チップ 201 a、201 b、201 c のカウント値が順次上層の DRAM チップに出力される。

【0079】

このように、図示されたメモリモジュールは互いに異なる貫通電極形成パターン 251 及び 252 を備えた DRAM チップ 201 を交互に積層した構成を備えている。この構成に

10

20

30

40

50

よれば、I Oチップ211から出力された複数ビットの信号が最下層のDRAMチップ201aのカウンター300に入力され、そのカウンター300の出力が次層のカウンター300に与えられ、以下、順次最上層のDRAMチップまでインクリメントされた信号が伝達される構成となっている。この構成では、各DRAMチップにおいて異なるカウンタ出力値を得ることができ、これによって、各DRAMチップ201はカウンタ出力値を用いて照合信号を内部で発生し、各DRAMチップ201に対する制御信号及びアドレス信号を識別することができる。

【0080】

前述した2種類の貫通電極形成パターン251及び252を備えたDRAMチップ201は貫通電極形成時に2種類のマスクパターンによりカウンタ300の入出力を入れ替えるだけで、簡単に製造できる。

10

【0081】

次に、図3を参照すると、図2に示されたメモリモジュールの全体の具体例が示されている。図3では、図2に示されているように、単一のI Oチップ211上に8つのDRAMチップ201(DRAM-1~DRAM-8)が搭載されている。図4には図3に示されたI Oチップ211の一部の構成がより具体的に示されており、図5には図3に示されたDRAMチップ201の具体的な構成が示され、更に、図6には図5に示されたDRAMチップ201で使用されるDRAMチップ選択回路がより詳細に示されている。

【0082】

図3を参照すると、I Oチップ211はインターポーザ基板(図示せず)との間で各種の信号を送受する入出力回路111、入力回路112、内部コントロール回路113、DLL114、及び、カウンタスタート値生成部115とを有し、更に、データコントロール回路、シリアルパラレル変換回路、パラレルシリアル変換回路、アドレスコントロール回路、バンク選択信号生成回路を備えている。図3では、データコントロール回路、シリアルパラレル変換回路、パラレルシリアル変換回路、の組み合わせを参照番号116によって示し、アドレスコントロール回路及びバンク選択信号生成回路の組み合わせを参照番号117によって示している。また、図4では、アドレスコントロール回路及びバンク選択信号生成回路をそれぞれ参照番号117a及び117bによって示している。

20

【0083】

図3に示すように、I Oチップ211には、メモリコントローラとしてのチップセット(図示せず)から、システムクロック信号CK、/CK、システムアドレス信号A0~Ai、システムバンクアドレス信号BA0~BA2が/RAS、/CAS、/WE、/CS、ストロブ信号DQS等の制御信号と共に与えられている。更に、チップセットとI Oチップ211の間では、データ信号DQ0~DQ63及びDM0~DM7が送受されている。図3に示されたデータコントロール回路及びシリアルパラレル/パラレルシリアル変換回路116としては、通常の回路を使用できるから、ここでは、詳述しないが、当該回路116と各DRAMチップ201との間で、内部データ信号IDQ0-255、IDM0-31が送受される。尚、本発明の実施形態では、DLL114はI Oチップ211だけに設置されており、各DRAMチップ201には備えられていない。

30

【0084】

図3に示されたI Oチップ211の回路117には、システムアドレス信号a0-Ai、システムバンクアドレス信号BA0-BA2が与えられていると共に、カウンタスタート値生成部115に接続されている。更に、カウンタスタート値生成部115からは、3ビットのカウント信号S0~S2が最下層のDRAMチップ201(DRAM-1)のカウンタ回路に与えられている。

40

【0085】

図4をも参照すると、図3に示されたI Oチップ211の一部が具体的に示されている。

【0086】

図4には、I Oチップ211内の内部コントロール回路113、カウンタスタート値生成部115、アドレスコントロール回路117a、及びバンク選択信号生成回路117b

50

が示されている。このうち、内部コントロール回路113は初期化信号REを出力する。この初期化信号REは、通常ハイレベルを取り、一般に、システムで行われるモジュール上のDRAMチップ201を初期化時に、ローレベルのパルス信号である。

【0087】

図3に示されたメモリモジュールでは、図7に示すように、単一のIOチップ211上に4個のDRAMチップ201を積層しても良いし、図8に示すように、単一のIOチップ211上に8個のDRAMチップ201を積層しても良い。図7及び図8のいずれにおいても、斜線で示されているように、積層されたDRAMチップ201のうちの1つのDRAMチップだけが選択される。このように、本発明に係るメモリモジュールでは、IOチップ211に積層されるDRAMチップ201の数を変更できるから、IOチップ211はDRAMチップ201の積層数を判定できることが必要になる。

10

【0088】

図7及び図8に示された例では、各DRAMチップ201が単一のバンクを構成し、更に、各DRAMチップ201は $\times 256$ 個のデータ端子を備え、他方、IOチップ211は $\times 64$ のシステムデータ線を備えている。このため、DRAMチップのデータ端子とIOチップ211のシステムデータ線とは4:1の関係になっている。したがって、この構成では、DRAMチップ201の出力動作周波数は1/4に低減され、ウエハ状態での試験も容易である。また、メモリモジュールに対する一回のリードライトアクセスは全て1つのDRAMチップ201に対して行われることになる。

【0089】

20

図9を参照すると、図7及び図8に示された各DRAMチップ201のバンク構成が示されている。図9に示されたDRAMチップ201は現状の512MbitDDR1DRAMと同様に、512Mbitの容量を備え、単一のバンク構成を有している。図示されたDRAMチップ201は4つの128Mbitセルアレイに区分されており、その中央部分に内部接続用領域及びテストパッドが配置されている。当該DRAMチップのアドレスが指定されると、各セルアレイ領域において2つの領域が活性化され、各アレイから64ビット、合計256ビットのデータ信号の読出、書込が可能になる。ここで、活性化状態とは、センスアンプが動作可能になる状態を意味し、この状態におけるデータ単位をページと呼ぶ。この結果、図示されたDRAMチップ201は8kバイトのページを有していることになる。

30

【0090】

図7～図9に示された構成を前提として、図3～6に示されたメモリモジュールの動作を説明する。図4に示されたIOチップ211のアドレスコントロール回路117aには、図3からも明らかな通り、システムアドレス信号A0-Aiのほか、システムのバンクアドレス信号BA0-BA2が与えられている。

【0091】

この状態で、図4に示されたアドレスコントロール回路117aはバンクアドレス信号BA0-BA2から目的のDRAMチップ201のバンク、ここでは、積層位置を判定して、バンク選択信号生成回路117bに出力する。

【0092】

40

バンク選択信号生成部117bには、積層数認識信号線C8R, C4Rを介して積層数認識信号が与えられている。

【0093】

この例では、図8のように、DRAMチップ201を8層積層した場合、積層数認識信号線C8R, C4Rはともにハイとなり、この結果、IOチップ211のバンク選択信号生成部117bから生成されるバンク選択信号BA0N/T~BA2N/Tは全てイネーブルとなり、メモリモジュールはシステムのバンクアドレス信号BA0, 1, 2を取り込んで8バンク構成で動作する。

【0094】

他方、図7のように、DRAMチップ201を4層積層した場合、積層数認識信号線C8

50

Rがロー、C4Rがハイとなり、IOチップ211のバンク選択信号生成部117bから生成されるバンク選択信号BA0N/T~BA1N/Tがイネーブルとなり、BA2N/Tはハイレベルに固定される。この結果、メモリモジュールはシステムのバンクアドレス信号BA0,1を取り込んで4バンク構成として動作する。

【0095】

図4に示された内部コントロール回路113は、通常ハイレベルで、モジュール上のDRAMチップ201の初期化時にローレベルのパルス信号となる初期化信号REを生成する。この初期化信号REは積層数認識信号線(C4R,C8R)にそれぞれ接続された積層数認識信号線上のレベルを初期化する。初期化信号REによって初期化されると、積層数認識信号線(C4R,C8R)の状態は前述したように、積層されるDRAMチップ201の数に応じたレベルになる。

10

【0096】

また、図4のカウンタスタート値生成部115は3ビットのカウント信号S0-S2を出力する。この例では、カウント信号S0-S2は111であるものとする。この結果、最下層のDRAMチップ201のカウンタ回路300では、1だけインクリメントし、その出力として、000を出力する。以下、各層のDRAMチップ201のカウンタ回路300では同様に1だけインクリメントしたカウント値を順次上層に送出する。

【0097】

その結果、DRAMチップ201を積層した場合、下層から4番目のDRAMチップ201からの出力により、積層数認識信号線C4Rがハイとなり、下層から8番目のDRAMチップ201は積層されていないため、積層数認識信号線C8Rはローのままとなる。DRAMチップ201を8層積層した場合は、下層から4番目のDRAMチップ201からの出力により積層数認識信号線C4Rがハイとなると共に、下層から8番目のDRAMチップ201からの出力により積層数認識信号線C8Rがハイとなる。これにより、DRAMチップ201の積層数が認識できる。

20

【0098】

次に、図5に示されたDRAMチップ201はIOチップ211のカウンタスタート値生成部115に接続されたカウンタ回路300を含むDRAMチップ選択回路ブロック150を備えている。図示されたDRAMチップ201はカラムデコーダ、センスアンプ、データアンプ、ロウデコーダ等を含むメモリセルアレイ170のほかにコントロール回路171、アドレスバッファ172、及び、データバッファ173を備えている。

30

【0099】

更に、図示されたDRAMチップ201は積層される関係で各DRAMチップ201毎にテストをすることができないことを考慮して、DRAMチップ201上にテスト用パッド175及びテスト回路176を搭載していることをも特徴としている。

【0100】

ここで、図6をも参照すると、DRAMチップ選択回路ブロック150のカウンタ回路300には前述したカウント信号S0-S2がカウント入力信号S0_in~S2_inとして与えられ、1だけインクリメントしたカウント値を上層のDRAMチップ201にカウンタ出力S0_out~S2_outとして送出する。

40

【0101】

更に、図示されたカウンタ回路300はカウンタ出力S0_out~S2_outに応じて照合信号(S0T/N~S2T/N)を生成し、DRAM内ラッチ信号生成回路151に出力する。DRAM内ラッチ信号生成回路151は、カウンタ回路300から与えられる照合信号(S0T/N~S2T/N)をIOチップ211のバンク選択信号生成回路117bから送信されるバンク選択信号(BA0T/N~BA2T/N)と照合し、一致した場合にDRAMチップ内でDRAM内ラッチ信号を生成する。尚、図示されたDRAM内ラッチ信号生成回路151には、図3に示されているように、IOチップ211内の内部コントロール回路113からラッチ信号LATも与えられている。

【0102】

50

DRAM内ラッチ信号が図5のコントロール回路171、アドレスバッファ172、及び、データバッファ173に与えられ、メモリセルアレイ170から256ビットのデータ信号を読み出し、或いは、メモリセルアレイ170に対して書き込み可能な状態になる。

【0103】

尚、図6に示されたカウンター回路300は4層構造及び8層構造の際に、それぞれ最上層に位置するDRAMチップ201を識別するために、位置制御信号C4及びC8が論理回路を介してC4R、C8Rに出力されている。

【0104】

この構成を備えた各DRAMチップ201は、DRAMチップ選択回路ブロック150の動作により、IOチップ211で論理生成されたバンク選択信号(BA0T/N~BA2T/N)を受けて、選択的に動作することになる。

10

【0105】

更に、図5に示すように、DRAM内ラッチ信号はDRAMチップ内のコントロール回路171に入力し、コマンド信号に応じてDRAMチップ201のコントロール信号を生成し、アドレスバッファ172、データバッファ173に入力し、IOチップ211から送信されたデータ信号をDRAMチップ201内に取り込むことができる。

【0106】

また、積層数認識信号線C4R、C8Rのレベルにより積層されたDRAMチップ数を認識し、各DRAMチップに対して制御信号或いはアドレス信号の論理レベルの割り振りを行っていることが判る。

20

【0107】

更に、図示されたテスト回路176はコントロール回路171、アドレスバッファ172、及び、データバッファ173に接続されており、これらの回路171及びバッファ172、173に対してテスト用ラッチ信号を出力すると共に、テストコマンド信号、テストアドレス信号、及び、テストデータ信号をも出力する。これによって、積層されたDRAMチップ201を個別にテストすることができる。

【0108】

図10を参照すると、図6に示されたDRAMチップ選択回路ブロック150内のカウンター入力信号S0_in~S2_in、出力信号S0_out~S2_out、照合信号(S0T/N~S2T/N)、及び、位置制御信号C4及びC8の値が最下層の第1層から第8層まで順に示されている。

30

【0109】

図6に示されたDRAMチップ201では、その選択回路ブロック150内にカウンター回路300を設け、このカウンター回路300により、DRAMチップ201における照合信号(S0T/N~S2T/N)を生成している。このように、カウンター回路300を用いた構成では、図2を参照して説明したように、互いに異なる貫通電極形成パターン251、252をDRAMチップ201に形成する必要がある。

【0110】

図11に示されたDRAMチップ選択回路ブロック150aは積層されるDRAMチップ201全てのパターンを同じにして、積層されたDRAMチップ201の積層位置に応じた照合信号(S0T/N~S2T/N)を生成できる構成を備えている。具体的に言えば、図示されたDRAMチップ選択回路ブロック150aはカウンター回路300(図6)の代わりに、初期化信号REを受けて動作するヒューズ回路180を有している。ここでは、8層のDRAMチップ201を積層する場合を考慮して、3つのヒューズ回路180が設けられている。

40

【0111】

図からも明らかな通り、各ヒューズ回路180はNチャンネルMOSとPチャンネルMOSとのドレイン間にヒューズ素子181を設けると共に、当該ヒューズ素子181の一端に一对のインバータ回路を設けた構成を備え、一对のインバータ回路の両端の出力がDRAM内ラッチ信号生成回路151に与えられている。このヒューズ素子181をDRAM

50

チップ201の積層位置に応じて、切断することによって、図6と同様に照合信号を生成することができる。

【0112】

この構成によれば、DRAMチップ201のパターンは層毎に変える必要はなくなるが、ヒューズ素子181の切断個所の異なるDRAMチップ201を積層数に応じて製造する必要がある。

【0113】

尚、図示されたDRAMチップ201は照合信号に応じて、貫通電極を介して各DRAMチップ201とIOチップ211で共有する積層数認識信号線(C4R, C8R)のレベルを変化させ、これによって、最上層のDRAMチップを識別することができる。

10

【0114】

図12~14を参照して、本発明に係るDRAMチップの選択方法の他の例を説明する。図12に示されたメモリモジュールは1個のIOチップ211と8個のDRAMチップ201を備え、内部コントロール回路113から各DRAMチップ201に対応したチップセレクト信号CSEL1~8が8本の貫通電極端子を通して、各DRAMチップ201に出力されている点で、図3に示されたメモリモジュールとは相違している。このため、アドレスコントロール回路117aには、システムアドレス信号A0~Ai及びシステムのバンクアドレス信号BA0~2に与えられており、バンク選択信号生成回路117b(図3)が設けられていない点で、図3のメモリモジュールとは相違している。

【0115】

図13に示されたIOチップ211のアドレスコントロール回路117aはシステムのバンクアドレス信号BA0~2から内部バンクアドレス信号を生成し、内部コントロール回路113aに出力する。内部コントロール回路113aは内部バンクアドレス信号から、積層されたDRAMチップ201の積層位置に応じたチップ選択信号CSEL1~8を生成する。当該チップ選択信号CSEL1~8は8本の貫通電極端子のいずれか1本を選択し、当該1本の貫通電極端子に出力される。カウンタースタート値生成部115及び積層数認識信号線C4R, C8Rについては図4で説明したから、ここでは、詳述しない。

20

【0116】

図14を参照すると、図13から出力されるチップ選択信号CSEL1~8及びカウント信号S0~S2を受けて動作するDRAMチップ選択回路ブロック150が示されている。図14に示されたDRAM選択回路ブロック150はカウント信号S0~S2をカウント入力信号S0_in~S2_inとして受け、カウンター出力信号S0_out~S2_outを出力すると共に、DRAMチップ201の積層数に応じた本数の出力端子B1~B8を備えている。

30

【0117】

この例では、カウンター回路300は、カウンター値に応じて、出力端子b1~8の1本を選択して、DRAMチップ内ラッチ信号生成回路151に出力する。この場合、出力端子B1~B8はDRAMチップ201の層番目だけがハイレベルとなり、その他はローレベルとなる。

【0118】

図示されたDRAMチップ内ラッチ信号生成回路151には、貫通電極を介して、いずれか1つがハイレベルを取るチップ選択信号CSEL1~8が与えられている。このため、積層位置(層番目)のDRAMチップ211のDRAM内ラッチ信号生成回路151からDRAM内ラッチ信号が出力され、選択された貫通電極からの信号のみがDRAMチップ201に取り込まれる。

40

【0119】

ここでは、チップ選択信号CSELによりDRAM内ラッチ信号が生成され、前述した方法と同様に動作する例を示したが、本方式の方法はIOチップ211と個々のDRAMチップ201との信号の受送信を行う手段とすることができる。

【0120】

50

図14ではカウンター回路300を用いて、積層位置を識別し、DRAM内ラッチ信号を出力するDRAMチップ選択回路ブロック150について説明したが、カウンター回路300の代わりに、図11と同様にヒューズ回路180を各チップ選択信号CSEL1~8に対応して設けても良い。

【0121】

図15を参照すると、図14の変形例として、ヒューズ回路180をDRAMチップ201の積層数に応じた数だけ設けた例が示されている。図示されたDRAMチップ選択回路ブロック150bは、初期化信号RE端子に接続された8個のヒューズ回路180を備え、ヒューズ回路180の出力端子はそれぞれチップ選択信号CSEL1~8に対応して設けられたNANDゲートに接続されている。ヒューズ回路180の構成自体は図11と同様であるから説明を省略するが、各ヒューズ回路180のヒューズ素子181を切断することによりB1~B8に対応した信号を生成することができる。

10

【0122】

図16を参照すると、本発明の第3の実施形態に係るメモリモジュールが示されており、当該メモリモジュールは、従来の2ランクメモリモジュールと同等のメモリ容量を有することができる。図示されたメモリモジュールは2つのDRAMチップ201を同時にアクセスの対象とする場合に適した構成を示している。

【0123】

具体的に言えば、メモリモジュールはインターポーザ基板(図示せず)上に搭載された2つのIOチップ211a及び211bと、IOチップ211a、211b上にそれぞれ4層のDRAMチップ201a、201bを積層し、各IOチップ211a、211b上のDRAMチップ201a、201bが1つずつ同時にアクセスされ、2ランクのメモリモジュールを構成している。この場合、同時にアクセスされたDRAMチップ201a、201bとIOチップ211a、211bの間では、それぞれx256ビットのデータ信号が送受され、各IOチップ211a、211bとチップセットの間では、x32ビットのシステムデータ信号が送受される。図では、同時にアクセスの対象となる一对のDRAMチップ201a、201bはそれぞれ同一バンク0~3を構成している。

20

【0124】

一方、システムアドレス信号、コマンド、及び、クロック信号は2つのIOチップ211a、211b共通に与えられている。更に、各IOチップ211a、211bはインターポーザ基板上のシステムデータ信号BGA端子の半分にそれぞれ接続され、データ信号以外の信号端子は両IOチップ211a、211bで共有する構成を採用している。このように、インターポーザ基板上のシステムデータ信号BGA端子の半分に、IOチップ211a、211bを接続することにより、入力容量の増加による信号の伝送特性の劣化を軽減できる。

30

【0125】

図17を参照すると、図16に示されたメモリモジュールの変形例として、2つのIOチップ211a、211b上に8個のDRAMチップ201a、201bを積層したメモリモジュールが示されており、この関係で、各IOチップ211a、211bには、最下層の第1層から最上層の第8層まで、バンク0~7のDRAMチップ201a、201bがそれぞれ積層されている。

40

【0126】

この例においても、2個のIOチップ211a、211bはそれぞれインターポーザ基板上の1/2のシステムデータ信号BGA端子に接続され、アドレス、コマンド、クロック等のデータ以外のBGA端子は共有している。

【0127】

このように、インターポーザ基板の上に2個のIOチップ211a、211bを搭載することでデータ信号のインターポーザ基板上のBGA端子からIOチップ211a、211b上のパッドまでの配線長を短縮させることができることが確認された。

【0128】

50

図16及び17に示された例では、DRAMチップ201a、201bは $\times 256$ のデータ端子を有し、IOチップ211a、211bの平行シリアル変換回路でシステムの $\times 32$ のデータ線に対して入出力されているから、DRAMチップ201a、201bのデータ端子とシステムのデータ線とは8:1の構成になっており、より高い動作周波数に対応できる。

【0129】

上記した実施形態のほかに、各DRAMチップ201を2バンク構成とすることも可能である。

【0130】

図18を参照すると、512MbitのDRAMチップ201を256MbitのバンクAとバンクBとの2バンク構成にした例が示されている。このように、2バンク構成にした場合、DRAMチップ201内部は半分だけ活性化され、活性化されたバンクAからは256ビットのデータ信号が読み出し可能な状態となる。また、各DRAMチップ201を2バンク構成にすると、活性化されるページサイズは図9の場合に比較して半分となり、図18では4kバイトのページサイズとなる。

10

【0131】

図19を参照すると、本発明の第4の実施形態に係るメモリモジュールは2バンク構成のDRAMチップを積層した構成を備えている。図示された例では、インターポーザ基板210(図示せず)上に2個のIOチップ211a、211bを搭載し、2つのIOチップ211a、211b上にそれぞれ2つのDRAMチップ201a、201bを積層した構成を有している。各IOチップ211a、211bに積層されたDRAMチップ201a、201bはそれぞれ図19に示されているように2バンク構成を有している。

20

【0132】

図示されたDRAMチップ201a、201bのうち、IOチップ211a、211bに最も近接した、即ち、最下層のDRAMチップ201a、201bにはバンク0、2が割り当てられており、他方、上層のDRAMチップ201a、201bにはバンク1、3が割り当てられている。

【0133】

ここで、各IOチップ211a、211bはそれぞれ1/2のシステムデータ信号BGA端子に接続し、アドレス、コマンド、クロック等のデータ以外のBGA端子を共有している。

30

【0134】

この構成によれば、データ信号の端子容量を増加させずにメモリ容量の構成自由度を向上させることが出来ると共に、インターポーザ基板上の配線長短縮による特性を改善できる。

【0135】

図20を参照すると、図19に示されたメモリモジュールの変形例として、2つのIOチップ211a、211b上に、2バンク構成の4つのDRAMチップ201a、201bをそれぞれ積層した例が示されている。この場合、4つのDRAMチップ201a、201bには最下層から最上層まで、バンク(0,4)、(1,5)、(2,6)、(3,7)が割り当てられ、各バンクとIOチップ211a、211bとの間では、 $\times 128$ のデータ信号が送受され、他方、各IOチップ211a、211bとチップセットの間では、 $\times 32$ のシステムデータ信号が送受される。

40

【0136】

図21を参照すると、図19に示されたメモリモジュールの他の変形例が示されている。図からも明らかな通り、2つのIOチップ211a、211b上に、2バンク構成のDRAMチップ201a、201bが8個積層されている点以外、図19及び20と同様である。

【0137】

図19~21に示されたように、各DRAMチップ201a、201bを複数のバンク構

50

成にした場合、全体で、D R A Mチップ数×(D R A Mチップ内のバンク数)に等しいバンク数を有するメモリモジュールを構成することができる。この場合、D R A Mチップ201a, 201bの内部を複数(n個)のバンクとして動作させるときのページサイズは1/nとなる。また、B G A端子レベルによりD R A Mチップ201a, 201bの内部を複数(n個)のバンクとして動作させるかどうかを選択するように構成することも可能である。

【0138】

図22～図24を参照して、図19～図21に示されたメモリモジュールの具体的な回路構成について説明する。図22に示された各I Oチップ211には、2バンク構成の各D R A Mチップ201a, 201bを制御するコントロール信号M I O、M Bが与えられ、当該コントロール信号M I O、M BはI Oチップ211の内部コントロール回路113に供給されている。ここで、コントロール信号M Bはメモリモジュール内の複数のD R A Mチップ201a, 201bを2バンク構成にするか否かを指示するバンクモード信号であり、コントロール信号M I OはI Oチップ211a, 211bを選択する信号である。

10

【0139】

内部コントロール回路113aはこのようなコントロール信号M I O、M Bを受けて動作し、アドレスコントロール回路、バンク選択信号制御回路117を制御する。図示された内部コントロール回路113aはコマンド信号及びラッチ信号L A Tを生成する点では図3に示された内部コントロール回路113と同様である。また、アドレスコントロール回路、バンク選択信号制御回路117は後述するようにバンク選択信号B S E L T / Nを生成する。

20

【0140】

図23を参照して、図22に示されたI Oチップ211を具体的に説明すると、システムバンクアドレス信号B A 0～B A 3を受けて動作するアドレスデータコントロール回路117aは内部バンク選択信号(B A 0 T / N P～B A 3 T / N P)を個別にバンク選択信号生成回路117bに出力している。

【0141】

一方、内部コントロール回路113は、バンクモードM Bを受けて、D R A Mチップ210のバンク構成を設定する内部バンクモード信号M B Sを出力し、更に、I Oチップ211a, 211bの構成を設定するコントロール信号M I O Sをも出力する。尚、内部バンクモード信号M B SはD R A M内部を2バンク構成にするかしないかを決定する信号である。このことは、図示されたメモリモジュールは2バンク、或いは、単一のバンクで選択的に動作させることができることを意味している。

30

【0142】

図23に示されたバンク選択信号生成回路117bは、内部バンク選択信号(B A 0 T / N P～B A 3 T / N P)及び積層数認識線(C 4 R、C 8 R)上の信号を論理演算して、当該I Oチップ211a又は211b上におけるバンクを選択するバンク選択信号(B A 0 T / N～B A 2 T / N)を出力する一方、各D R A Mチップ201a, 201b内のバンク構成を指定するバンク構成選択信号B S E L T、B S E L Nをも出力する。

【0143】

図24を参照すると、図23に示されたI Oチップ211a, 211b上に積層された各D R A Mチップ201(添字省略)はメモリセルアレイ1(バンクA)とメモリセルアレイ2(バンクB)とを有し、これらバンクA, Bはバンクモード信号M B Sに応じて、単一のバンク或いは2バンク構成で選択的に動作する。

40

【0144】

具体的に説明すると、図24に示されたD R A Mチップ201はカウンター回路300を備えたD R A Mチップ選択回路ブロック150を有し、更に、コントロール回路171、アドレスバッファ172、データバッファ173、テスト回路176、及び、テスト用パッド176を有している。ここで、D R A Mチップ選択回路ブロック150及びテスト回路176は前述した実施形態において既に説明したから、ここでは説明を省略する。

50

【0145】

図示されたコントロール回路171は内部バンクモード信号MBS及びコントロール信号MIOSを受けて、当該MBS及びMIOSに応じて、メモセルアレイ1及び2にコントロール信号1及び2を出力する。更に、各DRAMチップ201a, 201b内のバンクレベルを指定するバンクレベル選択信号BSELT、BSELNはアドレスバッファ172に与えられる。アドレスバッファ172は当該BSELT、BSELNにしたがってメモセルアレイ1及び2にカラムアドレス信号を出力すると共に、ロウアドレス信号1、2をメモセルアレイA, Bに出力する。

【0146】

このことから明らかとなり、図24に示されたコントロール回路171、アドレスバッファ172、及び、データバッファ173はメモリアレイを制御するアレイ制御回路として動作する。

10

【0147】

この動作以外の動作は前述した実施形態と同様であるので、説明を省略する。

【0148】

図23に示したIOチップ211では、システムのバンクモード信号MBに応じて、内部コントロール回路113では、バンクモード信号MBSを生成している。

【0149】

図25には、IOチップ211の別の例が示されている。図示されたIOチップ211の内部コントロール回路113には、インターポーザ基板上的BGA端子からDRAMチップ積層数識別信号MC8及びMC4が与えられている。この内部コントロール回路113はシステムのバンクモード信号MBだけでなく、当該MC8及びMC4で指定されたレベルをも参照して、バンクモード信号MBSを生成している。

20

【0150】

上記した実施形態では、DRAM内部を2バンク構成にするかしないかをBGA端子MBに与えられる信号で制御されるようにした。このため、システムのマスターの要求に応じて内部バンク構成を可変にすることができる。MB端子には、システムにより固定電位を与えてもよいし、システムコマンド信号と同じに切り替えることも可能である。

【0151】

前述したように、DRAMチップ内を2バンクの構成にした場合、DRAMの積層数を2層でも最小のDRAM容量に対応できる。更に、4層、8層の構成を同じIOチップ、DRAMチップで構成することができ、種々のメモリ容量要求に対応でき生産性が向上する。

30

【0152】

バンク数を多くすることによる効果について説明しておく、システムによってはメモリバンクの使用方法が異なっているが、ページヒット率が高い場合、バンクを活性化した状態でシステムからの要求を待つのでページ長が長い方がヒット率の向上に効果がある。また、ページヒット率が低い場合には、バンクを閉じた状態でシステムからの要求を待つのでバンク数が多いほうが望ましい。

【0153】

ここで、メモリモジュールには、モジュールのメモリ容量、バンク構成、保証動作スピード、その他の情報を製造時に書き込み、チップセットがシステムブート時に、これを参照して制御条件を自動設定するための機能を有するSPDチップが搭載されている場合がある。このようなSPDチップを備えたメモリモジュールにも本発明は同様に適用できる。

40

【0154】

図26を参照すると、本発明の第4の実施形態に係るメモリモジュールがしめされている。図示されたメモリモジュールはインターポーザ基板210上に一つのIO基板即ちIOチップ211を搭載し、当該IO基板211上に8層からなるDRAMチップ201を積層している。更に、最上層のDRAMチップ201上にSPDチップ400が搭載されている。当該SPDチップ400は前述したようにメモリ容量等を書き込んだROMであり

50

、システムブート時、チップセットから当該SPDチップ400の制御条件が読み出され、その条件が自動的にシステム内に設定される。

【0155】

SPDチップ400はDRAMチップ201と同様に、貫通電極215によりIOチップ211に接続され、更に、IOチップ211上のパッドを介してインターポーザ基板210に接続されている。

【0156】

図示されたメモリモジュールの動作はブート時の動作以外、第2の実施形態に係るメモリモジュールと同様である。

【0157】

図27を参照すると、SPDチップ400を使用した別の例が示されている。ここでは、インターポーザ基板210上に、2つのIOチップ211a、211bが搭載されている。IOチップ211a、211bにはそれぞれ8層のDRAMチップ201a、201bが積層されている。更に、図示された例では、SPDチップ400はIOチップ211a上のDRAMチップ201aにだけ取り付けられている。SPDチップ400は貫通電極215を介してIOチップ211aに接続されている。

【0158】

この構成では、貫通電極215を介してSPD信号をIOチップ201aで読み取ることができる。

【0159】

チップセットはシステムブート時にSPDチップ400に書き込まれた情報を読み出す。この情報をIOチップ211a、211b内に取り込み、DRAMチップ201a、201bのコントロール信号(MBS;DRAMチップ内のバンク構成、MIOS;DRAMチップのIO構成)を生成する。

【0160】

このように、メモリモジュールの初期設定時に、IOチップ201a、201bがSPDチップ400に読み出しアクセスをかけることで、SPDチップ400に製造時に書き込まれた内部タイミング設定、モジュール構成等の設定情報を読み取り内部回路の設定を行うことも可能になる。

【0161】

また、図27に示すように、2個のIOチップ211a、211bを搭載する場合、片側のDRAMチップ201a上のみ、SPDチップ400を搭載し、貫通電極215でIOチップ211a上のパッドに結線し、更に、インターポーザ基板210上配線により、もう一方のIOチップ211bのパッドに結線される。これによって、両方のIOチップ211a、211bでSPDチップ400からの信号を読み取ることが可能となる。

【0162】

図28を参照すると、図27に示されたメモリモジュールの積層構造が示されている。図からも明らかな通り、SPDチップ400は左側のDRAMチップ201a上だけに配置されており、右側のDRAMチップ201b上には配置されていない。更に、図示された各DRAMチップ201a、201bは2バンク構成を有し、この関係で、各DRAMチップ201a、201bには2つのバンクレベルが与えられている。

【0163】

システムアドレス、コマンド、クロック信号は2つのIOチップ211a、211bに共通に与えられると共に、システムブート時には、SPDチップ400がアクセスされる。SPDチップ400はアクセスされると、SPD信号(SCL,SDA,SA0-SA2)をIOチップ211a、211b及びチップセットに出力する。

【0164】

図29には、図28に示されたIOチップ211a、DRAMチップ201a、SPDチップ400の接続関係が示されており、図30には、IOチップ211bとDRAMチップ201bとの接続関係が示されている。図示されたIOチップ211aはSPDチップ

10

20

30

40

50

400に接続されたSPDコード解読回路500を備え、当該SPDコード解読回路500においてSPD信号を解読して、解読結果を内部コントロール回路113に出力している。内部コントロール回路113では、解読結果に応じてIO内調整信号を入出力回路111及び入力回路112に供給して、初期設定を行なうと共に、コントロール信号MBS及びMIOSを当該IOチップ211a上のDRAMチップ201aに供給して各DRAMチップ201aを初期設定する。

【0165】

SPD信号は当該IOチップ201aを介して、図30に示されたIOチップ211bのSPDコード解読回路500にも供給され、解読結果は当該IOチップ211b内の内部コントロール回路113に与えられ、IOチップ211a上のDRAMチップ201aの場合と同様に、DRAMチップ201bの初期設定を行なう。

10

【0166】

図31を参照して、上記した本発明に係るメモリモジュールの動作を説明する。尚、メモリモジュールの動作は全ての実施形態において基本的には同様である。IOチップ211はシステムコマンド信号(ACT, RED, PRE)をチップセットから受信すると、DRAMチップ201に対してラッチ信号LAT及びアドレス信号IA0~IAi、バンク選択信号BA0-2T/N、コマンド信号、内部データ信号(x256)を送信する。

【0167】

図示された例では、システムクロック信号として400MHzが与えられ、システムクロック信号に同期して、システムコマンド(ACT, RED, PRE)が与えられ、システムコマンドACT, REDに応じてラッチ信号LAT信号及びDRAM内ラッチ信号が所定のタイミング後、出力される。図からも明らかな通り、ラッチ信号LATとDRAM内ラッチ信号とは同じ時間間隔で生成されている。

20

【0168】

DRAMチップ201はIOチップ211より送信されるラッチ信号LATによりアドレス、コマンド、データ信号を受信し内部動作を開始する。ここで、コマンド信号はシステムクロックに同期したラッチ信号LATによってDRAMチップ201に送信されるのでメモリモジュール内コマンド信号間のタイミングはシステム上の時間間隔と同じになる。

【0169】

図示されているように、システムコマンドACTがアドレス信号ADDと共に与えられると、対応するDRAMチップが活性化され、この状態で読出コマンドREDが与えられると、256ビットの内部データが64ビット単位で4回、システムデータとして読み出される。

30

【0170】

図32を参照すると、システムコマンドとして、連続的に読出コマンドREDがシステムアドレスAddと共に与えられた場合の動作が示されており、この場合にも、tRAS期間中に、256ビットの内部データが64ビット単位のシステムデータとして連続的に読み出されている。

【0171】

他方、図33には、システムコマンドACT後、書込コマンド(WRT)が与えられた場合の動作が示されている。この場合、システムコマンドACT及びWRTに同期して、DRAMチップ内では、DRAM内ラッチ信号、コマンド信号、内部アドレス信号が生成され、64ビット単位のシステムデータ信号がDRAMラッチ信号に同期して、256ビットの内部データ信号として書き込まれる。

40

【0172】

本発明に係るメモリモジュール内のDRAMチップ201には、前述したように、テスト用パッド175及びテスト回路176が内蔵されている。

【0173】

図34を参照して、各DRAMチップ201をテストした場合における書込み動作を説明する。この場合、DRAMチップ201には、テストコマンド信号(ACT, RED, P

50

RE) がテストパッド 175 からテストトリガ信号に同期して与えられる。テストコマンド信号を受信すると、テスト回路 176 はテスト用ラッチ信号、テストアドレス、テストコマンド、テストデータ信号をアドレスバッファ 172、コントロール回路 171、データバッファ 173 に送信する。図示された例では、テストパッド数を削減するためテスト用信号はテスト用トリガ信号の立ち上がり、立下りに連続して入力され、テスト回路 176 でモジュレートされテストアドレス、テストコマンドとして生成される。

【0174】

テストデータ信号は 1 ピンから入力され、内部の x256 IO は縮退されてテストされる。DRAM チップ 201 はテスト回路 176 より送信されるテスト用ラッチ信号によりアドレス、コマンド、データ信号を受信し内部動作を開始する。

10

【0175】

ここで、テストコマンドはテストトリガ信号に同期したテスト用ラッチ信号によって内部動作信号とされるので、DRAM チップ内コマンド間のタイミングはテストコマンドのタイミング間隔と同じになる。

【0176】

図 35 は各 DRAM チップ 201 の読出動作をテストする場合の動作を示すタイミングチャートである。読出動作時には、期待値データがテストデータ入出力から入力され、内部読み出しデータと比較され、比較結果がラッチされる。

【0177】

判定結果は図 36 に示す比較サイクルで出力され、リセットされる。

20

【0178】

図 36 に判定結果をラッチする DRAM チップ内信号ラッチ回路の構成が示されている。図 37 に示されたラッチ回路は、テストの際に使用され、テスト用ラッチ信号によってテストアドレス、コマンド、データ信号をラッチする回路部分と、通常動作時に使用され、DRAM 内ラッチ信号によってアドレス、コマンド、データ信号をラッチする回路部分とは共通の出力部を備えている。この構成では、ラッチする回路部における信号の DRAM チップ内生成タイミング間隔がテスト時と実装時で同一にできるのでウエハ状態での DRAM チップの不良除去が可能となる。

【0179】

図 38 を参照して、上記した本発明に係るメモリモジュールを使用して構成されたメモリシステムについて説明する。図示されたメモリシステムは、図 1 等に示された DRAM チップ 201 の積層体を含むメモリモジュール (400a ~ 400d で示す) をマザーボード 401 上にメモリコントローラ (チップセット) 402 と共に搭載されている。

30

【0180】

図示された例において、各メモリモジュール 400a ~ 400d はマザーボード 401 に平面的に実装されている。この関係で、マザーボード 401 には、メモリモジュール 400a ~ 400d の実装位置に平面実装ソケット 403 が設けられており、メモリモジュール 400a ~ 400d はそれぞれ平面実装ソケット 403 のパッドに対し、インターポーザ基板 210 の BGA 端子により電氣的に接続されている。

【0181】

この場合、各メモリモジュール 400a ~ 400d に設けられたインターポーザ基板 210 の BGA 端子には、メモリシステムのデータ信号、アドレスコマンド信号、クロック信号、及び、制御信号が与えられる。これらの信号は各メモリモジュール 400a ~ 400d の IO チップ 211 上のそれぞれの信号パッド、更に、インターフェイス回路に供給される。各メモリモジュール 400a ~ 400d 内の結線は極めて短いため、信号配線上においては、電氣的に無視できる (@1.6 Gbps) ほどの分岐しか生じない。

40

【0182】

図示された例では、データ信号、アドレスコマンド信号、及び、クロック信号の配線はそれぞれ物理的に同じ配線トポロジーとすることができる。このため、各メモリモジュール 400a ~ 400d (特に、IO チップ入力パッド) における信号到達時間の差 (即ち、

50

スキュー)が生じない。

【0183】

この構成では、チャンネルあたりのバス幅はDDR IIモジュールと同等以上にできるため、バスに接続されるパッケージ数はDRAMのように増加しないという利点がある。

【0184】

次に、図39に示されたメモリシステムは、図38に示されたメモリモジュール400a~400dを平面実装ソケット403を介して実装基板410に実装し、当該実装基板410をスロット及びコネクタ(図示せず)により、マザーボード401上に搭載した構成を有している。このように、本発明のメモリシステムはマザーボード401上に、積層メモリモジュール400a~400dを搭載した実装基板410を立設するような構成を撰

10

【0185】

図39に示された実装基板410を2つのスロットに実装したメモリシステムについて1.6Gbpsでライト、リードのシミュレーションを行ったところ、アイパターンに十分なウィンドウが開くことが確認された。また、同様に、4スロットにおいても十分なウィンドウが得られた。

【0186】

他方、2スロットに16個のデバイスが実装されたDRAMについて、同様なシミュレーションを行ったところ、十分なウィンドウが得られなかった。

20

【0187】

これは、16デバイスがバスに接続された場合、遠端デバイスでの受信波形は他のデバイス入力LCによる反射信号の影響を受けるためであると考えられる。

【0188】

上記した実施形態では、DRAMチップについてのみ説明したが、本発明は何等これに限定されることなく、外部データ信号の転送速度及び幅がモジュール内の内部データ信号の転送速度及び幅と異なるシステムに適用できる。

【0189】

【発明の効果】

前述したように、本発明に係るDRAMメモリモジュールはインターポーザ、IOチップ、貫通電極、及び、複数のDRAMチップを積層した構造を有している。この構造によれば、アドレス、コマンド、クロック信号の入力回路はIOチップ上にのみ搭載されるため、従来のメモリモジュール上で各DRAMチップが消費していたアドレス、コマンド、クロック信号の入力回路の消費電流はIOチップ上の1セット分のみとなる。同様に、従来各DRAMチップに搭載されていたDLLは本発明のメモリモジュールでは、IOチップ上にのみ搭載され、消費電流は1セット分のみとなる。本発明の構造では、モジュール基板上配線は貫通電極に相当し、貫通電極は50μm程度で8層の積層でも450μmほどで配線の充放電電流は極めて小さい。このため、本発明では、従来のモジュールでの基板上配線充放電電流を大幅に削減できる。

30

40

【0190】

本発明に係るメモリモジュールでは、メモリコントローラからの1つのアクセス命令に対してモジュール内の1つのDRAMチップのみがアクセスされる。従来のDDRモジュールの場合のようにモジュール上の全てのDRAMチップ或いは1/2のDRAMチップにアクセスする場合におけるDRAMチップ上のコントロール回路部およびコントロール信号の重複動作をなくすことでモジュール全体の動作電流を削減できる。

【0191】

更に、本発明に係るメモリモジュールでは、従来DDR等のシステムでモジュール上配線遅延に対するタイミング調整のために搭載されているレジスター、PLLは必要ないため

50

、これらの能動部品による消費電流が削減される。

【0192】

また、DDRIIシステムで必要とされるDRAMチップ内のデータ信号配線(DQ)のターミネーションは必要としないため、ここで消費されるDC電流が削減できる。

【0193】

本発明のメモリモジュールでは、動作電流を削減するためメモリコントローラからの1つのアクセス命令に対してモジュール内の1つのDRAMチップのみがアクセスされる。

【0194】

また、積層されるDRAMチップは生産性を考慮して貫通電極を含むすべてのパターンが共通のものが望ましい。このように、全てのパターンを共通にした場合、IOチップから個別のDRAMチップに信号を送信して動作させることは困難になると言う問題が生じる。しかしながら、この問題は、各DRAMチップにIOチップから送信される制御信号あるいはアドレス信号と照合することにより信号の受信をするための照合信号を生成するカウンター回路を設けることによって解決される。このようなカウンター回路に対する配線は、貫通電極を形成した後、DRAMチップのパターンを形成が終了したウエハに対して行われる。

【図面の簡単な説明】

【図1】本発明に係るメモリモジュールの概略構成を示す図である。

【図2】本発明の実施形態に係るメモリモジュールの構成を示す分解図である。

【図3】図2に示されたメモリモジュールの全体構成を示すブロック図である。

【図4】図3に示されたIOチップ211の一部の構成をより具体的に示すブロック図である。

【図5】図3に示されたDRAMチップ201の具体的な構成を示すブロック図である。

【図6】図5に示されたDRAMチップ201で使用されるDRAMチップ選択回路をより詳細に示すブロック図である。

【図7】本発明に係るメモリモジュールの一例をそのアクセス方法と共に説明するための図である。

【図8】本発明に係るメモリモジュールの他の例をそのアクセス方法と共に説明するための図である。

【図9】図7及び図8に示されたDRAMチップの活性化状態を示す図である。

【図10】図6に示された信号関係を示す図である。

【図11】図5に示されたDRAMチップ201で使用されるDRAMチップ選択回路の他の構成例を示すブロック図である。

【図12】本発明に係るDRAMチップの選択方法の他の例を説明するブロック図である。

【図13】図12に示されたIOチップの構成を具体的に説明するブロック図である。

【図14】図12に示されたDRAMチップの具体的な構成を示すブロック図である。

【図15】図12に示されたDRAMチップの変形例を示すブロック図である。

【図16】本発明の他の実施形態に係るDRAMモジュールの概略構成及びそのアクセス方法を説明するブロック図である。

【図17】本発明の他の実施形態に係るDRAMモジュールの変形例及びそのアクセス方法を説明するブロック図である。

【図18】本発明の更に他の実施形態に係るDRAMモジュールにおける各DRAMチップの構成を説明する図である。

【図19】図18に示されたDRAMモジュールの構成例を示す図である。

【図20】図18に示されたDRAMモジュールの他の構成例を示す図である。

【図21】図18に示されたDRAMモジュールの更に他の構成例を示す図である。

【図22】図18～図21に示されたDRAMモジュールにおける動作を説明するためのブロック図である。

【図23】図22に示されたIOチップの構成を具体的に説明するブロック図である。

10

20

30

40

50

【図 2 4】図 2 2 に示された D R A M チップの構成を具体的に説明するブロック図である。

【図 2 5】図 2 2 に示された I O チップの他の構成例を示すブロック図である。

【図 2 6】本発明の別の実施形態に係る D R A M モジュールの概略構成を示す図である。

【図 2 7】本発明の更に他の実施形態に係る D R A M モジュールの概略構成を示す図である。

【図 2 8】図 2 7 に示された D R A M モジュールのバンク及び配線を説明する図である。

【図 2 9】図 2 8 に示された D R A M モジュールにおける D R A M 積層体の一方の構成を説明するブロック図である。

【図 3 0】図 2 8 に示された D R A M モジュールの他方の D R A M 積層体の構成を説明するブロック図である。

10

【図 3 1】本発明に係る D R A M モジュールにおける読出動作を説明するタイムチャートである。

【図 3 2】本発明に係る D R A M モジュールにおいて連続読出動作が行われる場合を説明するタイムチャートである。

【図 3 3】本発明に係る D R A M モジュールにおける書込動作を説明するタイムチャートである。

【図 3 4】本発明に係る D R A M モジュールにおけるテストデータの書込動作を説明するタイムチャートである。

【図 3 5】本発明に係る D R A M モジュールにおけるテストデータ読出動作を説明するタイムチャートである。

20

【図 3 6】本発明に係る D R A M モジュールにおけるテストデータ比較動作を説明するタイムチャートである。

【図 3 7】テストの際使用されるデータラッチ回路を説明する回路図である。

【図 3 8】本発明に係る D R A M モジュールを複数個含むメモリシステムの一例を説明する斜視図である。

【図 3 9】本発明に係る D R A M モジュールを複数個含むメモリシステムの他の例を説明する斜視図である。

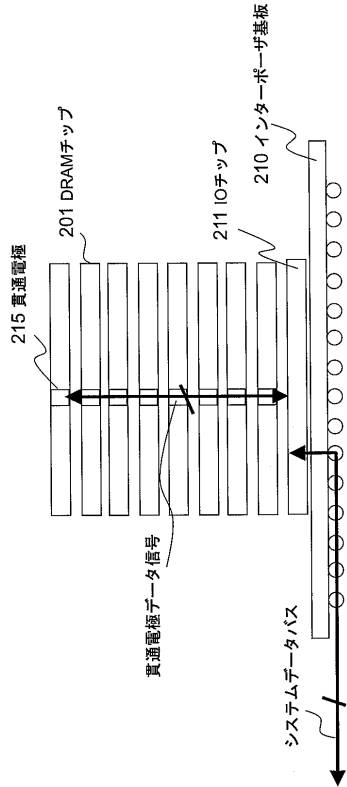
【図 4 0】従来の D R A M モジュールを説明する平面図である。

【符号の説明】

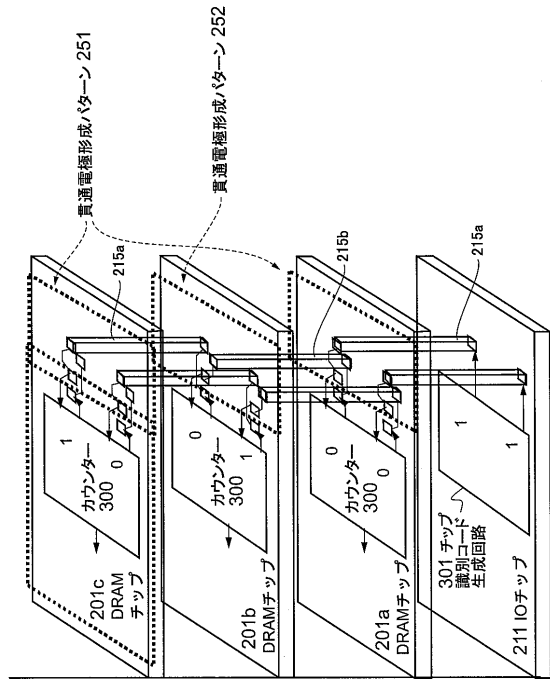
30

2 0 1、2 0 1 a、2 0 1 b、2 0 1 c	D R A M チップ
2 1 0	インターポータ基板
2 1 1	I O チップ
2 1 5、2 1 5 a、2 1 5 b	貫通電極

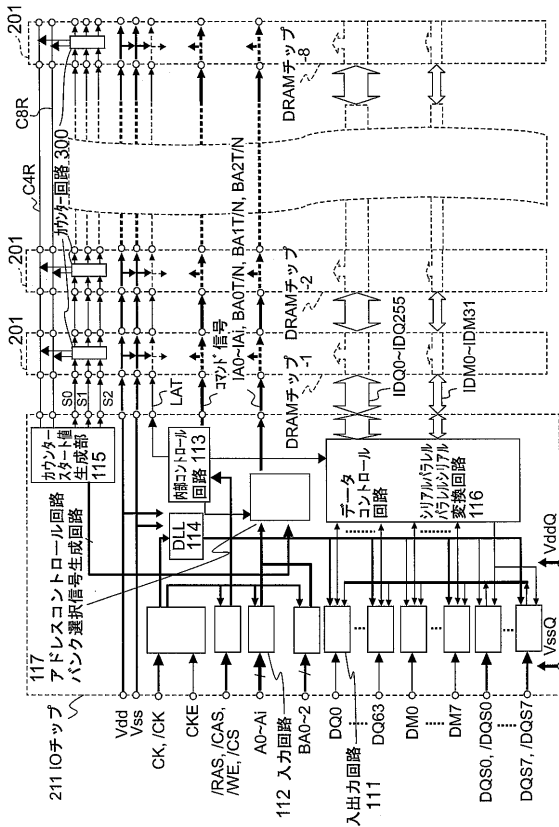
【図1】



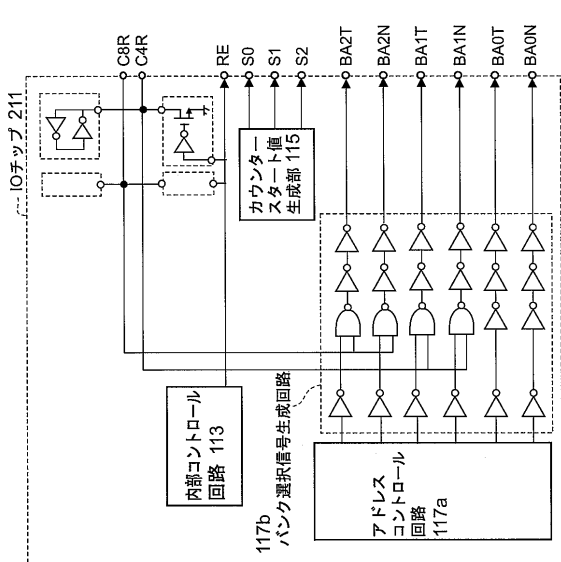
【図2】



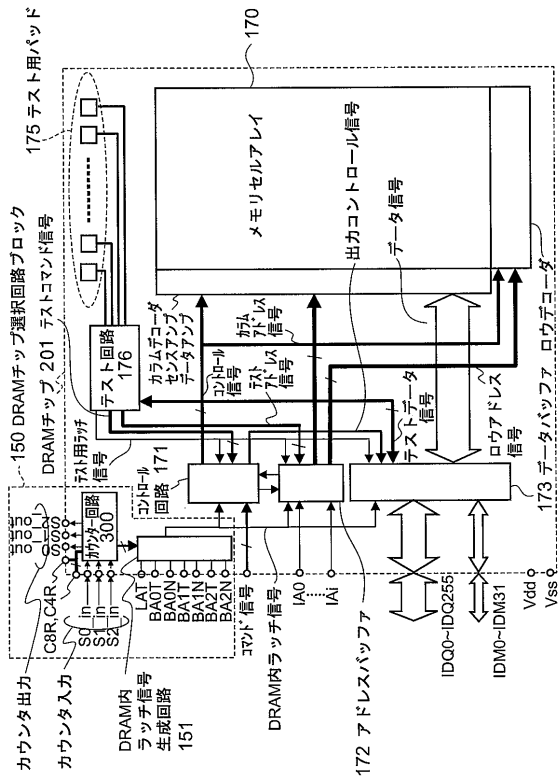
【図3】



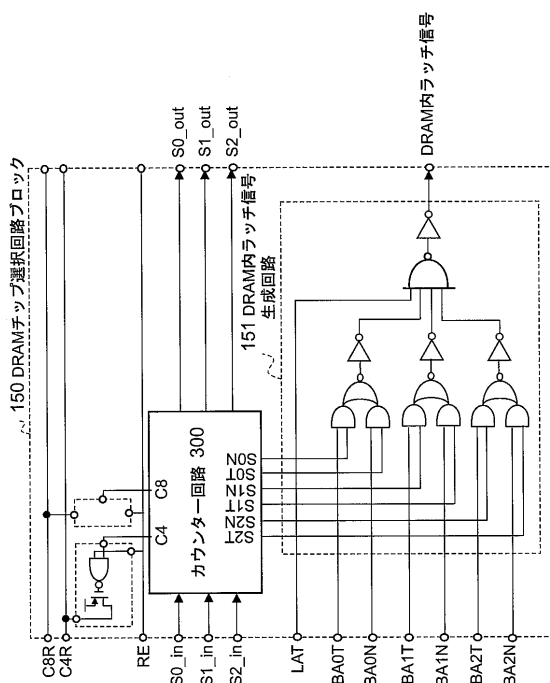
【図4】



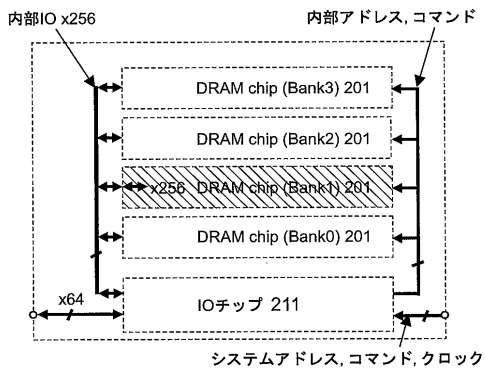
【図5】



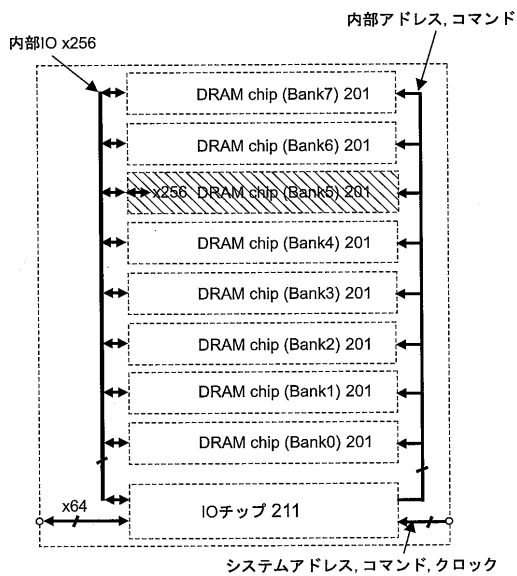
【図6】



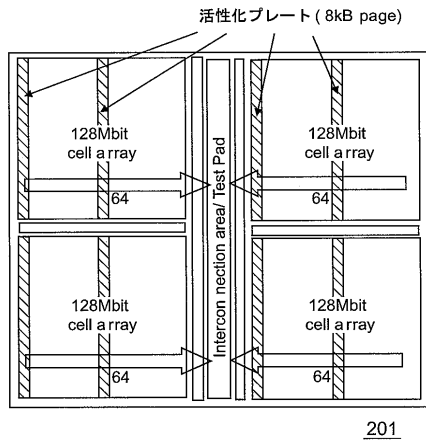
【図7】



【図8】



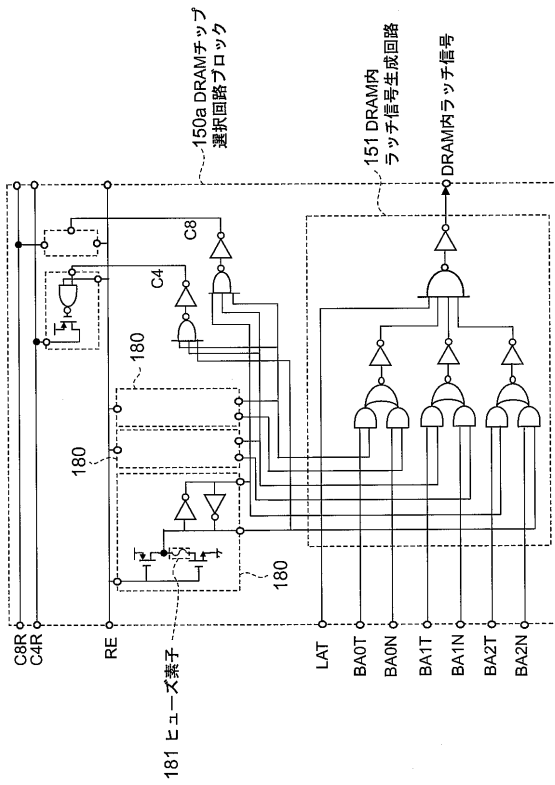
【図9】



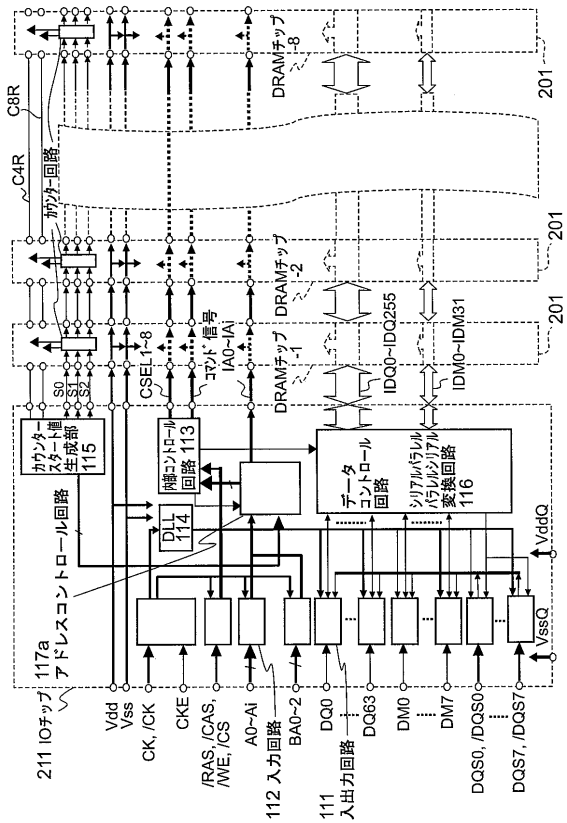
【図10】

S0_in	1	0	1	0	1	0	1	0
S1_in	1	0	0	1	1	0	0	1
S2_in	1	0	0	0	0	1	1	1
S0_out	0	1	0	1	0	1	0	1
S1_out	0	0	1	1	0	0	1	1
S2_out	0	0	0	0	1	1	1	1
S0N	1	0	1	0	1	0	1	0
S0T	0	1	0	1	0	1	0	1
S1N	1	1	0	0	1	1	0	0
S1T	0	0	1	1	0	0	1	1
S2N	1	1	1	1	0	0	0	0
S2T	0	0	0	0	1	1	1	1
C4	0	0	0	1	0	0	0	0
C8	0	0	0	0	0	0	0	1

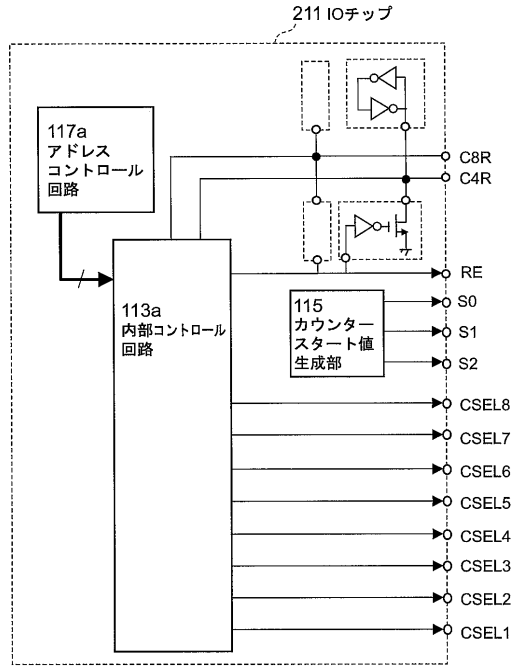
【図11】



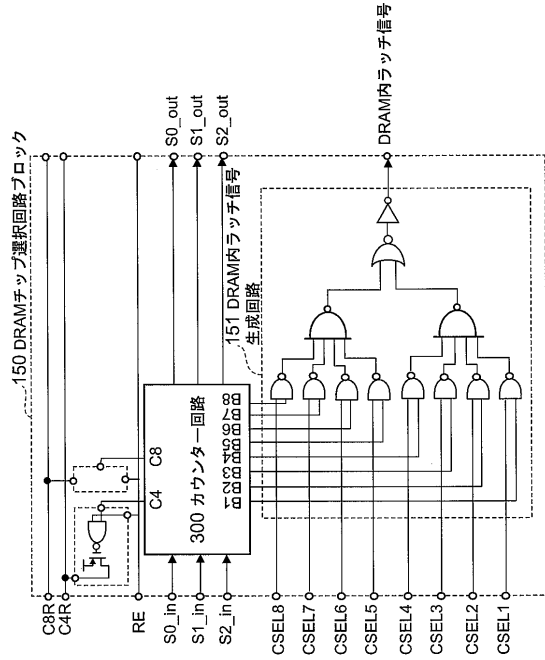
【図12】



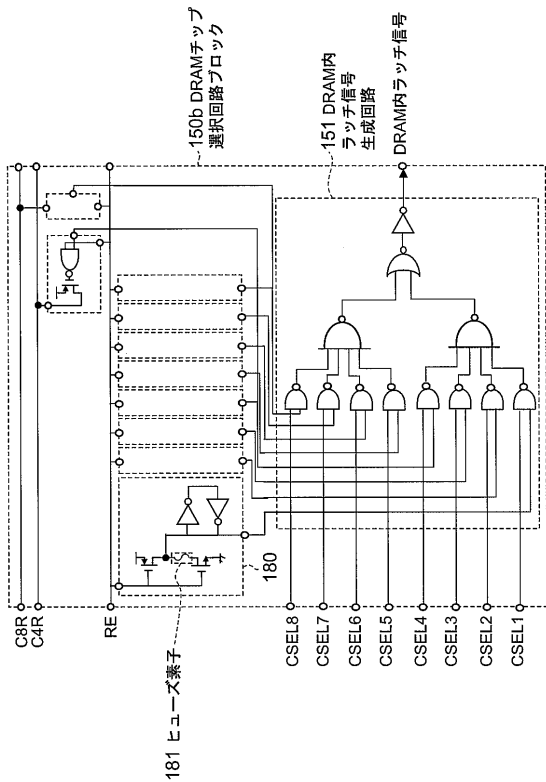
【図13】



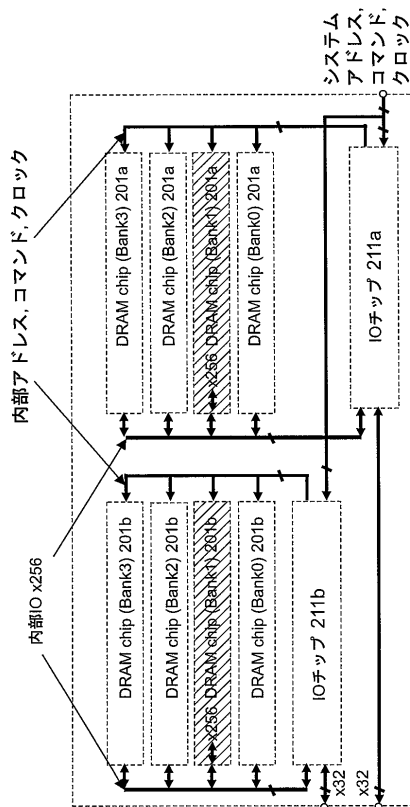
【図14】



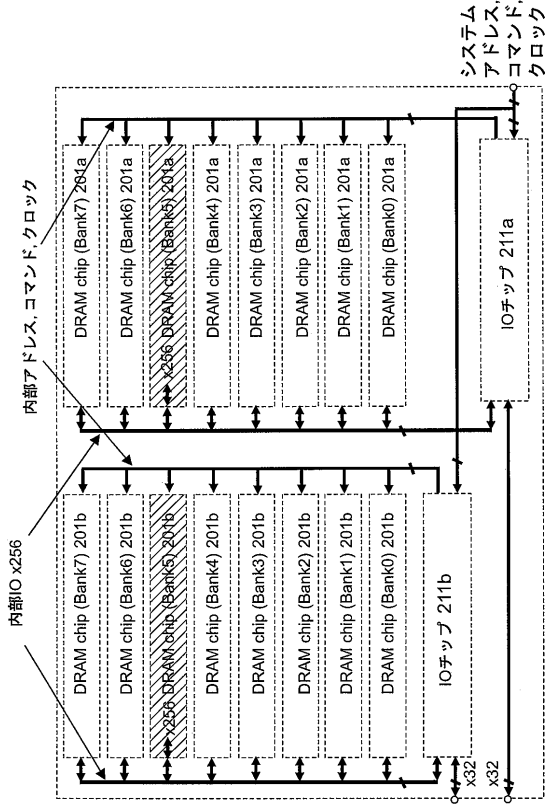
【図15】



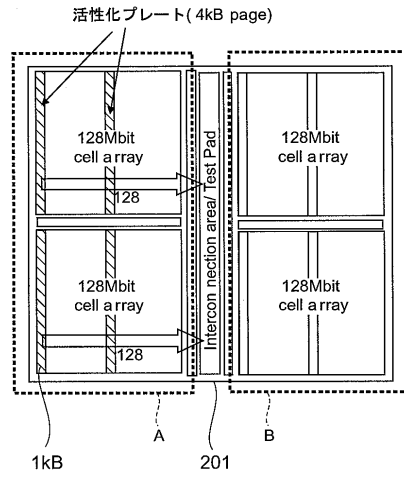
【図16】



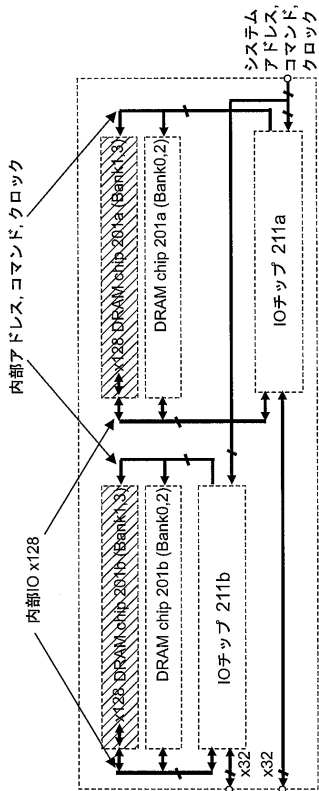
【 図 17 】



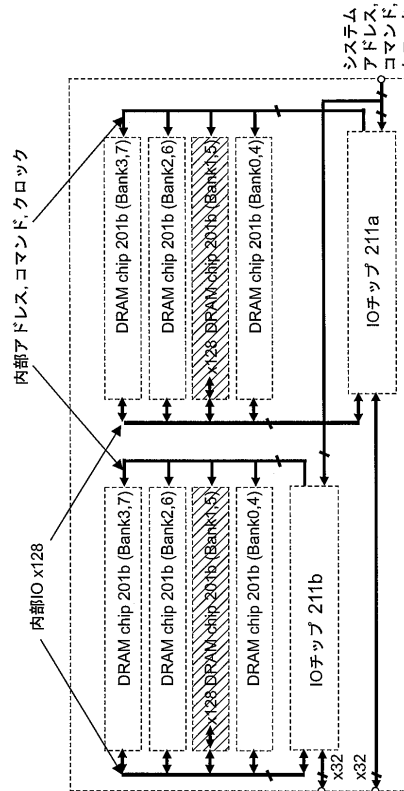
【 図 18 】



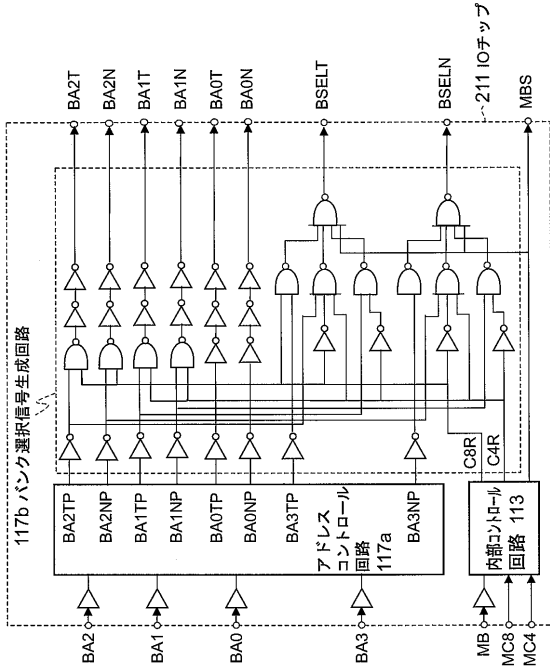
【 図 19 】



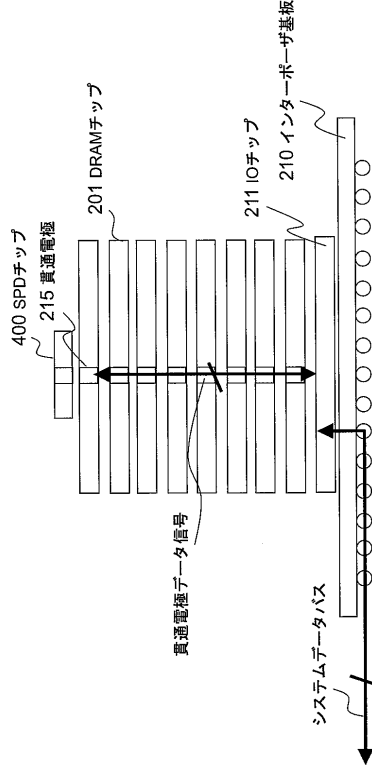
【 図 20 】



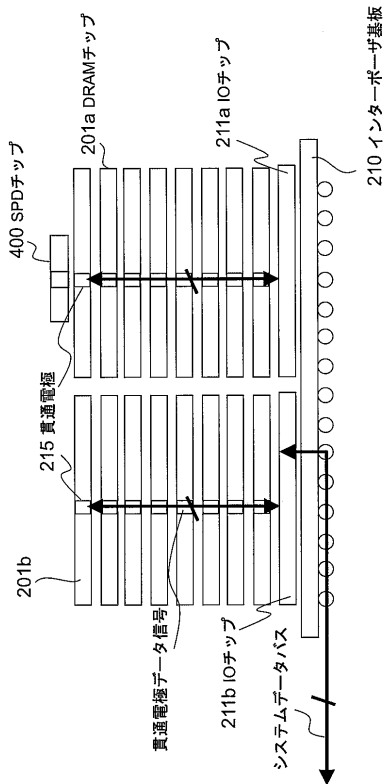
【図 25】



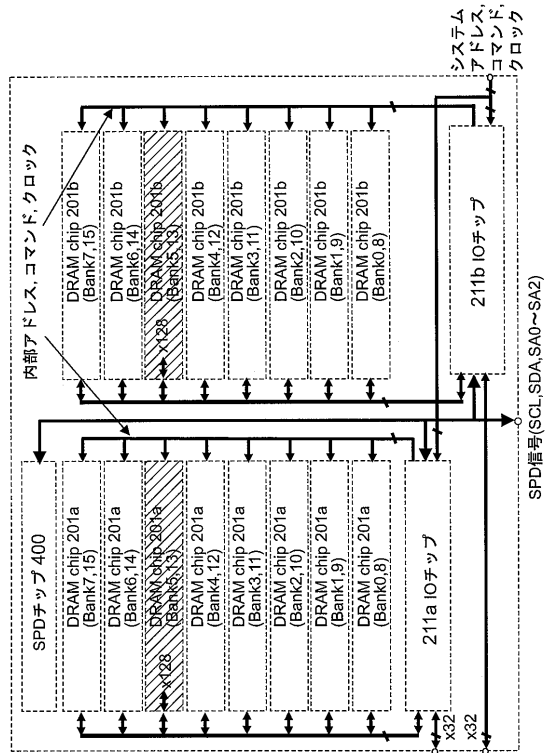
【図 26】



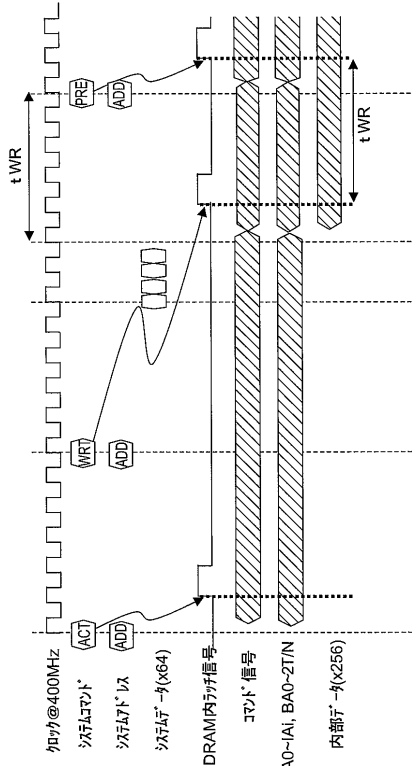
【図 27】



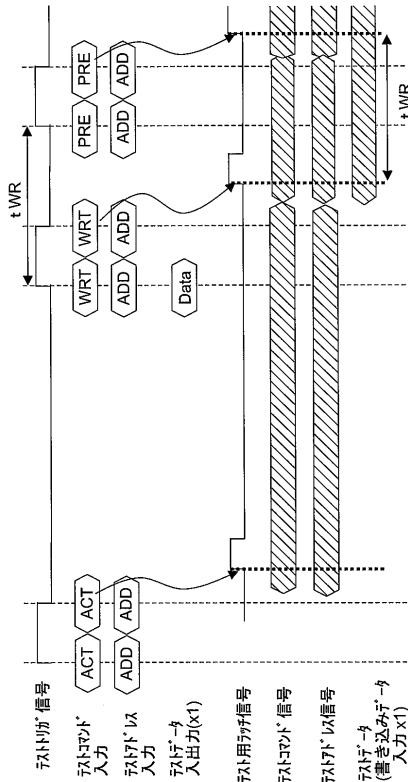
【図 28】



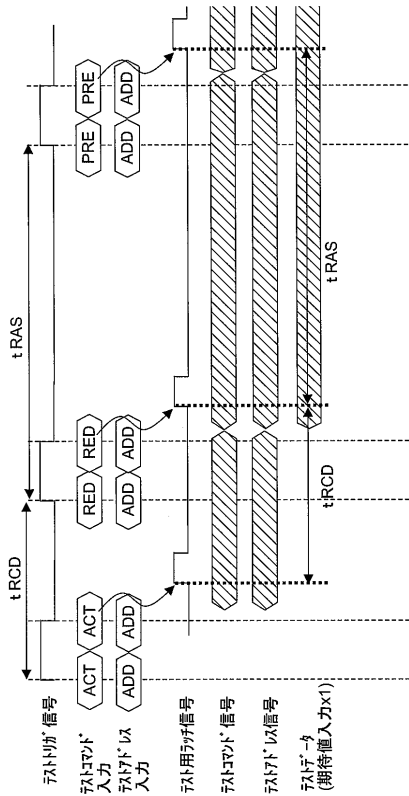
【図 3 3】



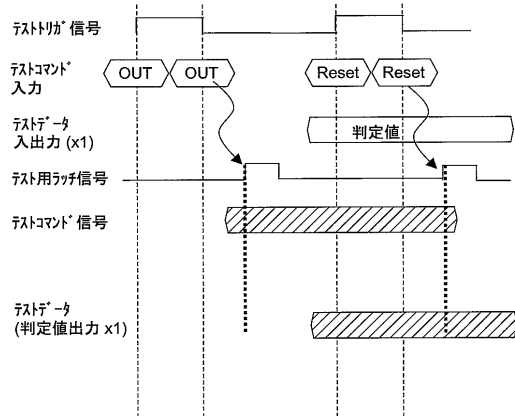
【図 3 4】



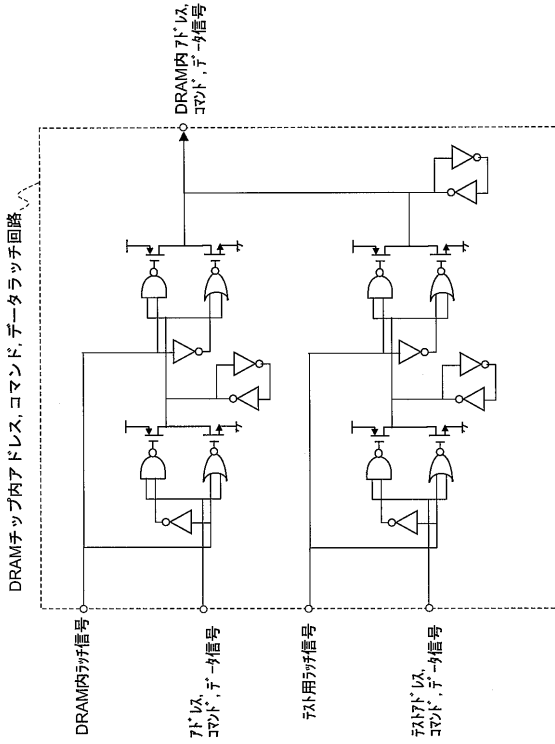
【図 3 5】



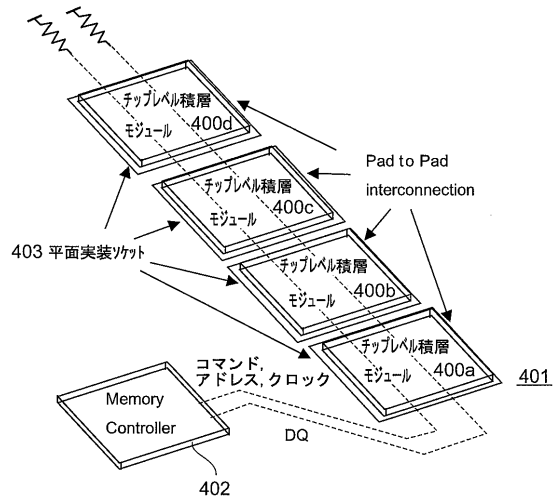
【図 3 6】



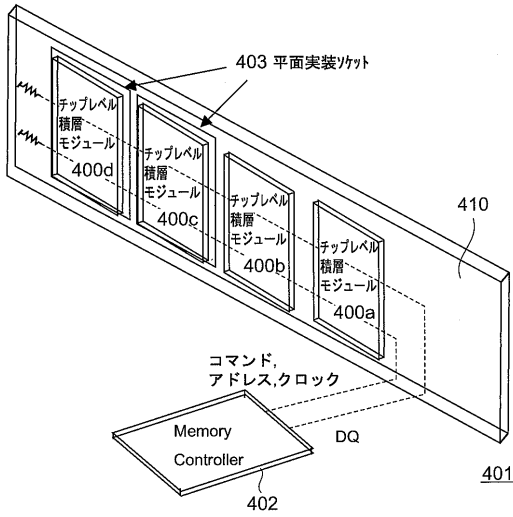
【図37】



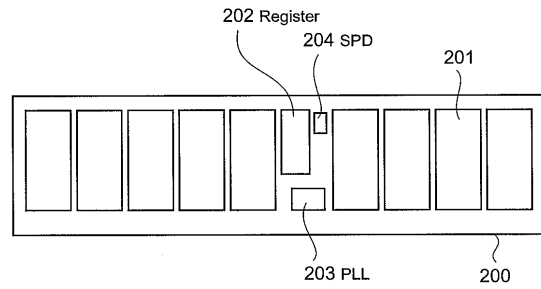
【図38】



【図39】



【図40】



フロントページの続き

(51)Int.Cl. F I

G 1 1 C 5/00 (2006.01)

(72)発明者 池田 博明
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

審査官 酒井 英夫

(56)参考文献 特開2001-185676(JP,A)
特開2000-049277(JP,A)
特開2002-305283(JP,A)
特開2001-307057(JP,A)
特表平09-504654(JP,A)
特開2003-060053(JP,A)
特開2003-046057(JP,A)
特開平06-291250(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 25/00-25/18