

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4037589号
(P4037589)

(45) 発行日 平成20年1月23日(2008.1.23)

(24) 登録日 平成19年11月9日(2007.11.9)

(51) Int. Cl.	F I		
HO 1 L 25/07 (2006.01)	HO 1 L 25/04	C	
HO 1 L 25/18 (2006.01)	HO 1 L 21/60	3 O 1 A	
HO 1 L 21/60 (2006.01)	HO 1 L 23/28	E	
HO 1 L 23/28 (2006.01)	HO 1 L 23/34	A	
HO 1 L 23/34 (2006.01)	HO 1 L 23/50	L	
請求項の数 1 (全 11 頁) 最終頁に続く			

(21) 出願番号	特願2000-62220 (P2000-62220)	(73) 特許権者	000006013
(22) 出願日	平成12年3月7日(2000.3.7)		三菱電機株式会社
(65) 公開番号	特開2001-250911 (P2001-250911A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成13年9月14日(2001.9.14)	(74) 代理人	100088672
審査請求日	平成17年8月29日(2005.8.29)		弁理士 吉竹 英俊
前置審査		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	吉田 貴信
			東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(72) 発明者	篠原 利彰
			東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
最終頁に続く			

(54) 【発明の名称】 樹脂封止形電力用半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数のインナーリードとそれぞれが前記複数のインナーリードの各々と繋がった複数の
アウターリードとを有するリード部及び前記リード部と同一板厚を有するダイパッドを備
えるフレーム部と、

前記ダイパッドの一部上に搭載されたパワー半導体素子と、

前記フレーム部の支持部に該当する、前記複数のインナーリードの内の少なくとも2つ
の支持用インナーリードの上面上のみに又は下面上のみに接合されて支持された基板と、

前記基板の少なくとも一方の主面上に形成された前記パワー半導体素子の制御回路のパ
ターンと、

前記制御回路用パターン上に搭載された、前記パワー半導体素子を制御するための半導
体素子と、

前記制御回路用パターン上に搭載された、前記半導体素子と共に前記制御回路を構成す
る全ての電子部品と、

前記複数のインナーリード、前記ダイパッド、前記パワー半導体素子、前記基板、前記
半導体素子及び前記全ての電子部品を封止する封止樹脂とを備えており、

前記基板は前記少なくとも2つの支持用インナーリードと同数のスルーホール部を備え
ており、

前記スルーホール部の各々毎に、当該スルーホール部の壁面上と当該スルーホール部の
周辺の前記一方及び他方の主面上とは導通用パターンが形成されており、

前記導通用パターンの前記他方の主面側部分は導電性の接合層を介して前記少なくとも2つの支持用インナーリードの内の対応する支持用インナーリードと接合されていることを特徴とする、

樹脂封止形電力用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、樹脂封止したパワー半導体装置の構造に関するものである。

【0002】

【従来の技術】

図10は、第1従来技術に係る樹脂封止形電力用半導体装置を最終製品に取り付けた際の状態を示す縦断面図である。図10において、1Pはパワー半導体素子、2AP及び2BPは電極をなすフレームのリード部、3Pはパワー半導体素子1Pとフレームのダイパッド19Pの上面とを接合するろう材、4Pは各電極2AP、2BPと各パワー半導体素子1P間又はパワー半導体素子1P間を接続するアルミニウムワイヤ等の金属細線であり、5Pは封止樹脂である。

【0003】

ここで、パワー半導体素子1Pの直下への熱拡散を効率良く実現するために、フレームのリード部2AP、2BP及びダイパッド19Pの板厚を同一にし且つ極力厚く設定している。

【0004】

更に、電極をなすリード部2AP、2BPのアウターリードは、封止樹脂5Pの外部において実装可能となる様な形状にフォーミングされた上で、上記アウターリードの所定部分に半田めっき等の表面処理が成されている。

【0005】

以上の構造を有する樹脂封止形電力用半導体装置が出荷されると、客先側においては、図10に示す様に、本半導体装置を制御するための制御回路を構成した基板6Pを本半導体装置のリード部2AP、2BPのめっき処理部に半田7Pで接合することで、本半導体装置を客先装置内に組み込んでいる。ここで、上記制御回路は、パワー半導体素子1Pを制御するためのマイクロコンピュータ用等の半導体素子(IC)9Pと、抵抗やキャパシタ等の電子部品12Pとから成る。

【0006】

又、図11は、第2従来技術に係る樹脂封止形電力用半導体装置を示す縦断面図である。図11の装置が既述した図10の装置と相違する点は、図11の本装置自身が図10で示すマイクロコンピュータ等の半導体素子(IC)9Pを内包している点にあり、同素子9Pはリードフレーム2BPのインナーリード上に搭載されている。そして、本装置を客先が用いるときにおいても、客先側において、図10に示す様に、制御回路用の電子部品12Pの全てを搭載した制御基板6Pを図11の本装置のアウターリード先端と半田付けにより接合する必要がある。

【0007】

【発明が解決しようとする課題】

(1) 既述した第1及び第2従来技術に係る何れの半導体装置においても、パワー半導体素子1Pからパワー半導体素子1Pを制御するために制御基板6P上に設けられた電子部品12Pまでの経路が長く、そのためにノイズ耐量が低下するという問題点がある。

【0008】

(2) 又、第1及び第2従来技術においては、パワー半導体素子1Pの発熱に対する熱拡散を効率良く実行するために、既述した様に、リード部とダイパッドとの板厚を同一にすると共に、出来る限りそれらの板厚を厚く設定している。ところで、上記問題点(1)を解決するためには、パワー半導体素子1Pの制御回路を成す多くの電子部品12Pの全てを、本制御回路中の半導体素子(IC)9Pと共に、リード部のインナーリード上に搭

10

20

30

40

50

載することが望ましい。しかし、この様に制御回路の構成部品の全てを封止樹脂内に包含させようとするときには、インナーリードのパターンは極微細なものとならざるを得ず、このため隣り合うインナーリード間のピッチが極めて狭くなる結果、上述の通り板厚が出来る限り厚く設定されているインナーリードに対して、その様な極微細パターンをプレス加工やエッチング等の方法で以て形成することは極めて困難であるという問題点に直面する。そして、本半導体装置が高機能化する程に、その様な高機能化を担う制御回路を構成する電子部品の数が増々多くなり、制御回路の規模が増々大きくなるので、インナーリードのパターンはより一層極微細化せざるを得ないこととなり、上記問題点はより一層深刻化なものとなる。

【0009】

この発明は上記のような問題点を解決するためになされたものであり、パワー半導体素子が発する熱の拡散のレベルを従来技術と同レベルに保ちつつ、高いノイズ耐量を有し、高機能化にも容易に対応できる樹脂封止形電力用半導体装置を得ることを目的とする。

【0010】

【課題を解決するための手段】

本発明の主題は、樹脂封止形電力用半導体装置において、複数のインナーリードとそれぞれが前記複数のインナーリードの各々と繋がった複数のアウターリードとを有するリード部及び前記リード部と同一板厚を有するダイパッドを備えるフレーム部と、前記ダイパッドの一部上に搭載されたパワー半導体素子と、前記フレーム部の支持部に該当する、前記複数のインナーリードの内の少なくとも2つの支持用インナーリードの上面のみ又は下面のみにて接合されて支持された基板と、前記基板の少なくとも一方の主面上に形成された前記パワー半導体素子の制御回路のパターンと、前記制御回路用パターン上に搭載された、前記パワー半導体素子を制御するための半導体素子と、前記制御回路用パターン上に搭載された、前記半導体素子と共に前記制御回路を構成する全ての電子部品と、前記複数のインナーリード、前記ダイパッド、前記パワー半導体素子、前記基板、前記半導体素子及び前記全ての電子部品を封止する封止樹脂とを備えており、前記基板は前記少なくとも2つの支持用インナーリードと同数のスルーホール部を備えており、前記スルーホール部の各々毎に、当該スルーホール部の壁面上と当該スルーホール部の周辺の前記一方及び他方の主面上とは導通用パターンが形成されており、前記導通用パターンの前記他方の主面側部分は導電性の接合層を介して前記少なくとも2つの支持用インナーリードの内の対応する支持用インナーリードと接合されていることを特徴とする。

【0016】

【発明の実施の形態】

(実施の形態1)

本実施の形態では、後述する様に定義された厚膜基板の一方の主面上にパワー半導体素子の制御回路用パターンを設け、且つ、同パターン上に同制御回路を構成する全ての部品(パワー半導体素子制御用ICとその他の電子部品)を搭載すると共に、厚膜基板の一方の主面に対向する他方の主面をフレーム部の支持部に接合層を介して接合している。そして、制御回路を構成する全ての部品が搭載された上記厚膜基板と、フレーム部の支持部と、フレーム部のダイパッド上に搭載されたパワー半導体素子と、各部を繋ぐ金属細線(A1ワイヤ等)とを、封止樹脂で以て封止している。尚、フレーム部の各部の板厚は同一とされ、且つ、出来る限り厚く設定されている。そして、本実施の形態では、上記支持部は、複数のインナーリードの内の少なくとも2つのインナーリード(これらを支持用インナーリードと称す)によって構成されている。以下、図面を参照しつつ、本実施の形態を詳述する。

【0017】

図1は、本実施の形態に係る樹脂封止形電力用半導体装置の内部構造を示す縦断面図である。又、図2は、図1に示す本半導体装置の中核部を模式的に示す斜視図である。両図1, 2において、本装置でも、パワー半導体素子1の発熱を有効に放散ないしは拡散させるために、図10の従来技術と同様に、共にフレーム部を構成するリード部2(2A, 2B

10

20

30

40

50

)(同部2は、インナーリード2A1, 2B1とインナーリードに繋がったアウターリード2A2, 2B2とより成る)及びダイパッド19の両板厚は同一に設定され、且つ、出来る限り厚く設定されている(例えば、板厚は0.7mmないし0.8mmの範囲内の値)。尚、ここでは、フレーム部のリード部2の中で、フレーム部のダイパッド19と繋がったリード部を第2リード部2Bとも称し、第2リード部2B中の各インナーリードと各アウターリードとをそれぞれ第2インナーリード2B1と第2アウターリード2B2とも称す。その様な称呼との関係で、ダイパッド19とは繋がっておらず且つダイパッド19の上方に位置する他方のリード部(複数のインナーリードと複数のアウターリードとの集合体に相当)を第1リード部2Aと称し、第1リード部2A中の各インナーリードと各アウターリードとをそれぞれ第1インナーリード2A1と第1アウターリード2A2として

10

【0018】

IGBTや縦型パワーMOSFET等に代表されるパワー半導体素子1は、ダイパッド19の上面の一部上に、ろう材3を以てろう付けされている。そして、各パワー半導体素子1の電極同士はA1ワイヤ等の金属細線で互いに接続されていると共に、パワー半導体素子1の一つの電極は、金属細線4によって、当該パワー半導体素子1が搭載されている第2インナーリード2B1とは別の(例えば隣接する)第2インナーリード(第2電極に相当)2B1に接続されている。

【0019】

他方、厚膜基板8は、例えばろう材又は接着剤又は接着テープ等より成る接合層20によって、複数の第1インナーリード2A1中で「フレーム部の支持部」を成す複数本のインナーリード(これらを支持用インナーリードと呼ぶ)2ASの上面上に接合されている。ここで、厚膜基板8とは、厚膜パターンを少なくともその一方の主面上に形成可能なセラミック基板(例えば、アルミナ基板やAlN基板)を言うものとする。そして、厚膜基板8の一方の主面ないしは上面上には、パワー半導体素子1の制御回路を構成するのに必要な全てのパターン10が厚膜によって形成されており、その厚膜パターン10の一部上には、パワー半導体素子1を制御するためのマイクロコンピュータ等を成す半導体素子(IC)9が半田等を介して搭載されており、且つ、パターン10の他部上には、上記制御回路を構成する全ての電子部品(抵抗やキャパシタ等)12が半田等を介して搭載されている。そして、半導体素子9の電極と厚膜基板8のボンディングパッド18とは、電氣的

に金属細線11によって互いに接続されていると共に、同素子9と電子部品12の両電極もまた、金属細線11によって電氣的に互いに接続されている。更に、第1電極をなす各支持用インナーリード2ASの上面と厚膜基板8上の厚膜パターン10ないしはボンディングパッド18とは金属細線13で互いに接続されていると共に、パワー半導体素子1の電極と厚膜基板8のパターン10ないしはボンディングパッド18もまた、金属細線13によって電氣的に互いに接続されている。又、厚膜基板8のボンディングパッド18とダイパッド19の上面の任意の位置とは、一端が直接にダイパッド19の上面上にボンディングされた金属細線13A(13)によって、電氣的に互いに接続されている。そして、支持用インナーリード2ASを含む全ての第1インナーリード2A1と、全ての第2インナーリード2B1と、半導体素子9と全ての電子部品12とが搭載された厚膜基板8と、

パワー半導体素子1と、ダイパッド19と、各金属細線4, 11, 13とは、全て封止樹脂5で封止されており、封止樹脂5より外部に突出した複数の第1及び第2アウターリード2A2, 2B2の各々は、例えば断面形状が略L字状となる様に、適切な形状にフォーミングされていると共に、その先端部には半田めっき等の表面処理が施されている。

20

30

40

【0020】

尚、図2では、5本の支持用インナーリード2ASによって厚膜基板8が支持されている一例を示しているが、支持用インナーリード2ASには、少なくとも2本のインナーリード2A1が用いられれば良い。例えば、隣り合う2本のインナーリード2A1を支持用インナーリード2ASとして用いても良く、又は、それらの間に長さが比較的短い数本の中間インナーリード2A1を挟んで、長さが比較的長い両側のインナーリード2A1を支持

50

用インナーリード2ASとして用いても良い。

【0021】

本装置によれば、次の利点を得られる。即ち、1 従来技術が有していた利点である、パワー半導体素子の発熱の効率良い放散効果をなお維持しつつ、2 既述した第1及び第2従来技術に比べて、パワー半導体素子1と同素子1を制御する半導体素子(IC)9及び全ての電子部品12までの経路長を格段に短くすることができるため、ノイズ耐量を飛躍的に向上させることができる。しかも、3 厚膜パターン10に対してはより微細なパターンを形成することが可能であって、この様な厚膜基板8のパターン10上にパワー半導体素子1の制御回路を構成する全ての電子部品12が搭載されている。従って、厚膜基板8を利用することで、封止樹脂5内での実装密度を飛躍的に高めることが容易となり、制御回路が有している本半導体装置の機能を全て封止樹脂5内で実現することが可能となる。その結果、客先側では本半導体装置の制御基板6P(図10)を設ける必要性が一切なくなるので、客先装置の小型化を図ることが可能となる。

10

【0022】

(実施の形態1の変形例)

(1) 実施の形態1では、図2に示す様に、支持用インナーリード2ASの上面に接合層20を介して厚膜基板8を搭載しているが、これに代えて、図3の縦断面図に例示する様に、支持用インナーリード2ASの下面ないしは底面上に、半導体素子9及び全ての電子部品12を搭載した厚膜基板8を接合層20を介して接合する様にしても良い。これによっても、同様の効果が得られることは言うまでもない。

20

【0023】

(2) 図1で示した構造を有する厚膜基板8の「支持部」としては、実施の形態1における支持用インナーリード2ASに代えて、パワー半導体素子1が搭載されていないダイパッド19の他部を用いることもできる。この様な一例を図4に示す。同図4に模式的に示す通り、本変形例では、全ての第1インナーリード2A1は、単に外部側装置ないしは客先側装置と電氣的に接続されるべき第1電極としてのみ機能する。

【0024】

(3) 半導体素子9及び全ての電子部品12を搭載する制御回路用の基板としては、実施の形態1の図1及び図2で示した厚膜基板8に代えて、その一方の主面(片面)上のみ制御回路用パターンが形成されたガラスエポキシ基板を用いても良い。この様な一例の中核部分を、図5の斜視図に模式的に示す。同図5に示す様に、ガラスエポキシ基板14Aの他方の主面ないしは底面は、複数の支持用インナーリード2ASの各々の上面と接着剤や接着テープ等の接合層20を介して接合されており、同基板14Aの一方の主面ないしは表面上には全ての制御回路用パターン10A(ボンディングパッドを含む)が銅箔等によって形成されていると共に、同パターン10A上に半導体素子(IC)9や全電子部品12が搭載されている。

30

【0025】

尚、本変形例(3)及び後述する変形例(4)に、上述の変形例(1)又は(2)を適用することも可能である。

【0026】

(4) 本変形例は上記変形例(3)の改良に係わるものであり、その一例を図6の縦断面図に模式的に示す。尚、図6では、図示の便宜上、全ての電子部品12の図示化を省略している。

40

【0027】

本変形例の目的は、ガラスエポキシ基板14Aのボンディングパッドを成す各パターン部分とそれに対応する支持用インナーリード2ASとの間の電氣的接続を、金属細線によるワイヤボンディングに代えて、同基板14A内に形成したスルーホール部内に設けたパターンによって実現する点にある。そのために、ガラスエポキシ基板14Aは、同基板14Aを支持する支持用インナーリード2ASの数と同数個の、同基板14Aを貫くスルーホール部16を有している。そして、各スルーホール部16毎に、当該スルーホール部16

50

の壁面上と、当該スルーホール部 16 の周辺部に該当する本基板 14 の一方の主面（上面）の一部上及び他方の主面（裏面）の一部上とに、導通用パターン 15c が形成されている。このパターン 15c の上面側部分は、図 6 に例示する様に、本基板 14A 上の半導体素子 9 又は電子部品 12（図示せず）の一部と金属細線で以てボンディングされている。又、同パターン 15c の上面側部分は、本基板 14A が有する制御回路パターンの延長部分と電氣的に繋がっていても良い。即ち、同パターン 15c の上面側部分は、少なくとも金属細線に対応する半導体素子 9 又は対応する電子部品の電極と電氣的に接続されている。そして、各導通用パターン 15c の裏面側部分ないしは他方の主面側部分は、当該パターン 15c ないしは当該スルーホール部 16 に対応する支持用インナーリード 2AS の上面部分と、ろう材等の導電性の接合層 17 を介して接合されている。即ち、接合層 17 は、各支持用インナーリード 2AS と同リード 2AS と接するガラスエポキシ基板 14A の裏面部分とを互いに接合する役目を担うと共に、同基板 14A 上の制御回路パターン 10A と、外部側装置と接続されるべき第 1 電極をなす各支持用インナーリード 2AS とを互いに導通させる役割をも担っている。

10

【0028】

本変形例によれば、各スルーホール部 16 を、基板 14A 中の、当該スルーホール部 16 に対応する支持用インナーリード 2AS と接合される部分内の任意の位置に設けることができ、基板 14A の端側ないしはコーナー側に支持用インナーリード 2AS と導通すべきパッドないしはパターンを設けなければならないという制約は一切なくなる。この点で、本変形例は、制御回路パターン 10A と支持用インナーリード 2AS とを金属細線 13 で互いに接続している図 5 に示す変形例（3）よりも有利であり、本変形例においては、金属細線 13 が基板 14A のコーナー部分と接触して損傷を受けて断線するという様な不具合の発生は一切生じ得なくなる。

20

【0029】

以上の通り、本変形によれば、スルーホール部 16 を介して、電極たる各第 1 インナーリード 2A1 と基板 14A 上のパターン 10A とを互いに電氣的に接続しているため、基板と上記電極とを接続するための金属細線を配する必要が全くなり、金属細線をボンディングするパッドも設ける必要がなくなる。ところで、基板上のパターン 10A と電極を成すリード部 2 とを金属細線によって接続した上で両部 10A, 2 を封止する場合においては、その際に金属細線が基板に接触したりする等の不具合が発生しない様に、金属細線の形状を短いループ形状に設定した上で両部 2, 10A をワイヤボンディングで接続する必要があり、且つ、そのためのボンディングパッドを基板周辺に配置する必要があり、このため基板上でパターンの引き回しをする必要が生じる。しかし、本変形例の様にスルーホール部 16 を用いる場合には、同スルーホール部 16 を基板 14A 内の任意の位置に配置することが可能であり、基板上でパターンの引き回しをする必要性がない。しかも、第 1 インナーリード 2A1 とボンディングされるべきボンディングパッドの配置が一切不要となり、よりフレキシブルな回路レイアウトを実現することが可能となる。

30

【0030】

尚、セラミック基板にスルーホール部を形成可能なケースでは、ガラスエポキシ基板 14A に代えて、セラミック基板上に厚膜パターンを設けた厚膜基板を本変形例においても用いても良い。

40

【0031】

（実施の形態 2）

本実施の形態に係る樹脂封止形電力用半導体装置の要部の斜視図を図 7 に模式的に示す。更に、図 7 中、断線 I-II 及び III-IV に関する各断面図を、それぞれ図 8 及び図 9 に示す。但し、図示の便宜上、両断面図 8, 9 中には、スルーホール部 16 の断面図形を表示している。

【0032】

本実施の形態は、基板として、実施の形態 1 の厚膜基板 8 に代えて、両面実装されたガラスエポキシ基板 14 を用いている点に、特徴を有する。即ち、ガラスエポキシ基板 14 の

50

一方の主面（上面）上及び他方の主面（上面と対向する下面）上にそれぞれ形成された第1及び第2制御回路用パターン15a, 15b（両者を総称して制御回路用パターンと呼ぶ）に、制御回路を構成する全ての電子部品12及び半導体素子（IC）9が、半田などを介して実装されている。特に、本例では、上記素子9と電子部品12の一部とは第1制御回路用パターン15a上に半田等を介して接続され、残りの電子部品12は第2制御回路用パターン15b上に半田等を介して搭載されている。そして、表裏パターン15a, 15bは、本基板14内の任意の位置に設けられたスルーホール部16を介して、電氣的に互いに接続されている。

【0033】

加えて、このガラスエポキシ基板14の短手方向における互いに対向し合う第1及び第2端部の裏面は、それぞれ複数のインナーリード2A1中の第1及び第2支持用インナーリード2AS1, 2AS2の上面部にのみ、接着剤等の接合層20によって接合されている。そして、上記第1及び第2支持用インナーリード2AS1, 2AS2間に存在する少なくとも1つのインナーリード（これらを中間インナーリードと称す）2AMの長さは、第1及び第2支持用インナーリード2AS1, 2AS2の長さよりも短く、しかも、上記第1及び第2端部に直交する、長手方向における互いに対向し合った本基板14の第3及び第4端部は、いずれも上記中間インナーリード2AMの上面部によって支持されてはいない。この様な状態で、各部1, 19, 2A1, 2B1, 9, 12, 14, 15a, 15b, 16は、封止樹脂5によって封止されている。

【0034】

本実施の形態によれば、ガラスエポキシ基板14の両端部（第1及び第2端部）のみをそれぞれ第1及び第2支持用インナーリード2AS1, 2AS2で保持した構造としているので、同基板14の中央部において両面実装化が可能となる。この様に両面実装化を実現可能としたことで、基板の実装面積を2倍にすることができ、その分、基板及び本半導体装置の小型化が可能となる。そして、小型化により配線長を短くすることができるので、ノイズ耐量を従来技術と比較して格段に向上させることができる。

【0035】

なお、厚膜基板に対してスルーホール部を形成できるときには、実施の形態2で述べた特徴的構造を厚膜基板を基板として用いる場合にも適用可能となる。

【0036】

又、本実施の形態においても、既述した実施の形態1の変形例（1）と同様に、ガラスエポキシ基板14の両端を電極上ではなくて電極下に配置する、即ち、上述した第1及び第2支持用インナーリード2AS1, 2AS2の下面部に配置することができ、このときも同様の効果を得ることができる。

【0037】

【発明の効果】

請求項1に係る発明によれば、（1）従来技術と同様に、パワー半導体素子が発する熱をダイパッドを介して効率良く放散させることができると共に、（2）制御回路を構成する半導体素子と電子部品の全てとを封止樹脂内に配設することができ、パワー半導体素子と制御回路間の経路長が格段に短くなる結果、ノイズ耐量を従来技術の場合よりも飛躍的に向上させることができ、且つ、（3）全ての制御回路用電子部品を封止樹脂内の基板上に設けていることから、インナーリードの微細パターン化という問題点を生じさせることなく、半導体装置の高機能化に対応して生ずる制御回路用パターンの微細化を封止樹脂内で容易に実現することができる。即ち、パワー半導体素子が発する熱の放散性を良好に維持しつつ、パワー半導体素子の制御回路部のファインパターン化を実現することができ、且つ、制御回路の多機能化にコンパクトに対応することができる。

【0039】

更に、請求項1の発明によれば、スルーホール部に設けた導通パターンを利用してインナーリードと制御回路用パターンとの電氣的接続を容易に実現することができ、その様な電氣的接続を実現するためにボンディングパッドを設ける必要がなくなるという効果を奏

10

20

30

40

50

する。しかも、上記スルーホール部を任意の位置に配置できるという効果もある。

【図面の簡単な説明】

- 【図 1】 実施の形態 1 に係る半導体装置を示す図である。
- 【図 2】 実施の形態 1 に係る半導体装置を示す図である。
- 【図 3】 実施の形態 1 の変形例に係る半導体装置を示す図である。
- 【図 4】 実施の形態 1 の変形例に係る半導体装置を示す図である。
- 【図 5】 実施の形態 1 の変形例に係る半導体装置を示す図である。
- 【図 6】 実施の形態 1 の変形例に係る半導体装置を示す図である。
- 【図 7】 実施の形態 2 に係る半導体装置を示す図である。
- 【図 8】 実施の形態 2 に係る半導体装置を示す図である。
- 【図 9】 実施の形態 2 に係る半導体装置を示す図である。
- 【図 10】 従来技術に係る半導体装置を示す図である。
- 【図 11】 従来技術に係る半導体装置を示す図である。

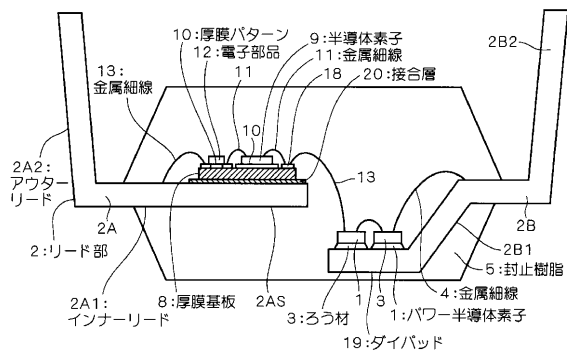
10

【符号の説明】

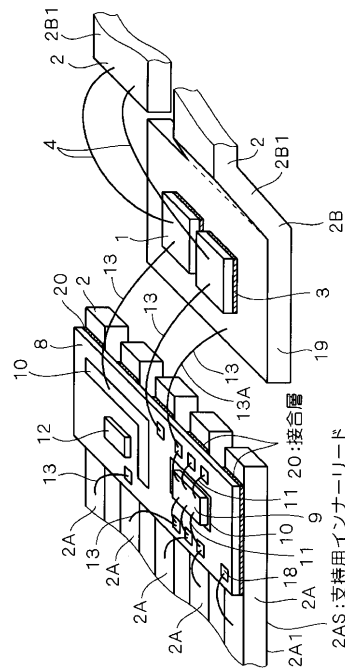
1 パワー半導体素子、2 リード部、2A1 第1インナーリード（支持用インナーリード）、2A2 第2アウターリード、2B1 第2インナーリード、2B2 第2アウターリード、3 ろう材、4, 11, 13 金属細線、5 封止樹脂、6P 客先制御基板、7P 半田、8 厚膜基板、9 半導体素子、10 厚膜パターン、10A ガラスエポキシ基板上的パターン、12 電子部品、14, 14A ガラスエポキシ基板、15a, 15b ガラスエポキシ基板上的パターン、15c 導通用パターン、16 スルーホール部、17 導電性接合層、19 ダイパッド、20 接合層。

20

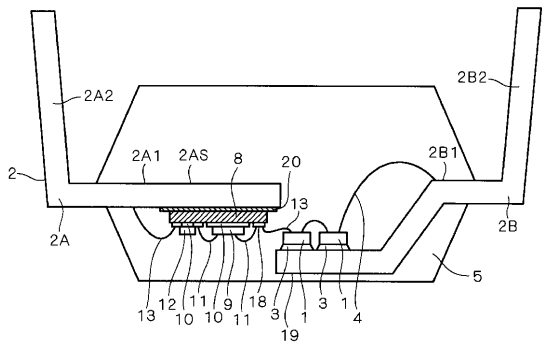
【図 1】



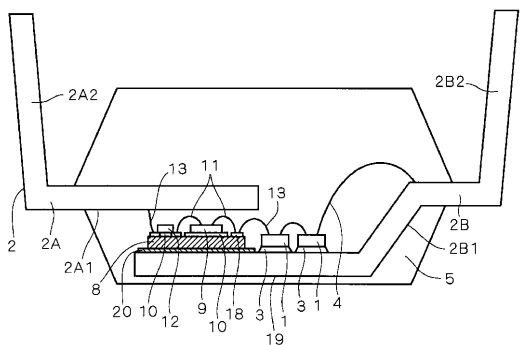
【図 2】



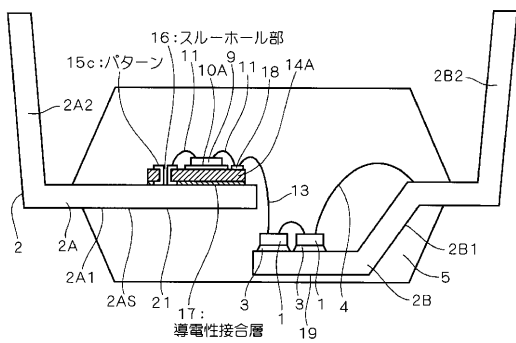
【 図 3 】



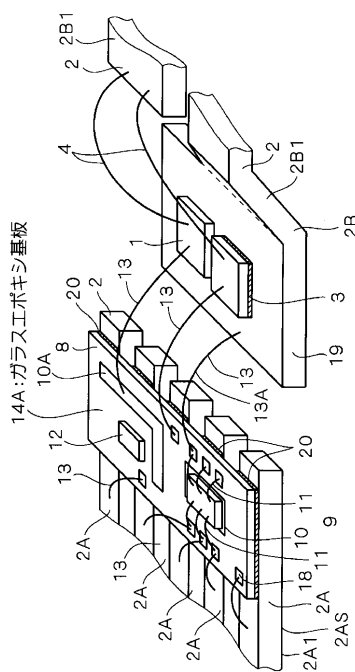
【 図 4 】



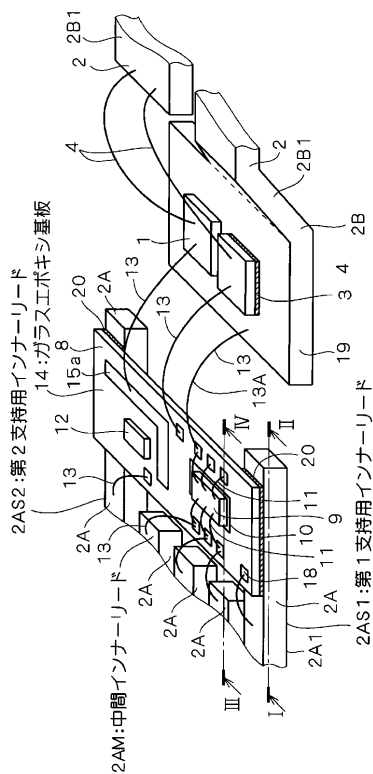
【 図 6 】



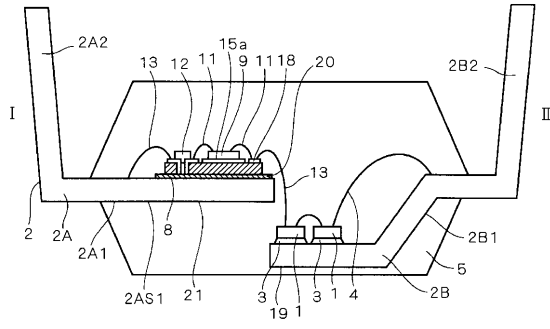
【 図 5 】



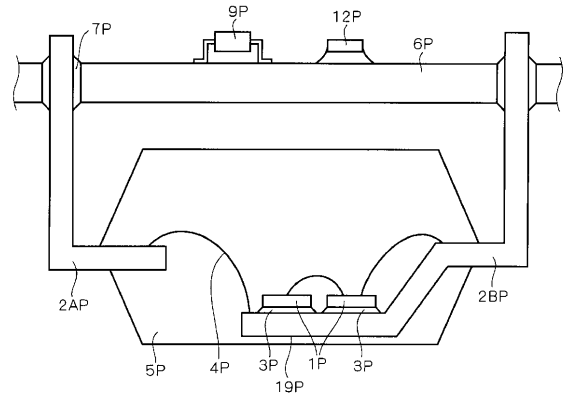
【 図 7 】



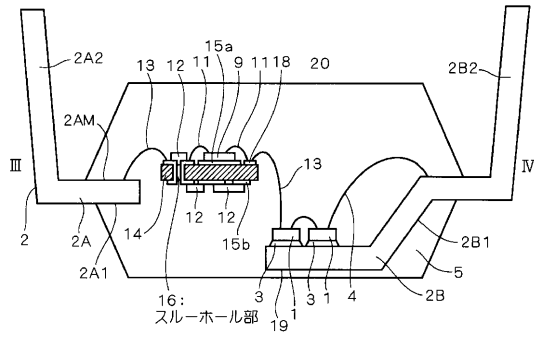
【図 8】



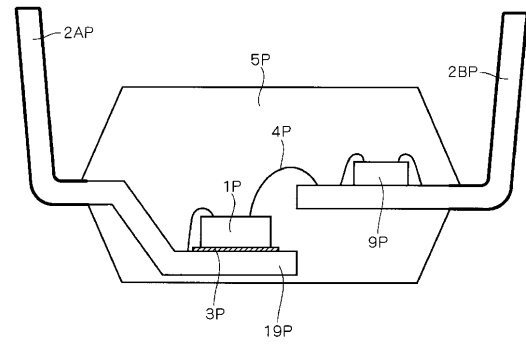
【図 10】



【図 9】



【図 11】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 23/50 (2006.01)

(72) 発明者 川藤 寿
東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

審査官 田代 吉成

(56) 参考文献 特開平 1 0 - 0 9 3 0 1 5 (J P , A)
特開平 0 8 - 1 3 0 2 8 3 (J P , A)
特開平 1 1 - 2 3 3 7 1 2 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

H01L 25/07
H01L 21/60
H01L 23/28
H01L 23/34
H01L 23/50
H01L 25/18