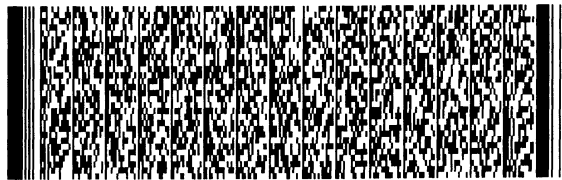
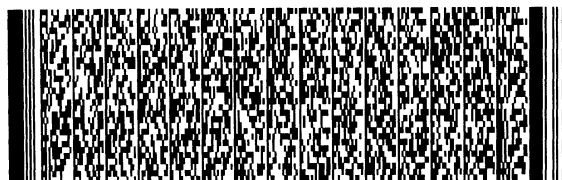


申請日期： <u>92.5.27</u>	IPC分類
申請案號： <u>92113901</u>	H01L 21/8247

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	NROM記憶胞元場之製造方法
	英文	Method for Fabricating an NROM Memory Cell Arrangement
二、 發明人 (共4人)	姓名 (中文)	1. 克里斯多夫·路德維希 2. 約阿希姆·德佩 3. 約瑟夫·維勒爾
	姓名 (英文)	1. Christoph Ludwig 2. Joachim Deppe 3. Josef WILLER
	國籍 (中英文)	1. 德國 DE 2. 德國 DE 3. 德國 DE
	住居所 (中文)	1. 德國朗格布呂克01465貝爾格爾街15號 2. 德國德累斯頓01099主教路62號 3. 德國里密爾林85521弗里德里希-弗勒貝爾街62號
	住居所 (英文)	1. Bergerstrasse 15, 01465 Langebrueck, Germany 2. Bischofsweg 62, 01099 Dresden, Germany 3. Friedrich-Froebel-Str. 62, 85521 Riemerling, Germany
三、 申請人 (共2人)	名稱或 姓名 (中文)	1. 億恆科技股份有限公司 2. 英根蒂斯合資有限公司
	名稱或 姓名 (英文)	1. Infineon Technologies AG 2. Ingentix GmbH & Co. KG
	國籍 (中英文)	1. 德國 DE 2. 德國 DE
	住居所 (營業所) (中文)	1. 德國慕尼黑D-81669馬丁塊街53號 (本地址與前向貴局申請者相同) 2. 德國慕尼黑D-81541馬丁塊街76號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. St.-Martin-Str. 53, D-81669 Muenchen, Germany 2. St.-Martin-Str. 76, D-81541 Muenchen, Germany
	代表人 (中文)	1. 米夏埃爾·戈爾維茨爾; 2. 霍斯特·舍費爾 2. 彼得·屈克爾
	代表人 (英文)	1. Michael Gollwitzer; 2. Dr. Horst Schaefer 2. Peter Kuecher



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 克里斯多夫·克萊因特
	姓名 (英文)	4. Christoph Kleint
	國籍 (中英文)	4. 德國 DE
	住居所 (中文)	4. 德國德累斯頓01129波利維亞街11號
	住居所 (英文)	4. Bolivarstr. 11, 01129 Dresden, Germany
三、 申請人 (共2人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
德國 DE	2002/06/28	102 29 065.2	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

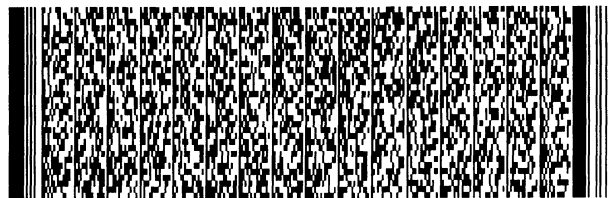
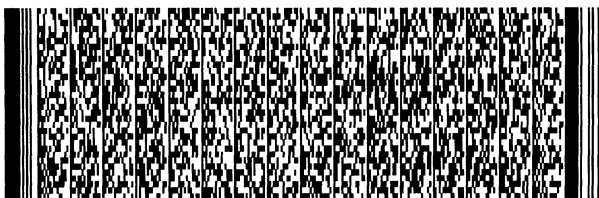
熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

本發明所屬的技術範圍係關於一種可重覆寫入及消除的非揮發性快閃記憶體 (Non-volatile-Flash-Memory)。本發明的內容是提出一種製造 NROM 記憶體的方法，此種 NROM 記憶體具有由氧化物層 -- 氮化物層 -- 氧化物層 -- 記憶層的結構構成的可以應用在虛擬地面 NOR 結構 (Virtual-Ground-NOR-Architektur) 的非揮發性記憶胞元。

最大積集密度的多媒體應用產品需用到最小的非揮發性記憶胞元。由於半導體技術的快速發展使記憶體的容量不斷增大，而且即將邁入十億位元 (Gigabit) 的範圍。但是由於由微影決定的最小結構尺寸進一步的縮小，可能導致其他參數 (例如：溝道氧化物的厚度) 無法被繼續作相應程度的縮小。由於平面電晶體的結構不斷縮小造成的溝道長度縮減需要藉提高溝道摻雜以避免源極和汲極之間發生電壓擊穿的現象，此種電壓擊穿的現象又稱為穿透現象 (Punch-through)。因上述情況造成的起始電壓的提高通常是藉由縮小閘極氧化物的厚度予以補償 / 抵消。

可以經由溝道熱電子 (Channel-hot-Electron) 程式化及經由熱洞 (Hot-Hole) 消除記憶的平面 SONOS 記憶胞元 (請參見 Boaz Eitan 之 US 5 768 192 及 US 6 011 725, WO 99/60631) 需要一種厚度與閘極氧化物相等的控制電介質。但是這個厚度是不能夠被任意縮小的，否則平面 SONOS 記憶胞元可執行的編程循環的次數 (記憶胞元的 "耐



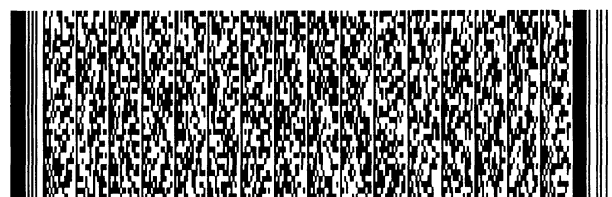
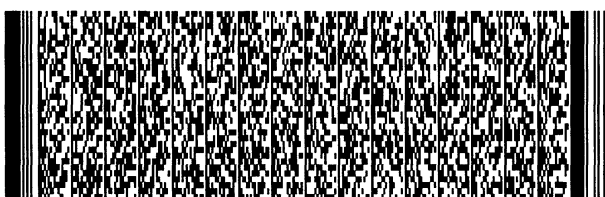
五、發明說明 (2)

久性")便會減少到無法容忍的程度。因此需要有足夠的溝道長度，才能夠避免必須被迫選擇過高的溝道內摻雜材料濃度，以免起始電壓升高過多。

J. Tanaka et al.在 "A Sub-0.1- μ m Grooved Gate with high Immunity to Short-Channel Effects" (一種對短溝道效應具有極免疫力的 0.1 μ m 以下的短溝槽式 MOS 場效應電晶體, IEDM 93, 537-540 頁, 1993 年) 一文中提出一種設置在 p+ 基材上的電晶體, 這種電晶體的閘電極設置在一個位於 n+ 源極區及 n+ 汲極區之間的溝道內, 因此在基材內形成一個彎曲的溝道區。

K. Nakagawa et al.: 在 "A Flash EEPROM Cell with self-Aligned Trench Transistor & Isolation Structure" (一種具有自動調整溝道式電晶體及絕緣結構之快閃 EEPROM, 2000 IEEE Symposium on VLSI Technology Digest of Technical Papers) 一文中提出一種作為具有一個浮動閘電極之記憶胞元的電晶體, 這種電晶體的閘電極設置範圍從 n+ 源極區及 n+ 汲極區之間一直延伸到基材的一個 p 型區內。浮動閘電極及控制閘電極電之間有一個按照氧化物層 -- 氮化物層 -- 氧化物層的順序構成的電介質層。

德國專利 DE 101 29 958 提出一種具有低歐姆位線的記憶胞元裝置。在記憶電晶體的摻雜源極區 / 汲極區上設有一個相當於位線的條帶狀塗層 (由一個塗層或數個塗層按照一定的排列順序組成), 這個塗層通常是一個金屬化



五、發明說明 (3)

層，其作用是與源極區 /汲極區形成導電連接，以及降低位線的電阻。這個塗層至少包括以下一種材料：摻雜的多晶矽、鎢、矽化鎢、鈷、矽化鈷、鈦、矽化鈦。

如果源極區 /汲極區是在矽上面形成，則位線的金屬化層可以是一個以自動調整矽化物法 (Self-Aligned-Silicide, 縮寫為 "Salicide") 製成的矽化金屬層。在另外一種實施方式中 (源極區 /汲極區最好也是在矽上形成)，在記憶電晶體的源極區 /汲極區上設有一個作為金屬化層的由多晶矽及 WSi (或 WN/W) 構成的塗層及一個覆蓋電絕緣層，這個覆蓋電絕緣層係由一種適於用來製作硬式掩膜的材料 (例如一種氧化物或氮化物) 製成。位線結構的金屬化層係直接在基材上形成，視需要亦可有部分金屬化層是在氧化物覆蓋區上方形成。

單一記憶電晶體的源極區 /汲極區是由高劑量的源極離子注入 /汲極離子注入所形成，或是經由從一個適當的塗層 (例如多晶矽層) 擴散出來的摻雜材料所形成。位線是由設置在源極區 /汲極區上的條帶狀金屬化層構成，由於金屬化層具有良好的導電性，因此位線的電阻特別低。此處所謂的金屬化層是指一個含有金屬成份的塗層，或至少是一條具有金屬特性的印刷導線。源極區 /汲極區及位線不需要在半導體材料內已經彼此形成導電連接。但位線最好是一種在半導體材料內具有條帶狀摻雜區的埋藏式位線，而且這種埋藏式位線還具有一個金屬化層。

被製作成條帶狀的位線結構係設置在背對 (遠離) 半導

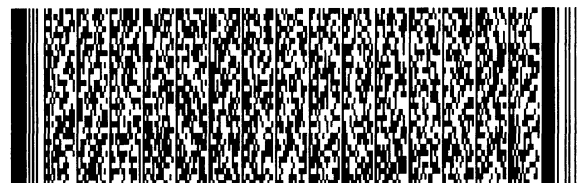


五、發明說明 (4)

體材料的正面上，而且最好是被氮化物層密封住，並在製造過程中作為產生電晶體之自動校準溝道區用的蝕刻掩膜。在設置一個記憶層（這個記憶層最好是按照氧化物層--氮化物層--氧化物層的順序由一個限制層、一個記憶層、以及另外一個限制層所構成）之後，即可沉積出一個製造字線用的塗層結構（塗層順序），而且最好是一種經由乾蝕法形成的塗層結構。

由於構成上述之限制層的材料能帶間隙大於構成記憶層的材料能帶間隙，因此被記憶層捕捉到的載流子會被留在記憶層內。記憶層最好是由一種氮化物構成，至於分別位於記憶層上下方的兩個限制層最好是由一種氧化物構成。以氧化物層--氮化物層--氧化物層（ONO）塗層結構為例，在矽材料系統的記憶胞元中，構成記憶層的氮化矽的能帶間隙約為 5 eV，構成限制層的氧化矽的能帶間隙約為 9 eV。當然也可以其他的材料來製作記憶層，不過構成記憶層的材料能帶間隙需小於構成限制層的材料能帶間隙，而且兩種材料之間的能帶間隙差應盡可能的大，以便能夠最大程度的將載流子局限住。如果以氧化矽作為製作限制層的材料，則以下任何一種材料均可作為製作記憶層的材料：氧化鈮、矽化鈦、氧化鈦（化學計量成份為 TiO_2 ）、氧化鋯（化學計量成份為 ZrO_2 ）、氧化鋁（化學計量成份為 Al_2O_3 ）、或是本征導電的（非摻雜）矽。

經由一種可改變注入角度的注入方式將摻雜材料注入



五、發明說明 (5)

可以在與電晶體的溝道區相鄰的記憶胞元之間形成一個電絕緣層，以便使電晶體之間彼此絕緣，這種注入方式就是所謂的抗穿透離子注入 (Anti-Punch-Implantation)。另外一種可行的方式是在缺口中填入氧化物以形成電絕緣層，此種方式稱為淺溝道絕緣 (STI: shallow trench isolation)。

圖式 0 顯示由位線 (WL_{n-1} , WL_n , WL_{n+1}) 及字線 (BL_{n-1} , BL_n , BL_{n+1}) 構成的裝置的上視圖。由於此種裝置中的位線均為埋藏式位線，應此在圖式 0 中係中虛線繪出位線所在的位置。此裝置中的字線最好是一種設置在裝置正面上的金屬印刷導線。在位線中間區與字線的每一個交叉位置都有設置一個記憶體的記憶胞元 (稱為交叉點記憶胞元)。每一個要被讀出或程式化的記憶胞元都會經電位線及字線以一種已知的方式被賦予一個位址。全部的記憶胞元及位線和字線所形成的連結共同構成一個虛擬地面 NOR 結構 (Virtual-Ground-NOR-Architektur) 的記憶體。

圖式 1 顯示在製造這個記憶體的過程中出現的第一個半成品的一個斷面圖。通常的作法是先以一種所謂的墊整氧化物 (雜散氧化物) 及墊整氮化物將所使用之半導體基體 (1) (例如矽基材) 的半導體材料的正面、或是在基材上成長出的一個半導體層 (或數個半導體層) 的半導體材料的正面覆蓋住。接著在半導體材料中蝕刻出溝道，然後在這些溝道內填入氧化物形成淺溝道絕緣 (STI: shallow trench isolation)，以便將記憶胞元場區隔

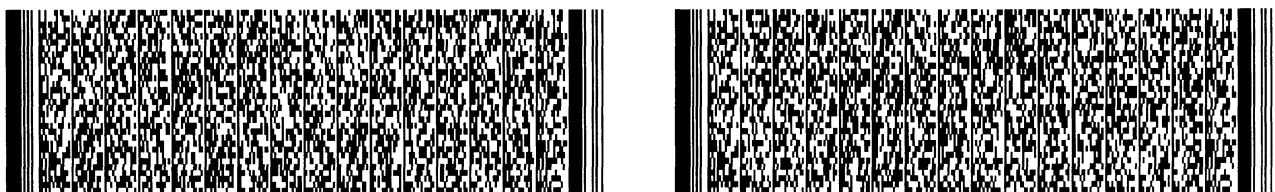


五、發明說明 (6)

開來(端部絕緣 12)或是將各個記憶區段區隔開來，必要時亦可利用這些淺溝道絕緣(STI: shallow trench isolation)使各個記憶胞元之間彼此絕緣。在經過平坦化處理後，以蝕刻方式將墊整氮化物去除。如果是以矽作為半導體材料，則最好是經由以掩膜遮蔽的硼離子注入及磷離子注入、以及接著進行的復原注入以形成深入半導體材料內部且為控制周邊設備及記憶胞元所需的 p 型區及 n 型區(也就是摻雜區)。圖式 1 顯示一個在半導體基體(1)內形成的 p 型區(10)。

在將先前設置的墊整氧化物去除後，接著成長出一個具有適當厚度的氧化物層(13)，其作用是在後面的製程中作為記憶胞元場之外的蝕刻阻止層。接著經由適當的光電技術導入一個離子注入步驟(例如磷離子注入)，以便在 p 型區(10)的上半部形成一個高 n 型導電摻雜區(n^+ 區)(11)，這個高 n 型導電摻雜區(n 區)(11)是作為在後面的製程中要形成的源極區/汲極區之用。摻雜的符號是可以更換的，例如在 n 型區內的 p 區。最好是利用同一個光掩膜將記憶胞元場範圍內為形成記憶胞元所不需要的氧化物層(13)以濕式化學的方法去除掉。

圖式 2a 顯示圖式 1 之半成品在形成一個具有條帶狀位線(8)的層狀結構之後的同一個斷面圖。形成這個層狀結構的步驟是：首先設置一個與源極區/汲極區接觸的帶有所屬導電型之符號的多晶矽層(14)；接著設置一個含金屬層(15)，例如一個矽化鎢層(WSi)，作為低電阻位線；最

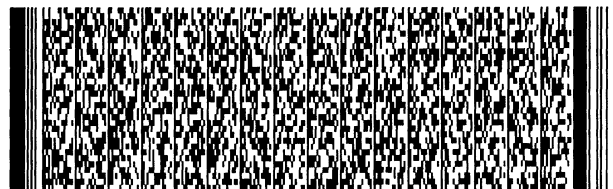
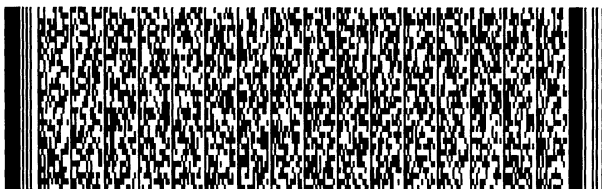


五、發明說明 (7)

後再設置一個作為電絕緣之用的由適當材料(例如氧化物或氮化物)構成的硬式掩膜層(16)。接著最好是以適當的光電技術及各向異性蝕刻對這個層狀結構進行條狀化結構處理。如果不使用矽化鎢(WSi)，也可以用氮化鎢及鎢來構成這個層狀結構。這個層狀結構的導電層也可以是由鈦及/或矽化鈦構成。條帶狀位線(8)經由間隔物(17)(最好是由氧化物或氮化物構成)從側面被電絕緣。

圖式 2b 顯示圖式 2a 的一個斷面(沿圖式 2a 中的 I1b-I1b 線的斷面)。從圖式 2b 可看出，位線(8)的範圍從側面沿伸至端部絕緣(12)之外，因此在位線(8)所屬的記憶胞元場之外也可以與位線(8)形成接觸。對層狀結構進行條帶狀結構化處理的蝕刻作業被端部絕緣(12)限制在記憶胞元場的邊緣。必要時除了源極區/汲極區外，作為摻雜的半導體材料而存在的位線的埋藏部分也可以沿伸至端部絕緣(12)處。

如圖式 3 所示，在位線結構位於正面上及以氧化物或氮化物覆蓋區作為膜的情況下，以適當的蝕刻方法例如 RIE: 離子反應蝕刻)為主動區(特別是各個記憶胞元)自動校準蝕刻出溝道(9)。源極區/汲極區(3, 4)形成於溝道(9)之間。另外要注意的是，為了獲得良好的作用方式(性能)，設置在溝道底部的記憶電晶體的溝道區部分在一個特定的閘極電壓下的載流子濃度必須夠高(如果是在一個 p 型區的情況下，則是電子濃度必須夠高)。在一種有利的實施方式中，記憶胞元的 p 型區(10)具有一個典型

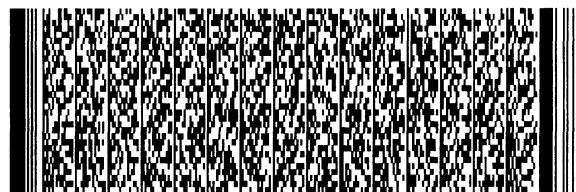


五、發明說明 (8)

的摻雜材料濃度 10^{17}cm^{-3} ，因此經由離子注入在溝道底部形成一個摻雜區 (23)，這個摻雜區 (23) 對溝道區中央部分的摻雜材料濃度的改變程度大於對邊緣區的摻雜材料濃度的改變程度。為此最好先設置一個犧牲層 (例如一個用來犧牲的氧化物層，典型厚度約 6 nm，以加熱方式形成)。接著將預定注入的摻雜材料注入，在本例的 p 型摻雜區係以劑量約 10^{12}cm^{-3} 至 10^{14}cm^{-3} 、能量 20 keV 的砷作為摻雜材料。接著再將犧牲層去除掉，如果這個犧牲層是由氧化物構成，則可利用經稀釋過的氟化氫 (HF) 將其去除掉。

接著如圖式 3 所示設置一個由位於底層的限制層 (5)、一個位於中間的記憶層 (6)、以及一個位於上方的限制層 (7) 構成的層狀結構。這個作為記憶介質的層狀結構可以是如上一句所說的按照氧化物層 -- 氮化物層 -- 氧化物層 (ONO) 的順序所構成。例如位於底層的限制層 (5) 可以是一個厚度約 2.5 nm 至 8 nm 的氧化物層 (底層氧化物，最好是以加熱方式形成)，位於中間的記憶層 (6) 可以是一個厚度約 1 nm 至 5 nm 的氮化物層 (最好是以低壓卷學氣相沉積法 LPVCD 製成)，位於上方的限制層 (7) 可以是一個厚度約 3 nm 至 12 nm 的氧化物層。

圖式 3 顯示完成上述步驟後的斷面圖。接著利用適當的光電技術將記憶胞元場覆蓋住，然後就可以將位於周邊區 (例如由 CMOS 製程產生的周邊區) 的記憶層及限制層去除掉。接著也可以將位於為閘電極設置之溝道 (9) 底部的



五、發明說明 (9)

記憶體區的記憶層及 / 或位於溝道 (9) 之間的記憶層去除掉，這樣位於同一個記憶層的記憶層壁之間的記憶層及 / 或位於兩個相鄰的溝道之間的記憶層就會中斷。接著為控制周邊設備成長出高電壓電晶體用的閘極氧化物 (如果是低電壓電晶體則成長出厚度較薄的閘極氧化物)。接著再利用其他的掩膜及注子注入即可調整起始電壓的大小。

圖式 4A 顯示在沉積出為閘電極 (2) 設置的一個導電摻雜多晶矽層 (2)、為位線設置的一個含金屬層 (在本例中為 WSi) (19)、以及一個硬式掩膜層 (20) 之後的斷面圖。為電極沉積出的多晶矽的典型厚度為 80 nm，而且最好是在現場摻雜。位線是由含金屬層 (19) 的低歐姆材料、金屬材料、或是含金屬材料所形成。除了以矽化鎢 (WSi) 構成含金屬層 (19) 外，也可以用其他金屬的矽化物來構成含金屬層 (19)，或是製作出由數個含金屬層構成的含金屬層 (19)。可以用加厚的氧化物作為製作硬式掩膜層 (20) 的材料。

圖式 4b 及圖式 4c 分別顯示圖式 4a 的一個斷面 (沿圖式 4a 中的 IVb-IVb 線及 IVc-IVc 線的斷面)。從圖式 4b 顯示的斷面可看出，記憶層 (6) 位於在位線 (8) 上方的限制層 (5, 7) 之間，在本例中位線 (8) 是由多晶矽層 (14) 及含金屬層 (15) 構成，並經由硬式掩膜 (16) 被電絕緣。圖式 4c 顯示通過位於兩條位線之間的閘電極 (2) 的一個斷面圖，也就是記憶層 (6) 在為閘電極設置之溝道的底部延伸的位置。



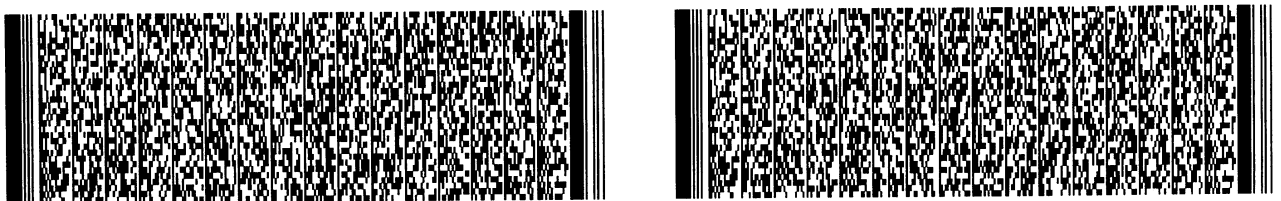
五、發明說明 (10)

從圖式 4b 及圖式 4c 可看出，由多晶矽層 (18)、含金屬層 (19)、以及硬式掩膜層 (20) 構成的層狀結構係一種條帶狀結構，因而形成垂直於位線的字線。字線的側面被間隔物 (21) 電絕緣。間隔物 (21) 的形成方式是先在整個層狀結構上均勻的塗上一層由構成間隔物的材料構成的塗層，然後再以各向性性的方式對這個塗層進行向下蝕刻，直到只剩下緊貼在條帶狀字線的側面上的塗層的大致垂直部分為止，這個剩下來的塗層部分就是間隔物 (21)。介於閘電極之間位線下方的中間區域也可以全部或部分以構成間隔物的材料填滿。

在這個製程步驟可以同時構成控制周邊設備之電晶體的閘電極。在記憶胞元場的區域，對閘電極的蝕刻會止於由氧化物層--氮化物層--氧化物層 (ONO) 構成的層狀結構的限制層 (7)。這可能會造成閘極再氧化情況的發生，並可視需要進行抗穿透離子注入 (Anti-Punch-Implantation) (22)，以便將相鄰的電晶體隔開 (絕緣)。

其他常見及已知的製造電晶體的製程步驟也是以同樣的方式進行，例如輕摻雜汲極 (LDD) 離子注入及重摻雜汲極 (HDD) 離子注入、沉積出一個氮化物保護層、或是經由 BPSG (硼磷矽玻璃) 及 CMP (化學機械研磨法) 形成一個平坦化層。其他的製程步驟尚包括形成過洞 (via hole)、以適當的材料將過洞填滿、形成金屬化層、以及形成保護層。這些製程步驟均屬於已知的製造記憶元件的製程。

在半導體基體的正面上製作條帶狀金屬化層的位線時



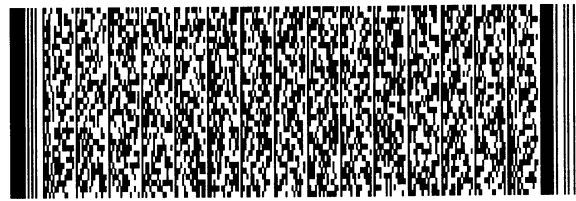
五、發明說明 (11)

會發生的問題是在以微影形成閘電極及字線時，半成品的正面是不平坦的。位於記憶胞元場及周邊區之間的多晶矽層(18)內的高差對於微影的品質具有決定性的影響。由於位線接片的關係，導致出現如圖式4a左方繪出的在覆蓋記憶胞元場的多晶矽層(18)部分及緊鄰記憶胞元場周邊的多晶矽層(18)部分之間的階梯。由於圖形的尺寸已被不斷縮小至小於140 nm的範圍，因此在進行微影之前有必要使前述之正面平坦化。否則在蝕刻時含金屬層(19)的材料(特別是金屬矽化物)會停留在這個階梯上，導致所有的字線都發生短路。

本發明的任務是提出一種NROM記憶胞元場的製造方法，即使是在圖形尺寸非常小的情況下，這種製造方法也能夠對具有位線接片的NROM記憶胞元場進行形成閘電極——多晶矽的微影步驟。

本發明提出的具有申請專利範圍第1項之特徵的製造方法即可達成以上的任務。其他從屬於這個主申請專利項目的附屬申請專利項目均為本發明之有利的實施方式。

本發明提出的製造方法首先是以預定用來形成閘電極的多晶矽將為記憶電晶體開鑿的溝道填滿。接著將正面平坦化，這個平坦化的步驟最好是以CMP(化學機械研磨法)來進行。這個平坦化的步驟應止於使位線接片向上與字線電絕緣的覆蓋層的正面。這個覆蓋層最好是一個氮化矽層。接著在已經平坦化的正面上沉積出一個為形成字線而設置的多晶矽層。最好是將為形成位線而設置的



五、發明說明 (12)

層狀結構部分設置在記憶胞元場之外，這樣可以使在為閘電極設置多晶矽後需要對整個正面進行的平坦化步驟變得簡單一些。位於記憶胞元場之外的為形成位線而設置的部分層狀結構係作為支持接片或支撐柱，以CMP(化學機械研磨法)進行的向下蝕刻步驟止於此部分之層狀結構的由氮化矽構成的正面。

從圖式 4a 顯示的斷面圖可看出，如果使用傳統的製造方法，為字線設置之多晶矽層 (18) 的正面並非完全平坦，而是在周邊區會形成一個階梯，而且至少會在埋被填入溝道的閘電極上方出現波浪形的不平坦處。本發明的製造方法並不是在同一個製程步驟中將為形成閘電極和字線所需的多晶矽沉積出來，而是首先按照圖式 5 所示的斷面將形成閘電極 (2) 所需的多晶矽設置在溝道內。接著以 CMP(化學機械研磨法) 對多晶矽進行向下研磨，而且最好是研磨至元件的正面整個與位線接片的覆蓋層 (硬式掩膜層 16) 的正面齊平為止。這個硬式掩膜可以是一層氧化矽，或最好是一層氮化矽。接著就可以將為字線設置之多晶矽層 (18) 設置在平坦的正面上，並形成一個供設置其他塗層 (在本例中為含金屬層 19 及另外一個硬式掩膜層 20) 之用的平坦的正面。因過上述步驟就可以為後續形成閘電極和字線所需進行的微影步驟創造出一個足夠平坦的正面。

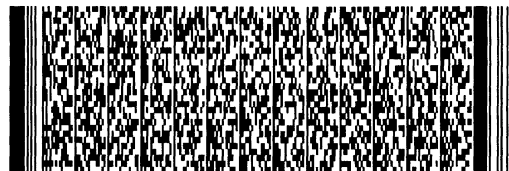
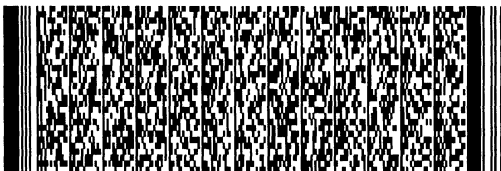
圖式 5 左半部顯示元件位於記憶胞元場之外的部分區域。本發明的一種有利的實施方式可以在這個部分區域



五、發明說明 (13)

設置支撐結構 (24)，例如支持接片或支撐柱，而且支撐結構 (24) 最好是由為形成位線接片所設置之塗層部分所構成。支撐結構 (24) 的作用是使多晶矽層 (18) 的整個正面都能夠達到平坦化的要求。形成支撐結構 (24) 的方式是最好不要將位於記憶胞元場之外為形成位線 (8) 之結構而設置的層狀結構 (在本例中為多晶矽層 14、含金屬層 15、以及硬式掩膜 16) 整個去除掉，而是按照圖式 5 顯示的方式形成支撐結構 (24)。如圖式所示，在支撐結構 (24) 的區域內也有一部分由限制層 (5)、記憶層 (6)、以及限制層 (7) 構成的層狀結構。但是也可以經由適當的掩膜遮蔽將這個層狀結構的範圍限制在記憶胞元場內，因為支撐結構 (24) 並不需要具有這個層狀結構。

支撐結構 (24) 的配置及形狀可以配合平坦化步驟的需要及位於記憶胞元場外的電路元件的配置而改變。在決定支撐結構 (24) 的配置及形狀時要特別注意控制周邊設備的元件配置及要平坦化的正面的尺寸。



圖式簡單說明

圖式 0：顯示位線及字線配置的上視圖。

圖式 1、2a、2b、3：在一種有利的製造方法的不同階段的半成品的斷面圖。

圖式 4a、4b、4c：在前面說明的製造方法的其他不同階段的半成品的斷面圖。

圖式 5：顯示圖式 4a 在經改良過的製造方法的如圖式 4a 的階段的半成品的斷面圖。

元件符號說明

1 半導體基體	2 閘電極	3 源極區 / 汲極區
4 源極區 / 汲極區	5 限制層	6 記憶層
7 限制層	8 位線	9 溝道
10 p 型區	11 摻雜區	12 端部絕緣
13 氧化物層	14 多晶矽層	15 含金屬層
16 硬式掩膜	17 間隔物	18 多晶矽層
19 含金屬層	20 硬式掩膜層	21 間隔物
22 抗穿透離子注入	23 溝道區的部分	24 支撐結構



四、中文發明摘要 (發明名稱：NROM記憶胞元場之製造方法)

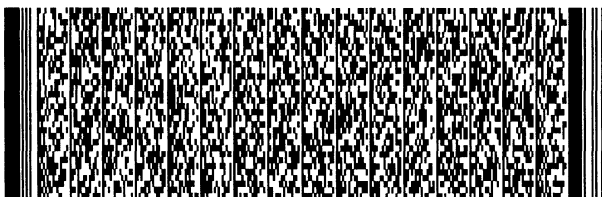
本發明的製造方法是以蝕刻方式形成溝道，並在溝道之間設置與源極區 /汲極區 (3, 4)形成導電連接的位線 (8)。在溝道壁上設置記憶層 (5, 6, 7)，並設置閘電極 (2)。在將作為形成閘電極 (2)之用的多晶矽填入溝道 (9)之後，接著對多晶矽的正面進行向下研磨，使其平坦化，直到到達覆蓋層 (16)的正面為止，接著在整個正面上設置一個形成字線用的多晶矽層 (18)，並將其結構化成字線。

五、(一)、本案代表圖為：第 5 圖

(二)、本案代表圖之元件代表符號簡單說明：

1半導體基體	2閘電極	
3源極區 /汲極區	4源極區 /汲極區	
5限制層	6記憶層	7限制層
8位線	10 p型區	11摻雜區

六、英文發明摘要 (發明名稱：Method for Fabricating an NROM Memory Cell Arrangement)



四、中文發明摘要 (發明名稱：NROM記憶胞元場之製造方法)

12端部絕緣
15含金屬層
18多晶矽層
24支撐結構

13氧化物層
16硬式掩膜
19含金屬層

14多晶矽層
17間隔物
20硬式掩膜層

六、英文發明摘要 (發明名稱：Method for Fabricating an NROM Memory Cell Arrangement)



六、申請專利範圍

1. 一種製造 NROM 記憶胞元場的方法，這種製造方法的步驟包括在一個半導體基體或半導體層 (1) 的正面上設置形成源極區 / 汲極區 (3, 4) 的摻雜材料，在半導體材料中蝕刻出彼此平行且相距一定距離的溝道 (9)，並在半導體基體或半導體層 (1) 的正面上位於這些溝道 (9) 之間的位置設置平行於溝道 (9) 的位線 (8)，位線 (8) 與位於溝道 (9) 之間的源極區 / 汲極區 (3, 4) 形成導電連接，位線 (8) 的上方則被一個覆蓋層 (16/17) 覆蓋住而被電絕緣，至少在溝道 (9) 的溝道壁上設置一個記憶層 (5, 6, 7)，間隔一定的距離在溝道 (9) 內設置閘電極 (2)，並使這些閘電極 (2) 與方向垂直於位線 (8) 的字線 (18/19) 形成導電連接，這種製造方法的特徵為：在將作為形成閘電極 (2) 之用的多晶矽填入溝道 (9) 之後，接著對多晶矽的正面進行向下研磨，使其平坦化，直到到達覆蓋層 (16) 的正面為止，接著在整個正面上設置一個形成字線用的多晶矽層 (18)，並將其結構化成字線。
2. 如申請專利範圍第 1 項的製造方法，其特徵為：以 CMP (化學機械研磨法) 進行向下研磨。
3. 如申請專利範圍第 1 或第 2 項的製造方法，其特徵為：將氮化物或氧化物覆蓋在位線 (8) 上作為覆蓋層 (16/17)，並以這個覆蓋層 (16/17) 作為對多晶矽進行向下研磨作業的停止層。
4. 如申請專利範圍第 1--3 項中任一項的製造方法，其特徵為：在記憶胞元場之外與位線 (8) 形成支撐結構 (24)，



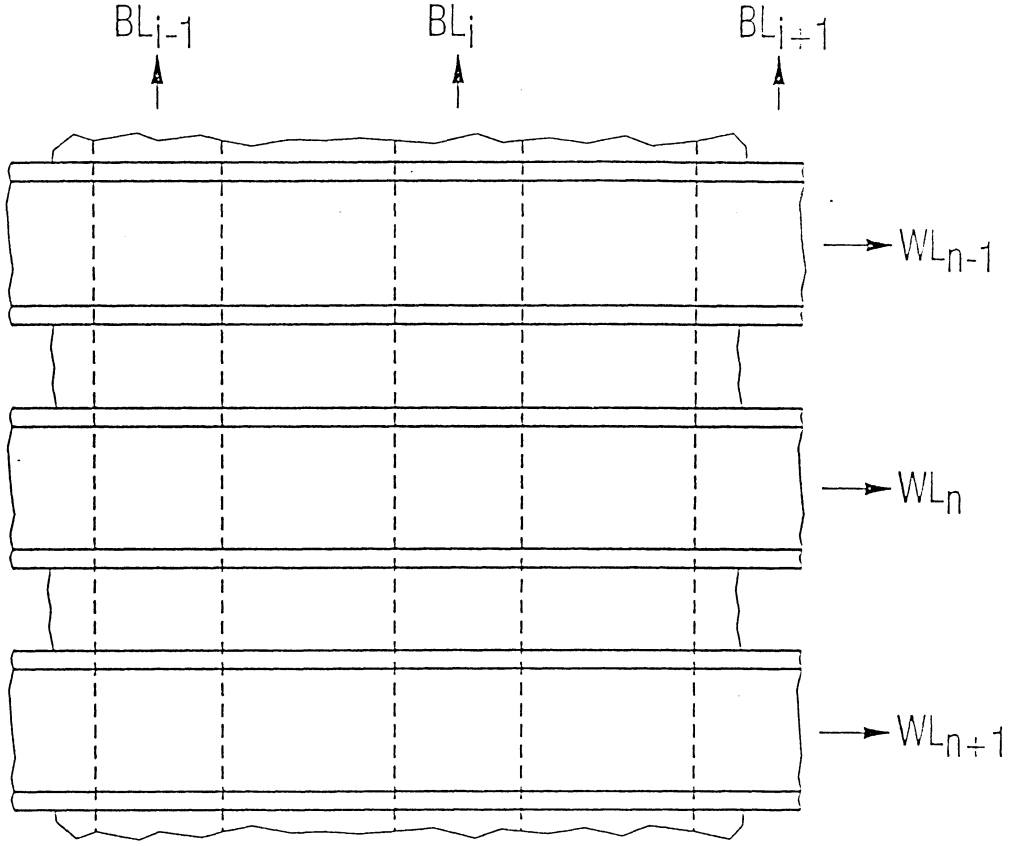
六、申請專利範圍

其作用是支持在記憶胞元場外對多晶矽的正面進行的平坦化作業。

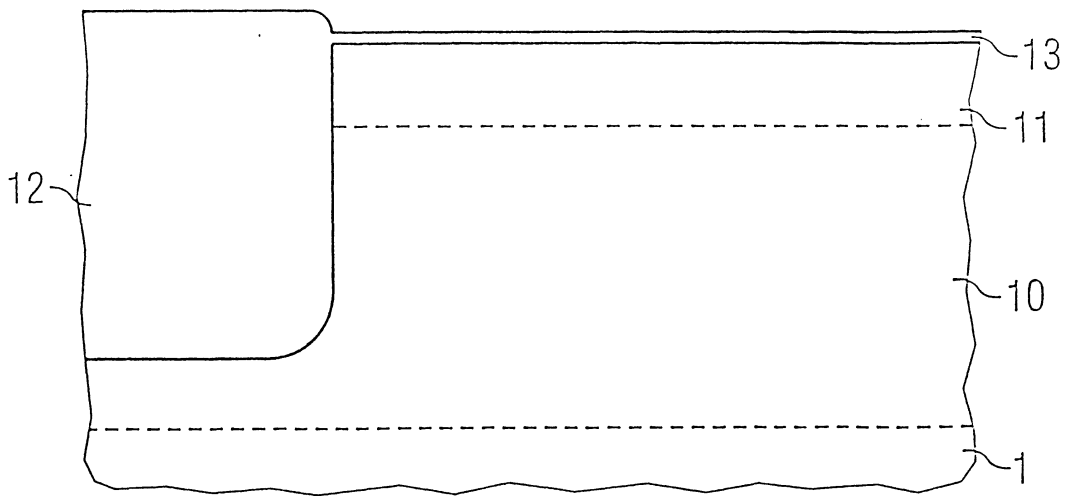


圖式

第 0 圖

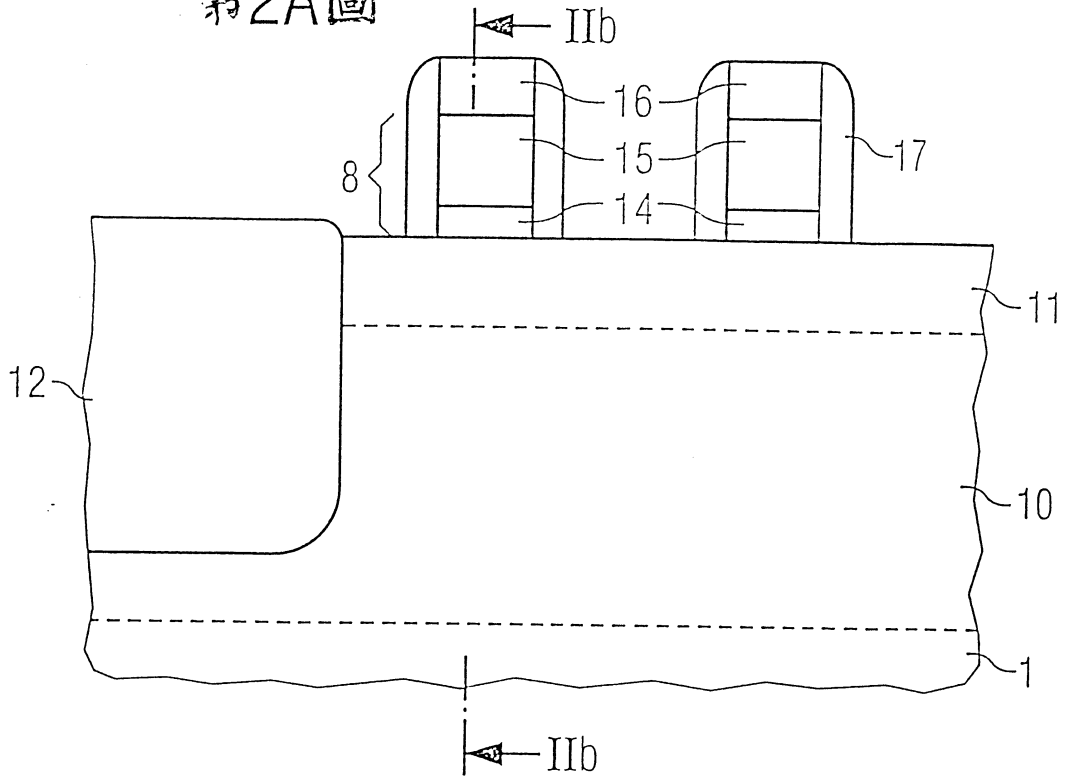


第 1 圖

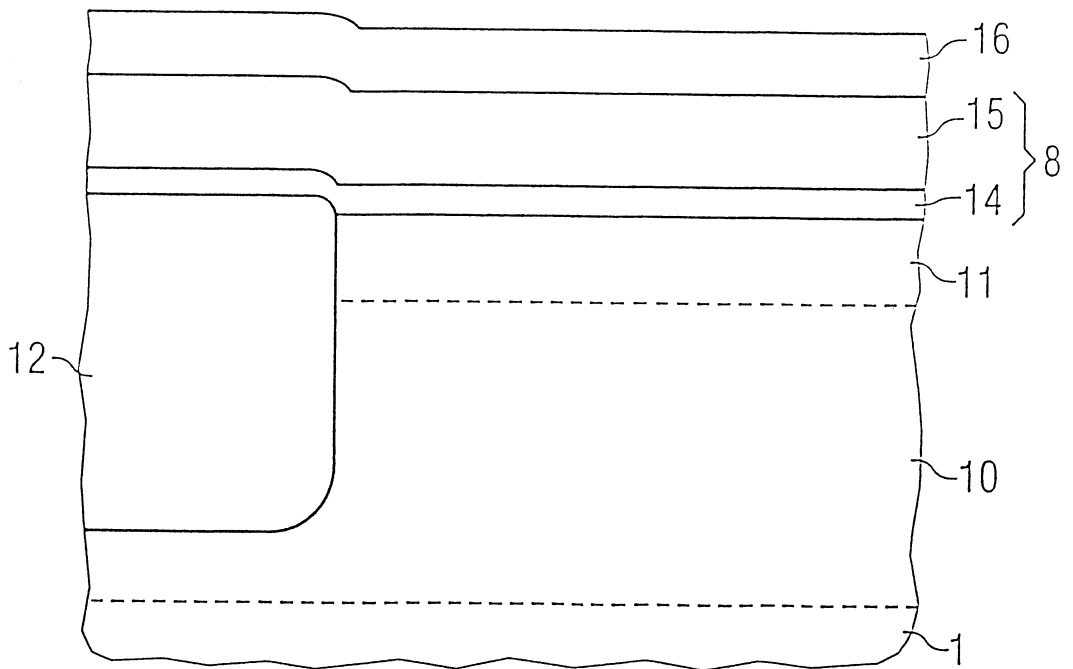


圖式

第2A圖

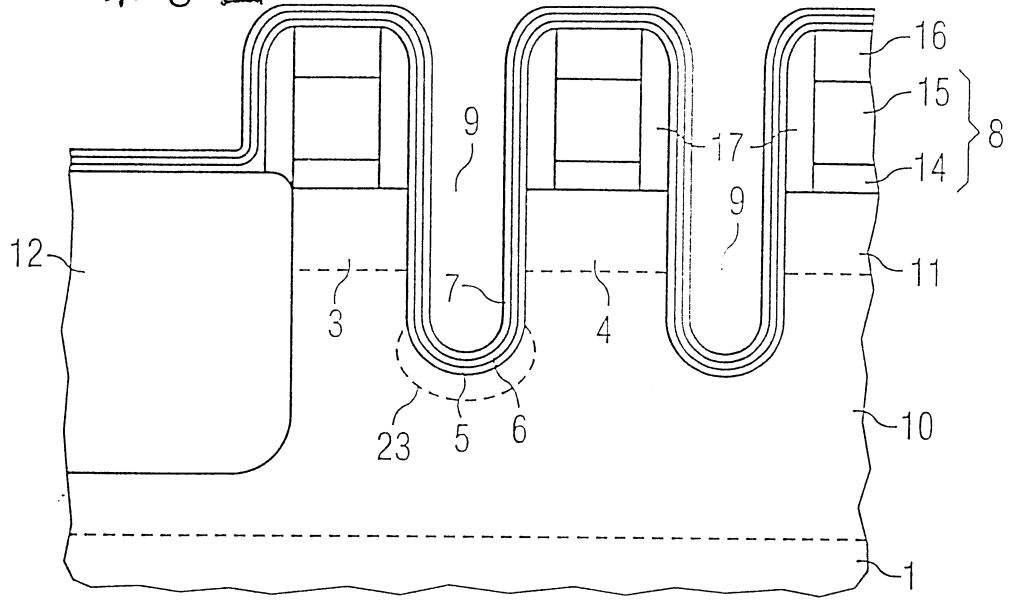


第2B圖

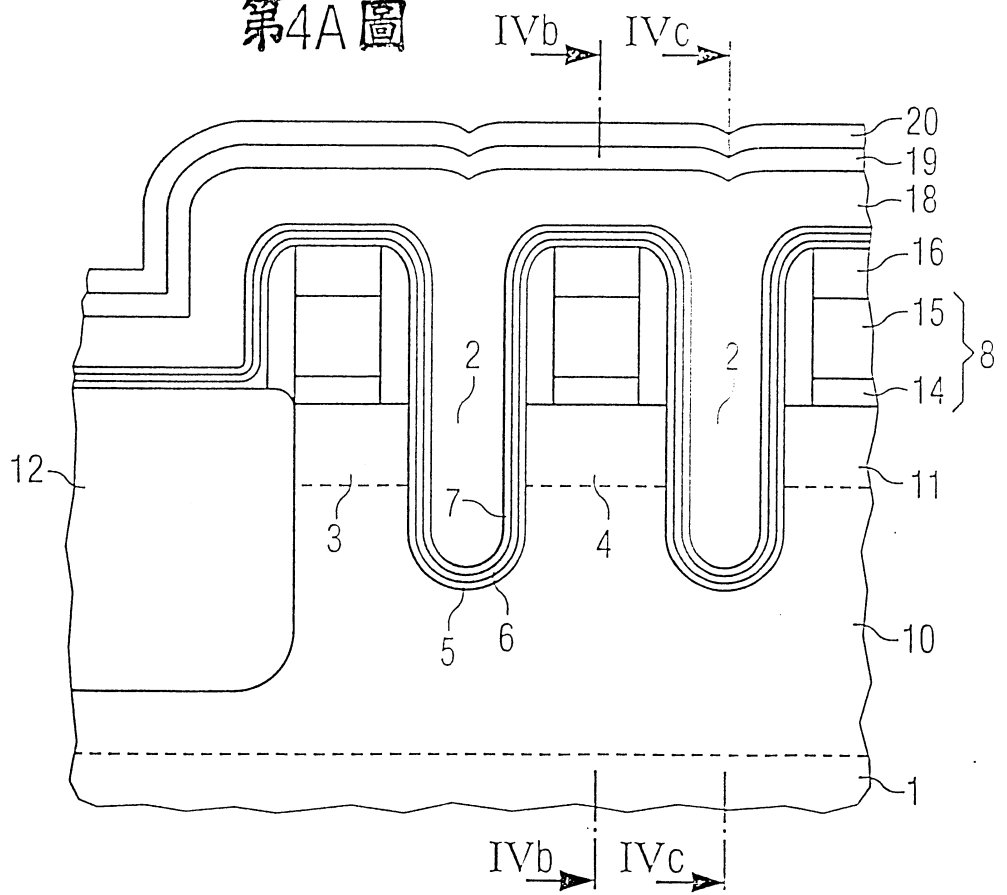


圖式

第3圖

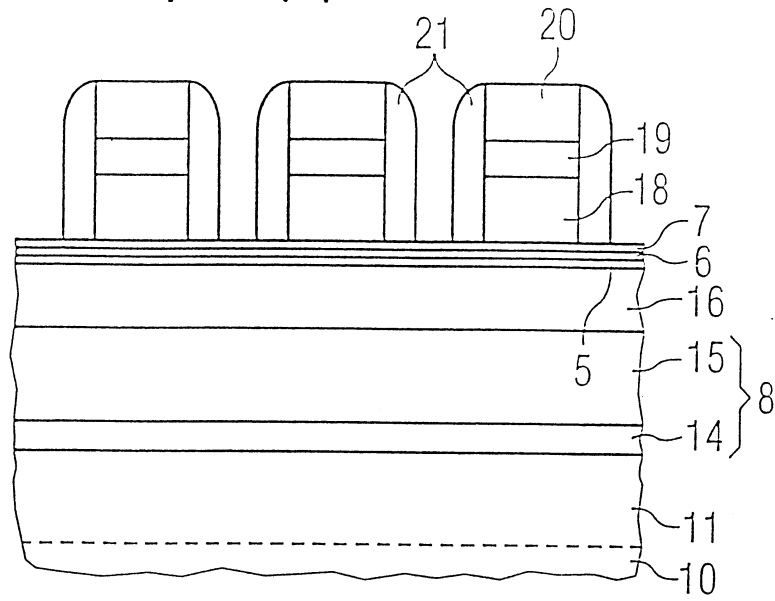


第4A圖

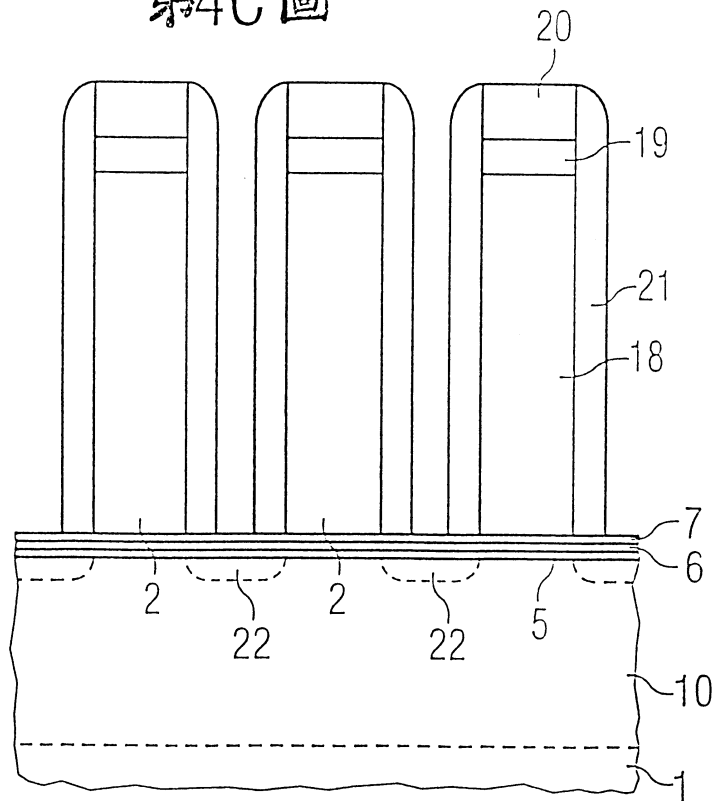


圖式

第4B圖

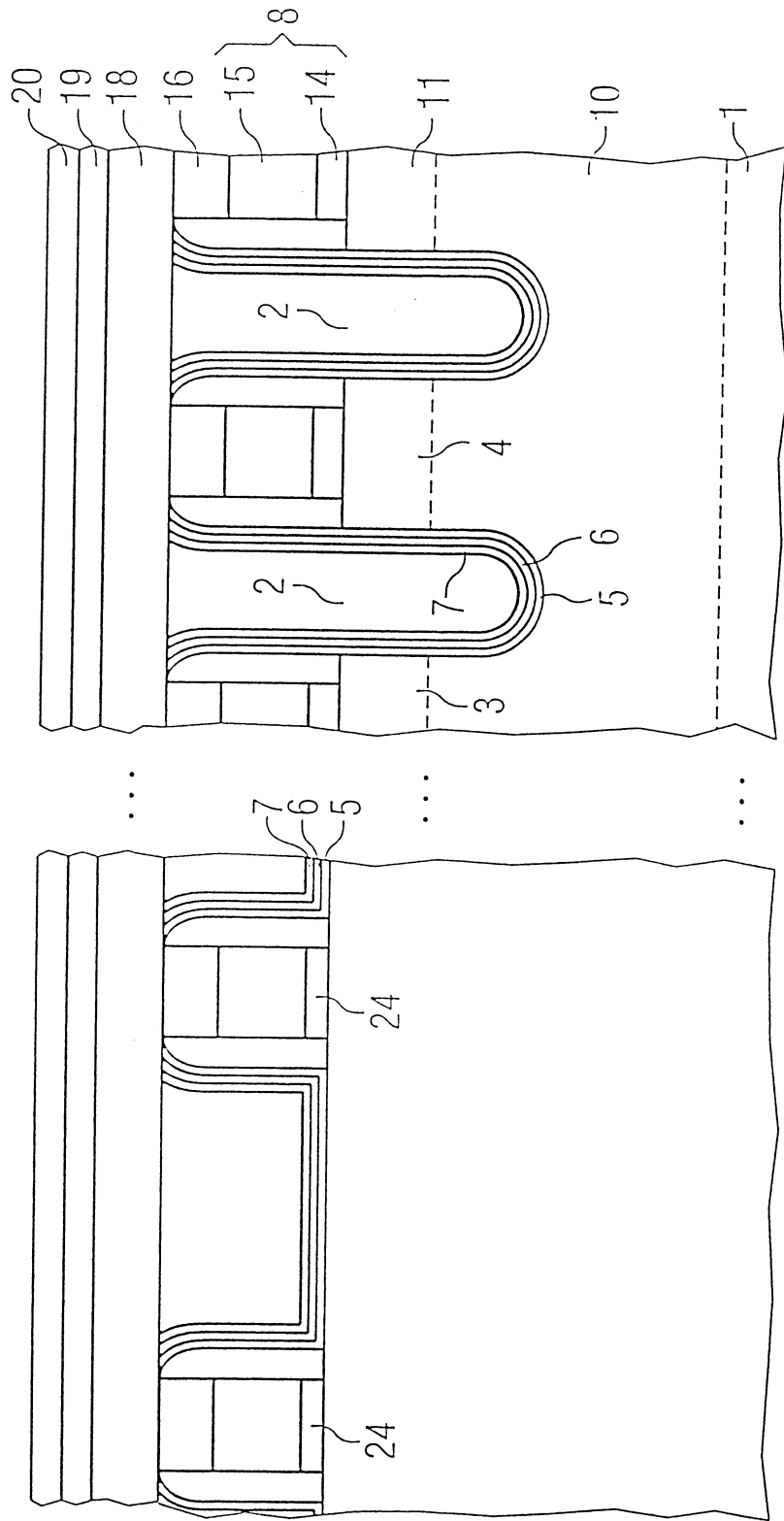


第4C圖



圖式

第 5 圖



修正
補充

申請日期：92.5.27	IPC分類	H01L 21/8247
申請案號：92113901		

(以上各欄由本局填註)

發明專利說明書

200414450

一、 發明名稱	中文	NROM記憶胞元場之製造方法
	英文	Method for Fabricating an NROM Memory Cell Arrangement
二、 發明人 (共4人)	姓名 (中文)	1. 克里斯多夫·路德維希 2. 約阿希姆·德佩 3. 約瑟夫·維勒爾
	姓名 (英文)	1. Christoph Ludwig 2. Joachim Deppe 3. Josef WILLER
	國籍 (中英文)	1. 德國 DE 2. 德國 DE 3. 德國 DE
	住居所 (中文)	1. 德國朗格布呂克01465貝爾格爾街15號 2. 德國德累斯頓01099主教路62號 3. 德國里密爾林85521弗里德里希-弗勒貝爾街62號
	住居所 (英文)	1. Bergerstrasse 15, 01465 Langebrueck, Germany 2. Bischofsweg 62, 01099 Dresden, Germany 3. Friedrich-Froebel-Str. 62, 85521 Riemerling, Germany
三、 申請人 (共2人)	名稱或 姓名 (中文)	1. 億恆科技股份有限公司 2. 億恆快閃科技資合有限公司
	名稱或 姓名 (英文)	1. Infineon Technologies AG 2. Infineon Technologies Flash GmbH & Co. KG
	國籍 (中英文)	1. 德國 DE 2. 德國 DE
	住居所 (營業所) (中文)	1. 德國慕尼黑D-81669馬丁塊街53號 (本地址與前向貴局申請者相同) 2. 德國德累斯頓D-01099布呂克爾王街180號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. St.-Martin-Str. 53, D-81669 Muenchen, Germany 2. Koenigsbrueckerstr. 180, 01099 Dresden, Germany
	代表人 (中文)	1. 米夏埃爾·戈爾維茨爾; 2. 霍斯特·舍費爾 2. 彼得·屈克爾
代表人 (英文)	1. Michael Gollwitzer; 2. Dr. Horst Schaefer 2. Peter Kuecher	

