



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/24 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월13일 10-0748906 2007년08월07일
---	-------------------------------------	--

(21) 출원번호	10-2006-0033688	(65) 공개번호	10-2006-0108537
(22) 출원일자	2006년04월13일	(43) 공개일자	2006년10월18일
심사청구일자	2006년04월13일		

(30) 우선권주장 JP-P-2005-00116618 2005년04월14일 일본(JP)

(73) 특허권자 샤프 가부시기가이샤
일본 오사카후 오사카시 아베노꾸 나가이게쵸 22방 22고

(72) 발명자 세라타 츠요시
일본 오카야마켄 가사오카시 미노하마 31-36-201

에노모토 슈지
일본 나라켄 나라시 도쿠조쵸 721-15

(74) 대리인 특허법인코리아나

(56) 선행기술조사문헌
JP 08-204193 A

심사관 : 이시근

전체 청구항 수 : 총 22 항

(54) 반도체 장치 및 그 제조 방법

(57) 요약

반도체 기관 상에, 게이트 절연막을 개재시켜서 그 상면에 제 1 절연층이 형성된 게이트 전극을 형성한다. 게이트 전극의 측벽 및 제 1 절연층의 상면을 피복하도록 반도체 기관 (1) 상에 제 2 절연층을 형성한다. 제 2 절연층을 에칭백하여 게이트 전극의 측벽에 사이드월 스페이서를 형성함과 함께, 소자 영역의 표면을 노출시킨다. 제 1 절연층을 게이트 전극의 상면으로부터 제거한다. 게이트 전극의 상면 및 소스·드레인 영역의 표면을 피복하도록 반도체 기관의 표면에 고용점 금속막을 형성하고, 그 후 어닐하여, 게이트 전극의 상면 및 소스·드레인 영역의 표면을 실리사이드화하여 실리사이드화층을 형성한다. 본 발명에 따르면, 게이트 전극의 높이가 낮아져도 게이트 전극과 소스·드레인 영역 간의 단락 방지를 피할 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 기관의 표면에 소자 영역을 다른 소자 영역으로부터 분리하기 위한 소자 분리 영역을 형성하는 공정,

상기 반도체 기관 상에, 게이트 절연막을 개재시켜서 그 상면에 제 1 절연층이 형성된 게이트 전극을 형성하는 공정,

상기 게이트 전극의 측벽 및 상기 제 1 절연층의 상면을 피복하도록 상기 반도체 기관 상에 제 2 절연층을 형성하는 공정,

상기 제 2 절연층을 에칭백하여 상기 게이트 전극의 측벽에 사이드월 스페이서를 형성함과 함께, 상기 소자 영역의 표면을 노출시키는 공정,

상기 게이트 전극 및 상기 사이드월 스페이서를 마스크로 하여 상기 소자 영역의 표면에 불순물 이온을 주입함으로써, 상기 반도체 기관의 표면에 있어서 상기 게이트 전극의 양측에 한 쌍의 소스·드레인 영역을 형성하는 공정,

상기 제 1 절연층을 상기 게이트 전극의 상면으로부터 제거하는 공정,

상기 게이트 전극의 상면 및 상기 소스·드레인 영역의 표면을 피복하도록 상기 반도체 기관의 표면에 고용점 금속막을 형성하고, 그 후 어닐하여, 상기 게이트 전극의 상면 및 상기 소스·드레인 영역의 표면을 실리사이드화하여 실리사이드막을 형성하는 공정, 및

미반응의 고용점 금속막을 제거하는 공정을 구비한, 반도체 장치의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 제 1 절연층은, 규소질화막 또는 규소산질화막인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 제 1 절연층은, 하층이 규소산화막이고, 상층이 규소질화막 또는 규소산질화막인 적층 구조인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 절연층의 막두께는 70~200nm 인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 5.

제 3 항에 있어서,

상기 제 1 절연층의 하층인 규소산화막의 막두께는 5~50nm 이고, 상층인 규소질화막 또는 규소산질화막의 막두께는 70~190nm 인, 반도체 장치의 제조방법.

청구항 6.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 2 절연층은 규소산화막인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 7.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 2 절연층의 막두께는 70~190nm 인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 8.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 2 절연층은, 하층이 규소산화막이고, 상층이 규소질화막 또는 규소산질화막인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 제 2 절연층에 있어서, 하층인 규소산화막의 막두께는 5~25nm 이고, 상층인 규소질화막 또는 규소산질화막의 막두께는 70~190nm 인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 10.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 게이트 절연막에 접하는 부근의 상기 사이드월 스페이서의 폭을 W, 사이드월 스페이서의 높이를 h, 상기 게이트 전극의 높이를 T 로 하면,

$h=5W$, $T \geq h$, $W \geq 20nm$ 의 관계에 있는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 11.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 실리사이드막은, Ti (티탄), Co (코발트) 또는 Ni (니켈) 의 실리사이드막인, 반도체 장치의 제조방법.

청구항 12.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 반도체 기판 상에 층간 절연막을 단층 또는 2층으로 형성하는 공정을 추가로 구비하는, 반도체 장치의 제조방법.

청구항 13.

반도체 기판의 표면에 소자 영역을 다른 소자 영역으로부터 분리하기 위한 소자 분리 영역을 형성하는 공정,

상기 반도체 기판 상에, 게이트 절연막을 개재시켜서 그 상면에 제 1 절연층이 형성된 게이트 전극을 형성하는 공정,

상기 게이트 전극의 측벽 및 상기 제 1 절연층의 상면을 피복하도록 상기 반도체 기판 상에 제 2 절연층을 형성하는 공정,

상기 제 2 절연층을 에칭백하여 상기 게이트 전극의 측벽에 사이드월 스페이서를 형성함과 함께, 상기 소자 영역을 노출시키는 공정,

상기 게이트 전극 및 상기 사이드월 스페이서를 마스크로 하여 상기 소자 영역에 불순물 이온을 주입함으로써, 상기 반도체 기판의 표면에 있어서 상기 게이트 전극의 양측에 한 쌍의 소스·드레인 영역을 형성하는 공정,

상기 한 쌍의 소스·드레인 영역의 표면을 피복하도록 제 1 고용점 금속막을 형성하고, 열처리하여 그 소스·드레인 영역의 표면에 제 1 실리사이드화층을 형성하고, 그 후 미반응의 제 1 고용점 금속막을 제거하는 공정,

상기 제 1 절연층이 형성된 상기 게이트 전극을 피복하도록 상기 반도체 기판 상에 층간 절연막을 형성하는 공정,

상기 층간 절연막의 표면을 연마하여 평탄화함과 함께, 상기 제 1 절연층의 표면을 노출시키는 공정,

노출된 상기 제 1 절연막을 제거하여, 상기 게이트 전극의 상면을 노출시키는 공정,

노출된 상기 게이트 전극의 상면을 피복하도록 상기 층간 절연막 상에 제 2 고용점 금속막을 형성하고, 열처리하여 상기 게이트 전극의 상면에 제 2 실리사이드화층을 형성하는 공정, 및

상기 층간 절연막 중에 콘택트홀을 형성하고, 메탈 배선을 형성하는 공정을 포함하는, 반도체 장치의 제조방법.

청구항 14.

제 13 항에 있어서,

상기 제 1 절연층은 규소질화막 또는 규소산질화막을 포함하는, 반도체 장치의 제조방법.

청구항 15.

제 13 항 또는 제 14 항에 있어서,

상기 제 1 절연층은 하층이 규소산화막이고, 상층이 규소질화막 또는 규소산질화막인 적층 구조인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 16.

제 14 항에 있어서,

상기 제 1 절연층 중의 상기 규소질화막 또는 규소산질화막의 막두께는 100~250nm 인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 17.

제 15 항에 있어서,

상기 제 1 절연층의 하층인 규소산화막의 막두께는 5~50nm 이고, 상층인 규소질화막 또는 규소산질화막의 막두께는 70~190nm 인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 18.

제 13 항, 제 14 항 또는 제 16 항 중 어느 한 항에 있어서,

상기 제 2 절연층은 규소산화막인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 19.

제 18 항에 있어서,

상기 제 2 절연층의 규소산화막의 막두께는 70~190nm 인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 20.

제 13 항, 제 14 항 또는 제 16 항 중 어느 한 항에 있어서,

상기 제 2 절연층은 하층이 규소산화막이고, 상층이 규소질화막 또는 규소산질화막의 2층 구조인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 21.

제 20 항에 있어서,

상기 제 2 절연층의, 하층인 규소산화막의 막두께는 5~25nm 이고, 상층인 규소질화막 또는 규소산질화막의 막두께는 70~190nm 인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 22.

제 13 항에 있어서,

상기 층간 절연막 표면의 연마량은, 상기 제 1 절연막도 그 막두께의 5~80% 가 연마되는 양으로 하는, 반도체 장치의 제조방법.

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 장치의 제조방법에 관한 것으로, 보다 특정적으로는, 게이트 전극의 박막화가 가능해지고, 소자 구조의 미세화에 대응할 수 있으며, 나아가서는 반도체 장치의 고집적화를 가능케 하도록 개량된 반도체 장치의 제조방법에 관한 것이다. 본 발명은, 또한 그와 같은 방법에 의해 얻어진 반도체 장치에 관한 것이다.

현재 회로 소자의 고속화를 위해 소자 영역을 실리사이드화함으로써 배선 저항을 저감하는 기술이 사용되고 있다.

반도체 장치의 종래 제조방법에 관해서 설명한다.

도 14(a)를 참조하여, 반도체 기판 (1) 상에 소자 영역을 다른 소자 영역으로부터 구획하는 소자 분리 영역 (2)을 형성하고, 그 위에 게이트 절연막 (3), 폴리규소층 (4)을 퇴적한다.

도 14(b)를 참조하여, 폴리규소층 (4) 상에 있어서 게이트 배선을 형성하는 부분과 대응하는 부분에 리소그래피 기술에 의해 레지스트 패턴 (6)을 형성한다. 도 14(b)와 (c)를 참조하여, 레지스트 패턴 (6)을 마스크로 해서 폴리규소층 (4), 게이트 절연막 (3)을 에칭하여 게이트 전극 (10)을 형성한다. 계속해서 레지스트 패턴 (6)을 제거한다.

또, 도 14(d)를 참조하여, 반도체 기판 (1) 상에 형성된 게이트 전극 (10)을 덮도록 절연층 (7)으로서 규소산화막을 퇴적한다.

도 14(d)와 도 15(e)를 참조하여, 절연층 (7)을 에칭백하여 게이트 전극 (10)의 측벽에 실리사이드화 방지용인 규소산화막의 사이드월 스페이서 (11)를 남긴다. 계속해서, 도시하지 않지만, 사이드월 스페이서 (11)를 마스크로 하여 불순물 이온을 주입함으로써, 반도체 기판 (1)의 표면에 있어서 게이트 전극 (10)의 양측에 한 쌍의 소스·드레인 영역을 형성한다.

도 15(f)를 참조하여, 반도체 기판 (1)의 전체면에 고용점 금속의 Ti(티탄), Co(코발트), Ni(니켈)등을 스퍼터법에 의해 퇴적하여 고용점 금속막 (8)을 형성한다. 도 15(g)를 참조하여, 적당한 열처리에 의해 실리사이드화 어닐 처리를 실시함으로써 반도체 기판 (1)과 고용점 금속막 (8)을 반응시켜, 실리사이드화층 (9)을 형성한다. 도 15(g)와 도 6(h)를 참조하여, 선택 에칭에 의해 고용점 금속막 (8)내의 미반응의 고용점 금속막을 제거하면, 실리사이드화 영역과 비실리사이드화 영역을 동시에 형성할 수 있다. 도시하지 않지만, 계속해서, 반도체 기판 (1) 상에 층간 절연막을 형성하고, 층간 절연막 중에 실리사이드화층 (9)에 도달하는 컨택트홀을 형성하고, 배선을 형성하면 반도체 장치가 완성된다.

이 방법에 의하면, 도 15(g)를 참조하여, 실리사이드화 어닐 처리시에 있어서 소스·드레인 영역에서의 규소의 확산이 사이드월 스페이서 (11)상의 고용점 금속막 (8)중에 일어나더라도, 사이드월 스페이서 (11)의 표면 상에 있어서 게이트 전극 (10)과 소스·드레인 영역 간의 거리가 충분한 경우에는, 게이트 전극 (10)과 소스·드레인 영역 사이에 있어서 실리사이드화층에 의한 단락은 발생하지 않는다.

그러나, 게이트 배선의 미세화에 동반하여 게이트 전극의 막두께는 얇아지고 있다. 게이트 전극의 막두께를 얇게 한 경우에 있어서, 상기 종래 기술을 그대로 적용한 경우의 반도체 장치의 제조 공정을 도 16(a)~(d) 및 도 17(e)~(h)에 나타낸다. 이들 도면에 있어서, 도 14(a)~(d) 및 도 15(e)~(h)에 나타내는 것과 동일 또는 상당하는 부분에는 동일한 참조번호를 붙이고, 그 설명을 되풀이하지 않는다.

그런데 이 경우, 도 16(a)를 참조하여, 게이트 전극의 베이스가 되는 폴리규소층 (4)이 상기 종래 기술과 비교하여 얇게 형성된다. 이 경우, 도 17(g)를 참조하여, 게이트 전극 (10)이 박막화되어 있기 때문에, 게이트 전극 (10)의 측면부에서 사이드월 스페이스 (11)의 폭이 좁아지고, 사이드월 스페이스 (11)의 표면 상에 있어서 게이트 전극 (10)과 소스·드레인 영역 간 거리가 짧아진다. 그 때문에, 실리사이드화 어닐 처리시에 있어서, 소스·드레인 영역으로부터의 규소의 확산이 사이드월 스페이스 (11)상의 고용점 금속막 (8)중에서 일어나면, 사이드월 스페이스 (11)의 표면 상에 있어서 얇은 실리사이드화층이 형성되어, 게이트 전극 (10)과 소스·드레인 영역의 단락이 발생한다는 문제점이 있었다.

상기 문제점을 해결하기 위해, 사이드월 스페이스의 표면에서의 게이트 전극과 소스·드레인 영역 간 거리를 길게 하기 위한 방법으로서, 도 18에 나타내는 바와 같은 종래 기술이 제안되어 있다 (예를 들어 일본 공개특허공보 평8-204193호, 일본 공개특허공보 평8-274043호). 이들 도면에 있어서, 도 14(a)~(d) 및 도 15(e)~(h)에 나타내는 것과 동일 또는 상당하는 부분에는 동일한 참조번호를 붙이고, 그 설명을 되풀이하지 않는다.

도 18(a)를 참조하여, 게이트 절연막 (3), 게이트 전극 (10), PSG 막패턴 (51)으로 이루어지는 볼록형상 패턴의 측면에 규소질화막의 사이드월 스페이스 (11)를 형성한다. 그 후, 도 18(b)를 참조하여, PSG 막패턴 (51)을 제거하고, 게이트 전극 (10)의 높이보다도 높게 돌출된 형상의 사이드월 스페이스 (11)를 남긴다. 도 18(c)를 참조하여, 티탄막 (8)을 퇴적하고, 450~550℃의 온도에서 5~10분간 가열로에 의한 가열 처리를 실시한다. 그 후, 미반응 티탄막을 제거하면, 도 18(d)를 참조하여, 게이트 전극 (10)의 표면과 소스·드레인 영역 표면에 실리사이드화층 (9)이 형성된 반도체 장치가 얻어진다.

이 방법에 의하면, 게이트 전극 (10)의 높이보다도 높게 돌출된 형상의 사이드월 스페이스 (11)를 형성함으로써, 사이드월 스페이스 (11)의 표면에 있어서의 게이트 전극 (10)과 소스·드레인 영역 간 거리를 길게 할 수 있고, 나아가서는, 실리사이드화 공정에서 소스·드레인 영역과 게이트 전극 (10)과의 사이의 단락을 억제할 수 있다.

그러나, 도 18에 나타내는 종래 방법과 같이, 게이트 전극 (10)의 높이보다도 높게 돌출된 형상의 사이드월 스페이스 (11)를 갖는 경우, 게이트 전극 (10)상에서 PSG 막 (51)을 제거하는 공정에서 실리사이드화 형성까지의 사이의 세정 공정에서 받는 물리적 데미지 등에 의해 사이드월 스페이스 (11)의 상부의 돌기에 결락이 생겨 파티클이 발생할 가능성이 있다. 그 결과, 파티클의 발생에 의한 제조 장치의 오염, 반도체 기판에 대한 파티클의 부착에 수반되는 수율의 대폭적인 저하를 야기한다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 문제점을 해결하기 위해 이루어진 것으로, 게이트 전극의 높이가 낮아져도 게이트 전극과 소스·드레인 영역 간의 단락 방지를 피할 수 있도록 개량된 반도체 장치의 제조방법을 제공하는 것에 있다.

본 발명의 다른 목적은, 파티클을 발생시키지 않고서 게이트 전극과 소스·드레인 영역 간의 단락 방지를 피할 수 있도록 개량된 반도체 장치의 제조방법을 제공하는 것에 있다.

본 발명의 또 다른 목적은, 그와 같은 방법에 의해 얻어진 반도체 장치를 제공하는 것에 있다.

발명의 구성

본 발명의 제 1 양태에 따르는 반도체 장치의 제조방법에 있어서는, 우선, 반도체 기판의 표면에 소자 영역을 다른 소자 영역으로부터 분리하기 위한 소자 분리 영역을 형성한다. 다음으로 반도체 기판 상에, 게이트 절연막을 개재시켜서 그 상면에 제 1 절연층이 형성된 게이트 전극을 형성한다. 상기 게이트 전극의 측벽 및 상기 제 1 절연층의 상면을 피복하도록 상기 반도체 기판 상에 제 2 절연층을 형성한다. 상기 제 2 절연층을 에칭백하여 상기 게이트 전극의 측벽에 사이드월 스페이스를 형성함과 함께, 상기 소자 영역의 표면을 노출시킨다. 상기 게이트 전극 및 상기 사이드월 스페이스를 마스크로 하여 상기 소자 영역의 표면에 불순물 이온을 주입함으로써, 상기 반도체 기판의 표면에 있어서 상기 게이트 전극의 양측에 한 쌍의 소스·드레인 영역을 형성한다. 상기 제 1 절연층을 상기 게이트 전극의 상면으로부터 제거한다. 상기 게이트 전극의

상면 및 상기 소스·드레인 영역의 표면을 피복하도록 상기 반도체 기판의 표면에 고용점 금속막을 형성하고, 그 후 어닐 하여, 상기 게이트 전극의 상면 및 상기 소스·드레인 영역의 표면을 실리사이드화하여 실리사이드막을 형성한다. 미반응의 고용점 금속막을 제거한다.

본 발명에 의하면, 상기 제 1 절연층의 상면을 피복하도록 상기 반도체 기판 상에 사이드월 스페이서의 베이스가 되는 제 2 절연층을 형성하기 때문에, 게이트 전극의 높이가 낮아져도 사이드월 스페이서 표면에서의 게이트 전극과 소스·드레인 영역 간 거리를 충분히 확보할 수 있다.

본 발명이 바람직한 실시양태에 의하면, 상기 제 1 절연층을 상기 게이트 전극의 상면으로부터 제거하는 공정을 습식 에칭 처리에 의해 실시한다. 이것에 의해, 상기 제 1 절연층의 에칭시에 있어서 게이트 전극의 상면을 과도하게 제거하는 일이 없다. 또한, 상기 제 1 절연층의 제거시에 있어서 사이드월을 과도하게 제거하는 일이 없다.

상기 제 1 절연층은 규소질화막 또는 규소산질화막인 것이 바람직하다. 또한, 상기 제 1 절연층은, 하층이 규소산화막이고, 상층이 규소질화막 또는 규소산질화막인 적층 구조여도 된다.

상기 제 1 절연층의 막두께는 70~200nm 인 것이 바람직하다.

상기 제 1 절연층을 상기 적층 구조로 하는 경우, 하층인 규소산화막의 막두께는 5~50nm 이고, 상층인 규소질화막 또는 규소산질화막의 막두께는 70~190nm 인 것이 바람직하다.

상기 제 2 절연층은 규소산화막으로 형성하는 것이 바람직하다.

또한, 상기 제 2 절연층의 막두께는 70~190nm 인 것이 바람직하다.

상기 제 2 절연층은, 하층이 규소산화막이고, 상층은 규소질화막 또는 규소산질화막인 2층 구조여도 된다. 이 경우, 상기 제 2 절연층에 있어서, 하층인 규소산화막의 막두께는 5~25nm 이고, 상층인 규소질화막 또는 규소산질화막의 막두께는 70~190nm 인 것이 바람직하다.

본 발명의 바람직한 실시양태에 의하면, 상기 게이트 절연막에 접하는 부근의 상기 사이드월 스페이서의 폭을 W, 사이드월 스페이서의 높이를 h, 상기 게이트 전극의 높이를 T 로 하면, $h=5W$, $T \geq h$, $W \geq 20nm$ 의 관계에 있다.

이와 같이 구성함으로써, 게이트 전극의 높이가 낮아져도 사이드월 스페이서 표면에서의 게이트 전극과 소스·드레인 영역 간 거리를 충분히 확보할 수 있다.

상기 실리사이드막은, Ti (티탄), Co (코발트) 또는 Ni (니켈) 의 실리사이드막인 것이 바람직하다.

상기 반도체 기판 상에 층간 절연막을 단층 또는 2층으로 형성하는 공정을 추가로 구비해도 된다.

본 발명의 다른 양태에 따르는 반도체 장치의 제조방법에 있어서는, 우선, 반도체 기판의 표면에 소자 영역을 다른 소자 영역으로부터 분리하기 위한 소자 분리 영역을 형성한다. 다음으로, 상기 반도체 기판 상에 게이트 절연막을 개재시키고, 그 상면에 제 1 절연층이 형성된 게이트 전극을 형성한다. 상기 게이트 전극의 측벽 및 상기 제 1 절연층의 상면을 피복하도록 상기 반도체 기판 상에 제 2 절연층을 형성한다. 상기 제 2 절연층을 에칭백하여 상기 게이트 전극의 측벽에 사이드월 스페이서를 형성함과 함께, 상기 소자 영역을 노출시킨다. 상기 게이트 전극 및 상기 사이드월 스페이서를 마스크로 하여 상기 소자 영역에 불순물 이온을 주입함으로써, 상기 반도체 기판의 표면에 있어서 상기 게이트 전극의 양측에 한 쌍의 소스·드레인 영역을 형성한다. 상기 한 쌍의 소스·드레인 영역의 표면을 피복하도록 제 1 고용점 금속막을 형성하고, 열처리하여 그 소스·드레인 영역의 표면에 제 1 실리사이드화층을 형성하고, 그 후 미반응의 제 1 고용점 금속막을 제거한다. 상기 제 1 절연층이 형성된 상기 게이트 전극을 피복하도록 상기 반도체 기판 상에 층간 절연막을 형성한다. 상기 층간 절연막의 표면을 연마하여 평탄화함과 함께, 상기 제 1 절연층의 표면을 노출시킨다. 노출된 상기 제 1 절연막을 제거하여, 상기 게이트 전극의 상면을 노출시킨다. 노출된 상기 게이트 전극의 상면을 피복하도록 상기 층간 절연막 상에 제 2 고용점 금속막을 형성하고, 열처리하여 상기 게이트 전극의 상면에 제 2 실리사이드화층을 형성한다. 상기 층간 절연막 중에 콘택트홀을 형성하고, 메탈 배선을 형성한다.

본 발명에 의하면, 사이드월 스페이서 상을 덮도록 층간 절연막을 형성하여 게이트 전극 표면의 실리사이드 처리를 할 수 있기 때문에, 게이트 전극 표면과 소스·드레인 영역의 쇼트의 발생을 방지할 수 있다.

상기 제 1 절연층은 규소질화막 또는 규소산질화막을 포함하는 것이 바람직하다.

상기 제 1 절연층은 하층이 규소산화막이고, 상층이 규소질화막 또는 규소산질화막인 적층 구조여도 된다.

상기 제 1 절연층 중의 상기 규소질화막 또는 규소산질화막의 막두께는 100~250nm 인 것이 바람직하다.

상기 제 1 절연층이 적층 구조인 경우, 하층인 규소산화막의 막두께는 5~50nm 이고, 상층인 규소질화막 또는 규소산질화막의 막두께는 70~190nm 인 것이 바람직하다.

상기 제 2 절연층은 규소산화막인 것이 바람직하다.

상기 제 2 절연층의 규소산화막의 막두께는 70~190nm 인 것이 바람직하다.

상기 제 2 절연층은 하층이 규소산화막이고, 상층이 규소질화막 또는 규소산질화막의 2층 구조여도 된다. 이 경우, 상기 제 2 절연층의 하층인 규소산화막의 막두께는 5~25nm 이고, 상층인 규소질화막 또는 규소산질화막의 막두께는 70~190nm 인 것이 바람직하다.

상기 층간 절연막 표면의 연마량을 상기 제 1 절연막도 그 막두께의 5~80% 가 연마되는 양으로 하면, 사이드월 스페이스의 상부의 돌기를 없앨 수 있다.

본 발명의 다른 양태에 따르는 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 게이트 절연막을 개재시켜서 형성된 게이트 전극, 상기 반도체 기판의 표면에 있어서 상기 게이트 전극의 양측에 형성된 1쌍의 소스/드레인 영역, 상기 게이트 전극의 측벽에 형성된 사이드월 스페이스, 및 상기 게이트 전극의 상면 및 상기 소스/드레인 영역의 표면에 형성된 실리사이드화층을 구비한 반도체 장치에 관한 것이다. 그리고, 상기 게이트 절연막에 접하는 부근의 상기 사이드월 스페이스의 폭을 W , 사이드월 스페이스의 높이를 h , 상기 게이트 전극의 높이를 T 로 하면, $h=5W$, $T \geq h$, $W \geq 20nm$ 의 관계에 있는 것을 특징으로 한다.

본 발명의 또 다른 양태에 따르는 반도체 장치는, 반도체 기판과, 상기 반도체 기판 상에 게이트 절연막을 개재시켜서 형성된 게이트 전극과, 상기 반도체 기판의 표면에 있어서 상기 게이트 전극의 양측에 형성된 1쌍의 소스/드레인 영역과, 상기 게이트 전극의 측벽에 형성된 사이드월 스페이스와, 상기 게이트 전극의 상면 및 상기 소스/드레인 영역의 표면에 형성된 실리사이드화층을 구비한 반도체 장치에 관한 것이다. 그리고, 상기 게이트 전극의 표면에 형성된 실리사이드화층의 막두께는, 상기 소스/드레인 영역의 표면에 형성된 실리사이드화층의 막두께보다 두꺼운 것을 특징으로 한다.

상기 사이드월 스페이스는, 상기 게이트 전극의 측벽에 접촉하는 규소산화막으로 형성된 하층과, 그 하층을 개재시켜서 상기 게이트 전극의 측벽에 형성된 규소질화막 또는 규소산질화막으로 형성된 상층을 포함하는 2층 구조여도 된다.

본 발명의 반도체 장치의 제조방법에 의하면, 실리사이드 영역과 비실리사이드 영역을 동시에 형성할 때에, 게이트 전극의 측면부에서 일정 이상의 폭이 확보된 사이드월 스페이스가 형성된다. 그 때문에, 실리사이드화 어닐 처리시, 고용점 금속 중에 소스·드레인 영역으로부터의 규소의 확산이 일어나도 충분한 사이드월 폭이 있기 때문에, 게이트 전극과 소스·드레인 영역의 사이가 실리사이드화층에 의해 단락되는 것을 억제할 수 있다. 따라서 게이트 전극의 박막화가 가능해지고, 소자 구조의 미세화에 대응할 수 있어, 반도체 장치의 고집적화를 가능하게 한다.

바람직한 실시형태의 설명

이하, 본 발명의 실시예를 도면을 사용하여 설명한다. 또, 이하의 도면에 있어서 동일 또는 상당하는 부분에는 동일한 참조번호를 붙인다.

(실시예 1)

실시예 1 은, 게이트 전극 표면의 실리사이드화와 소스·드레인 영역의 실리사이드화를 동시에 실시하는 경우이다.

도 1(a)를 참조하여, 종래 기술과 마찬가지로, 반도체 기판 (1)인 실리콘 기판의 표면에 소자 분리 영역 (2)을 형성함으로써 구획된 복수의 소자 영역을 형성한다. 다음으로, 반도체 기판 (1)상에 게이트 절연막 (3), 폴리규소층 (4)을 퇴적한다.

도 1(b)를 참조하여, 폴리규소층 (4)상에 제 1 절연층 (5)을 퇴적한다. 제 1 절연층 (5)으로는 규소질화막을 사용한다. 제 1 절연층 (5)의 막두께는 1400Å 정도로 하는 것이 바람직하다. 이와 같이 구성함으로써, 후술하는 바와 같이, 폴리규소층 (4), 게이트 절연막 (3)을 에칭할 때에 제 1 절연층 (5)전부가 에칭되지 않는다. 또한, 후술하는 제 2 절연층 (7) (도 2(g))을 에칭할 때에도 제 1 절연층 (5)전부가 에칭되지 않는다. 또한, 실리사이드화 어닐 처리시에, 사이드월 스페이서 (11)의 표면에서의 고용점 금속막 중에 소스·드레인 영역으로부터의 규소의 확산이 일어나더라도 사이드월 스페이서 (11)의 표면에 있어서 게이트 전극 (10)과 소스·드레인 영역을 단락시키는 실리사이드화층이 형성되지 않을 정도의, 사이드월 스페이서 (11)의 폭이 확보된다.

도 1(c)와 (d)를 참조하여, 제 1 절연층 (5)의, 게이트 전극을 형성하는 부분에 대응하는 표면 부분에, 리소그래피 기술에 의해 레지스트 패턴 (6)을 형성한다. 다음으로 레지스트 패턴 (6)을 마스크로 하여, 제 1 절연층 (5)을, 일례로서 마그네트론 RIE (Reactive Ion Etching) 장치를 사용하여 이하의 조건에서 제 1 절연층 (5)을 이방성 에칭한다.

압력: 50mTorr

고주파 전력: 500W

$\text{CH}_2\text{F}_2/\text{Ar}/\text{O}_2=40/30/15\text{sccm}$

도 1(d)와 도 2(e)를 참조해서, 애싱 장치를 사용하여 레지스트 패턴 (6)을 제거한다.

도 2(e)와 (f)를 참조하여, 잔존하고 있는 제 1 절연층 (5)을 에칭 마스크로 하여 그 이외의 부분의 폴리규소층 (4)과 게이트 절연막 (3)을 에칭하고, 게이트 전극 (10)을 형성한다. 다음으로 트랜지스터의 LDD 영역 (1a)을 형성하기 위한 이온 주입을 실시한다.

도 2(g)를 참조하여, 반도체 기판 (1)상에 형성된 게이트 전극 (10)과 잔존하고 있는 제 1 절연층 (5)을 덮도록 제 2 절연층 (7)으로서 규소산화막을 퇴적한다. 도 2(g)와 (h)를 참조하여, 제 2 절연층 (7)을 에칭백함으로써, 게이트 전극 (10)의 측벽에 규소산화막의 사이드월 스페이서 (11)를 남긴다. 에칭백하여 얻어지는 사이드월 스페이서 (11)의 폭 (가공된 게이트 절연막 (3)에 접하는 부근의 사이드월 스페이서 (11)의 폭)은, 제 2 절연층 (7)에 규소산화막만을 사용한 경우 17~20nm 정도가 된다. 사이드월 스페이서 (11)의 높이는 사이드월 스페이서 (11)의 폭의 5배 정도이고, 게이트 전극 (10) (제 1 절연층 (5)의 막두께를 포함한다)의 높이와는 대략 동일하다.

도 2(h)와 도 3(i)를 참조하여, 잔존하고 있는 제 1 절연층 (5)을 제거한다. 다음으로 트랜지스터의 소스·드레인 영역 (1b)을 형성하는 고농도의 N 영역을 형성하기 위해 비소 등의 이온을 주입하고, 주입된 비소 이온의 활성화를 위해 열처리한다.

도 3(j)를 참조하여, 고용점 금속인 Ti (티탄), Co (코발트), Ni (니켈) 등을 스퍼터법, 도금법, CVD 법에 의해 퇴적함으로써, 고용점 금속막 (8)을 반도체 기판 (1)의 전체면에 형성한다. 다음으로 도 3(k)를 참조하여, 적당하게 열처리함으로써 실리사이드화 어닐 처리를 실시하여, 게이트 전극 (10)의 표면 및 소스·드레인 영역 (1b)의 표면 및 고용점 금속막 (8)을 반응시켜서 실리사이드화층 (9)을 형성한다.

도 3(k)와 도 4(l)을 참조하여, 선택 에칭에 의해 고용점 금속막 (8)내의 미반응 고용점 금속막을 제거한다. 이상의 공정에 의해, 실리사이드화 영역과 비실리사이드화 영역을 동시에 형성할 수 있다.

도 4(m)을 참조하여, 반도체 기판 (1)상에 제 1 층간 절연막 (13) 및 제 2 층간 절연막 (16)을 형성하고, 제 1 및 제 2 층간 절연막 (13, 16)중에 실리사이드화층 (9)의 표면을 노출시키는 콘택트홀 (15)을 형성하고, 메탈 배선 (14)을 형성함으로써 반도체 장치가 완성된다.

본 실시예에 의하면, 도 3(k) 공정의 실리콘사이드화 어닐 처리시에 있어서, 사이드월 스페이스 (11) 의 표면 상의 고용점 금속막 중에 소스·드레인 영역으로부터의 규소의 확산이 일어나더라도 사이드월 스페이스 (11) 의 폭이 충분하게 있기 때문에, 게이트 전극 (10) 과 소스·드레인 영역 (1b) 의 사이가 실리콘사이드화층에 의해 단락되는 것을 억제할 수 있다.

(실시예 2)

본 실시예는, 게이트 전극 표면의 실리콘사이드화와 소스·드레인 영역의 실리콘사이드화를 다른 공정에서 실시하는 경우이다.

도 5(a) 를 참조하여, 실시예 1 과 마찬가지로, 반도체 기판 (1) 의 표면에 소자 분리 영역 (2) 을 형성함으로써 구획된 복수의 소자 영역을 형성한다. 반도체 기판 (1) 상에 게이트 절연막 (3), 폴리규소층 (4) 을 퇴적한다.

다음으로 도 5(b) 를 참조하여, 폴리규소층 (4) 상에 제 1 절연층 (5) 을 퇴적한다. 제 1 절연층 (5) 으로는 규소산화막 또는 규소질화막 또는 규소산질화막을 사용한다. 제 1 절연층 (5) 은, 또한, 폴리규소층 (4) 상에 규소산화막을 5~50nm 정도 성장시키고, 그 위에 규소질화막 또는 규소산질화막을 70~190nm 성장시킨 적층 구조로 해도 된다.

다음으로 도 5(c) 와 (d) 를 참조하여, 제 1 절연층 (5) 위의, 게이트 전극 부분에 대응하는 부분에 리소그래피 기술에 의해 레지스트 패턴 (6) 을 형성한다. 다음으로, 일례로서 마그네트론 RIE (Reactive Ion Etching) 장치를 사용하여, 제 1 절연층 (5) 을 레지스트 패턴 (6) 을 마스크로 하여 이방성 에칭한다.

그 후, 도 5(d) 와 도 6(e) 를 참조하여, 애싱 장치와 세정 장치를 사용하여 레지스트 패턴 (6) 을 제거한다.

다음으로 도 6(e) 와 (f) 를 참조하여, 잔존하고 있는 제 1 절연층 (5) 을 에칭 마스크로 해서 그 이외의 부분의 폴리규소층 (4) 과 게이트 절연막 (3) 을 에칭하여 게이트 전극 (10) 을 형성한다. 다음으로 트랜지스터의 LDD 영역 (1a) 를 형성하기 위한 이온 주입을 실시한다.

또, 도 6(g) 을 참조하여, 반도체 기판 (1) 상에, 게이트 전극 (10) 및 잔존하고 있는 제 1 절연층 (5) 을 덮도록 제 2 절연층 (7) 으로서 규소산질화막 또는 규소질화막 또는 규소산질화막을 퇴적한다.

도 6(g) 와 (h) 를 참조하여, 제 2 절연층 (7) 을 에칭백하여 게이트 전극 (10) 의 측벽에 사이드월 스페이스 (11) 를 형성한다. 제 2 절연층 (7) 은 규소산질화막 또는 규소질화막을 포함하기 때문에, 에칭백하더라도 사이드월 스페이스 (11) 의 폭 (가공된 게이트 절연막 (3) 에 접하는 부근의 사이드월 스페이스 (11) 의 폭) 도, 제 2 절연층 (7) 에 규소산화막만을 사용했을 때보다 크게 형성할 수 있다.

다음으로 도 6(h) 에 나타내는 바와 같이 트랜지스터의 소스·드레인 영역 (1b) 의 고농도 N 영역을 형성하기 위해서 비소 등의 이온을 주입하고, 주입된 비소 이온의 활성화를 위해 열처리한다.

이 다음, 도 7(i) 에 나타내는 바와 같이 고용점 금속인 Ti (티탄), Co (코발트), Ni (니켈) 등을 사용하여, 스퍼터법, 도금법, CVD 법에 의해 10~100nm 정도의 고용점 금속막 (8) 을 전체면에 퇴적한다. 다음으로 450~650℃ 의 열처리 공정에 의해 제 1 실리콘사이드화 어닐 처리를 실시함으로써 반도체 기판 (1) 과 고용점 금속막 (8) 을 반응시켜서, 트랜지스터의 소스·드레인 영역 (1b) 에 실리콘사이드화층 (9) 을 형성한다. 그 후, 선택 에칭에 의해 고용점 금속막 (8) 내의 미반응의 고용점 금속막을 제거한다.

다음으로 도 7(j) 를 참조하여, 제 1 층간 절연막 (13) 을 반도체 기판 (1) 상에 300~800nm 정도 형성한다. 도 7(k) 를 참조하여, 제 1 층간 절연막 (13)을 연마하여 평탄화 처리를 실시한다. 연마된 스톱퍼막으로서, 소자 형성 영역에서는 게이트 전극상에 형성되어 있는 제 1 절연층 (5) 이 그 효과를 발휘한다. 스톱퍼막은 제 1 절연층 (5) 과 동일한 재료로, 반도체 기판 (1) 의 주변부나 소자 분리 영역 상에도 형성되어 있다. 이 때의 제 1 절연층 (5) 의 연마량은 그 막두께의 2~20% 정도로 컨트롤된다.

계속해서, 도 7(k) 와 (l) 을 참조하여, 제 1 절연층 (5) 을 제거한다. 이 결과, 게이트 전극 (10) 보다 높은 높이를 갖는 사이드월 스페이스 (11) 가 남겨진 반도체 장치가 형성된다. 또, 제 1 절연층 (5) 을 규소산화막 단독으로 형성하면, 게이트 전극 (10) 보다 높이가 낮은 사이드월 스페이스 (11) 가 형성된다. 그 후 게이트 전극 (10) 에 고농도의 N 영역을 형성하기 위해 비소 등의 이온을 주입하고, 주입된 비소 이온의 활성화를 위해 열처리한다.

다음으로 도 8(m)에 나타내는 바와 같이, 고용점 금속인 Ti(티탄), Co(코발트), Ni(니켈) 등을 스퍼터법, 도금법, CVD 법에 의해 퇴적하면, 고용점 금속막(8)이 반도체 기판(1)의 전체면에 형성된다. 다음으로 450~650℃의 열처리 공정에 의해 실리사이드화 어닐 처리를 실시함으로써 게이트 전극(10)의 폴리규소층과 고용점 금속막(8)을 반응시키면, 게이트 전극(10)의 표면에 실리사이드화층(9)이 형성된다. 다음으로, 선택 에칭에 의해 고용점 금속막(8)내의 미반응 고용점 금속막을 제거한다.

트랜지스터의 게이트 전극 표면의 실리사이드화는 종래에는 소스·드레인 영역의 실리사이드화와 동시에 실시되고 있어, 소스·드레인 영역의 깊이를 알게 하기 때문에, 실리사이드화를 충분히 실시할 수 없었다. 그 때문에 게이트 전극의 폴리규소의 저항을 낮추는 것이 불충분하였다. 본 실시예에 따르면, 단독으로 고용점 금속막의 막두께를 선택하고, 또한 열처리 온도를 높게 선택할 수 있기 때문에, 금후의 미세화에 수반되는 폴리규소 게이트 전극의 저저항화를 용이하게 달성할 수 있다.

또한, 종래의 실리사이드 처리는, 사이드월 스페이스 표면 상의 고용점 금속막 내에, 열처리시에 소스·드레인으로부터 규소가 확산 이동하여 실리사이드화층을 생성하고, 나아가서는 사이드월 스페이스의 표면 상을 전류 경로로 하여 게이트 전극 표면과 소스·드레인 영역 사이의 쇼트의 발생을 야기하였다. 그러나, 본 실시예 2의 방법에 의하면, 사이드월 스페이스(11)의 표면 상을 제 1 층간 절연막(13)으로 덮고, 게이트 전극 상면의 실리사이드 처리를 할 수 있기 때문에, 게이트 전극 표면과 소스·드레인 영역의 쇼트의 발생을 보다 효율적으로 방지할 수 있다는 효과가 있다.

다음으로, 도 8(n)을 참조하여, 제 2 층간 절연막(16)을 반도체 기판(1)상에 50~250nm의 두께로 형성한다.

다음으로, 도 8(o)를 참조하여, 제 1 층간 절연막(13)과 제 2 층간 절연막(16)중에 콘택트홀(15)을 형성한 후, 메탈 배선(14)을 형성하여 트랜지스터가 형성된다. 이후 추가로 층간 절연막을 형성해도 되고, 또는 표면 보호막을 형성하여 반도체 장치를 완성시켜도 된다.

(실시예 3)

실시예 3은 실시예 2의 변형예에 관한 것이다. 실시예 2에서는 층간 절연막에 2층 구조를 사용한 경우를 예시하였지만, 도 9에 나타내는 바와 같이 1층 구조여도 된다. 이러한 반도체 장치는, 도 8(m)공정에 있어서, 미반응의 고용점 금속막을 제거한 후, 직접, 제 1 층간 절연막(13)에 콘택트홀(15)을 형성하고, 메탈 배선(14)을 형성함으로써 형성된다.

(실시예 4)

실시예 4는, 실시예 2의 또 다른 변형예에 관한 것이다. 우선, 도 5(a)~(d)공정, 도 6(e)~(h)공정, 도 7(i)~(j)공정까지는 동일한 공정을 거친다. 다음으로 도 7(j)와 도 10(a)를 참조해서, 제 1 절연층(5)이 그 두께의 20~80%가 연마되도록 제 1 층간 절연막(13)을 연마하여, 평탄화 처리한다.

본 실시예에 의하면, 제 1 층간 절연막(13)의 평탄화 처리시에 사이드월 스페이스(11)의 상부의 돌기부가 제거되고, 나아가서는 제 1 실리사이드화 어닐 처리시에 사이드월 스페이스(11)의 상부의 표면에 잔존한 도전성을 갖는 고용점 금속막(8)의 조각이나 실리사이드 입자가 제거된다. 나아가서는, 이들이 원인이 되는, 게이트 전극의 표면부의 실리사이드화층(9)과 트랜지스터의 소스 영역 또는 드레인 영역과의 쇼트를 방지할 수 있다.

그 후, 도 7(l), 도 8(m)(n)과 동일한 공정을 거친다. 도 10(b)를 참조하여, 제 2 층간 절연막(16)을 반도체 기판(1)상에 50~250nm의 두께로 형성한다. 다음으로, 제 1 층간 절연막(13)과 제 2 층간 절연막(16)중에 콘택트홀(15)을 형성한 후, 메탈 배선(14)을 형성하여 트랜지스터가 완성된다.

(실시예 5)

본 실시예는 실시예 2의 또 다른 변형예에 관한 것이다. 본 실시예는 사이드월 스페이스를 2층 구조로 한 것이다. 우선, 도 5(a)~(d)공정, 도 6(e)~(f)공정까지는 동일한 공정을 거친다.

다음으로, 도 11(a)를 참조하여, 반도체 기판(1)상에, 게이트 전극(10)과 잔존하고 있는 제 1 절연층(5)을 덮도록 규소산화막(7a)을 형성하고, 또 그 위에 규소산질화막(또는 규소질화막: 7b)을 퇴적한다. 하층인 규소산화막(7a)의 막두께는 5~25nm이고, 상층인 규소산질화막(또는 규소질화막: 7b)의 막두께는 70~190nm이다.

도 11(a) 와 (b) 를 참조해서, 규소산질화막 (또는 규소질화막: 7b) 및 규소산화막 (7a) 을 에칭백하여 게이트 전극 (10) 의 측벽에 사이드월 스페이서 (11) 를 형성한다. 사이드월 스페이서 (11) 는 규소산질화막 (또는 규소질화막) 을 포함하기 때문에, 에칭백하더라도 사이드월 스페이서 (11) 의 폭 (가공된 게이트 절연막 (3) 에 접하는 부근의 사이드월 스페이서 (11) 의 폭) 을, 도 6(g) 에 나타난 제 2 절연층 (7) 에 규소산화막만을 사용했을 때보다 크게 형성할 수 있다. 다음으로, 트랜지스터의 소스·드레인 영역 (1b) 의 고농도 N 영역을 형성하기 위해 비소 등의 이온을 주입하고, 주입된 비소 이온의 활성화를 위해 열처리한다.

이 다음, 도 11(c) 에 나타내는 바와 같이 고용점 금속인 Ti (티탄), Co (코발트), Ni (니켈) 등을 사용하여, 스퍼터법, 도금법, CVD 법에 의해 10~100nm 정도의 고용점 금속막 (8) 을 전체면에 퇴적한다. 다음으로 450~650℃ 의 열처리 공정에 의해 제 1 실리사이드화 어닐 처리를 실시함으로써 반도체 기판 (1) 과 고용점 금속막 (8) 을 반응시켜, 트랜지스터의 소스·드레인 영역 (1b) 에 실리사이드화층 (9) 을 형성한다. 그 후, 선택 에칭에 의해 고용점 금속막 (8) 내의 미반응 고용점 금속막을 제거한다.

다음으로 도 11(d) 를 참조하여, 제 1 층간 절연막 (13) 을 반도체 기판 (1) 상에 300~800nm 정도 형성한다. 도 12(e) 를 참조하여, 제 1 층간 절연막 (13) 을 연마하여 평탄화 처리를 실시한다. 연마된 스토퍼막으로서, 소자 형성 영역에서는 게이트 전극 상에 형성되어 있는 제 1 절연층 (5) 이 그 효과를 발휘한다. 도시하지 않지만, 스토퍼막은 제 1 절연층 (5) 과 동일한 재료로, 반도체 기판 (1) 의 주변부나 소자 분리 영역 상에도 형성되어 있다. 이 때의 제 1 절연층 (5) 의 연마량은 그 막두께의 2~20% 정도로 컨트롤된다.

계속해서, 도 12(e) 와 (f) 를 참조하여, 제 1 절연층 (5) 을 제거한다. 이 결과, 게이트 전극 (10) 보다 높이가 높은 사이드월 스페이서 (11) 가 남겨진 반도체 장치가 형성된다. 그 후 도 7(l), 도 8(m) 및 도 8(n) 과 같은 공정을 거쳐 실리사이드화층 (9) 을 게이트 전극 (10) 상에 형성한다. 다음으로, 도 12(g) 를 참조하여, 제 1 층간 절연막 (13) 과 제 2 층간 절연막 (16) 중에 콘택트홀 (15) 을 형성한 후, 메탈 배선 (14) 을 형성하여 트랜지스터가 완성된다.

(실시예 6)

본 실시예는 실시예 5 의 변형예에 관한 것이다. 도 13(a) 는, 도 11(d) 에 상당하는 도면이다. 도 13(a) 와 (b) 를 참조하여, 제 1 절연층 (5) 이 그 두께의 20~80% 가 연마되도록 제 1 층간 절연막 (13) 을 연마하여, 평탄화 처리한다. 그 후, 도 13(b) 와 (c) 를 참조하여, 제 1 절연층 (5) 을 제거한다.

본 실시예에 의하면, 제 1 층간 절연막 (13) 의 평탄화 처리시에 사이드월 스페이서 (11) 의 상부의 돌기부가 제거되고, 나아가서는 제 1 실리사이드화 어닐 처리시에 사이드월 스페이서 (11) 의 상부에 잔존하는 도전성을 갖는 고용점 금속막 (8) 의 조각이나 실리사이드 입자가 제거된다. 나아가서는, 이들이 원인이 되는, 게이트 전극 표면부의 실리사이드화층 (9) 과 트랜지스터의 소스 영역 또는 드레인 영역과의 쇼트를 방지할 수 있다.

그 후, 도 7(l), 도 8(m) 및 도 8(n) 과 동일한 공정을 거쳐 실리사이드화층 (9) 을 형성한다. 도 13(d) 를 참조하여, 제 2 층간 절연막 (16) 을 반도체 기판 (1) 상에 50~250nm 형성한다. 다음으로, 제 1 층간 절연막 (13) 과 제 2 층간 절연막 (16) 중에 콘택트홀 (15) 을 형성한 후, 메탈 배선 (14) 을 형성하여 트랜지스터가 형성된다.

본 발명은, 게이트 전극의 박막화가 가능해지고, 소자 구조의 미세화에 대응할 수 있어, 반도체 장치의 고집적화를 가능하게 한다.

이번에 개시된 실시예는 모든 점에 있어서 예시로서 제한적인 것으로 생각되어서는 안된다. 본 발명의 범위는 상기한 설명이 아니라 특허청구범위에 의해 나타내어지며, 특허청구범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이다.

발명의 효과

본 발명을 통해, 게이트 전극의 높이가 낮아져도 게이트 전극과 소스·드레인 영역 간의 단락 방지를 피할 수 있도록 하는 개량된 반도체 장치의 제조방법을 제공할 수 있다.

또한, 파티클을 발생시키지 않고서 게이트 전극과 소스·드레인 영역 간의 단락 방지를 피할 수 있도록 하는 개량된 반도체 장치의 제조방법을 제공할 수 있다.

또한, 그와 같은 방법에 의해 얻어진 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

도 1 은 실시예 1 에 관련된 반도체 장치의 제조방법의 순서 (a)~(d) 공정에 있어서의 반도체 장치의 단면도.

도 2 는 실시예 1 에 관련된 반도체 장치의 제조방법의 순서 (e)~(h) 공정에 있어서의 반도체 장치의 단면도.

도 3 은 실시예 1 에 관련된 반도체 장치의 제조방법의 순서 (i)~(k) 공정에 있어서의 반도체 장치의 단면도.

도 4 는 실시예 1 에 관련된 반도체 장치의 제조방법의 순서 (l)~(m) 공정에 있어서의 반도체 장치의 단면도.

도 5 는 실시예 2 에 관련된 반도체 장치의 제조방법의 순서 (a)~(d) 공정에 있어서의 반도체 장치의 단면도.

도 6 은 실시예 2 에 관련된 반도체 장치의 제조방법의 순서 (e)~(h) 공정에 있어서의 반도체 장치의 단면도.

도 7 은 실시예 2 에 관련된 반도체 장치의 제조방법의 순서 (i)~(l) 공정에 있어서의 반도체 장치의 단면도.

도 8 은 실시예 2 에 관련된 반도체 장치의 제조방법의 순서 (m)~(o) 공정에 있어서의 반도체 장치의 단면도.

도 9 는 실시예 3 에 관련된 반도체 장치의 단면도.

도 10 은 실시예 4 에 관련된 반도체 장치의 제조방법의 순서 (a)~(b) 공정에 있어서의 반도체 장치의 단면도.

도 11 은 실시예 5 에 관련된 반도체 장치의 제조방법의 순서 (a)~(d) 공정에 있어서의 반도체 장치의 단면도.

도 12 는 실시예 5 에 관련된 반도체 장치의 제조방법의 순서 (e)~(g) 공정에 있어서의 반도체 장치의 단면도.

도 13 은 실시예 6 에 관련된 반도체 장치의 제조방법의 순서 (a)~(d) 공정에 있어서의 반도체 장치의 단면도.

도 14 는 종래의 반도체 장치 제조방법의 순서 (a)~(d) 공정에 있어서의 반도체 장치의 단면도.

도 15 는 종래의 반도체 장치 제조방법의 순서 (e)~(h) 공정에 있어서의 반도체 장치의 단면도.

도 16 은 다른 종래의 반도체 장치 제조방법의 순서 (a)~(d) 공정에 있어서의 반도체 장치의 단면도.

도 17 은 다른 종래의 반도체 장치 제조방법의 순서 (e)~(h) 공정에 있어서의 반도체 장치의 단면도.

도 18 은 또 다른 종래의 반도체 장치 제조방법의 순서 (a)~(d) 공정에 있어서의 반도체 장치의 단면도.

* 도면의 주요부분에 대한 부호의 설명*

1: 반도체 기판 2: 소자 분리 영역

3: 게이트 절연층 4: 폴리규소층

5: 제 1 절연층 6: 레지스트 패턴

7: 제 2 절연층 8: 고용점 금속막

9: 실리사이드화층 10: 게이트 전극

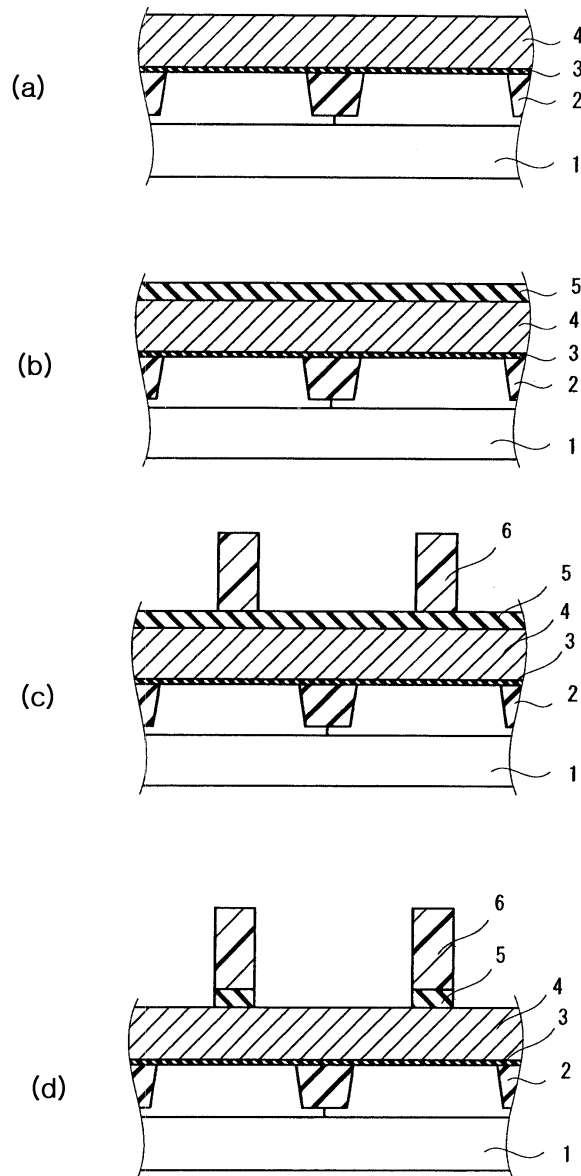
11: 사이드월 스페이서 13: 제 1 층간 절연막

14: 메탈 배선 15: 콘택트홀

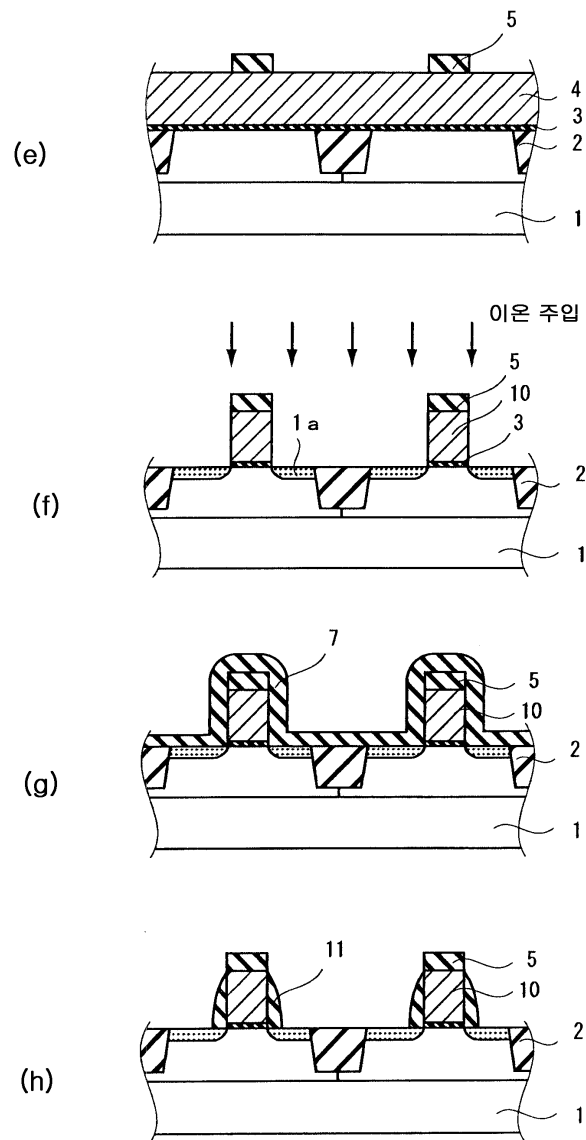
16: 제 2 층간 절연막

도면

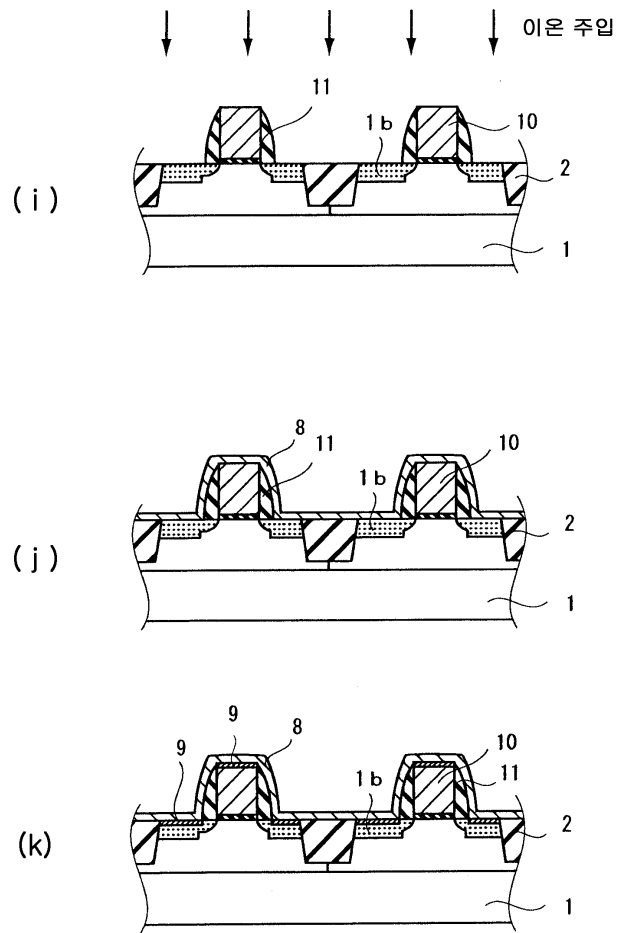
도면1



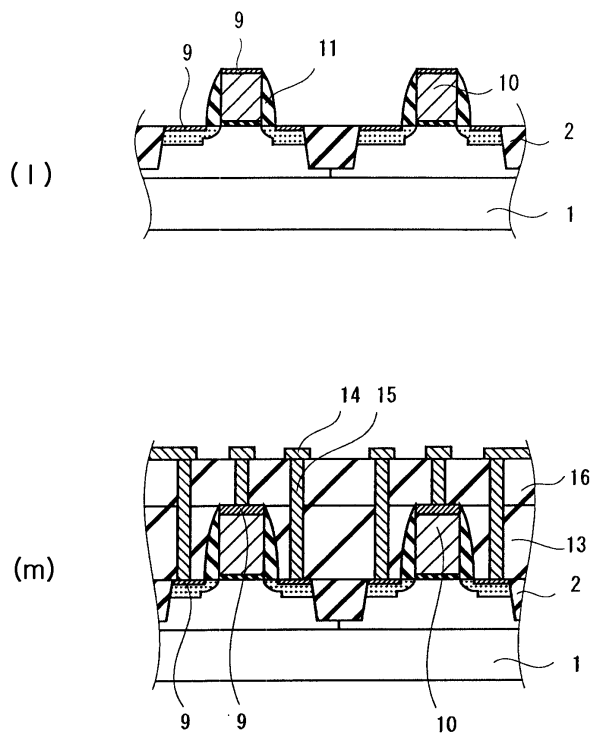
도면2



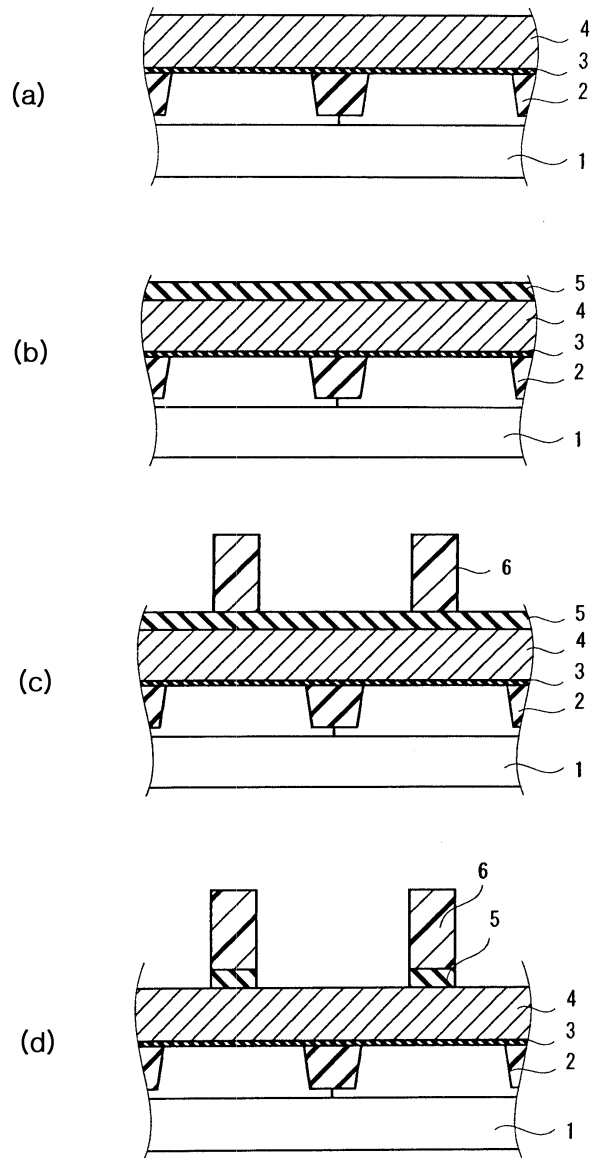
도면3



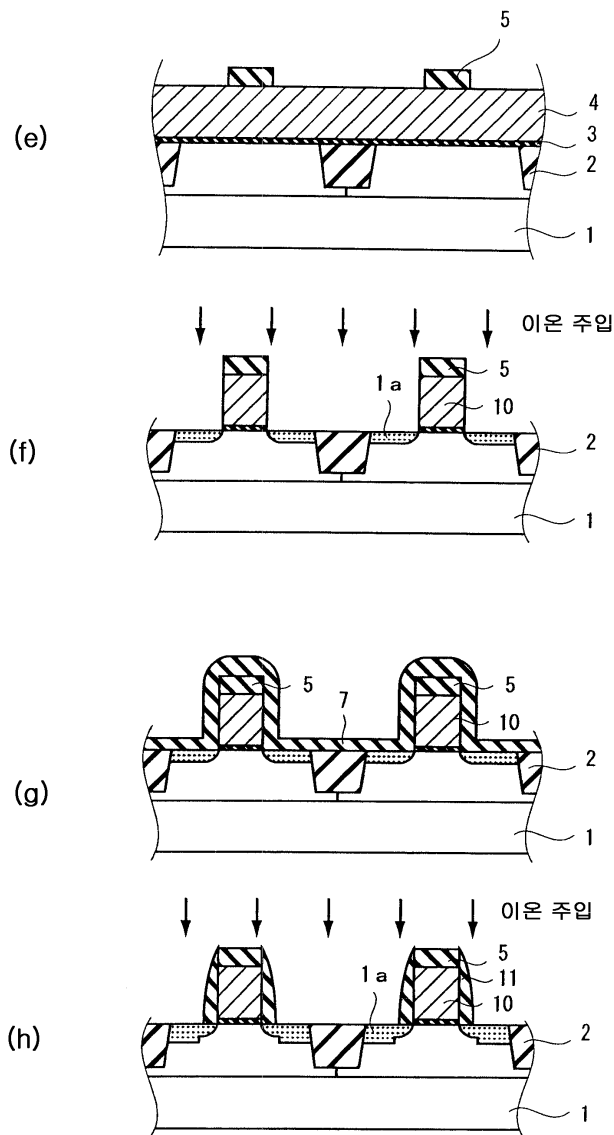
도면4



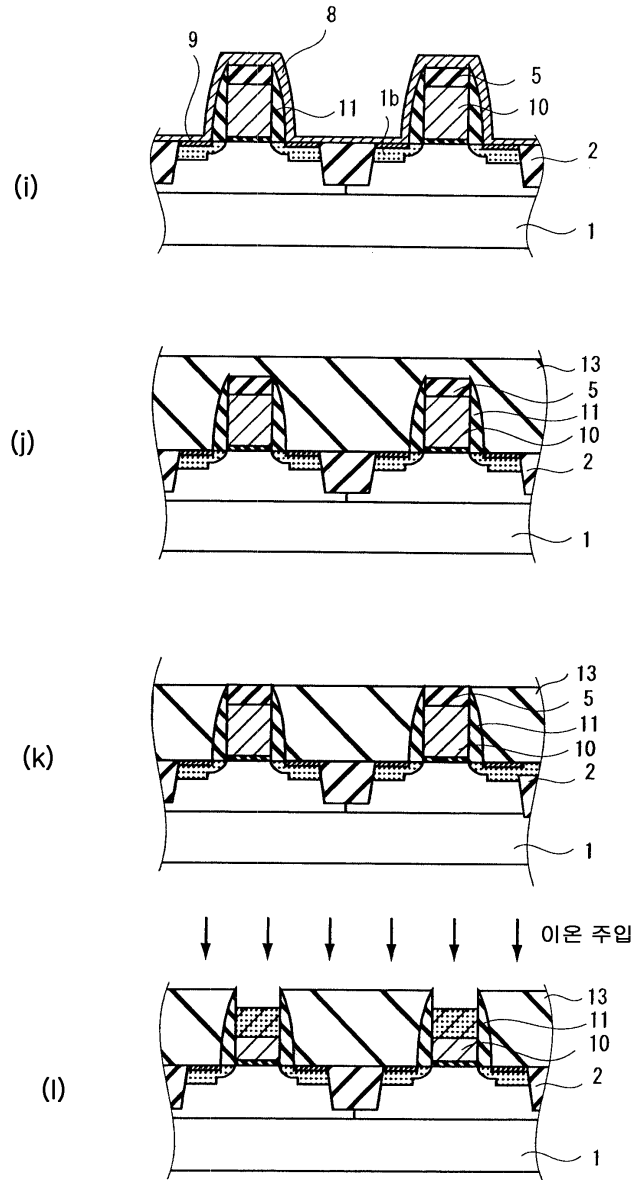
도면5



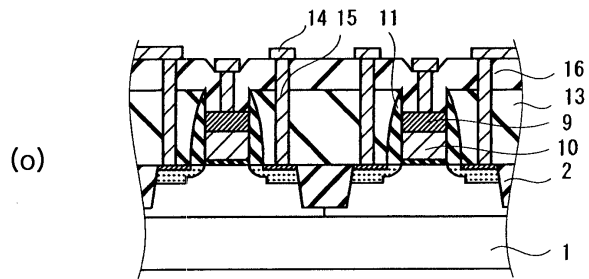
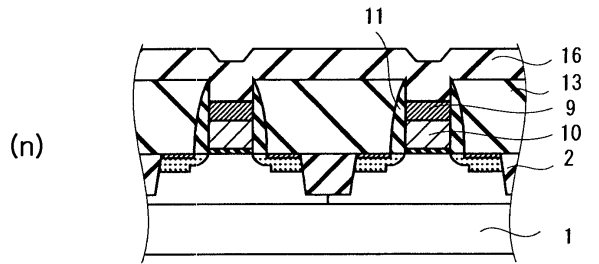
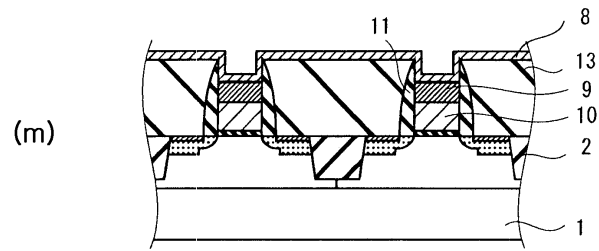
도면6



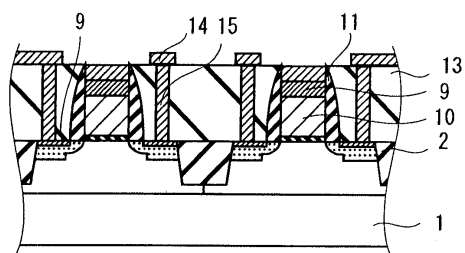
도면7



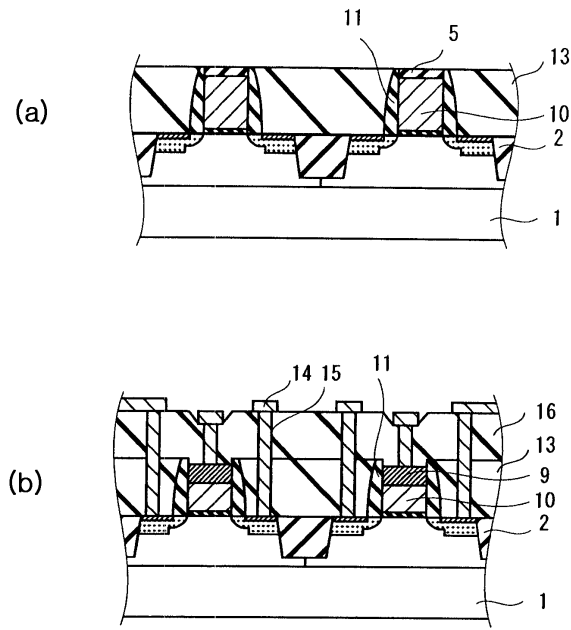
도면8



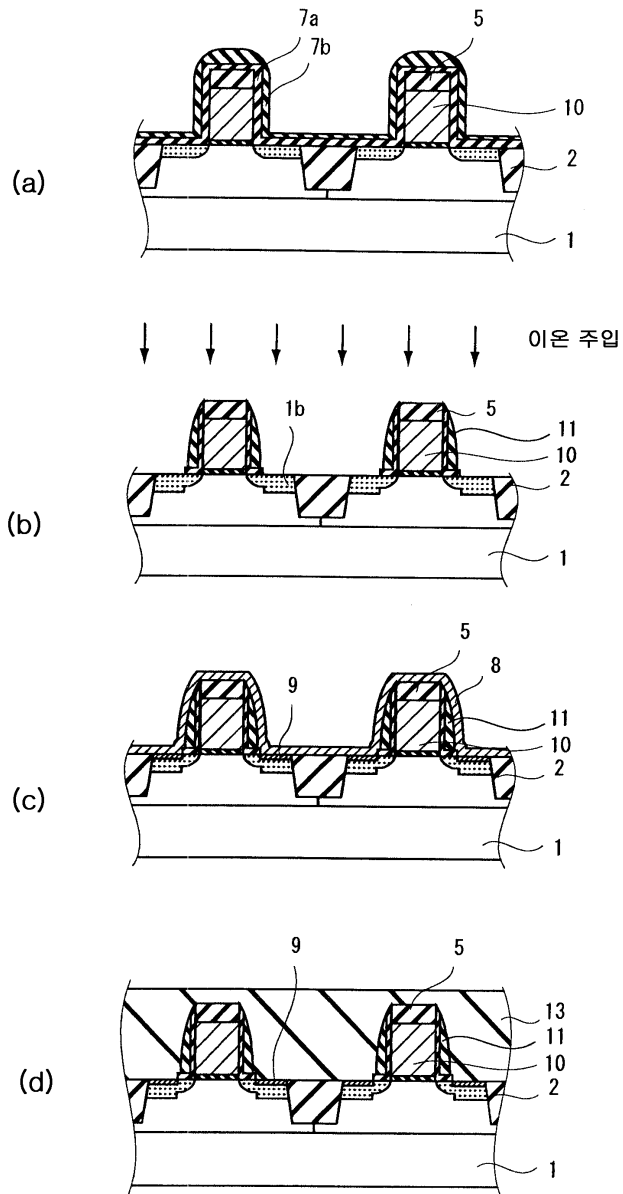
도면9



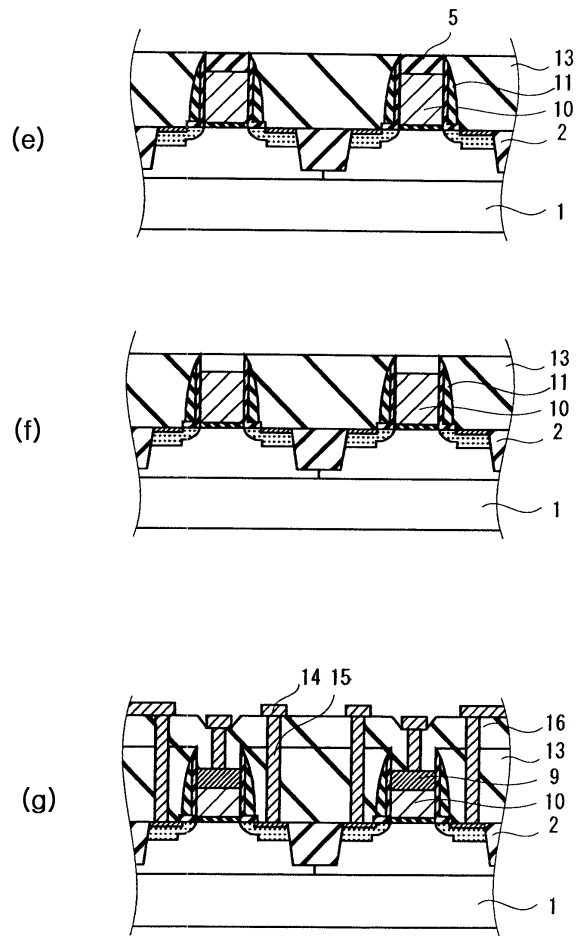
도면10



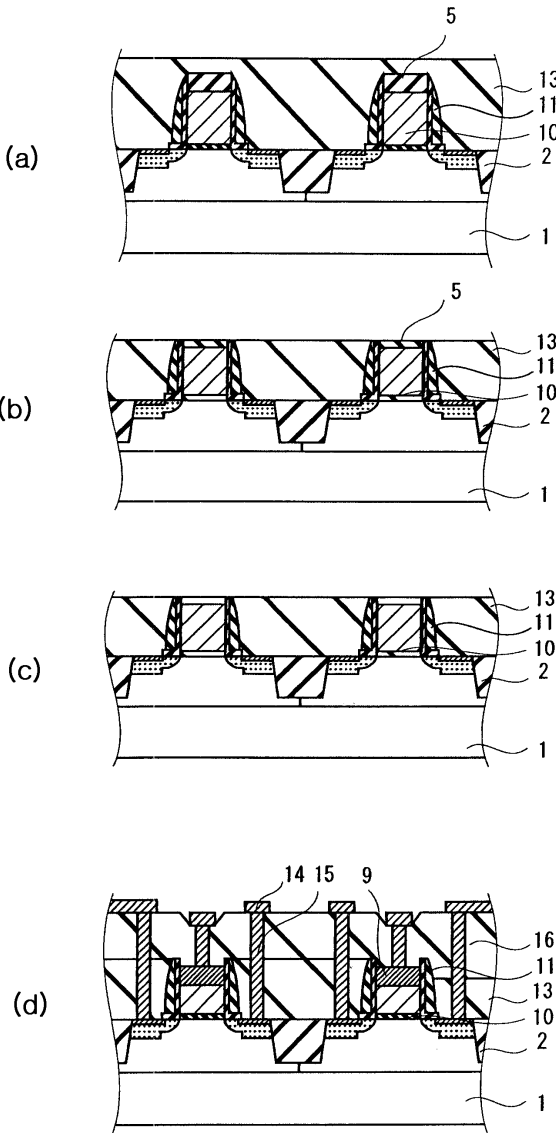
도면11



도면12

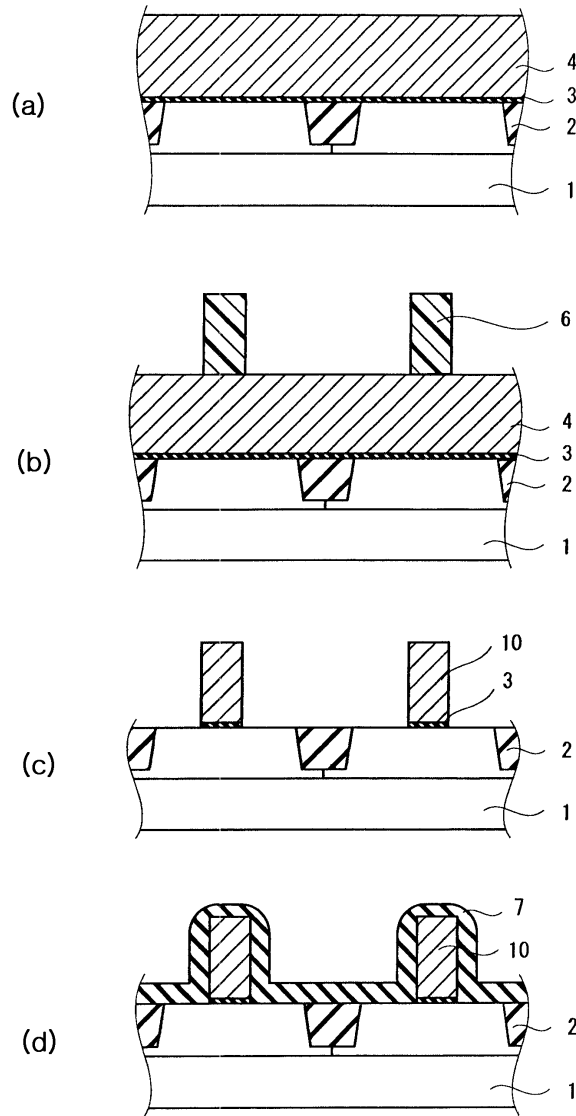


도면13



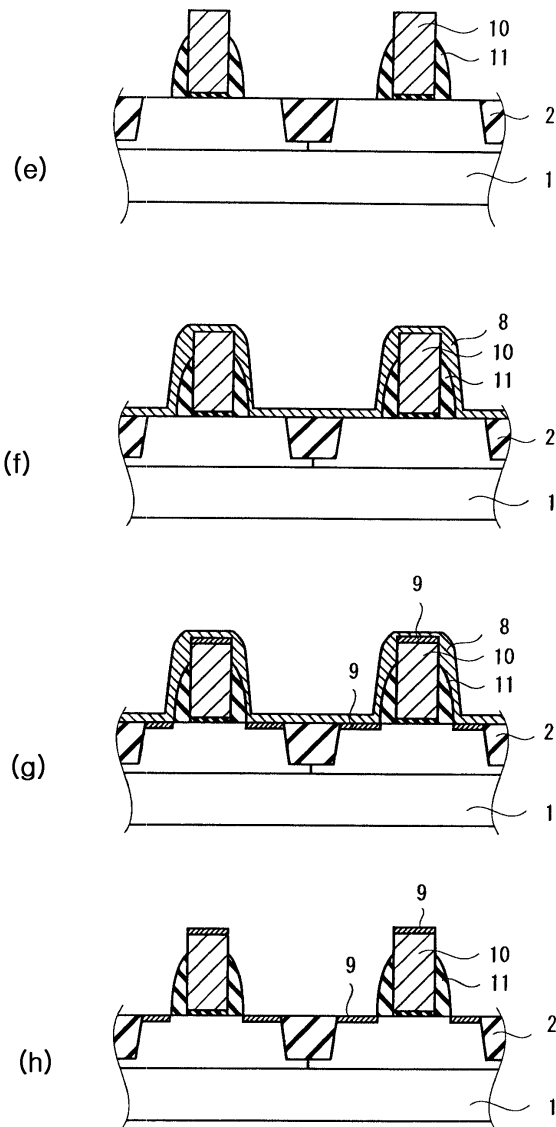
도면14

종래 기술



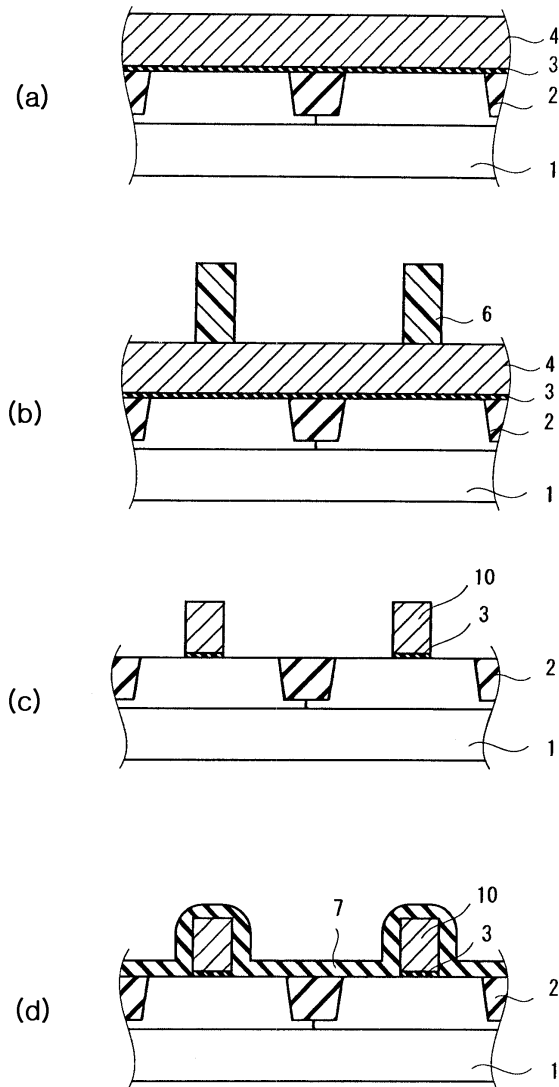
도면15

종래 기술



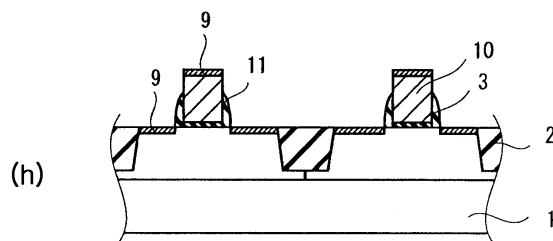
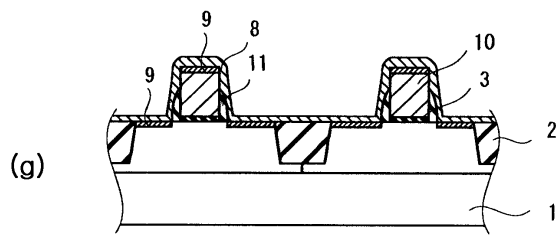
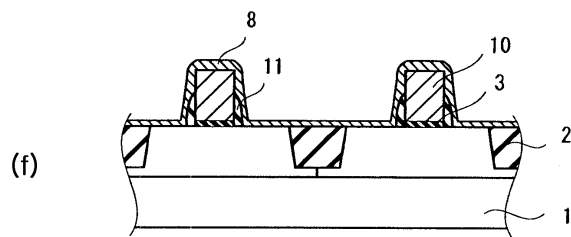
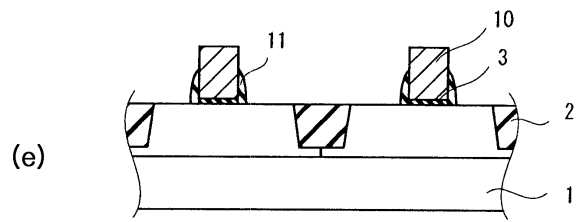
도면16

종래 기술



도면17

종래 기술



도면18

종래 기술

