(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년05월09일
(11) 등록번호 10-1618226
(24) 등록일자 2016년04월28일

(51) 국제특허분류(Int. Cl.)
H03M 3/00 (2006.01)
(52) CPC특허분류
H03M 3/322 (2013.01)
H03M 3/32 (2013.01)
(21) 출원번호 10-2015-0019430
(22) 출원일자 2015년02월09일
심사청구일자 2015년02월09일
(56) 선행기술조사문헌
US8830097 B2
US20130050003 A1

(73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
윤광섭
인천광역시 연수구 동곡재로117번길 22 대우3차아파트 106동 301호
양수훈
경기 광명시 사성로34번길 16-30, 102호 (광명동, 대영빌라)
(74) 대리인
이은철

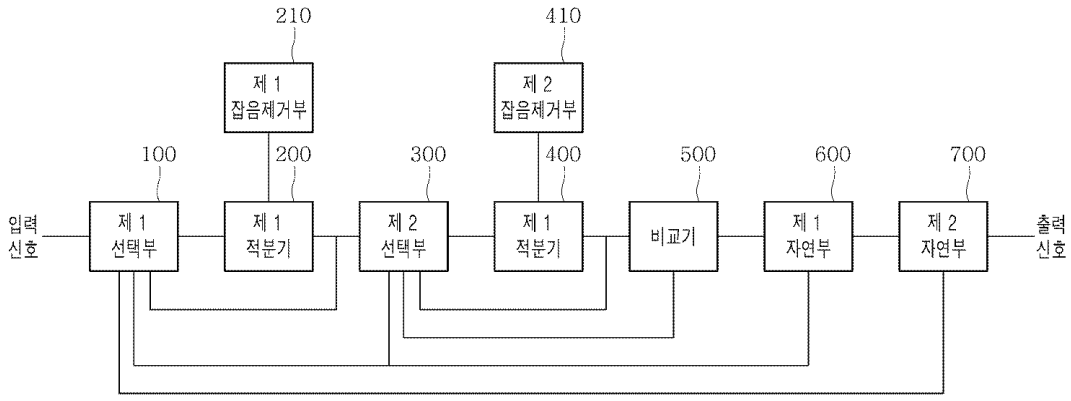
전체 청구항 수 : 총 12 항 심사관 : 조춘근

(54) 발명의 명칭 **증폭기의 수를 절감하는 저전력 델타 시그마 변조기**

(57) 요 약

본 발명은 증폭기의 수를 절감하는 저전력 델타 시그마 변조기에 관한 것으로, 입력 신호에 근거하여 기 설정된 수의 상위 비트를 결정하는 플래시 AD 변환부 및 상기 입력 신호 및 상기 상위 비트에 근거하여 기 설정된 수의 하위 비트를 결정하는 축차비교형 AD 변환부를 포함하고, 델타 시그마 변환기에 있어서 동일한 해상도를 구현하면서도 소비 전력 및 제조 비용을 절감하고 신호대 잡음비를 향상시킴으로써 특히 신체에 삽입되거나 생체 신호를 획득하는 의료 목적에 사용되는 AD 변환기의 성능을 향상시킬 수 있다.

대 표 도



(52) CPC특허분류
H03M 3/458 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 NRF-2010-0020163
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 중점연구소 지원사업
연구과제명 그린 생체모방형 임플란터블 전자칩 및 U-생체정보처리플랫폼 융합기술개발
기 여 율 1/2
주관기관 인하대학교 산학협력단
연구기간 2013.05.01 ~ 2016.04.30
이 발명을 지원한 국가연구개발사업
과제고유번호 N-0001129
부처명 산업통상자원부
연구관리전문기관 한국산업기술진흥원
연구사업명 기업연계형 연구개발 인력양성
연구과제명 인하대 ICT 기업연계형 연구인력 양성 사업단
기 여 율 1/2
주관기관 인하대학교 산학협력단
연구기간 2014.07.01 ~ 2019.02.28
공지예외적용 : 있음

명 세 서

청구범위

청구항 1

입력신호 및 제1 중간신호 중 하나를 선택하여 전달하는 제1 선택부;

상기 제1 선택부가 전달하는 신호를 기 설정된 주기폭 동안 적분하여 상기 제1 중간신호를 출력하는 제1 적분기;

상기 제1 적분기의 출력에 직렬로 연결되어 상기 제1 중간신호 및 제2 중간신호 중 하나를 선택하여 전달하는 제2 선택부;

상기 제2 선택부가 전달하는 신호를 상기 기 설정된 주기폭 동안 적분하여 상기 제2 중간신호를 출력하는 제2 적분기; 및

상기 제2 중간신호를 기 설정된 기준 레벨과 비교하여 1 비트 디지털 신호를 출력하는 비교기를 포함하는 델타 시그마 변조기.

청구항 2

제 1항에 있어서,

상기 제1 선택부는, 상기 제1 선택부의 입력 및 출력 사이의 커패시턴스를 상기 제1 선택부가 상기 입력신호를 입력받는 동안 기 설정된 배수만큼 증가시키는 제1 잡음 제거부를 포함하는 것을 특징으로 하는 델타 시그마 변조기.

청구항 3

제 1항에 있어서,

상기 제2 선택부는, 상기 제2 선택부의 입력 및 출력 사이의 커패시턴스를 상기 제2 선택부가 상기 제1 중간신호를 입력받는 동안 기 설정된 배수만큼 증가시키는 제2 잡음 제거부를 포함하는 것을 특징으로 하는 델타 시그마 변조기.

청구항 4

제 1항에 있어서,

상기 1비트 디지털 신호를 상기 기 설정된 주기폭만큼 지연하여 제1 지연신호를 출력하는 제1 지연부; 및

상기 제1 지연신호를 상기 기 설정된 주기폭만큼 더 지연하여 제2 지연신호를 출력하는 제2 지연부를 더 포함하는 것을 특징으로 하는 델타 시그마 변조기.

청구항 5

제 4항에 있어서,

상기 제1 선택부는 제1 주기에 상기 입력신호 및 상기 제2 지연신호 중 적어도 하나를 입력받고 제2 주기에 상기 제1 주기에 입력받은 신호를 제1 적분기로 전달하며, 제3 주기에 상기 제1 중간신호 및 상기 제1 지연신호 중 적어도 하나를 입력받고 제4 주기에 상기 제3 주기에 입력받은 신호를 제1 적분기로 전달하는 것을 특징으로 하는 델타 시그마 변조기.

청구항 6

제 5항에 있어서,

상기 제1 내지 제4 주기의 주기폭은 상기 기 설정된 주기폭인 것을 특징으로 하는 델타 시그마 변조기.

청구항 7

제 5항에 있어서,

상기 제1 선택부는 상기 입력신호 및 상기 제1 중간신호를 상기 제1 적분기의 포지티브 입력으로 전달하고, 상기 제1 및 제2 지연신호를 상기 제1 적분기의 네거티브 입력으로 전달하는 것을 특징으로 하는 델타 시그마 변조기.

청구항 8

제 4항에 있어서,

상기 제2 선택부는 제1 주기에 상기 제1 중간신호 및 상기 제1 지연신호 중 적어도 하나를 입력받고 제2 주기에 상기 제1 주기에 입력받은 신호를 제2 적분기로 전달하며, 제3 주기에 상기 제2 중간신호 및 상기 1비트 디지털 신호 중 적어도 하나를 입력받고 제4 주기에 상기 제3 주기에 입력받은 신호를 제2 적분기로 전달하는 것을 특징으로 하는 델타 시그마 변조기.

청구항 9

제 8항에 있어서,

상기 제1 내지 제4 주기의 주기폭은 상기 기 설정된 주기폭인 것을 특징으로 하는 델타 시그마 변조기.

청구항 10

제 8항에 있어서,

상기 제2 선택부는 상기 제1 중간신호 및 상기 제2 중간신호를 상기 제2 적분기의 포지티브 입력으로 전달하고, 상기 제1 지연신호 및 상기 1비트 디지털 신호를 상기 제2 적분기의 네거티브 입력으로 전달하는 것을 특징으로 하는 델타 시그마 변조기.

청구항 11

제 7항에 있어서,

상기 제1 적분기의 출력은 제1 주기 및 제4 주기에 상기 제1 적분기의 포지티브 입력으로 제1 피드백 커패시터를 통하여 피드백되고 제3 주기 및 제4 주기에 상기 제1 적분기의 네거티브 입력으로 제2 피드백 커패시터를 통하여 피드백되며, 상기 제1 및 제2 피드백 커패시터의 용량은 동일한 것을 특징으로 하는 델타 시그마 변조기.

청구항 12

제 10항에 있어서,

상기 제2 적분기의 출력은 제1 주기 및 제4 주기에 상기 제2 적분기의 포지티브 입력으로 제3 피드백 커패시터

를 통하여 피드백되고 제3 주기 및 제4 주기에 상기 제2 적분기의 네거티브 입력으로 제4 피드백 커패시터를 통하여 피드백되며, 제3 및 제4 피드백 커패시터의 용량은 동일한 것을 특징으로 하는 델타 시그마 변조기.

발명의 설명

기 술 분 야

[0001] 본 발명은 증폭기의 수를 절감하는 저전력 델타 시그마 변조기에 관한 것으로, 보다 상세하게는 델타 시그마 변조기의 서로 다른 단이 적분기로 사용되는 증폭기를 공유하는 증폭기의 수를 절감하는 저전력 델타 시그마 변조기에 관한 것이다.

배 경 기 술

[0002] 의료용 생체 신호 측정 및 생체 자극 분야의 연구가 진행되면서 휴대용 생체 신호 측정 장비의 필요가 대두되었다. 생체 신호 측정을 위한 휴대용 또는 생체 삽입형 장비는 소비 전력이 제한되면서도 대상이 되는 신호가 매우 미약하므로 저전력이면서도 고해상도를 제공하는 아날로그 디지털(Analog Digital, AD) 변환기를 필요로 한다.

[0003] 고해상도 AD 변환기를 구현하기 위하여 델타 시그마(Delta Sigma) 변조기가 널리 사용되며, 특히 14비트 이상의 해상도를 가지는 AD 변환기의 구현을 위해서는 다중 비트 비교기를 사용하거나 변조기의 차수(Order)를 높여 여러 단의 적분기를 사용하는 방법이 있다. 다중 비트 비교기를 사용할 경우 회로의 구성이 복잡해지는 단점이 있으며, 변조기의 차수를 높이는 방법에는 각 단마다 연산증폭기(Operation Amplifier)를 통하여 구현되는 적분기가 별도로 필요하므로 전력소모가 증가하는 문제가 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국등록특허 제10-0219021호(등록일: 1999.06.14., 발명의 명칭 : 성분 감도가 낮은 오버샘플된 삼차 시그마 델타 아날로그-디지탈 변환기 네트워크, 청구범위 제1항)가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은, 델타 시그마 변조기의 서로 다른 단이 적분기로 사용되는 증폭기를 공유하여 증폭기의 수를 절감하고 잡음 저감 회로를 구비하여 동일한 해상도를 구현하면서도 소비 전력 및 제조 비용을 절감하고 신호대 잡음비를 향상시킬 수 있는 증폭기의 수를 절감하는 저전력 델타 시그마 변조기를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 증폭기의 수를 절감하는 저전력 델타 시그마 변조기는 입력신호 및 제1 중간신호 중 하나를 선택하여 전달하는 제1 선택부, 상기 제1 선택부가 전달하는 신호를 기 설정된 주기폭 동안 적분하여 상기 제1 중간신호를 출력하는 및 제1 적분기, 상기 제1 적분기의 출력에 직렬로 연결되어 상기 제1 중간신호 및 제2 중간신호 중 하나를 선택하여 전달하는 제2 선택부, 상기 제2 선택부가 전달하는 신호를 상기 기 설정된 주기폭 동안 적분하여 상기 제2 중간신호를 출력하는 제2 적분기 및 상기 제2 중간신호를 기 설정된 기준 레벨과 비교하여 1 비트 디지털 신호를 출력하는 비교기를 포함한다.

[0007] 바람직하게는, 상기 제1 선택부는, 상기 제1 선택부의 입력 및 출력 사이의 커패시턴스를 상기 제1 선택부가 상기 입력신호를 입력받는 동안 기 설정된 배수만큼 증가시키는 제1 잡음 제거부를 포함한다.

[0008] 바람직하게는, 상기 제2 선택부는, 상기 제2 선택부의 입력 및 출력 사이의 커패시턴스를 상기 제2 선택부가 상기 제1 중간신호를 입력받는 동안 기 설정된 배수만큼 증가시키는 제2 잡음 제거부를 포함한다.

[0009] 상기 1비트 디지털 신호를 상기 기 설정된 주기폭만큼 지연하여 제1 지연신호를 출력하는 제1 지연부 및 상기 제1 지연신호를 상기 기 설정된 주기폭만큼 더 지연하여 제2 지연신호를 출력하는 제2 지연부를 더 포함한다.

[0010] 바람직하게는, 상기 제1 선택부는 제1 주기에 상기 입력신호 및 상기 제2 지연신호 중 적어도 하나를 입력받고 제2 주기에 상기 제1 주기에 입력받은 신호를 제1 적분기로 전달하며, 제3 주기에 상기 제1 중간신호 및 상기 제1 지연신호 중 적어도 하나를 입력받고 제4 주기에 상기 제3 주기에 입력받은 신호를 제1 적분기로 전달한다.

[0011] 바람직하게는, 상기 제1 내지 제4 주기의 주기폭은 상기 기 설정된 주기폭이다.

[0012] 바람직하게는, 상기 제1 선택부는 상기 입력신호 및 상기 제1 중간신호를 상기 제1 적분기의 포지티브 입력으로 전달하고, 상기 제1 및 제2 지연신호를 상기 제1 적분기의 네거티브 입력으로 전달한다.

[0013] 바람직하게는, 상기 제2 선택부는 제1 주기에 상기 제1 중간신호 및 상기 제1 지연신호 중 적어도 하나를 입력받고 제2 주기에 상기 제1 주기에 입력받은 신호를 제2 적분기로 전달하며, 제3 주기에 상기 제2 중간신호 및 상기 1비트 디지털 신호 중 적어도 하나를 입력받고 제4 주기에 상기 제3 주기에 입력받은 신호를 제2 적분기로 전달한다.

[0014] 바람직하게는, 상기 제1 내지 제4 주기의 주기폭은 상기 기 설정된 주기폭이다.

[0015] 바람직하게는, 상기 제2 선택부는 상기 제1 중간신호 및 상기 제2 중간신호를 상기 제2 적분기의 포지티브 입력으로 전달하고, 상기 제1 지연신호 및 상기 1비트 디지털 신호를 상기 제2 적분기의 네거티브 입력으로 전달한다.

[0016] 바람직하게는, 상기 제1 적분기의 출력은 상기 제1 주기 및 상기 제4 주기에 상기 포지티브 입력으로 제1 피드백 커패시터를 통하여 피드백되고 상기 제3 주기 및 상기 제4 주기에 상기 네거티브 입력으로 제2 피드백 커패시터를 통하여 피드백되며, 상기 제1 및 제2 피드백 커패시터의 용량은 동일하다.

[0017] 바람직하게는, 상기 제2 적분기의 출력은 상기 제1 주기 및 상기 제4 주기에 상기 포지티브 입력으로 제3 피드백 커패시터를 통하여 피드백되고 상기 제3 주기 및 상기 제4 주기에 상기 네거티브 입력으로 제4 피드백 커패시터를 통하여 피드백되며, 상기 제3 및 제4 피드백 커패시터의 용량은 동일하다.

발명의 효과

[0018] 본 발명에 따르면, 델타 시그마 변환기에 있어서 동일한 해상도를 구현하면서도 소비 전력 및 제조 비용을 절감하고 신호대 잡음비를 향상시킴으로써 특히 신체에 삽입되거나 생체 신호를 획득하는 의료 목적에 사용되는 AD 변환기의 성능을 향상시킬 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시예에 따른증폭기의 수를 절감하는 저전력 델타 시그마 변조기의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 증폭기의 수를 절감하는 저전력 델타 시그마 변조기의 회로도이다.

도 3은 본 발명의 일 실시예에 따른 증폭기의 수를 절감하는 저전력 델타 시그마 변조기의 제어신호의 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하에서는 본 발명에 따른 증폭기의 수를 절감하는 저전력 델타 시그마 변조기를 첨부된 도면들을 참조하여 상세하게 설명한다. 이러한 과정에서 도면에 도시된 선들의 두께나 구성요소의 크기 등은 설명의 명료성과 편의상 과장되게 도시되어 있을 수 있다. 또한, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례에 따라 달라질 수 있다. 그러므로, 이러한 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0021] 일반적으로 델타 시그마 모듈레이터의 적분기는 연산증폭기를 통하여 구현되고, 델타 시그마 모듈레이터의 차수를 올려 해상도를 증가시키기 위해서는 필요한 연산증폭기의 수가 차수의 수만큼 증가하게 된다. 예컨대 4차 델타 시그마 모듈레이터를 구현하기 위해서는 일반적으로 4대의 연산증폭기가 필요하다.

[0022] 도 1은 본 발명의 일 실시예에 따른 증폭기의 수를 절감하는 저전력 델타 시그마 변조기의 블록도이고 도 2는 본 발명의 일 실시예에 따른 증폭기의 수를 절감하는 저전력 델타 시그마 변조기의 회로도이다.

[0023] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 증폭기의 수를 절감하는 저전력 델타 시그마 변조기는, 제1 선택부(100), 제1 적분기(200), 제2 선택부(300), 제2 적분기(400), 비교기(500), 제1 지연부(600), 제2 지연부(700)를 포함하여 이루어질 수 있다.

[0024] 제1 선택부(100)는 입력신호 및 제1 중간신호(INT1_P) 중 하나를 선택하여 전달한다. 즉, 제1 선택부(100)는 외부로부터 입력되는 입력신호와 4차 델타 시그마 모듈레이터의 제1 단의 출력인 제1 중간신호(INT1_P) 중 하나를 선택하여 제1 적분기(200)로 전달할 수 있다. 따라서 제1 적분기(200)는 제1 선택부(100)에 공급한 신호에 따라 4차 델타 시그마 모듈레이터의 제1 단 및 제2 단 중 하나의 역할을 하게 되며, 이러한 단의 선택은 제1 선택부(100)가 선택하는 신호를 결정하는 제어 신호(p1q1, p2q1, q1, q2)에 의하여 결정될 수 있다.

[0025] 제1 적분기(200)는 제1 선택부(100)가 전달하는 신호를 기 설정된 주기폭 동안 적분하여 제1 중간신호(INT1_P)를 출력한다. 즉, 상술한 바와 같이, 제1 적분기(200)는 4차 델타 시그마 모듈레이터의 제1 단 및 제2 단의 역할을 수행하며, 이 때 출력되는 제1 중간신호(INT1_P)가 제1 단의 출력일 경우 제1 중간신호는 제1 선택부(100)로 입력되어 다음 주기에 제2 단의 역할을 수행하는 제1 적분기(200)로 전달되고, 제1 중간신호(INT1_P)가 제2 단의 출력일 경우, 제2 선택부(300)로 입력되어 제3 단의 역할을 수행하는 제2 적분기(400)로 전달될 수 있다.

[0026] 제2 선택부(300)는 제1 적분기(200)의 출력에 직렬로 연결되어 제1 중간신호(INT1_P) 및 제2 중간신호(INT2_P) 중 하나를 선택하여 전달한다. 즉, 제2 선택부(300)는 제1 적분기(200)로부터 입력되는 4차 델타 시그마 모듈레이터의 제2 단의 출력인 제1 중간신호(INT1_P)와 4차 델타 시그마 모듈레이터의 제3 단의 출력인 제2 중간신호(INT2_P) 중 하나를 선택하여 제2 적분기(400)로 전달할 수 있다. 따라서 제2 적분기(400)는 제2 선택부(300)에 공급한 신호에 따라 4차 델타 시그마 모듈레이터의 제3 단 및 제4 단 중 하나의 역할을 하게 되며, 이러한 단의 선택은 제2 선택부(300)가 선택하는 신호를 결정하는 제어 신호(p1q1, p2q1, q1, q2)에 의하여 결정될 수 있다.

[0027] 이 때 제1 선택부(100)는, 제1 선택부(100)의 입력 및 출력 사이의 커패시턴스를 제1 선택부(100)가 입력신호를 입력받는 동안 기 설정된 배수만큼 증가시키는 제1 잡음 제거부(110)를 포함할 수 있으며, 제2 선택부(300)는, 제2 선택부(300)의 입력 및 출력 사이의 커패시턴스를 제2 선택부(300)가 제1 중간신호(INT1_P)를 입력받는 동안 기 설정된 배수만큼 증가시키는 제2 잡음 제거부(310)를 포함할 수 있다. 이러한 잡음 제거부(110, 310)는 델타 시그마 변조기의 샘플링 커패시터 열잡음(KT/C Noise)를 감쇄시킨다. KT/C 잡음은 적분기(200, 400)가 신호를 입력받아 샘플링 동작을 수행할 때와 적분을 수행할 때 각각 누적되어 1회 적분이 진행되는 동안 2KT/C 만큼의 잡음이 누적될 수 있다. 따라서 선택부(100, 300)가 신호를 입력받는 시기인 샘플링 시에 커패시터(C1, C2, C3, C4) 크기를 기존 샘플링 커패시터 크기의 N 배수만큼 증가시키고, 적분시의 커패시터 크기(C1, C3)를 기존 샘플링 퍼캐시터 크기로 유지하면, 누적되는 잡음의 양은 아래 수학식 1에 의하여 표현되며, 이 때 샘플링 시 커패시터의 크기가 증가하는 배수가 충분히 크면, 즉, N이 충분히 크면 KT/C 잡음은 기존에 비해 약 절반만큼 감소할 수 있다. 예컨대, 바람직하게는 N=9, 즉, 샘플링 시 샘플링 커패시터(C1, C2, C3, C4)의 크기가 적분시 샘플링 커패시터(C1, C3) 크기의 총 10배가 되도록 설정할 수 있다.

수학식 1

[0028]
$$V_N = \frac{KT}{nC} + \frac{KT}{C} = \frac{(n+1)KT}{nC} \approx \frac{KT}{C} \qquad (1)$$

[0029] 제2 적분기(400)는 제2 선택부(300)가 전달하는 신호를 기 설정된 주기폭 동안 적분하여 제2 중간신호(INT2_P)를 출력한다. 즉, 상술한 바와 같이, 제2 적분기(400)는 4차 델타 시그마 모듈레이터의 제3 단 및 제4 단의 역할을 수행하며, 이 때 출력되는 제2 중간신호(INT2_P)가 제3 단의 출력일 경우 제2 중간신호는 제2 선택부(300)로 다시 입력되어 다음 주기에 제4 단의 역할을 수행하는 제2 적분기(400)로 전달되고, 제2 중간신호(INT2_P)가 제4 단의 출력일 경우, 비교기(500)로 전달될 수 있다.

[0030] 비교기(500)는 제2 중간신호(INT2_P)를 기 설정된 기준 레벨과 비교하여 1 비트 디지털 신호(DACP_d0)를 출력한다. 즉, 비교기는 제1 및 제2 적분기(200, 400)에 의하여 총 4회 적분된 신호에 근거하여 1비트 디지털 신호(DACP_d0)를 출력하게 된다. 이 때 1비트 디지털 신호(DACP_d0)는 제2 비교부(300)로 피드백되어 제2 적분기(400)가 제4 단의 역할을 수행할 때 제2 적분기(400)의 네거티브 입력으로 전달될 수 있다.

[0031] 제1 지연부(600)는 1비트 디지털 신호(DACP_d0)를 기 설정된 주기폭 만큼 지연하여 제1 지연신호(DACP_d1)를 출력한다. 이 때, 제1 지연신호(DACP_d1)는 제2 비교부(300)로 피드백되어 제2 적분기(400)가 제4 단의 역할을 수행할 때 제2 적분기(400)의 네거티브 입력으로 전달될 수 있으며, 또한 제1 비교부(100)로 피드백되어 제1 적분기(200)가 제2 단의 역할을 수행할 때 제1 적분기(200)의 네거티브 입력으로 전달될 수 있다.

[0032] 제2 지연부(700)는 제1 지연신호(DACP_d1)를 기 설정된 주기폭 만큼 더 지연하여 제2 지연신호(DACP_d2)를 출력한다. 이 때 제2 지연신호(DACP_d2)는 제1 비교부(100)로 피드백되어 제1 적분기(200)가 제1 단의 역할을 수행할 때 제1 적분기(200)의 네거티브 입력으로 전달될 수 있다.

[0033] 도 3은 본 발명의 일 실시예에 따른 증폭기의 수를 절감하는 저전력 델타 시그마 변조기의 제어신호(p1q1, p2q1, q1, q2)의 타이밍도이다.

[0034] 도 3에 도시된 바와 같이, 제1 주기에 제어신호(p1q1, q1)가 인에이블되고 이 때 제1 선택부(100)에 입력신호 및 제2 지연신호(DACP_d2)가 입력된다. 제2 주기에 제어신호(q2)가 인에이블되고 제1 잡음 제거부(110)에 저장된 입력신호 및 제2 지연신호(DACP_d2)가 제1 적분기(200)의 포지티브 및 네거티브 입력에 각각에 전달된다. 제3 주기에 제어신호(p2w1, q1)가 인에이블되어 제1 선택부(100)에 제1 중간신호(INT1_P) 및 제1 지연신호(DACP_d1)가 입력된다. 제4 주기에 제어신호(q2)가 인에이블되고 제1 선택부(100)로부터 제1 잡음 제거부(110)에 저장된 제1 중간신호(INT1_P) 및 제1 지연신호(DACP_d1)가 제1 적분기(200)의 포지티브 및 네거티브 입력에 각각에 전달된다. 즉, 제1 선택부(100)는 제1 주기에 입력신호 및 제2 지연신호(DACP_d2) 중 적어도 하나를 입력받고 제2 주기에 제1 주기에 입력받은 신호를 제1 적분기(200)로 전달하며, 제3 주기에 제1 중간신호(INT1_P) 및 제1 지연신호(DACP_d1) 중 적어도 하나를 입력받고 제4 주기에 상기 제3 주기에 입력받은 신호를 제1 적분기(200)로 전달할 수 있다. 이 때, 제1 내지 제4 주기의 주기폭은 상술한 적분기(200, 400)의 동작과 관련하여 설명한 기 설정된 주기폭과 동일하다. 또한 제1 선택부는 입력신호 및 제1 중간신호(INT1_P)를 제1 적분기(200)의 포지티브 입력으로 전달하고, 제1 및 제2 지연신호(DACP_d1, DACP_d2) 를 상기 제1 적분기(200)의 네거티브 입력으로 전달할 수 있다. 이에 따라 제1 적분기(200)는 제1 및 제2 주기에는 델타 시그마 변조기의 제1 단으로 동작하고 제3 및 제4 주기에는 제2 단으로 동작할 수 있다.

[0035] 또한, 도 3에 도시된 바와 같이, 제1 주기에 제어신호(p1q1, q1)가 인에이블되고 이 때 제2 선택부(300)에 제1 중간신호(INT1_P) 및 제1 지연신호(DACP_d1)가 입력된다. 제2 주기에 제어신호(q2)가 인에이블되고 제2 잡음 제거부(310)에 저장된 제1 중간신호(INT1_P) 및 제1 지연신호(DACP_d1)가 제2 적분기(400)의 포지티브 및 네거티브 입력에 각각에 전달된다. 제3 주기에 제어신호(p2w1, q1)가 인에이블되어 제2 선택부(300)에 제2 중간신호(INT2_P) 및 1비트 디지털 신호(DACP_d0)가 입력된다. 제4 주기에 제어신호(q2)가 인에이블되고 제1 선택부(100)로부터 제2 잡음 제거부(310)에 저장된 제2 중간신호(INT2_P) 및 1비트 디지털 신호(DACP_d0)가 제2 적분기(400)의 포지티브 및 네거티브 입력에 각각에 전달된다. 즉, 제2 선택부(300)는 제1 주기에 제1 중간신호(INT1_P) 및 제1 지연신호(DACP_d1) 중 적어도 하나를 입력받고 제2 주기에 제1 주기에 입력받은 신호를 제2 적분기(400)로 전달하며, 제3 주기에 제2 중간신호(INT2_P) 및 1비트 디지털 신호(DACP_d0) 중 적어도 하나를 입력받고 제4 주기에 제3 주기에 입력받은 신호를 제2 적분기(400)로 전달할 수 있다. 이 때, 제1 내지 제4 주기의 주기폭은 상술한 적분기(200, 400)의 동작과 관련하여 설명한 기 설정된 주기폭과 동일하다. 또한 제2 선택부(300)는 제1 중간신호(INT1_P) 및 제2 중간신호(INT2_P)를 제2 적분기(400)의 포지티브 입력으로 전달하고, 제1 지연신호(DACP_d1) 및 1비트 디지털 신호(DACP_d0)를 제2 적분기(400)의 네거티브 입력으로 전달할 수 있다. 이에 따라 제2 적분기(400)는 제1 및 제2 주기에는 델타 시그마 변조기의 제3 단으로 동작하고 제3 및 제4 주기에는 제4 단으로 동작할 수 있다.

[0036] 이 때, 도 3에 도시된 바와 같이 제1 및 제4 주기에 선택신호(Sel1)이 인에이블되며, 이에 따라 도 2에 도시된 바와 같이, 제1 적분기(200)의 출력은 선택신호(Sel1)가 인에이블되는 제1 주기 및 제4 주기에 포지티브 입력으로 제1 피드백 커패시터(C5)를 통하여 피드백될 수 있다. 또한 제2 및 제3 주기에 선택신호(Sel2)가 인에이블되며, 이에 따라 제1 적분기(200)의 출력은 제2 주기 및 제3 주기에 네거티브 입력으로 제2 피드백 커패시터(C6)를 통하여 피드백될수 있다. 이 때, 제1 및 제2 피드백 커패시터(C6, C5)의 용량은 동일할 수 있다. 또한 제2 적분기의 출력(200) 역시 선택신호(Sel1)가 인에이블되는 상기 제1 주기 및 상기 제4 주기에 포지티브 입력으로

제3 피드백 커패시터(C7)를 통하여 피드백되고 선택신호(Se12)가 인에이블되는 제2 주기 및 제3 주기에 네거티브 입력으로 제4 피드백 커패시터(C8)를 통하여 피드백될 수 있으며, 이 때, 제3 및 제4 피드백 커패시터(C7, C8)의 용량은 동일할 수 있다. 즉, 각 단의 루프 필터의 계수를동일하게 설정할 수 있으며, 이에 따라 피드백 커패시터(C5 - C8)의 수를 절감할 수 있고, 피드백 커패시터(C5 - C8)의 계수를 조절하면 하나의 피드백 커패시터를 이용하여 두 단을 동작시킬 수 있다.

[0037] 이상 살펴본 바와 같이 본 발명에 따르면, 델타 시그마 변환기에 있어서 동일한 해상도를 구현하면서도 소비 전력 및 제조 비용을 절감하고 신호대 잡음비를 향상시킴으로써 특히 신체에 삽입되거나 생체 신호를 획득하는 의료 목적에 사용되는 AD 변환기의 성능을 향상시킬 수 있다.

[0038] 본 발명은 도면에 도시된 실시예를 참고로 하여 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술이 속하는 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 기술적 보호범위는 아래의 특허청구범위에 의해서 정하여져야 할 것이다.

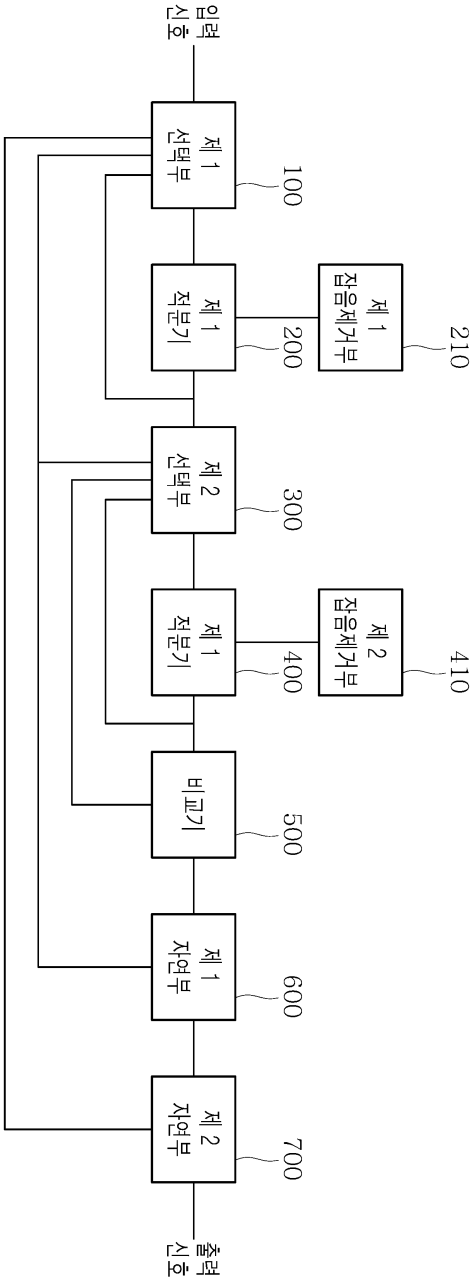
부호의 설명

[0039]

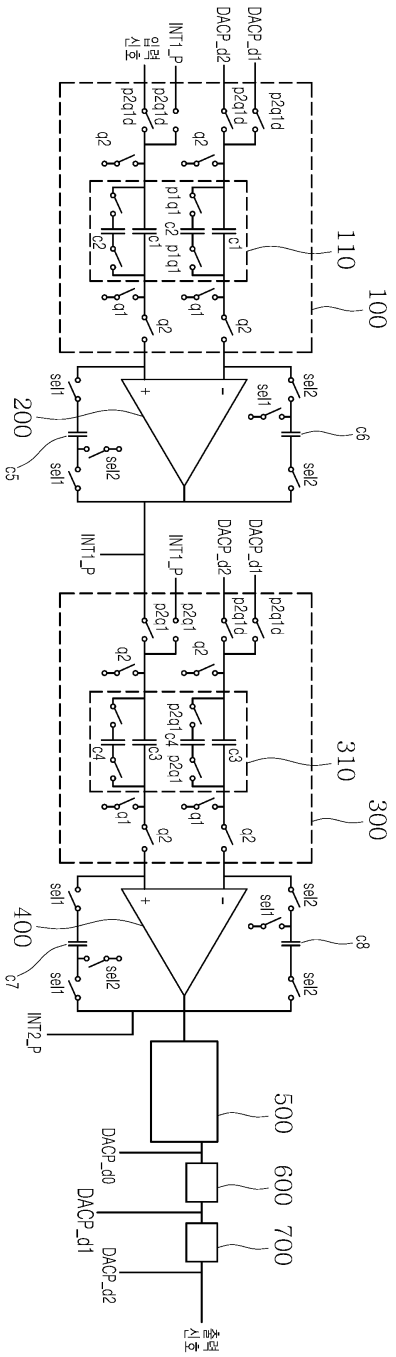
100 : 제1 선택부	110 : 제1 잡음 제거부
200 ; 제1 적분기	300 : 제2 선택부
310 : 제2 잡음제거부	400 : 제2 적분기
500 : 비교기	600 : 제1 지연부
700 : 제2 지연부	I INT1_P : 제1 중간신호
INT2_P : 제2 중간신호	p1q1, p2q1, q1, q2 : 제어신호
DACP_d0 : 1비트 디지털 신호	DACP_d1 : 제1 지연신호
DACP_d2 : 제2 지연신호	C1, C2, C3, C4 : 샘플링 커패시터
C5 : 제1 피드백 커패시터	C6 : 제2 피드백 커패시터
C7 : 제3 피드백 커패시터	C8 : 제4 피드백 커패시터

도면

도면1


입력 신호
제 1 선택부
100
제 1 적분기
200
제 1 잡음제거부
210
제 2 선택부
300
제 1 적분기
400
제 2 잡음제거부
410
비교기
500
제 1 자연부
600
제 2 자연부
700
출력 신호

도면2


INT1_P
DACP_d2
DACP_d1
p2q1d
q2
p1q1
c1
c2
q1
100
110
sel1
sel2
200
c5
c6
300
310
p2q1
c3
c4
400
c7
c8
INT2_P
500
600
700
DACP_d0
DACP_d1
DACP_d2
출력 신호

도면3

