

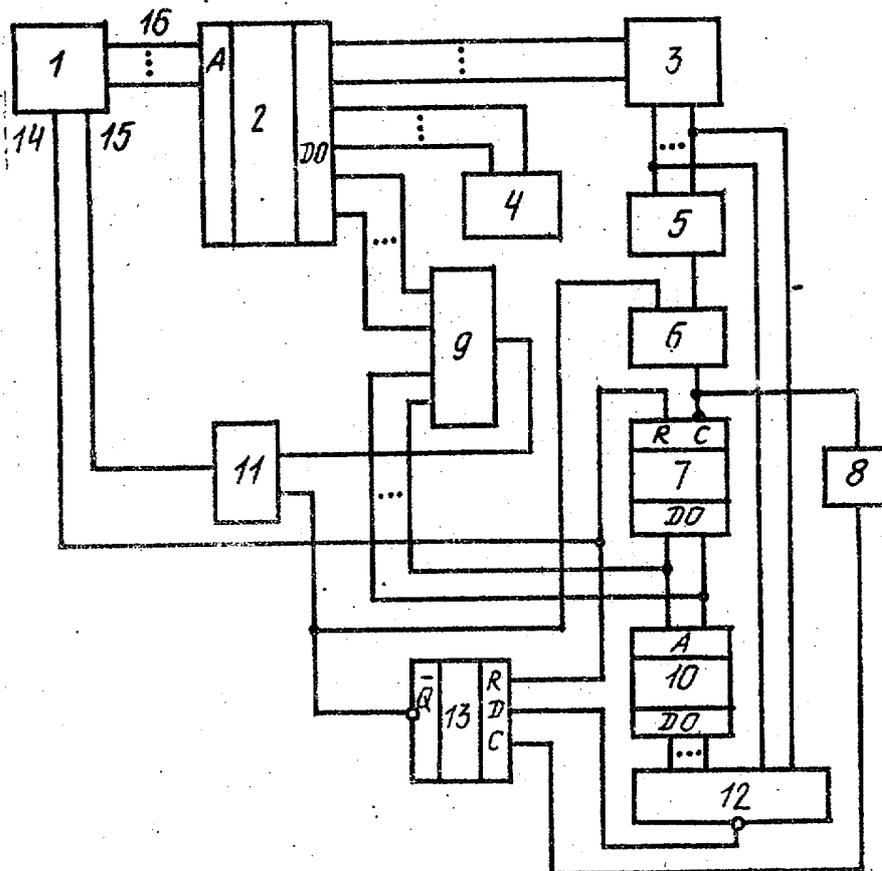


ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4231193/24-24  
(22) 17.04.87  
(46) 23.11.88. Бюл. № 43  
(72) Ю.Г.Карасев  
(53) 681.3 (088.8)  
(56) Авторское свидетельство СССР  
№ 561965, кл. G 06 F 11/00, 1973.  
Авторское свидетельство СССР  
№ 960826, кл. G 06 F 11/16, 1980.

(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ОБЪЕКТОВ ДИСКРЕТНОГО ДЕЙСТВИЯ  
(57) Изобретение относится к автоматике и вычислительной технике. Изобретение позволяет расширить функциональные возможности устройства контроля объектов дискретного действия в части контроля объектов с последовательно-параллельным выводом конт-



фиг. 1

рольной информации и неопределенными временными задержками между отдельными наборами реакций объекта контроля. Цель изобретения - повышение достоверности контроля. Устройство содержит блок управления 1, блоки памяти 2, 10, таймер 4, блоки сравнения 9, 12, счетчик 7, элементы И 6, 11, элемент задержки 8, элемент ИЛИ 5 и триггер 13. Тестовые наборы формируются по командам с блока управления 1 первым блоком памяти 2. Контроль выходных реакций производится блоком сравнения 12. Триггер 13 фиксирует ошибки в выходных реакциях объекта контроля 3. Блок памяти 10, счетчик 7, таймер 4, блок сравнения 12 и элемент задержки 8 обеспечивают контроль нескольких наборов выходных реакций объекта контроля 3 на один тест и их обработку по обобщенному сигналу, не зависящему от так-

товой частоты устройства. Сущность изобретения заключается в том, что для хранения эталонных значений реакций вводится второй блок памяти, а для их выборки - счетчик. Это позволяет обеспечить контроль объекта контроля с несколькими наборами выходных реакций на один тестовый сигнал без увеличения основной памяти. Кроме того, выбор эталонных значений реакций и их сравнение с реакциями производятся по обобщенному сигналу, формируемому элементом ИЛИ. Это позволяет сделать независимым процесс контроля выходных реакций, поступающих с неопределенной задержкой по отношению к времени выдачи теста, от периода тактовых импульсов, а следовательно, избежать необходимости организации циклов и увеличить быстродействие устройства. 1 з.п. ф-лы, 3 ил.

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано для контроля систем дискретного действия с последовательно-параллельным выводом контрольной информации и неопределенными временными задержками между отдельными наборами реакций объектов контроля (ОК).

Цель изобретения - повышение достоверности контроля.

На фиг. 1 приведена функциональная схема устройства контроля; на фиг. 2 - функциональная схема блока управления; на фиг. 3 - циклограмма работы устройства.

Устройство (фиг. 1) содержит блок 1 управления, блок 2 памяти тестов, объект 3 контроля, таймер 4, элемент ИЛИ 5, элемент И 6, счетчик 7, элемент 8 задержки, блок 9 сравнения, блок 10 памяти, элемент ИЛИ 11, блок 12 сравнения и триггер 13. На фиг. 1 также обозначены выход 14 начала работы управления, вход блокировки блока 15 управления, группа поля адреса выходов блока 16 управления.

2

Блок 1 управления (фиг. 2) содержит генератор 17 синхроимпульсов, вход 18 пуска, вход 19 канальной установки, триггер 20, элемент И 21 и счетчик 22.

Блок 1 управления предназначен для запуска устройства, приведение его в исходное состояние, а также задания адреса тестового набора и последовательности выборки тестов. В исходном состоянии после подачи нулевого сигнала на вход 19 счетчик 22 адреса блока 1 управления устанавливается в нулевое состояние за счет единичного сигнала, поступающего с инверсного выхода триггера 20. Этот же сигнал поступает на выход 14 блока 1 управления.

После подачи нуля на вход 18 триггер 20 переходит в единичное состояние и снимает сигнал сброса со счетчика 22, а также дает разрешение на пропуск сигналов с генератора 17 на вход счетчика 22 элементом И 21. После прихода разрешающего сигнала на вход элемента И 21 тактовые импульсы начинают поступать на вход

счетчика 22, обеспечивая его переключение в очередное состояние.

Блок 2 памяти предназначен для хранения тестов и временных установок таймера 4. Информация на выходных данных блока 2 памяти сохраняется на все время действия адресного сигнала.

Таймер 4 предназначен для ограничения длительности такта контроля. При превышении продолжительности контроля ОК в такте заданного значения таймер 4 высвечивает сигнал "Нет нормы" (не показано). В качестве таймера может быть применен любой стандартный прибор или микросхема, например, КР580ВИ53 с подключением на выход светодиода.

Элемент ИЛИ 5 предназначен для выработки обобщенного сигнала запуска счетчика 7.

Элемент И 6 предназначен для отключения сигнала запуска счетчика 7 при отрицательном результате проверки.

Счетчик 7 предназначен для задания адреса эталонного набора реакций.

Элемент 8 задержки предназначен для формирования импульса записи результатов проверки в триггер 13 в моменты установившихся значений обобщенного сигнала с выхода элемента ИЛИ 5.

Блок 9 сравнения предназначен для выработки сигнала разрешения на переход к следующему тесту при прохождении заданного числа наборов реакций по счетчику 7.

Блок 10 памяти предназначен для хранения эталонов реакций.

Элемент И 11 предназначен для формирования обобщенного сигнала разрешения на переход к следующему тесту.

Блок 12 сравнения предназначен для формирования результата проверки по отдельному набору реакций.

Триггер 13 предназначен для запоминания результатов проверки по отдельному набору реакций, при этом состояние логической единицы соответствует наличию ошибки в наборе реакций.

Устройство работает следующим образом.

В исходном состоянии счетчик 7 и триггер 13 устройства, а также

счетчик 22 и триггер 20 находятся в исходном состоянии. На обе группы входов блока 9 сравнения поступают одинаковые нулевые наборы сигналов, и, следовательно, на вход элемента И 11 поступает единичный сигнал. Единичный сигнал поступает и на второй вход элемента И 11 с инверсного выхода триггера 13. Таким образом, на вход 15 и вход элемента И блока 1 управления поступают единичные сигналы, однако тактовые импульсы на вход счетчика 22 блока 1 управления не поступают за счет запрета со стороны триггера 20.

При появлении сигнала на входе 18 триггер 20 устанавливается в единичное состояние и выдает сигнал на вход элемента И 21.

При поступлении очередного тактового импульса счетчик 22 блока 1 управления переходит в первое положение и выдает набор адресных сигналов на блок 2 памяти. С групп выходов блока 2 памяти выдаются тест на объект 3 контроля, задание длительности контроля и запуск таймера 4, а также задание числа наборов реакций на первую группу входов блока сравнения. Так как на другую группу входов блока 9 сравнения поступает нулевой набор сигналов, отличный от набора, поступающего на первую группу входов, на выходе блока сравнения формируется нулевой сигнал, который через элементы И 11 и И 21 запрещает переход счетчика 22 в следующее состояние. Наборы выходных реакций объекта контроля поступают на элемент ИЛИ 5 и группу входов блока 12 сравнения.

С выхода элемента ИЛИ 5 обобщенный сигнал с объекта 3 через элемент И 6, на другой вход которого поступает единичный сигнал с инверсного выхода триггера 13, поступает на счетный вход счетчика 7 и элемент 8.

Счетчик 7 задает адрес эталонного набора реакции в блоке 10 памяти, в результате чего очередной эталонный набор реакций поступает на группу входов блока 9 сравнения.

В этом случае, если набор реакций с объекта 3 и эталонный набор с блока 12 памяти совпадают, в триггер 13 по сигналу с элемента задержки будет записан ноль, на инверсном выходе триггера 13 сохранится единица. По

достижению счетчиком 7 состояния, соответствующего заданному числу наборов реакций, блок 9 сравнения выдает единицу на вход элемента И 11 и на вход 15 блока 1 управления поступает сигнал разрешения перехода к следующему тесту.

Если пауза между группами наборов реакций объекта 3 достаточно велика, то производится сброс устройства в исходное состояние и запись новой программы в блоки 2 и 10 памяти.

В том случае, если при сравнении очередного набора реакций с эталоном обнаружится ошибка, в триггер 13 будет записана единица и нулевой сигнал с его инверсного выхода запретит переход счетчика 7 устройства и счетчика 22 блока управления в следующие положения.

В том случае, если количество наборов реакций в группе будет меньше заданного, счетчик 7 не установится в запрограммированное положение и по истечении заданного времени контроля таймер 4 выдает сигнал "Нет нормы".

На фиг. 3 приведена для примера циклограмма сигналов и состояний устройства для одного набора выходных реакций ОК, состоящего из трех последовательно выдаваемых наборов. На фиг. 3 обозначены: 18 - пуск, 2 - тестовые сигналы, 3 - реакция, 5 - обобщенный сигнал реакции на выходе элемента ИЛИ 5, 7 - состояние счетчика 7.

В произвольный момент времени производится пуск устройства. По очередному тактовому импульсу на объект 3 выдается тестовый набор с блока 2 памяти, который сохраняется до конца проверки данного набора реакций. По приходу каждого набора реакций с выхода элемента ИЛИ 5 выдается обобщенный сигнал, который изменяет состояние счетчика 7. Изменение состояния счетчика 7 происходит по спаду обобщенного сигнала, поэтому в третье состояние счетчик 7 приходит после проверки последнего третьего набора реакций. При положительном исходе контроля очередной тактовый импульс переводит счетчик 22 в следующее положение и цикл контроля повторяется для другого тестового набора. При этом счетчик 7 продолжает изменять свои состояния без обнуления. В том случае, если один из наборов

ров не будет соответствовать эталону, срабатывает триггер 13 и запрещает поступление обобщенного сигнала на счетчик 7 и тактовых импульсов на счетчик 22 блока 1 управления.

Если число наборов будет меньше запрограммированного, счетчик 7 останавливается в состоянии "1" или "2" и блок сравнения не выдает сигнала разрешения, сигнал "Нет нормы" в этом случае выдает таймер, запрограммированный на время, большее максимально ожидаемого времени прохождения набора реакций ОК.

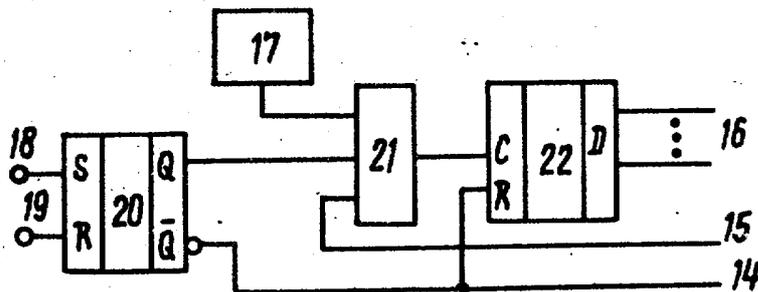
#### Ф о р м у л а и з о б р е т е н и я

1. Устройство для контроля объектов дискретного действия, содержащее блок памяти тестов, элемент задержки, элемент ИЛИ, первый элемент И, счетчик, триггер и блок управления, причем группа входов элемента ИЛИ является группой входов устройства для подключения к выходам контролируемого объекта дискретного действия, выходы поля тестового воздействия блока памяти являются выходами устройства для подключения к входам контролируемого объекта дискретного действия, о т л и ч а ю щ е е с я тем, что, с целью повышения достоверности контроля, устройство содержит блок памяти, два блока сравнения, второй элемент И и таймер, причем группа выходов поля адреса блока управления соединены с группой адресных входов блока памяти тестов, группа выходов поля времени срабатывания таймера блока памяти тестов соединена с группой информационных входов таймера, группа выходов поля эталона блока памяти тестов соединена с первой группой входов первого блока сравнения, выход "Не равно" которого соединен с входом блокировки блока управления, выход "Начало работы" блока управления соединен с входами сброса триггера и счетчика, группа разрядных выходов которого соединена с группой адресных входов блока памяти и с второй группой входов первого блока сравнения, группа выходов блока памяти соединена с первой группой входов второго блока сравнения, вторая группа входов которого соединена с группой входов устройства для подключения к

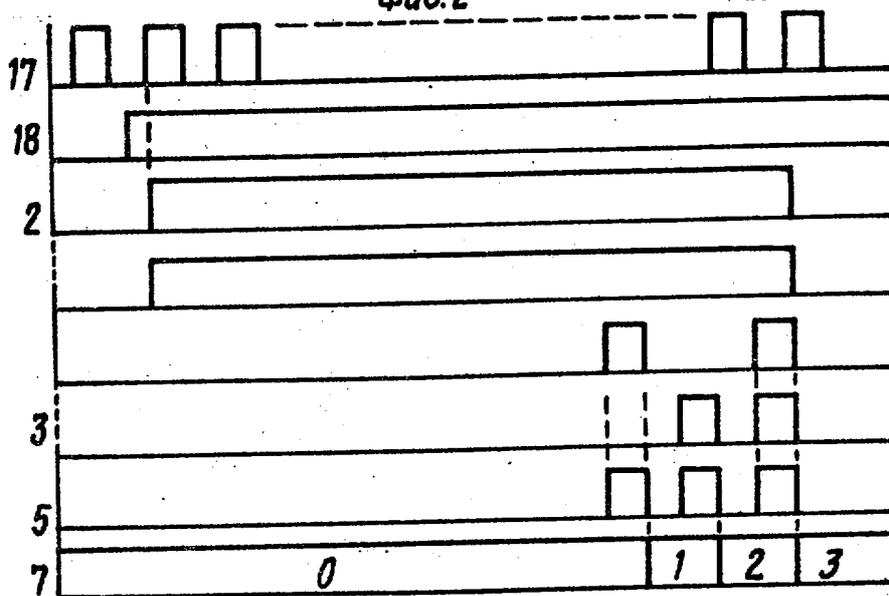
группе выходов контролируемого объекта дискретного действия, выход "Равно" второго блока сравнения соединен с входом триггера, инверсный выход которого соединен с вторым входом первого элемента И и первым входом второго элемента И, второй вход которого соединен с выходом элемента ИЛИ, выход второго элемента И соединен со счетным входом счетчика и через элемент задержки - с входом триггера.

импульсов, счетчик и элемент И, причем вход сброса и вход установки триггера являются входами начальной установки и пуска блока соответственно, прямой выход триггера соединен с первым входом элемента И, второй и третий входы которого соединены с выходом генератора синхроимпульсов и с входом блокировки блока соответственно, выход элемента И соединен со счетным входом счетчика, группа разрядных выходов которого соединена с группой поля адреса блока, выход "Начало работы" которого соединен с инверсным выходом триггера и с входом сброса счетчика.

2. Устройство по п.1, отличающееся тем, что блок управления содержит триггер, генератор синхро-



Фиг.2



Фиг.3

Редактор А.Ворович                      Составитель А.Сиротская                      Корректор М.Васильева  
 Техред Л.Сердюкова

---

Заказ 6079/49                      Тираж 704                      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

---

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4