(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
H01L 27/12
G02F 1/136

(45) 공고일자 1993년08월12일
(11) 공고번호 93-007529

(21) 출원번호	특1989-0005223	(65) 공개번호	특1990-0017166
(22) 출원일자	1989년04월20일	(43) 공개일자	1990년11월15일

(30) 우선권주장 63-097008 1988년04월20일 일본(JP)
63-248197 1988년09월30일 일본(JP)

(71) 출원인 마쯔시다덴기산교 가부시기가이샤 다니이 아끼오
일본국 오오사까후 가도마시 오오아자가도마 1006반지

(72) 발명자 미야다 유다까
일본국 오오사까후 히라가다시 구쭈하 하나조노죠 5-4-802
가와무라 데쯔야
일본국 교오도후 교오도시 히가시야마구 센유지 사나이죠 30
쯔쯔 히로시
일본국 오오사까후 오오사까시 미야고지마구 도모부찌죠 1-5-7-1011

(74) 대리인 신중훈

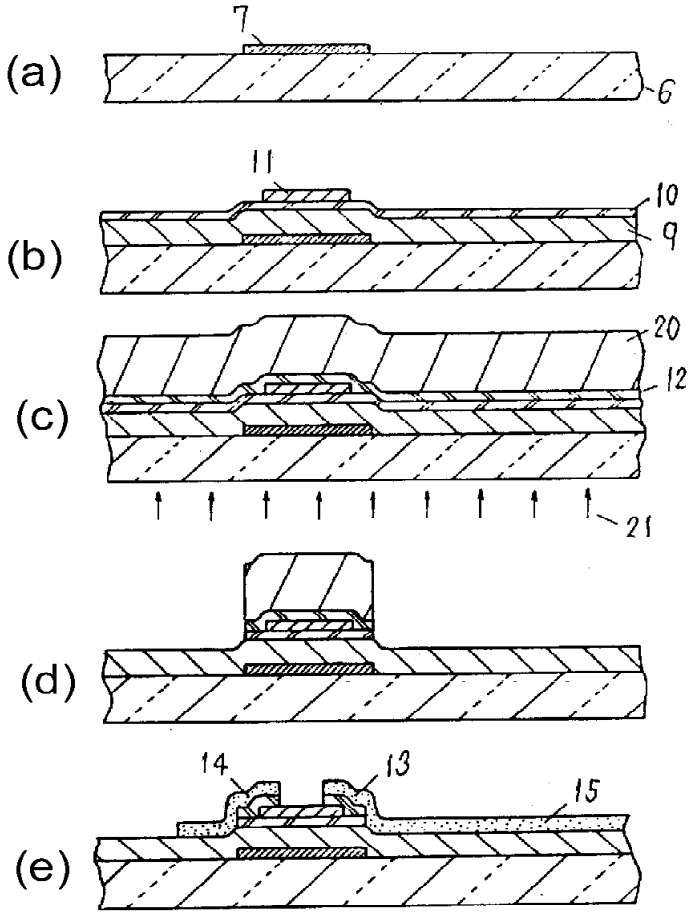
심사관 : 유환열 (책자공보 제3369호)

(54) 액티브매트릭스기판의 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

액티브매트릭스기판의 제조방법

[도면의 간단한 설명]

제1도, 제2도, 제4도(b) 내지 제4도(e), 제5도 내지 제13도는 각각 본 발명의 제1, 제2, 제4 내지 제13실시예에 있어서의 액티브매트릭스기판의 제조방법을 도시한 공정단면도.

제3도는 본 발명의 제3실시예에서 얻어질 수 있는 액티브매트릭스기판의 단면도.

제4도(a)는 본 발명의 제4실시예에서 얻어질 수 있는 액티브매트릭스기판의 단면도.

제14도는 액티브매트릭스기판의 회로도.

제15도(a)는 종래의 액티브매트릭스기판을 구성하는 박막트랜지스터의 평면도.

제15도(b)는 제15도(a)의 선 A-B의 단면도.

제16도는 종래의 표시장치의 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

6 : 투광성 기판 7 : 게이트전극

7a : 섬형상의 도전체층 8 : 산화실리콘층

9 : 게이트절연체층(제1절연체층) 10 : 제1반도체층

11 : 패시베이션층(제3절연체층) 12 : 제2반도체층

13 : 드레인전극 14 : 소스전극

14a : 금속층 15 : 화소전극

16 : 대향투명전극 17 : 대향기판

18 : 액정 19 : 제2절연체층

20 : 포지티브형 포토레지스트　　21 : 자외선

22 : 슬릿　　23 : 네가티브형 포토레지스트

24 : 도전체층　　25 : 금속산화물

[발명의 상세한 설명]

본 발명은 영상표시용 액정텔레비젼, 컴퓨터 단말용 디스플레이 등에 사용되는 표시장치, 특히 그것에 사용되는 액티브매트릭스기판의 제조방법에 관한 것이다.

최근, 표시장치에의 응용을 목적으로 투광성 기판상에 박막트랜지스터(이하 TFT로 약칭함)를 형성하는 액티브매트릭스기판의 개발이 활발하다. 이러한 액티브매트릭스기판의 구성을 제14도를 참조하여 설명한다. (1)은 제1투광성 기판(도시하지 않음)상에 형성한, 다결정실리콘 또는 비정질(非晶質) 실리콘을 하나의 구성요소로 하는 TFT, (2)는 투명한 화소전극(TFT(1)의 드레인전극에 전기적으로 접속됨)과 제2투광성 기판상의 투명한 대향전극과의 사이에 주입한 액정이다. (1)과 (2)는 영상표시영역(3)의 각 화소와 대응하는 위치에 배치되어 있고, 액정에 의한 정전용량이외에, 기억용량으로서 액티브매트릭스기판에 형성되는 용량이 부가되는 것도 있다. (4)는 TFT(1)의 게이트전극에 접속된 게이트버스배선, (5)는 TFT(1)의 소스전극에 접속된 소스버스배선이다. 제14도에 있어서, 화소전극, TFT, 게이트버스배선 및 소스버스배선이 액티브매트릭스기판으로서 제1투광성 기판상에 형성된다.

상기와 같은 액티브매트릭스기판의 하나의 구성요소인 TFT구성의 한 예를 제15도를 참조하여 이하 설명한다. 제15도(a)는 한개의 역 스태거 구조를 가진 TFT의 평면도이고, 제15도(b)는 제15도(a)의 A-B선 단면도이다.

(6)은 유리로 만들어진 투광성 기판이고, (7)은 게이트전극이다. (9), (10), (11)은 각각 게이트 절연체층(제1절연체층), 제1반도체층, 패시베이션(passivation)층이다. (8)은 게이트전극(7)과 화소전극(15)과의 접촉을 방지하고, 또 게이트 절연체층(9)과 화소전극(15)과의 접착성을 향상시키기 위한 산화실리콘층이다. (13)과 (14)는 각각 드레인전극과 소스전극이다. (12)는 제1반도체층(10)과 드레인전극(13) 및 소스전극(14)과의 저항접촉을 이루기 위한 제2반도체층이다. (15)는 드레인전극(13)에 접속된 투명전극으로써, 액정층에 전압을 인가하기 위한 화소전극으로 되어 있다. 한편, 이 예에서는 화소전극(15)은 게이트절연체층(9) 밑에 형성되어 있지만, 화소전극(15)은
게이트절연체층위에, 드레인전극(13) 및 소스전극(14)과 동시에 일체적으로 형성해도 된다. 또, 역스태거 구조의 TFT에 있어서는, 게이트전극이 기판의 이면으로 부터의 입사광에 대해서 빛을 차단하도록 하는 구조로 되어 있기 때문에, TFT의 오프(off)시에 누설전류가 작아지는 우수한 특징이 있고, 이 구조는 상업용의 포켓용 TV세트에 널리 채용되고 있다.

이러한 액티브매트릭스기판을 이용한 표시장치를 제16도를 참조하여 이하에 설명한다. 대향투명전극(16)을 부착한 대향기판(17)과 상기 액티브매트릭스기판과의 사이에는 트위스트(twist)배향처리를 한 트위스트 네마틱(TN)액정(18)이 봉입되고, 두개의 투광성 기판 각각의 한쪽면에는 평광판(도시하지 않음)이 부착되어 표시장치를 형성한다.

이러한 액티브매트릭스기판의 개발이 활발해짐에 따라, 수 cm급의 대형 기판상에 상기와 같은 액티브매트릭스기판을 고수율로 형성하는 기술이 필요하게 되었다. 동시에 고밀도로 소자를 조립하는 것도 요구되고 있다. 그러므로, 액티브매트릭스기판의 조립에 있어서는, 반도체층 프로세스용의 것과 같은 수준의 성능을 가진 노광기와 고정밀도의 위치조정 기구등의 부대설비를 사용하여 미세가공하는 것이 요구되고 있다. 즉 종래, 제15도와 같은 액티브매트릭스기판을 형성하는 데에는 5~6회 정도의 포토마스크를 사용하는 포토리소그래피공정이 필요하다.

상술한 바와같은 형성방법은 코스트, 수율 및 성능의 면에서 이하에 설명하는 바와같은 몇가지 문제점을 내포한다. 우선, 포토리소그래피의 횟수가 많아지면 많아질수록 고성능, 고가의 노광기 등을 사용하는 횟수가 많아지기 때문에 액티브매트릭스기판의 형성코스트가 높아진다. 또, 포토리소그래피의 횟수가 많으면 많아질수록 포토리소그래피공정에서의 불량(패턴간의 위치조정미스 등) 때문에 수율도 저하된다고 하는 문제점이 있다. 또 기판재료로서 파이렉스 등의 유리를 사용하는 일이 많고, 이 경우에는 공정중의 열신축 또는 박막의 응력에 의해 발생하는 기판의 변형이 무시할 수 없을 만큼 크게 된다(특히 이 문제는 대형기판에서 심각하고, 포토마스크로 형성한 기판상의 패턴간의 부정합은 10μ을 초과할 경우도 많다). 그 때문에, 기판내의 위치정합의 정밀도가 균일하지 않고 소자특성의 균일성이 저하하거나, 또는 이 변형을 보정하기 위해 특별한 장치를 사용하거나 이러한 변형을 고려한 마진으로 소자설계를 해야하는 특별한 배려가 필요하다고 하는 문제가 있다. 기판의 변형이외에, 소자를 실현하기 위해 필요한 포토마스크정합 횟수가 많을수록, 마진확보를 위한 소자의 크기가 커지게 된다. 그 때문에 개구율(유효표시영역의 비율)이 저하하고, 이러한 현상은 소자밀도가 높을수록 그리고 기판이 클수록 문제가 된다. 그외에도, 소자능력은 향상시키는 등의, 해결해야 될 다른 고제들도 있다.

그러므로, 상기 문제점에 비추어서, 포토마스크의 정확한 위치조정을 필요로 하는 포토리소그래피공정을 삭감하여 보다 저렴한 코스트로 액티브매트릭스기판을 제조하는 방법을 제공하는 것이 본 발명의 일차적인 목적이다.

또, 포토마스크의 정확한 위치조정을 필요로 하지 않는 포토리소그래피공정을 이용하여 소자의 고성능화를 도모하는 것이 본 발명의 다른 목적이다.

상기 목적을 달성하기 위하여, 본 발명은 예를들면, 투광성 기판상에, 상기 기판표면의 특정영역을 피복하는 불투광성 재료로 이루어진 게이트전극과, 상기 기판표면의 노출된 및 게이트전극을 피복하는 제1절연체층과, 상기 제1절연체층상의 특정영역을 피복하는 반도체층과, 상기 반도체층의 소스전극 및 드레인전극을 순차적으로 형성하는 액티브매트릭스기판의 제조방법에 있어서, 적어도 상기 게이트전극이 형성된 기판상에 포토레지스트를 피복하는 공정과, 상기 기판의 이면으로부터 광을 조사하는 공정과, 상기 포토레지스트를 현상하는 공정과, 상기 포토레지스트를 이용하여 소자의 가공을

행하는 공정으로 구성된 것을 특징으로 하는 액티브매트릭스기판의 제조방법을 제공하는 것이다. 즉, 게이트전극패턴을 실현하기 위하여, 종래의 노광기로는 실현할 수 없는 고정밀도로 정합된 레지스트패턴을 기판상에 형성하고, 이것을 이용하여 실현하고자 하는 소자의 반도체층과, 패시베이션층, 그리고 전극재료와 같은 각종 구성요소를 제작하여 가공한다.

본 발명의 상기의 방법에 의해, 예를들면 반도체층의 패턴을 형성할 때, 게이트전극(또는 게이트전극 및 섬형상의 도전체층)을 마스크로 하여 포토리소그래피가 가능하기 때문에, 위치조정기구를 필요로 하지 않는 저렴한 노광기를 사용할 수 있다. 또, 경우에 따라서, 포토리소그래피의 횟수가 삭감되기 때문에 코스트의 절감과 생산시의 수율 향상을 도모할 수 있다. 또, 이면으로부터의 노광시에 기판의 신축 등의 영향도 없고, 정확하게 정합된 레지스트 패턴을 얻을 수 있다. 따라서, 이것을 이용하여 TFT의 소형화도 가능하고, 고밀도, 고개율의 액티브매트릭스기판을 실현할 수 있다. 그외에도, 소자능력을 향상시킬 수 있고, 고성능의 역 스태거형 TFT를 실현할 수 있다.

본 발명의 신규한 특징이 첨부된 특허청구범위에 설명되어 있지만, 도면을 참조한 이하의 상세한 설명에 의해, 구성 및 내용면에서, 기타 목적 및 특징과 함께 본 발명을 보다 잘 이해할 수 있을 것이다.

도면을 참조하여, 본 발명의 바람직한 실시예를 이하 상세히 설명한다.

[실시예 1]

제1도는 본 발명의 제1실시예를 공정별로 도시한 것이다.

투광성 기판(예를들면 코닝사 제품 7059)(6)상에, 불투광성의 도전체박막(예를들면 Cr : 막두께 약 100nm)을 스퍼터(sputter)법으로 부착하고, 소망의 패터닝에 의해 게이트전극(7)을 형성한다(제1도(a)). 플라즈마 CVD법에 의해, 게이트 절연체층(제1절연체층, 예를들면, 질화규소 : 막두께 약 380nm)(9), 제1반도체층(예를들면, 비정질 실리콘 : 막두께 약 50nm)(10) 및 패시베이션층(예를들면, 질화규소 : 막두께 약 80nm)(11)을 순차적으로, 균일하게 부착한 다음, 게이트전극(7)상의 일부만을 남기고 패시베이션층(11)을 에칭제거한다(제1도(b)). 다음에, 다시 플라즈마 CVD법에 의해 제2반도체층(예를들면, 인을 첨가한 저저항의 비정질 실리콘 : 막두께 약 50nm)(12)을 부착하고, 그 후 포지티브형 포토레지스트(20)를 피복한다. 레지스트를 프리베이킹(prebaking)한 후, 게이트전극(7)을 마스크로 하여 투광성 기판(6)의 이면으로부터 자외선(21)을 조사한다(제1도(c)). 기판상의 레지스트를 현상하면, 게이트전극(7)에 해당하는 부분을 제외하고는 레지스터가 제거된다. 레지스트를 포스트 베이킹(post baking)한 후, 이 레지스트를 에칭마스크로하여 제1반도체층(10)과 제2반도체층(12)의 노출부를 에칭제거한다(제1도(d)). 레지스트를 제거한 후, 투명한 도전재(예를들어 산하인듐주석(ITO) : 막두께 약 400nm)로 이루어진 박막을 부착하고 패터닝함으로써, 드레인전극(13), 소스전극(14) 및 화소전극(15)을 형성하면(제1도(e)), 액티브매트릭스기판이 완성된다.

본 실시예에서 나타낸 바와같이, 반도체층의 패턴을 형성할 때 게이트전극(7)을 마스크로 하여 포토리소그래피를 수행함으로써, 위치조정기구를 필요로 하지 않는 저렴한 노광기를 사용할 수 있고, 포토리소그래피의 횟수도 삭감할 수 있다. 또, 반도체층을 게이트전극보다 넓게 할 수 없기 때문에, 소자를 소형화할 수도 있다. 한편, 본 실시예에서는 화소전극, 소스전극 및 드레인전극은 동시에 형성하고 있지만, 따로따로 형성해도 된다.

[실시예 2]

제2도는 본 발명의 제2실시예를 공정별로 도시한 것이다.

투광성 기판(6)상에, 불투광성 도전체 박막을 스퍼터법에 의해 부착하고 소망의 패터닝을 하여 게이트전극(7)과 섬형상의 도전체층(7a)을 형성한다(제2도(a)). 플라즈마 CVD법에 의해, 게이트절연체층(제1절연체층)(9), 제1반도체층(10) 및 패시베이션층(11)을 순차적으로 부착한 후, 게이트전극(7)상의 일부반을 남기고 패시베이션층(11)을 에칭제거한다(제2도(b)). 다음에, 다시 플라즈마 CVD법에 의해 제2반도체층(12)을 부착한 후에, 포지티브형 포토레지스트(20)를 피복한다. 이 레지스트를 프리베이킹한 후에, 게이트전극(7)과 섬형상의 도전체층(7a)을 마스크로 하여 투광성 기판(6)의 이면으로부터 자외선(21)을 조사한다(제2도(c)). 기판상의 레지스트를 현상하면, 게이트전극(7)과 섬형상의 도전체층(7a)에 대응되는 부분을 제외하고는 레지스트가 제거된다. 레지스트를 포스트 베이킹한 후, 이 레지스트를 마스크로 하여, 제1반도체층(10)과 제2반도체층(12)을 에칭제거한다(제2도(d)). 레지스트를 제거한 후, 화소전극(15)으로서의 투명전극과, 드레인전극(13) 및 소스전극(14)을 형성하면(제2도(e)). 액티브매트릭스기판이 완성된다.

이 실시예에서 나타낸 바와같이, 소스버스배선 밑의 대부분의 영역에 반도체층을 형성함으로써, 소스버스배선의 용장성(兄長性)이 증가하고, 소스버스배선의 단선도 방지할 수 있다.

[실시예 3]

제3도는 본 발명의 제3실시예를 도시한 것이다.

실시예 2와 마찬가지 방법으로 반도체층을 에칭제거한 후에(제2도(a)) 내지 제2도(d)), 레지스트를 제거한다. 그후, 투광성명전극층을 부착하고, 패터닝하여, 드레인전극(13), 소스전극(14) 및 화소전극(15)을 형성하면(제3도), 액티브매트릭스기판이 완성된다.

이와같이, 본 실시예에서는 화소전극, 소스전극 및 드레인전극을 동시에 형성함으로써, 포토리소그래피을 1회 생략할 수 있다.

[실시예 4]

제4도는 본 발명의 제4실시예를 도시한 것이다. 제4도(a)는 본 발명의 제4실시예에 있어서의 액티브매트릭어레이기판의 주요부에 대한 평면도로서, 하나의 화소전극과 그 주변부를 도시하고 있다.

(7)은 게이트전극, (14)는 소스전극, (13)은 드레인전극, (15)은 화소전극이다. 그리고, 게이트전극에는 슬릿(22)이 형성되어 있다. 제4도(b) 내지 제4도(e)에서의 파선 C-D에서 각 공정에 따른 단면도이다. 투광성 기판(6)상에, 금속박막의 게이트전극(7)을 제1포토마스크를 이용하여 형성하고, 계속하여 그위에 게이트 절연체층(9), 제1반도체층(10) 및 제2반도체층(12)을 형성한다. 이 상태에서, 포지티브형 포토레지스트(20)를 피복하고, 기판의 이면으로부터 자외선(21)을 조사하여(제4도(b)), 기판상의 레지스트를 현상한다. 이때, 오버노광에 의해, 레지스트패턴을 게이트전극(7)으로부터 d1만큼 가늘게 한다(제4도(c)). 또, 이 레지스트를 이용하여, 제1반도체층(10)과 제2반도체층(12)을 에칭 제거한다. 이때, 오버에칭을 행하여 에칭패턴을 레지스트패턴으로부터 d2만큼 가늘게 한다. 오버노광과 오버에칭의 영향으로(d1+d2), 반도체층은 슬릿(22)주변의 게이트전극(7) 즉 게이트배선상에는 반도체층이 남아 있지 않게 된다(제4도(d)). 레지스트를 제거해서, 투명도전층을 형성하고, 제2포토마스크를 이용해서 패턴형성하여, 소스전극(14), 드레인전극(13) 및 화소전극(15)을 동시에 형성한다. 이때, 제2포토마스크패턴의 부분을 제외하고 제2반도체층을 에칭제거한다(제4도(e)).

본 실시예에서는, 제4도(a)에 도시한 바와같이, 두개의 포토마스크를 사용하여 제1반도체층이 인접한 TFT 사이에서 완전히 분리된 TFT를 완성한다.

종래의 구조에 있어서는, 소정 방법 등에 의한 소자의 분리(반도체층의 분리)가 필요하였지만, 이상에서 설명한 방법으로 액티브매트릭스어레이기판을 형성할 때에는 소자분리를 위한 포토리소그래피의 횟수를 생략할 수 있다.

[실시예 5]

제5도는 본 발명의 제5실시예를 도시한 것이다.

실시예 1과 마찬가지로, 투광성 기판(6)상에, 게이트 절연체층(제1절연체층)(9), 제1반도체층(10), 패시베이션층(11) 및 제2반도체층(12)을 형성한 후, 네거티브형의 포토레지스트(23)를 전표면에 피복한다.

레지스트를 프리베이킹한 후에, 게이트전극(7)을 마스크로 하여 투광성 기판(6)의 이면으로부터 자외선(21)을 조사한다(제5도(a) 내지 제5도(c)). 기판상의 상기 레지스트를 현상하면, 게이트전극(7)에 대응되는 부분의 레지스트만이 제거된다(제5도(d)). 다음에, 도전체층(24)을 부착하고(제5도(e)), 레지스트를 제거한 후, 게이트전극(7)의 상부를 제외하고 도전체층(24)을 레지스트와 함께 제거한다. 이 도전체층(24)을 에칭마스크로 하여, 제1반도체층(10)과 제2반도체층(12)을 에칭제거한다(제5도(f)). 다음에, 투명도전층을 부착하고 패터닝하여, 드레인전극(13), 소스전극(14) 및 화소전극(15)을 형성하면, 액티브매트릭스기판이 완성된다(제5도(f)).

본 실시예에서 나타낸 바와같이, 반도체층의 패턴을 형성할 때 게이트전극(7)을 마스크로 하여 포토리소그래피를 행함으로써, 위치조정기구를 필요로 하지 않는 저렴한 노광기를 사용할 수 있는 동시에, 포토리소그래피의 횟수를 삭감할 수도 있다. 또, 이러한 구성에 있어서, 소스전극 및 드레인전극의 일부가 이층배선으로 되어, 전극의 저저항화 및 전극의 단선방지도 실현할 수 있다.

[실시예 6]

제6도는 본 발명의 제6실시예를 도시한 것이다.

실시예 2와 마찬가지로해서, 투광성 기판(6)상에 게이트전극(7), 섬형상의 도전체층(7a), 게이트절연체층(제1절연체층)(9), 제1반도체층(10), 패시베이션층(11) 및 제2반도체층(12)을 형성한 후, 네거티브형 포토레지스트(23)를 전표면에 걸쳐 피복한다. 레지스트를 프리베이킹한 후, 게이트전극(7)과 섬형상의 도전체층(7a)을 마스크로 하여 투광성 기판(6)의 이면으로부터 자외선(21)을 조사한다(제6도(a) 내지 제6도(c)). 기판상의 레지스트를 현상하면, 게이트전극(7)과 섬형상의 도전체층(7a)에 대응되는 부분에서만 레지스트가 제거된다(제6도(d)). 다음에, 도전체층(24)을 부착하고(제6도(e)), 레지스트를 제거하면, 도전체층(24)은 게이트전극(7)과 섬형상의 도전체층(7a)에 대응되는 부분을 제외하고는 레지스트와 동시에 제거된다(제6도(f)). 이 도전체층(24)을 에칭마스크로 하여, 제1반도체층(10)과 제2반도체층(12)을 패터닝한 후, 투명도전체층을 부착하고 패터닝해서 드레인전극(13), 소스전극(14) 및 화소전극(15)을 형성하면, 액티브매트릭스기판이 완성된다(제6도(g)).

이와같이, 본 실시예에 의하면, 반도체층의 패턴을 형성할때 게이트전극(7)을 마스크로 하여 포토리소그래피를 실시함으로써, 위치조정기구를 필요로 하지 않는 저렴한 노광기를 사용할 수 있고, 포토리소그래피의 횟수도 삭감할 수 있다. 또, 소스버스배선 밑의 대부분의 영역에 도전체층(24)과 반도체층을 형성함으로써, 저저항화와 함께 소스버스배선의 용장성을 증가시키고 소스버스배선의 단선도 방지할 수 있다.

또, 실시예 5 및 6에 있어서의 도전체층(24)의 재료로서는, Cr, Ta, Ti, Mo, Ni 및 이들의 합금 또는 이들 금속의 규화물을 사용할 수 있다.

[실시예 7]

제7도는 본 발명의 제7실시예를 도시한 것이다.

실시예 1과 마찬가지로 해서, 투광성 기판(6)상에, 게이트전극(7), 게이트절연체층(제1절연체층)(9), 제1반도체층(10), 패시베이션층(11) 및 제2반도체층(12)을 형성하고, 금속산화물(25)을 부착한 후, 전표면에 걸쳐 포지티브형 포토레지스트(20)를 피복한다. 레지스트를 프리베이킹한 후, 게이트전극(7)을 마스크로하여 투광성 기판(6)의 이면으로부터 자외선(21)을 조사한다(제7도(a) 내지 제7도(c)). 기판상의 이 레지스트를 현상하면, 게이트전극(7)에 대응되는 부분을 제외하고 레지스트는 제거된다. 레지스트를 포스트베이킹한 후, 이 레지스트르 마스크로 하여, 금속산화물(25)의 노출부, 제1반도체층(10) 및 제2반도체층(12)을 에칭제거한다(제7도(d)). 레지스트를 제거한 후, 기판을 수소플라즈마 분위기중에 노출하면, 금속산화물(25)은 환원되어 금속층(14a)이 된다. 마지막으로, 화소전극(15)으로서의 투명전극과, 드레인전극(13) 및 소스전극(14)을 형성하면(제7도(e)), 액티브

매트릭스기판이 완성된다.

본 실시에에 있어서는, 이상 설명한 바와같이, 포토마스크를 이용하여 포토리소그래피의 횟수를 증가시키지 않고 소자의 성능을 향상시킬 수가 있다. 즉, 소스전극 및 드레인전극과 반도체층사이에 금속산화물을 삽입하고, 그것을 환원하여 금속화함으로써, 양 전극을 저저항화할 수 있는 것과 동시에 소스전극과 반도체층사이의 접촉저항과 드레인전극과 반도체층사이의 접촉저항을 저하시킬 수 있다(종래, 제2반도체층과 금속산화물에 의한 투광전극재료사이의 접촉저항이 자주 문제가 되었지만, 여기에서는 그것이 개선되었다).

[실시예 8]

제8도는 본 발명의 제8실시예를 도시한 것이다.

투광성 기판(6)상에, 게이트전극(7)과 섬형상의 도전체층(7a)을 형성하고, 그 외는 실시예 7과 같은 공정을 행하면, 액티브매트릭스기판이 완성된다(제8도(a) 내지 제8도(e)).

본 실시예에서는, 소스버스배선 밑의 대부분의 영역에 반도체층과 금속층을 형성함으로써 소스버스배선의 용장성을 증가시키고, 소스버스배선의 단선도 방지할 수 있다. 또, 금속산화물로부터 환원된 금속층(14a)에 의해, 소스 및 드레인전극을 저저항화함과 동시에, 소스전극과 반도체층사이의 접촉저항과 드레인전극과 반도체층사이의 접촉저항을 저하시킬 수 있다.

또, 실시예 7, 8에서는, 금속산화물(25)로서, TaOx 및 ITO 등이 적당하다. 그 환원방법으로서, 수소플라즈마처리 대신에, 수소분위기중의 노출과 같은 다른 방법을 사용할 수도 있다. 그러나, 수소분위기 또는 수소플라즈마 분위기중에서 처리하면 보다 좋은 결과를 얻을 수 있다.

[실시예 9]

제9도는 본 발명의 제9실시예를 도시한 것이다.

실시예 1과 마찬가지로 해서, 투광성기판(6)상에, 게이트전극(7), 게이트절연체층(제1절연체층)(9), 제1반도체층(10), 패시베이션층(11) 및 제2반도체층(12)을 형성하고, 포지티브형 포토레지스트(20)을 피복하고, 게이트전극(7)을 마스크로 하여 투광성 기판(6)의 이면으로부터 자외선(21)을 조사한다(제9도(a) 내지 제9도(c)). 이 레지스트를 현상한 후에, 제1반도체층(10)의 노출부와 제2반도체층(12)을 에칭제거한다. 다음에, 1층이상의 금속산화물막, 예를들면 90% In_2O_3-10% SnO_2로 구성된 금속산화물막을 부착하고 패터닝하여 드레인전극(13), 소스전극(14) 및 화소전극(15)을 형성한다(제9도(d)). 이 위에, 네거티브형 포토레지스트(23)을 피복하고, 게이트전극(7)을 마스크로 하여 투광성 기판(6)의 이면으로부터 자외선을 조사한다. 레지스트를 현상한 후에(제9도(e)), 기판을 수소플라즈마 분위기중에 노출하면, 드레인전극(13) 및 소스전극(14)의 일부가 환원되어 In-Sn이 된다. 이 레지스트를 제거하면, 액티브매트릭스기판이 완성된다(제9도(f)).

이와같이, 본 실시예에서는, 소스전극 및 드레인전극을 환원하여 금속화함으로 로써 두 전극을 저저항화할 수 있고, 소스전극과 반도체층 사이의 접촉저항과 드레인 전극과 반도체층 사이의 접촉저항을 저하시킬 수 있다.

[실시예 10]

제10도는 본 발명의 제10실시예를 도시한 것이다.

실시예 1과 마찬가지로 해서, 투광성 기판(6)상에, 게이트전극(7), 게이트절연체층(제1절연체층)(9), 제1반도체층(10), 페시베이션층(11) 및 제2반도체층(12)을 형성하고, 포지티브형 포토레지스트(20)를 피복하고, 게이트전극(7)을 마스크로 하여 투광성 기판(6)의 이면으로부터 자외선(21)을 조사한다(제10도(a)). 이 레지스트를 현상한 후, 제1반도체층(10) 및 제2반도체층(12)의 노출부를 에칭제거한다. 다음에, 1층 이상의 금속산화물막, 예를들면 90% In_2O_3-10% S_nO_2와 $T_{a2}O_3$로 구성된 2층의 금속산화물막을 부착하고(반도체와 접하는 쪽이 90% In_2O_3-10% S_nO_2), 패터닝하여, 드레인전극(13), 소스전극(14) 및 화소전극(15)을 형성하고, 그 위에 제2절연체층(19)를 부착한다(제10도(b)). 또, 이 위에, 네거티브형 포토레지스트(23)를 피복하고, 게이트전극(7)를 마스크로하여 투광성 기판(6)의 이면으로부터 자외선을 조사한다. 레지스트를 현상하므로써, 제2절연층(19)의 레지스트로 피복되지 않은 부분을 에칭제거하고(제10도(c)). 기판을 수소플라즈마 분위기중에 노출시키면 드레인전극(13)과 소스전극(14)의 금속산화물막이 환원되어 In-Sn 및 Ta로 구성된 2층의 금속막으로 된다. 이때, 내기브매트릭스기판을 산소플라즈마 분위기중에 노출하거나 양극 산화하면, 환원된 드레인 전극(13)과 소스전극(14)의 표면층은 다시 산화되어 절연층이 되고, 레지스트를 제거하면 액티브매트릭스 기판이 완성된다(제10도(d)).

이와같이, 본 실시예에 있어서는, 소스전극과 드레인전극을 환원하여 금속화함으로써, 두 전극을 저저항화함과 동시에, 소스전극과 반도체층간의 접촉저항과 드레인 전극과 반도체층간의 접촉저항을 저저항화할 수 있다. 또, 표면을 산화함으로써, 두 전극표면의 절연층과 제2절연체층(19)이 액티브매트릭스기판의 패시베이션으로 된다.

한편, 실시예 9, 10에서와 같이, 드레인 전극, 소스전극 및 화소전극의 재료로서는 90% In_2O_3-10% S_nO_2 또는 90% In_2O_3-10% S_nO_2와 TaO_5를 사용하였으나, 환원되어 도전성을 보이는 재료이면 마찬가지로 응용할 수 있다. 그러나, In, Sn, Cd, Zn, Nb, Ti 및 Ta로 이루어진 군으로부터 선택된 1종류 이상의 금속산화물을 사용하면 보다 좋은 결과를 얻을 수 있다.

또, 실시예 9, 10에서는, 드레인 전극과 소스전극을 수소플라즈마 처리로 환원하였으나, 수소분위기중의 노출 등과 같은 방법으로도 환원할 수 있다. 그런, 수소플라즈마처리에 의해 가장 좋은 결과를 얻을 수 있다.

[실시예 11]

제11도는 본 발명의 제11실시예를 공정별로 도시한 것이다.

투광성기판(6)상에, 게이트전극(7), 게이트절연체층(제1절연체층)(9), 제1반도체층(10) 및 패시베이션층(제3절연체층)(11)을 순차 형성한다. 그후, 포지티브형 포토레지스트(20)를 피복하고, 레지스트를 프리베이킹하고, 게이트전극(7)을 마스크로하여 투광성 기판(6)의 이면으로부터 자외선(21)을 조사한다.(제11도(a)). 기판상의 이 레지스트를 현상하여, 게이트전극(7)에 대응되는 부분을 제외하고 레지스트를 제거한다(제11도(b), 실제로는 약간의 오버노광에 의해, 게이트전극의 폭보다 극소량 d3 만큼 레지스트의 패턴을 가늘게 한다). 이 레지스트를 에칭마스크로 하여, 패시베이션층(11)을 에칭 제거한다(제11도(c)). 그후 레지스트를 제거한 후에, 제2반도체층(12)을 부착하고, 제1, 제2반도체층을 소망의 형성으로 에칭(식각)한후, 투명도전층을 부착하고 패터닝하여, 드레인전극(13), 소스전극(14) 및 화소전극(15)을 형성하면 액티브매트릭스 기판이 완성된다(제11도(d)).

이와같이, 본 실시예에 있어서는, 게이트전극(7)을 마스크로 하여 포토리소그래피를 행함으로써, 위치조정기구를 필요로 하지 않는 저렴한 노광기를 사용할 수 있고, 포토리소그래피의 횟수도 삭감시킬 수 있다. 또, 게이트전극(7)상에 d3(약 1μ)의 정밀도로 패시베이션층(11)을 형성할 수 있기 때문에, TFT를 소형화할 수 있고, 고개구율 및 고밀도의 액티브매트릭스기판을 실현할 수 있다.

[실시예 12]

제12도는 본 발명의 제12실시예를 공정별로 도시한 것이다.

투광성기판(6)상에, 게이트전극(7), 게이트절연체층(제1절연체층)(9) 및 제1반도체층(10)을 순차적으로 부착한다. 그후, 포지티브형 포토레지스트(20)를 피복하고, 레지스트를 프리베이킹한 후, 게이트전극(7)을 마스크로 하여 투광성 기판(6)의 이면으로부터 자외선(21)을 조사한다(제12도(a)). 기판상의 이 레지스트를 현상하여, 게이트전극(7)에 대응되는 부분을 제외하고는 레지스트를 제거한다(실제로는 약간의 오버노광에 의해, 게이트전극의 폭보다도 근소한 양 d3 만큼 레지스트의 패턴을 가늘게 한다). 이 레지스트를 마스크로 하여, 포토레지스트가 없는 영역의 반도체층에 도펀트(불순물)을 주입한다(제12도(b) : 플라즈마 도핑법 또는 이온주입법을 사용). 그후, 레지스트를 베이킹하고, 불순물을 첨가한 반도체층(10a)의 부분에 레지스트(20a)를 피복한 후, 레지스트가 피복되지 않은 반도체층을 에칭제거한다(제12도(c) : 이때 에칭제거되는 반도체층의 양면에는 불순물 첨가영역(10a)이 남게되며, 이 공정에서 새로운 포토레지스트를 형성할 수도 있다). 레지스트를 제거한 후에, 투광성 도전층을 부착하고, 패터닝하여, 드레인전극(13), 소스전극(14) 및 화소전극(15)을 형성하면, 액티브매트릭스 기판이 완성된다(제12도(d)).

이와같이, 본 실시예에 있어서는 반도체층에 도펀트를 주입할 때, 게이트전극(7)를 마스크로 하여 포토리소그래피를 행함으로써, 위치조정기구를 필요로 하지않는 저렴한 노광기를 사용할 수 있는 것과 동시에, 포토리소그래피의 횟수도 삭감할 수 있다. 또, 종래의 방법과 비교해 볼때, 막형성 공정의 횟수도 삭감되고, TFT도 소형화할 수 있어서, 성능의 향상은 물론, 고개구율 및 고밀도의 액티브매트릭스 기판을 실현할 수 있다.

[제13실시예]

제13도는 본 발명의 제13실시예를 공정별로 도시한 것이다.

투광성 기판(6)상에, 게이트전극(7), 게이트절연체층(제1절연체층)(9), 제1반도체층(10) 및 패시베이션층(제3절연체층)(11)을 순차적으로 부착한다. 그후, 포지티브형 포토레지스트(20)를 피복하고, 이 레지스트를 프리베이킹하고, 게이트전극(7)을 마스크로 하여 투광성 기판(6)의 이면으로부터 자외선(21)를 조사한다. 기판상의 이 레즈스틀르 현상함으로써, 게이트전극(7)에 대응되는 부분을 제외하고는 레지스트를 제거한다(제13도(a) : 실제로는 약간의 오버노광에 의해, 게이트전극의 폭보다 근소한 양 d3만큼 레지스트의 패턴을 가늘게 한다). 이 레지스트를 에칭마스크로 하여, 패시베이션층(11a)을 에칭제거한다. 이때, 동방성 습식에칭에 의해, 오버에칭을 행한다. 그후, 포토레지스트(20)를 마스크로 하여, 포토레지스트가 없는 영역의 반도체층에 도펀트를 주입한다(제13도(b) : 플라즈마 도핑법을 사용). 이 레지스트를 베어킹함으로써, 레지스트(20b)는 패시베이션층(11a)보다 더 큰 면적을 피복한다. 그후, 레지스트가 피복되지 않은 불순물 첨가 반도체층을 에칭제거한다(제13도(c) : 이때, 이방성 에칭수단인 건식에칭법이 사용된다 ; 패시베이션층(11)의 오버에칭과의 공동작용에 의해, 에칭되는 제1반도체층(10)의 양면에 불순물 첨가영역(10a)이 확실하게 남게 된다). 레지스트를 제거한 후에, 투명도전층을 부착하고 패터닝하여 남게 된다). 레지스트를 제거한 후에, 투명도전층을 부착하고 패터닝하여, 드레인전극(13), 소스전극(14) 및 화소전극(15)을 형성하면, 액티브매트릭스 기판이 완성된다(제13도(d)). 이와같이, 본 실시예에 의하면, 패시베이션층(11)의 패턴을 형성하고 반도체층에 도펀트를 주입할 때 게이트전극(7)을 마스크로 하여 포토리소그래피를 행함으로써, 위치조정기구를 필요로 하지 않는 저렴한 노광기를 사용할 수 있고, 포토리소그래피의 횟수도 삭감할 수 있다. 또 종래의 방법과 비교해 볼때, 막형성 공정의 횟수도 줄일 수 있다. 또, TFT를 소형화할 수 있고, 성능의 향상은 물론, 고개구율 및 고밀도의 액티브매트릭스기판을 실현할 수 있다.

상기 실시예 11 내지 13에 있어서는, 화소전극 및 드레인 전극을 동시에 형성하였지만, 물론 별도로 형성해도 된다. 또, 불순물 첨가후, 레이저어닐링법 등의 어닐링에 의해 활성화를 촉진하면, TFT 특성이 향상된다. 비정질의 실리콘을 반도체층으로서 사용할 경우, 적당한 레이저빔은 흡수계수의 관계로부터 파장 488㎚의 Ar 이온레이저이다.

이상의 실시예 1 내지 13에 있어서는, 게이트전극 재료로서, Cr, Ta, Ti, Mo, Ni 및 Ni-Cr 또는 이들의 금속규화물을 사용할 수 있다. TFT의 게이트 전극 재료로서 사용될 수 있다면, 어떠한 불투광성 도전재라도 이용할 수 있다. 게이트절연체층 및 패시베이션층의 재료로서는, 질화규소이외에, 산화규소, 금속산화물 등의 투광성 절연체를 사용할 수 있다. 제1, 제2반도체층으로서, 비정질 실리콘 또는 인을 첨가한 비정질 실리콘을 사용하였지만, 필요한 TFT 특성을 얻을 수 있는 정도의 자외선을

투과하는 반도체 재료하면 어떠한 반도체재료라도 사용할 수 있으며, 예를들면, 다결정 실리콘 또는 재결정화한 실리콘을 사용할 수 있다. 또, 화소전극의 재료로서는 InOx, SnOx 또는 이들의 혼합조성의 투광성 도전재료(ITO)를 사용할 수 있다. 한편, 소스전극, 드레인전극 및 화소전극을 각각 형성할 경우에는, 소스전극 및 드레인전극의 재료로서는 각종 도전재료(Al, Mo, Ni 등의 금속 또는 이들의 규화물)를 사용할 수 있다. 이 경우, 소스 및 드레인전극은 단층 또는 복층의 어느 것으로도 형성할 수 있다.

또, 포지티브 또는 네거티브형 포토레지스트를 피복하기 전에, 레지스트용 말착증 강제를 사용하면, 레지스트의 접착성이 증가된다.

이상에 예시하고 설명한 실시예로부터 명백한 바와같이, 본 발명의 액티브 매트릭스기판을 제조하는 방법에 의하면, 위치조정기구를 필요로 하지 않는 저렴한 노광기를 사용할 수 있고, 포토마스크를 필요로 하는 포토리소그래피 공정을 삭감할 수 있어서, 액티브매트릭스형 액정표시장치에 있어서의 가장 큰 과제인 코스트의 절감을 실현할 수 있다. 또, 마스크의 정밀한 정합을 필요로 하지 않는 포토리소그래피 공정을 이용해서 소자의 성능을 향상시킬 수 있어, 그 산업상의 의미가 대단히 중대하다.

여기에서는 본 발명의 특정한 실시예에 대해서 설명하고 도시하였지만, 당업자에 의해 이에 대한 수정과 변형을 할 수가 있다. 따라서, 이하의 특허청구의 범위는 본 발명의 진정한 정신과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1

투과성 기판(6)상에, 상기 기판(6) 표면의 특정영역을 피복하는 불투광성 재료로 이루어진 게이트전극(7)과, 상기 기판(6) 표면의 노출면 및 게이트 전극(7)을 피복하는 제1절연층(9)과, 상기 제1절연층(9)상의 특정영역을 피복하는 반도체층과, 상기 반도체층의 소스전극(14) 및 드레인 전극(13)을 순차적으로 형성하는 액티브매트릭스기판의 제조방법에 있어서 적어도 상기 게이트전극(7)이 형성된 기판상에 포토레지스트를 피복하는 공정과, 상기 기판(6)의 이면으로부터 빛을 조사하는 공정과, 상기 포토레지스트를 현상하는 공정과, 상기 포토레지스트를 이용하여 소자의 가공을 행하는 공정으로 구성된 것을 특징으로 하는 액티브매트릭스기판의 제조방법.

청구항 2

제1항에 있어서, 상기 반도체층을 형성하는 공정이, 제1절연체(9)층상에 반도체층을 형성하는 공정과, 상기 반도체층상에 포지티브형 포토레지스트(20)를 피복하는 공정과, 기판(6)의 이면으로부터 빛을 조사하는 공정과, 상기 레지스트(20)를 현상하는 공정과, 상기 반도체층의 노출부를 식각하는 공정으로 이루어진 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 3

제2항에 있어서, 상기 게이트전극(7)의 형성시에, 투광성기판(6) 표면의 소스버스배선에 대응하는 영역의 일부에 게이트전극(7)과 동일한 재료로 이루어진 성형상의 도전체층(7a)을 설치하는 공정이 추가되어, 제1절연체층(9)상의 소스버스배선에 대응하는 영역의 일부에 상기 반도체층을 형성하는 것을 특징을 하는 액티브 매트릭스 기판의 제조방법.

청구항 4

제2항에 있어서, 게이트전극(7)의 일부에 1개 이상의 슬릿(22)을 형성하여 포지티브형 포토레지스트(20)를 현상하는공정과, 상기 현상된 포토레지스트(20)를 이용하여 상기 반도체츠을 식각하는 공정에 있어서, 오버노광 또는 오버에칭에 의해 상기 공정에서 형성한 상기 슬릿(22) 근처의 상기 게이트전극상의 상기 반도체층도 식각하는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 5

제2항에 있어서, 상기 반도체층의 노출부를 식각하는 공정다음에, 투명도전체층을 형성하는 공정과, 상기 투명도전체층에 패턴을 행하여 소스전극(14), 드레인전극(13) 및 화소전극(15)을 형성하는 공정이 수행되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 6

제1항에 있어서, 상기 반도체층을 형성하는 공정은, 제1절연체층(9)상에 반도체층을 형성하는 공정과, 상기 반도체층상에 네거티브형 포토레지스트(23)를 피복하는 공정과, 기판(6)의 이면으로부터 빛을 조사하는 공정과, 레지스트(23)를 현상하는 공정과, 레지스트(23)와 상기 반도체층의 노출부에 도전체층(24)을 형성하는 공정과, 리프트오프(lift off)법에 의해 레지스트(23)와 동시에 레지스트(23)상의 도전체층(24)을 제거하는 공정과, 반도체층상의 도전체(24)를 마스크로하여 상기 반도체층의 노출부를 식각하는 공정으로 이루어진 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 7

제6항에 있어서, 상기 게이트전극(7)의 형성시에, 투과성 기판(6)상의 소스버스배선에 대응하는 영역의 일부에 게이트전극(7)과, 동일 재료로 이루어진 섬형상의 도전체층(7a)을 형성하는 공정이 추가되어, 제1절연체층(9)상의 소스버스배선에 대응하는 영역의 일부에 상기 반도체층을 피복하는 반도체층과 도전체층을 형성하는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 8

제6항에 있어서, 상기 반도체층의 도전체층(24)을 마스크로 하여 상기 반도체층의 노출부를 식각하는 공정 다음에, 투명도전체층을 형성하는 공정과, 상기 투명도전체층을 패터닝함으로써, 소스전극(14), 드레인전극(13) 및 화소전극(15)을 형성하는 공정이 수행되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 9

제1항에 있어서, 상기 반도체층을 형성하는 공정은, 제1절연체층(9)상에 반도체층을 형성하는 공정과, 상기 반도체층상에 금속산화물(25)을 형성하는 공정과, 금속산화물(25)상에 포지티브형 포토레지스트(20)를 피복하는 공정과, 기판(6)의 이면으로부터 빛을 조사하는 공정과, 레지스트(20)를 현상하는 공정과, 레지스트(20)를 이용하여 금속산화물(25)의 노출부를 식각하는 공정과, 레지스트(20)를 제거한 후 금속산화물(25)을 환원하여 도전체층을 형성하는 공정과, 소스전극(14)과 드레인전극(13)을 순차적으로 형성하는 공정으로 구성된 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 10

제9항에 있어서, 상기 게이트전극(7)의 형성시에, 투광성 기판(6) 표면의 소스버스배선에 대응하는 영역의 일부에 게이트전극(7)과 동일한 재료로 이루어진 섬형상의 도전체층(7a)을 형성하는 공정이 추가되어, 제1절연체층(9)상의 소스버스배선에 대응하는 영역의 일부에 반도체층과 이 반도체층을 피복하는 금속산화물을 형성하는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 11

제1항에 있어서, 소스전극(14) 및 트레인전극(13)을 형성하는 공정다음에, 액티브매트릭스 기판상에 네거티브형 포토레지스트(23)를 피복하는 공정과, 기판(6)의 이면으로부터 빛을 조사하는 공정과, 레지스트(23)를 현상하는 공정과, 소스전극(14)과 드레인전극(13)의 노출부를 환원하는 공정이 수행되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 12

제11항에 있어서, 상기 게이트전극(7)을 형성할 때, 투광성 기판(6) 표면의 소스버스배선에 대응하는 영역의 일부를 게이트전극(7)과 동일한 재료로 이루어진 섬형상의 도전체층(7a)을 형성하는 공정이 추가되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 13

제1항에 있어서, 소스전극(14)과 드레인전극(13)을 형성하는 공정 다음에, 액티브매트릭스 기판상에 제2절연체층(19)을 형성하는 공정과, 이 제2절연체층(19)상에 네거티브형 포토레지스트(23)를 피복하는 공정과, 기판(6)의 이면으로부터 빛을 조사하는 공정과, 레지스트(23)를 현상하는 공정과, 제2절연체층(19)을 식각하는 공정과, 소스전극(14)과 드레인전극(13)의 노출부를 환원하는 공정이 수행되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 14

제13항에 있어서, 상기 게이트전극(7)을 형성할 때, 투과성 기판표면상의 소스버스배선에 대응하는 영역의 일부에 게이트전극(7)과 동일한 재료로 이루어진 섬형상의 도전체층(7a)을 형성하는 공정이 추가되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 15

제11항에 있어서, 소스전극(14)과 드레인 전극(13)의 노출부를 환원한 후에 상기 전극(13)과 (14)의 노출부 표면을 산화처리하는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 16

제1항에 있어서, 상기 반도체층에 제3절연체층(11)을 형성하는 공정과, 제3절연체층(11)에 포지티브형 포토레지스트(20)를 피복하는 공정과, 기판(6)의 이면으로부터 빛을 조사하는 공정과, 레지스트(20)를 현상하는 공정과, 적어도 제3절연체층(11)의 노출부를 식각하는 공정이 추가되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 17

제16항에 있어서, 상기 게이트전극(7)을 형성할 때, 투광성기판(6) 표면상의 소스버스배선에 대응하는 영역의 일부에 게이트전극(7)과 동일한 재료로 이루어진 섬형상의 도전체층(7a)을 형성하는 공정이 추가되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 18

제16항에 있어서, 투명도전체층을 형성하는 공정과, 상기 투명도전체층을 패터닝함으로써, 소스전극(14), 드레인전극(13) 및 화소전극(15)을 형성하는 공정이 추가되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 19

제16항에 있어서, 상기 제3절연체층(11)을 식각한 후에, 포토레지스트(20)가 피복된 기판(6)에 베이킹을 행하고, 상기 식각된 제3절연체층(11)의 면적보다 피착면적이 커진 포토레지스트(20)를 이용하여 상기 반도체층을 식각하는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 20

제19항에 있어서, 상기 제3절연체층(11)을 등방성 에칭수단에 의한 오버에칭을 행하여 식각하는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 21

제19항에 있어서, 상기 반도체층을 이방성 에칭수단에 의해 식각하는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 22

제1항에 있어서, 상기 반도체층을 형성하는 공정은, 제1절연체층(9)상에 반도체층을 형성하는 공정과, 상기 반도체층상에 포지티브형 포토레지스트(20)를 피복하는 공정과, 기판(6)의 이면으로부터 빛을 조사하는 공정과, 레지스트(20)를 현상하는 공정과, 현상된 포토레지스트(20)가 없는 영역의 상기 반도체층에 도펀트를 주입하는 공정과, 상기 반도체층을 식각하는 공정으로 구성된 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 23

제22항에 있어서, 투명도전체층을 형성하는 공정과, 이 투명도전체층을 패터닝함으로써, 소스전극(14), 드레인전극(13) 및 화소전극(15)을 형성하는 공정이 추가되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 24

제22항에 있어서, 상기 반도체층에 도펀트를 주입하는 공정 다음에, 포토레지스트(20)가 피착된 기판(6)을 베어킹하여 피착면적이 커진 포토레지스트(20)를 이용하여 상기 반도체층을 식각하는 공정이 수행되는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 25

제23항에 있어서, 도펀트를 주입하는 공정에서 플라즈마도핑법을 사용하는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

청구항 26

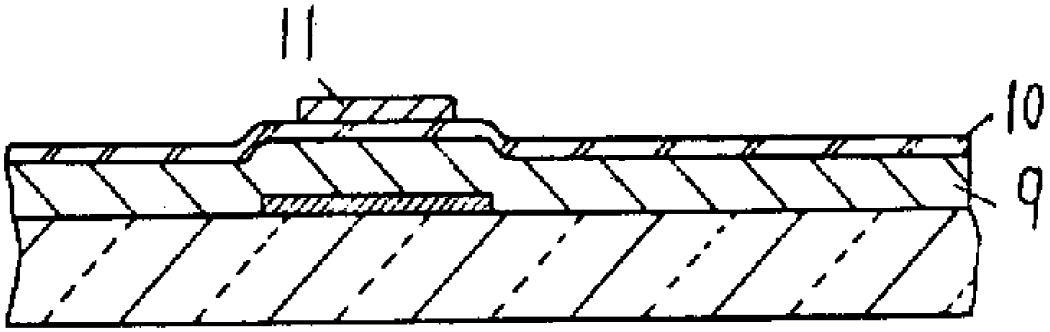
제22항에 있어서, 도펀트를 주입하는 공정 다음에, 레이저 어닐링을 행하는 것을 특징으로 하는 액티브매트릭스 기판의 제조방법.

도면

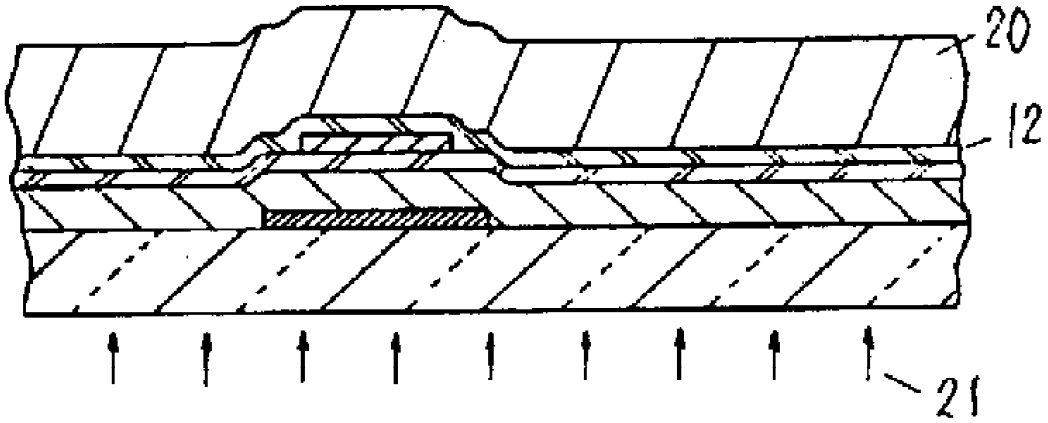
도면1-A



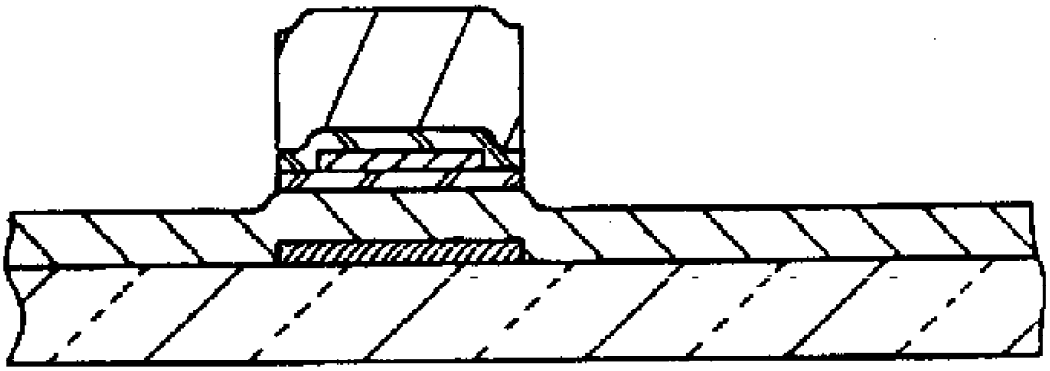
도면1-B



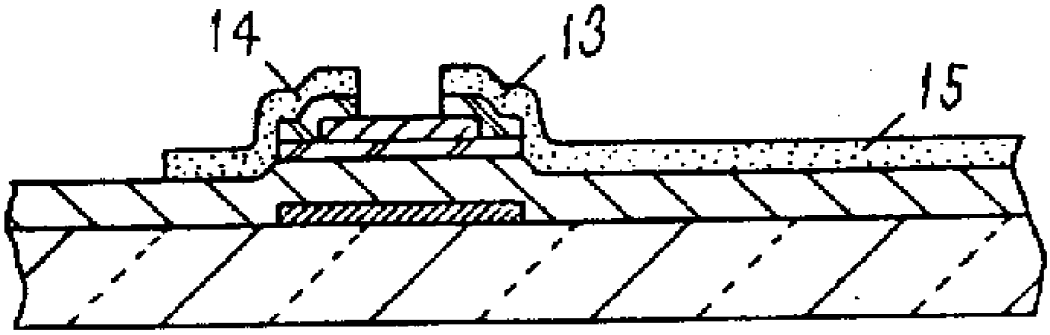
도면1-C



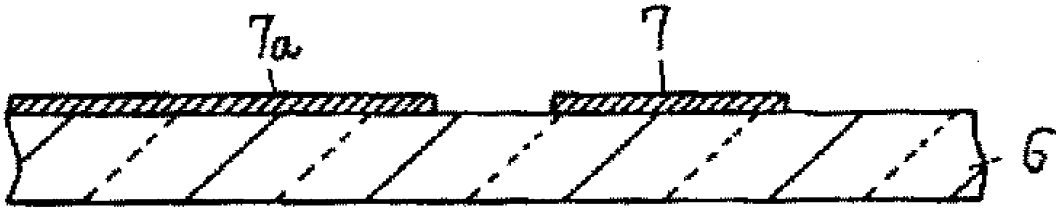
도면1-D



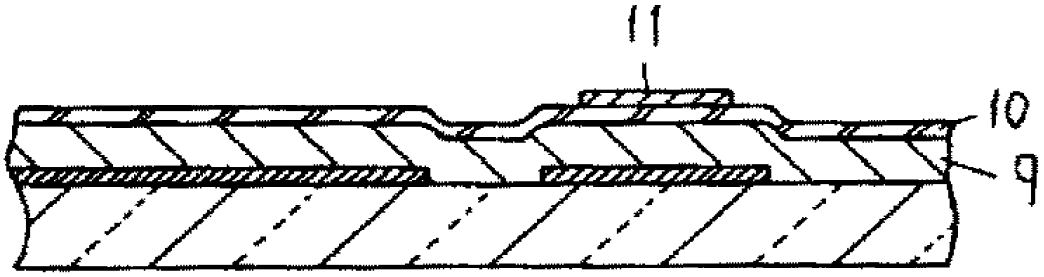
도면1-E



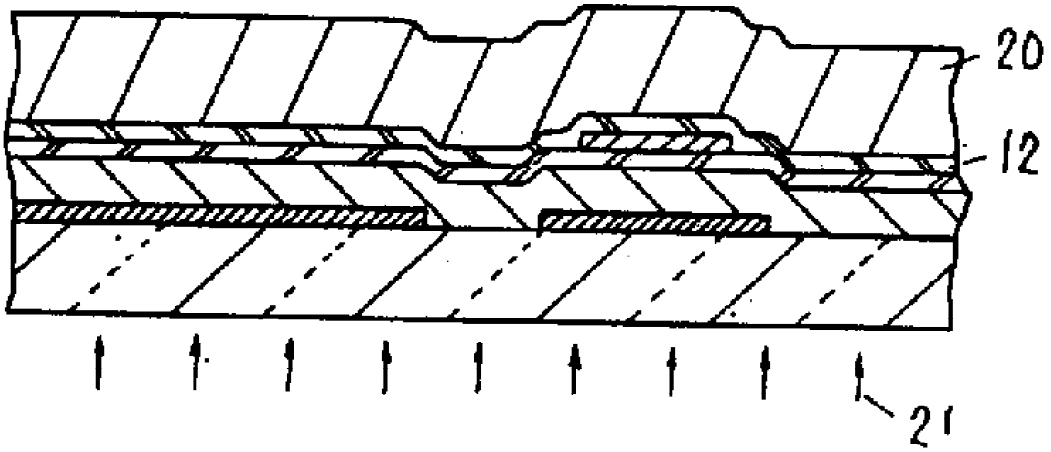
도면2-A



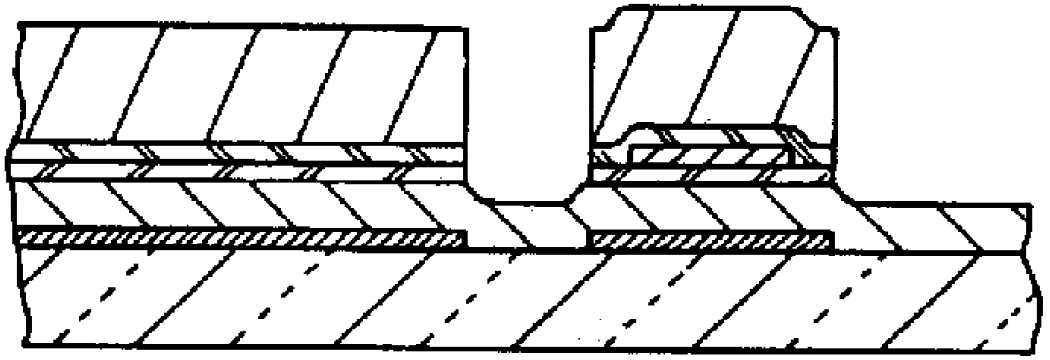
도면2-B



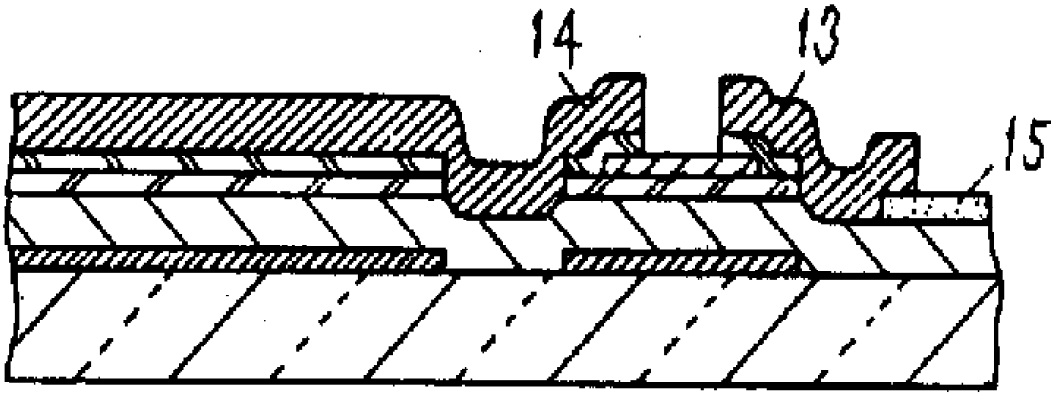
도면2-C



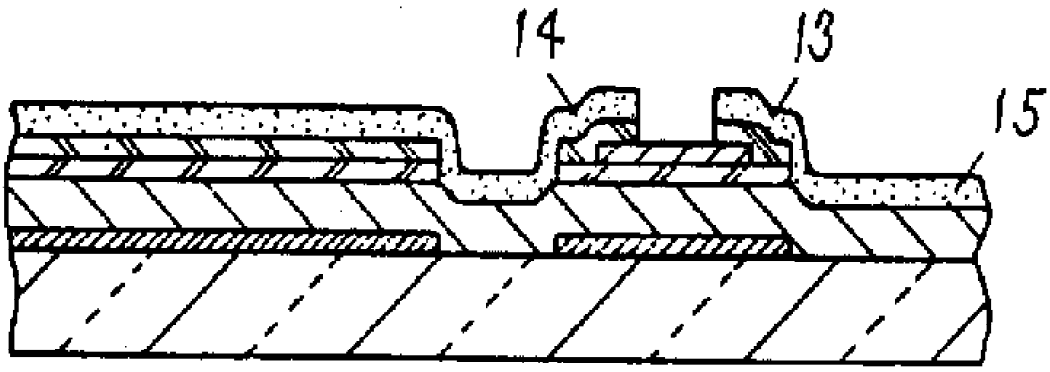
도면2-D



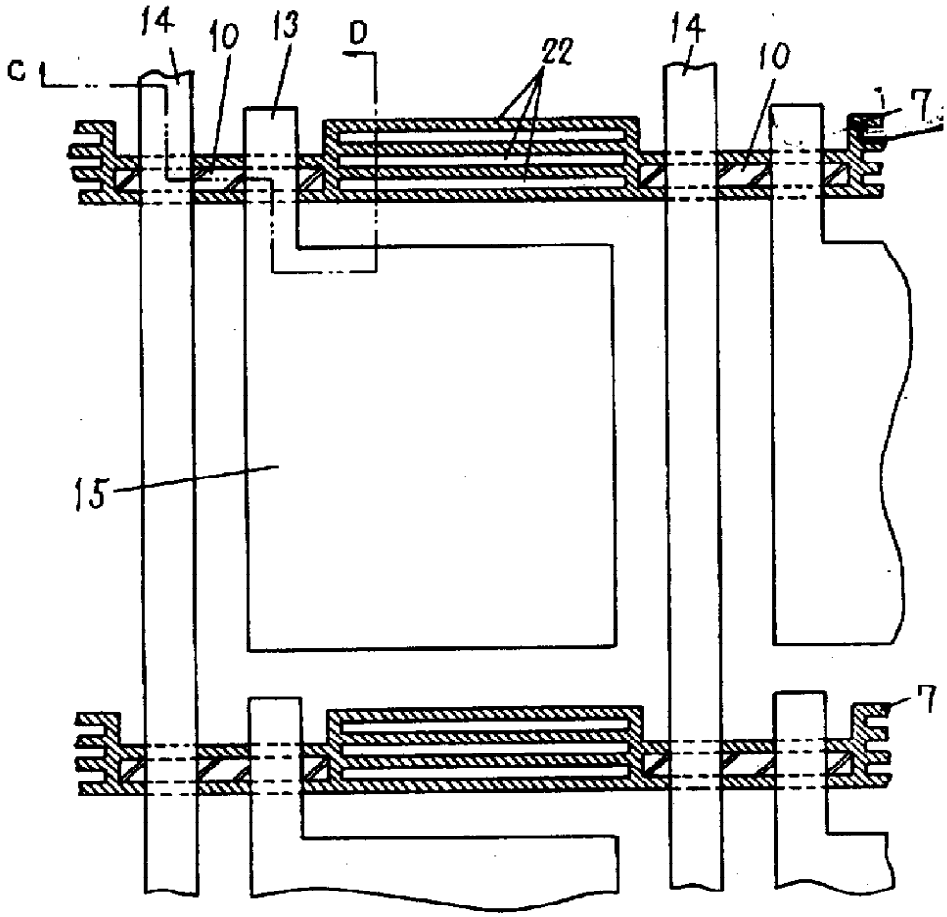
도면2-E



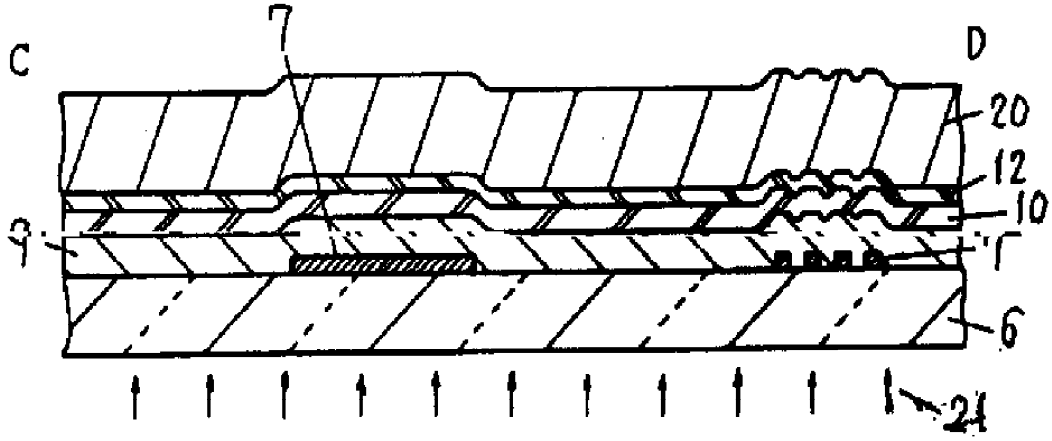
도면3



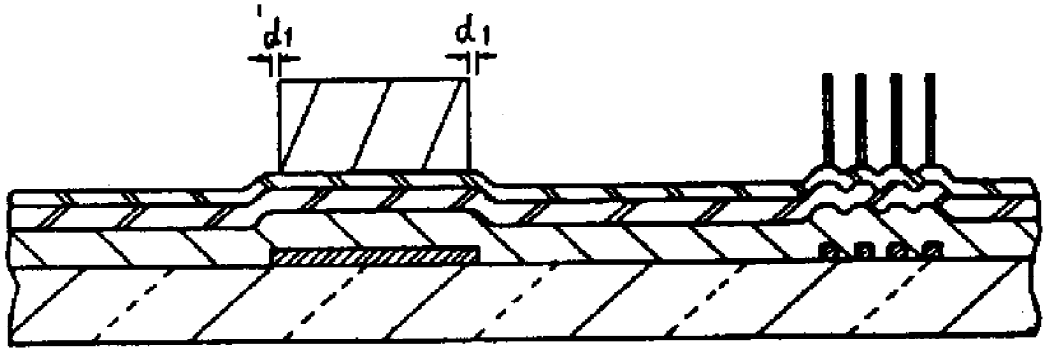
도면4-A



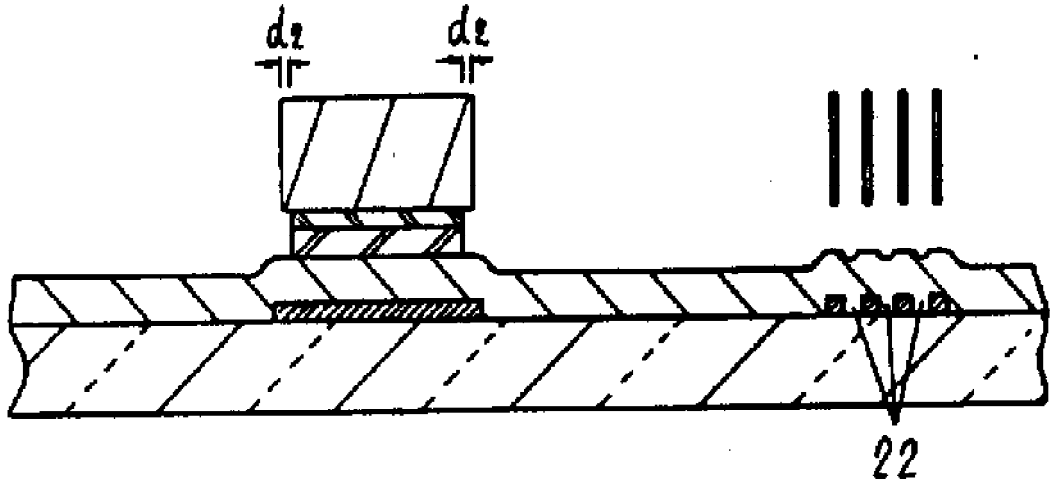
도면4-B



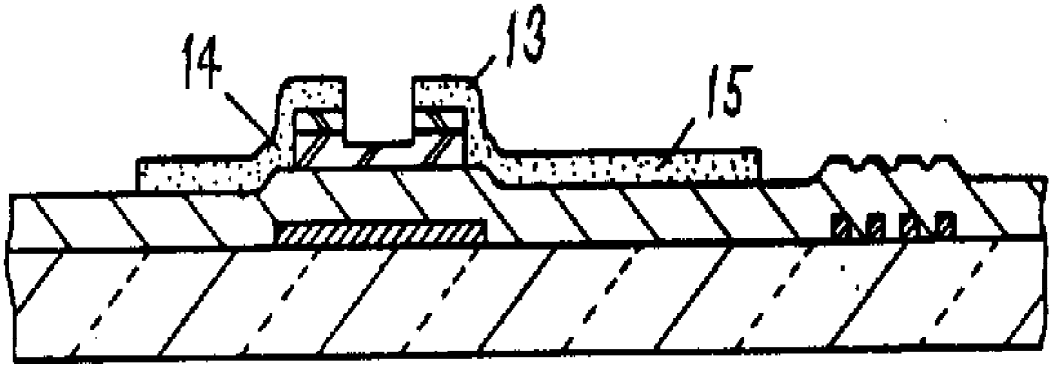
도면4-C



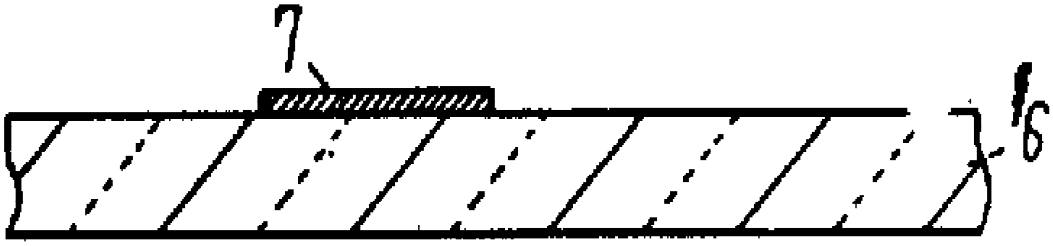
도면4-D



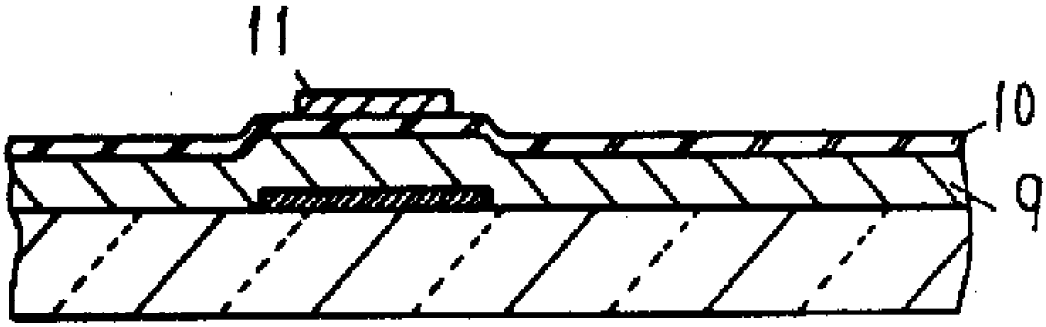
도면4-E



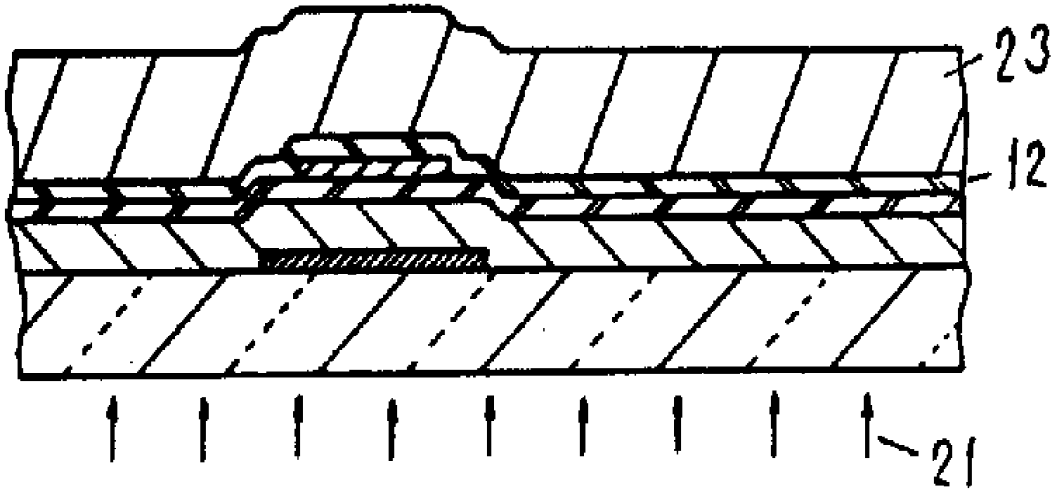
도면5-A



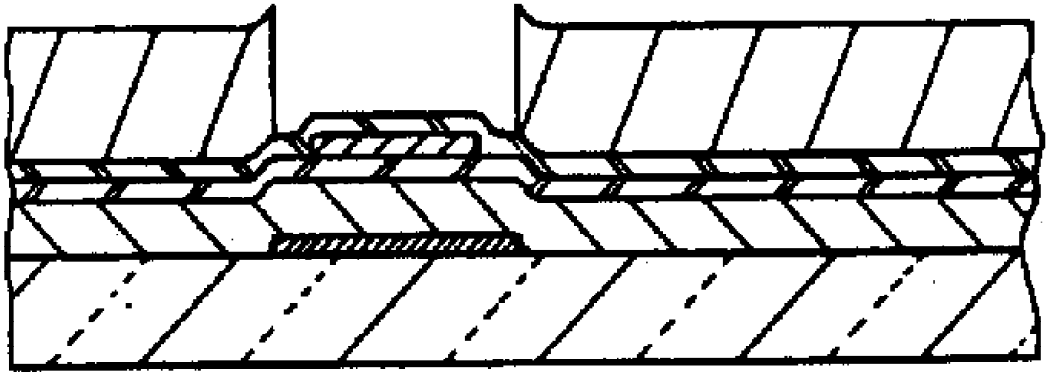
도면5-B



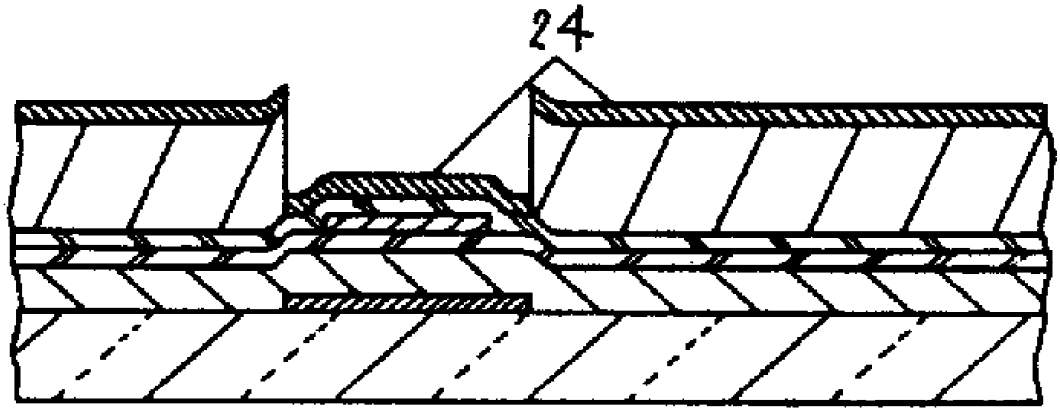
도면5-C



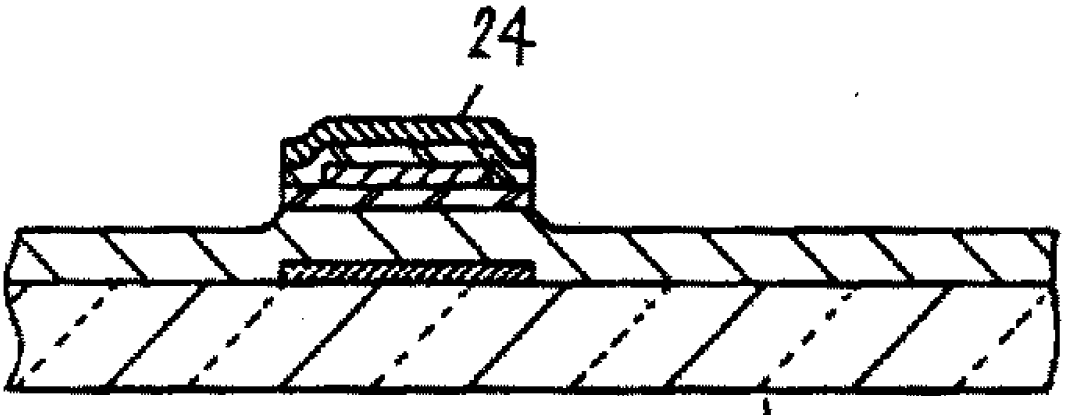
도면5-D



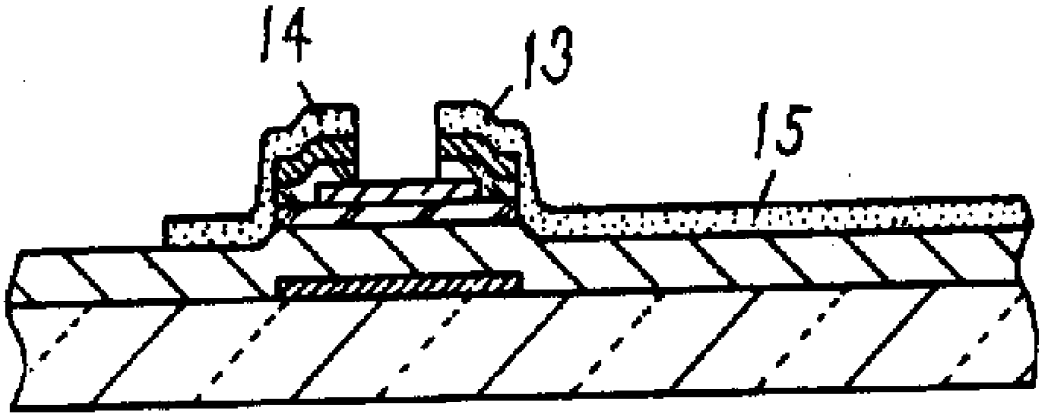
도면5-E



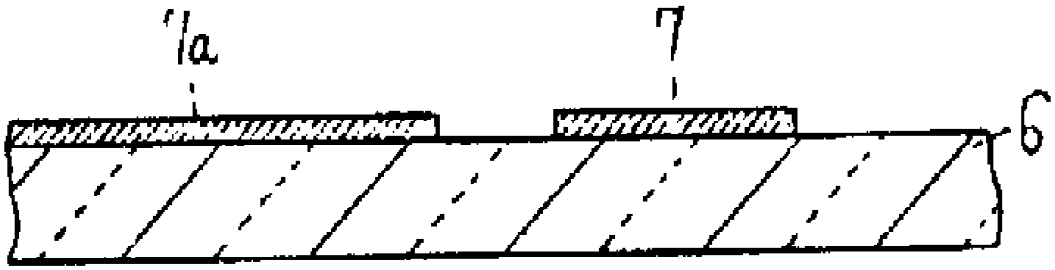
도면5-F



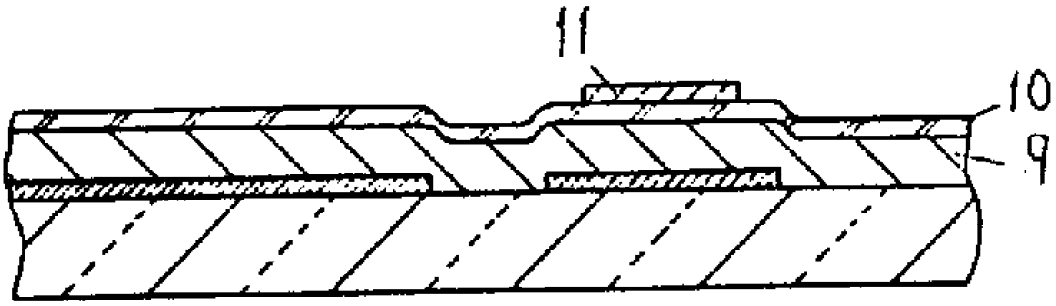
도면5-G



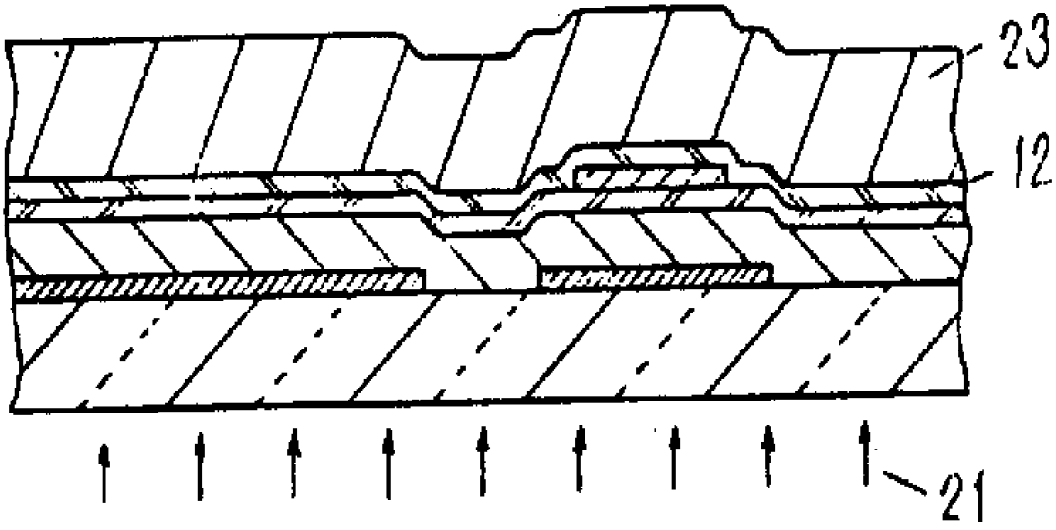
도면6-A



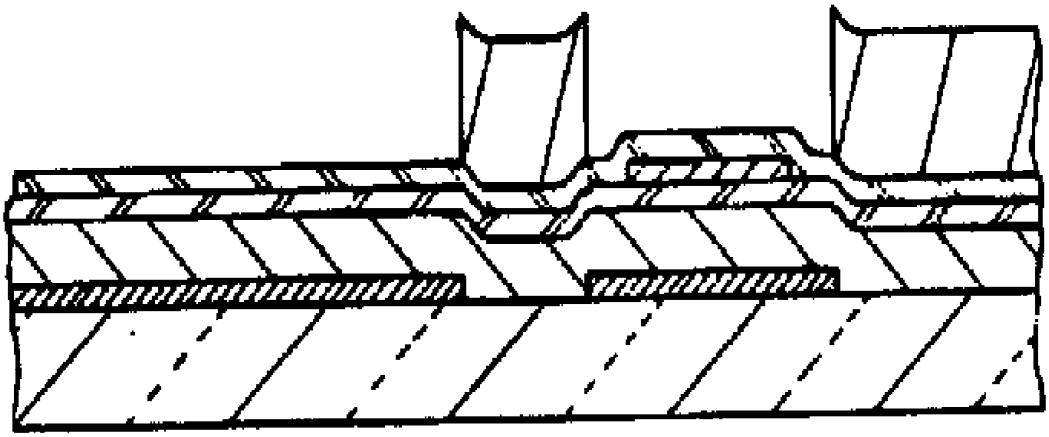
도면6-B



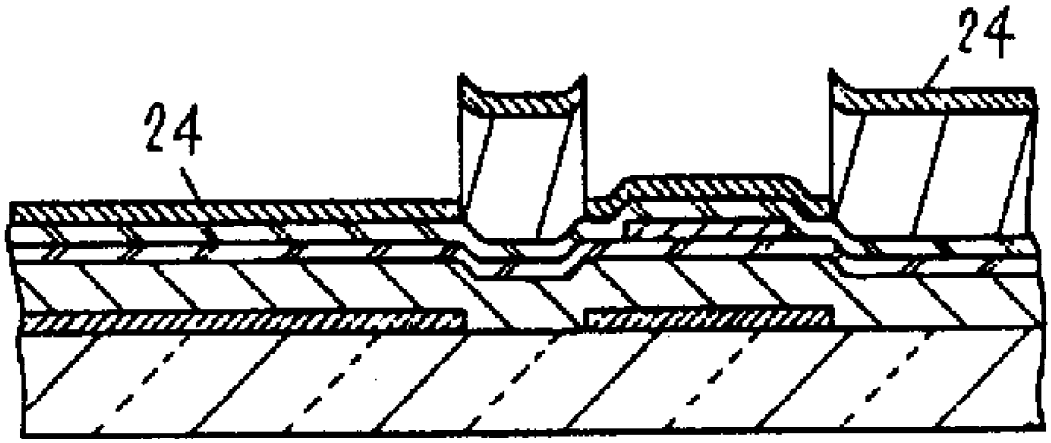
도면6-C



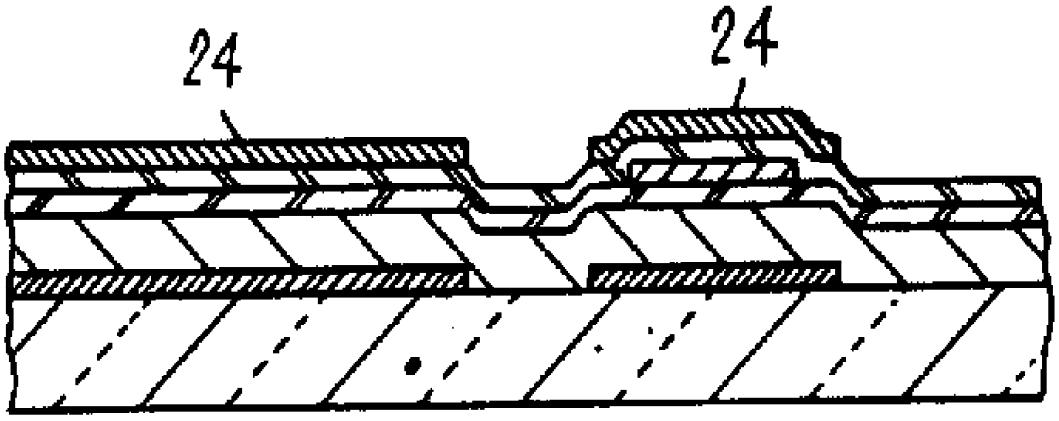
도면6-D



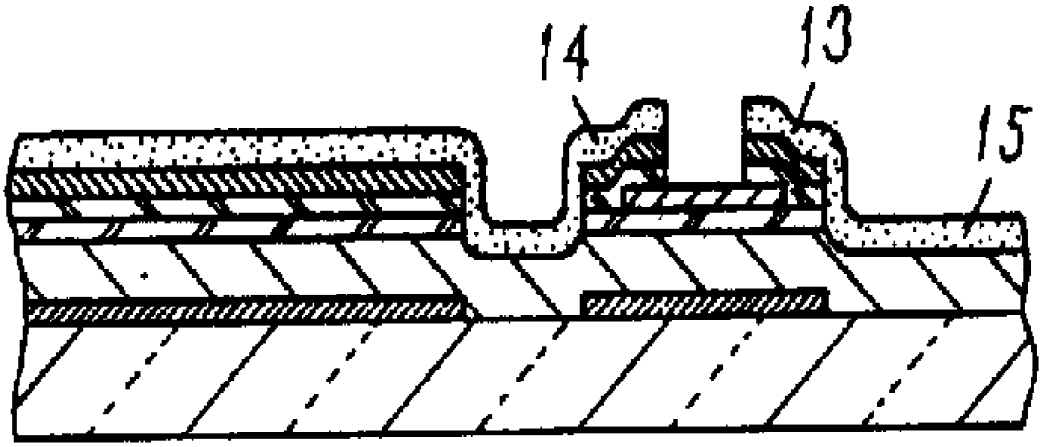
도면6-E



도면6-F



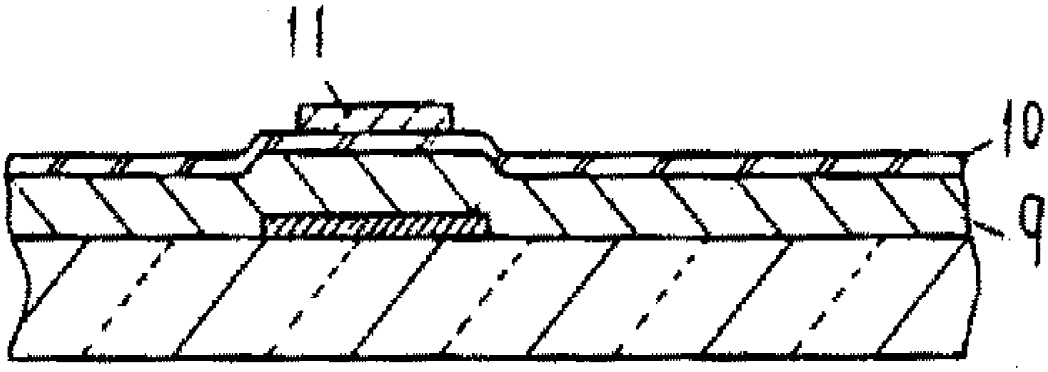
도면6-G



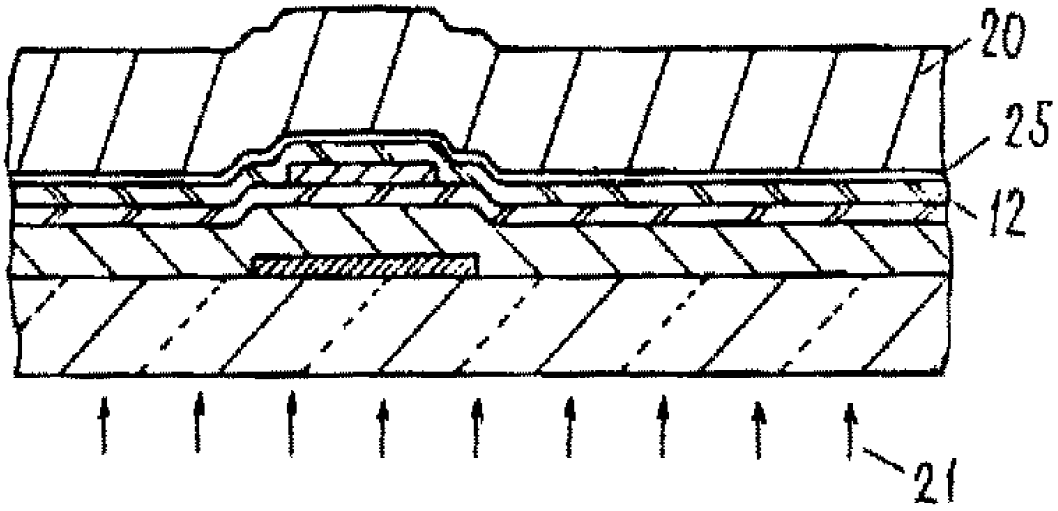
도면7-A



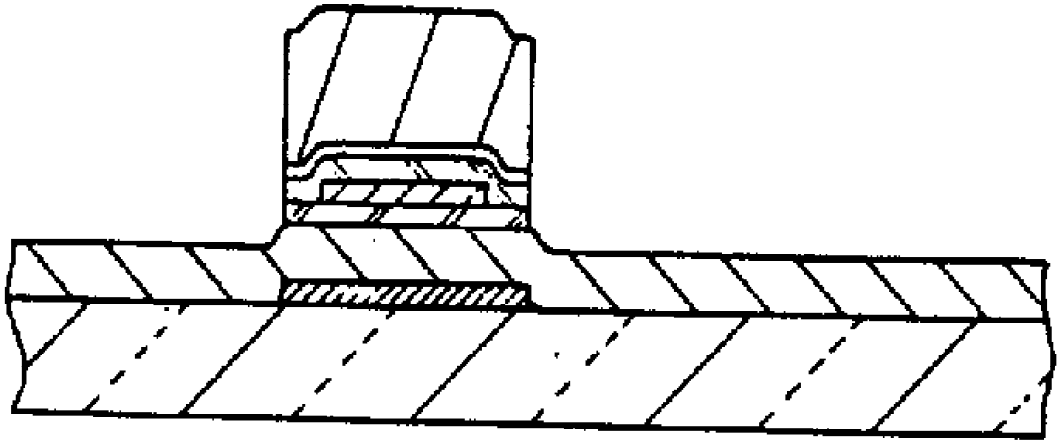
도면7-B



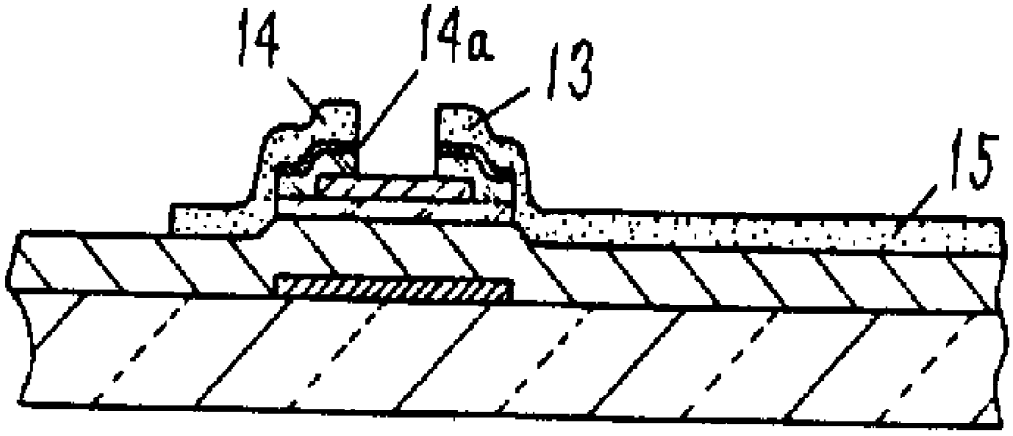
도면7-C



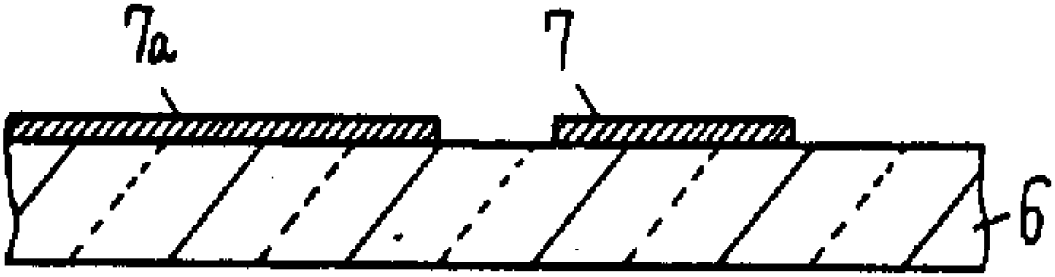
도면7-D



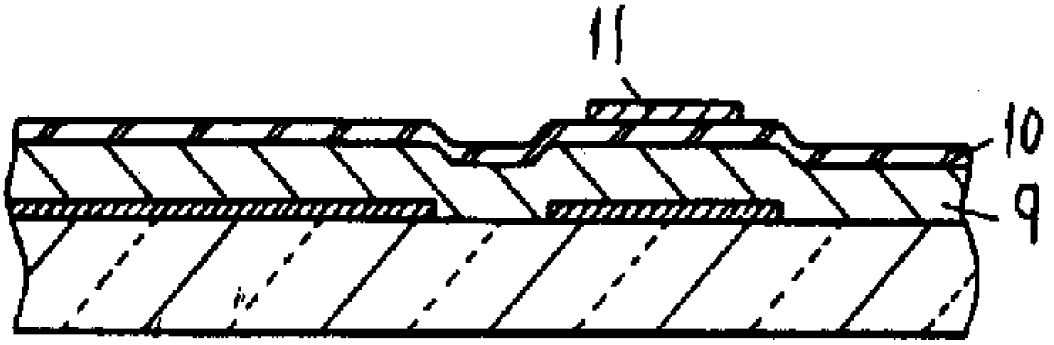
도면7-E



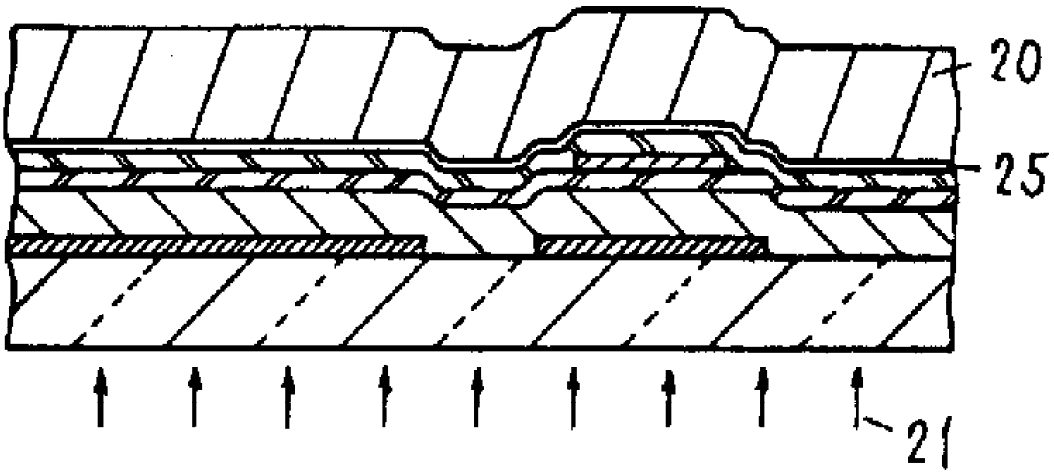
도면8-A



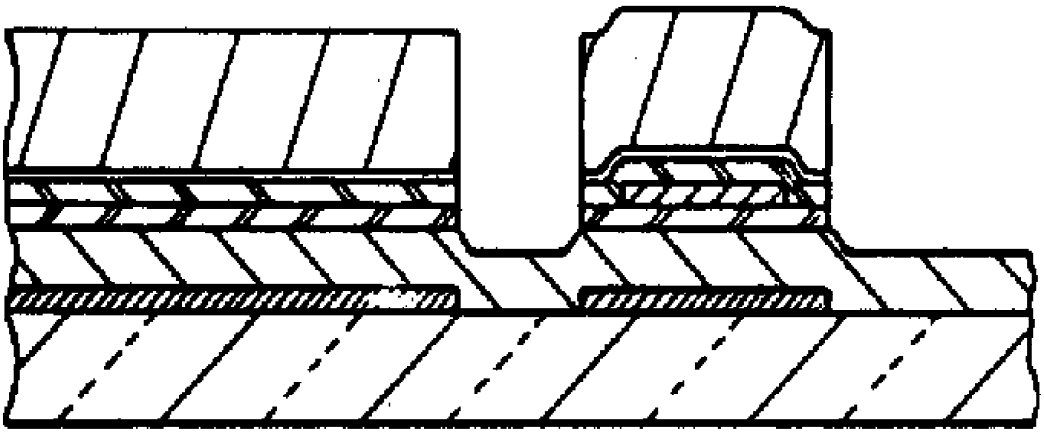
도면8-B



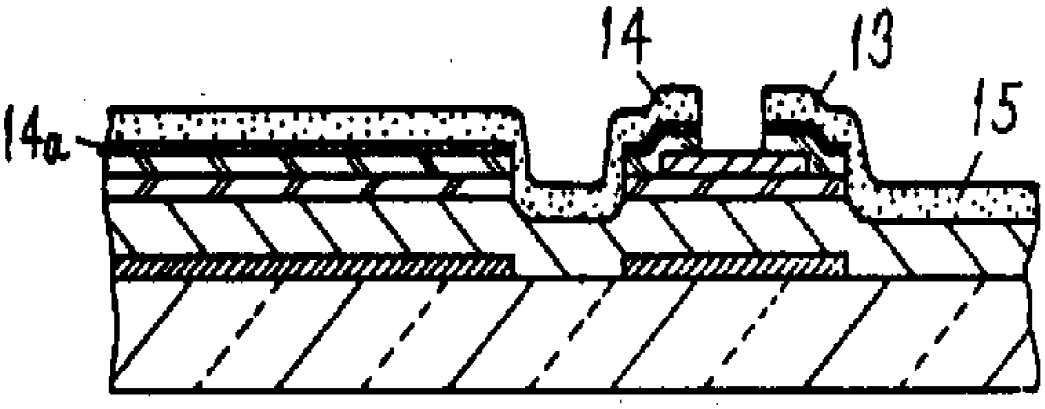
도면8-C



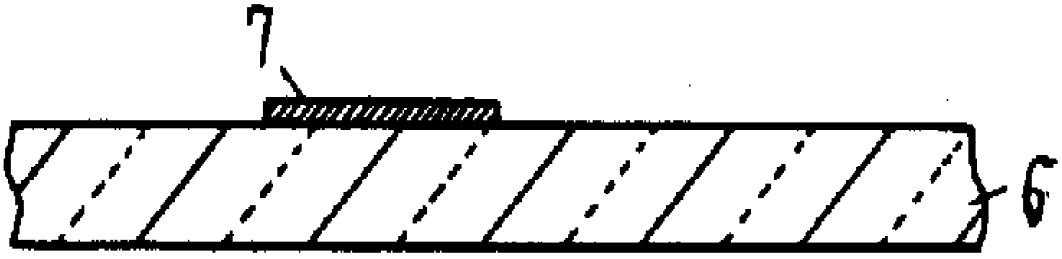
도면8-D



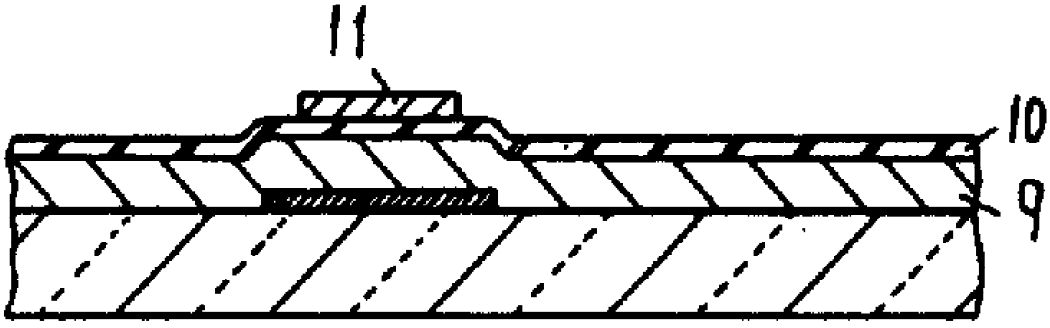
도면8-E



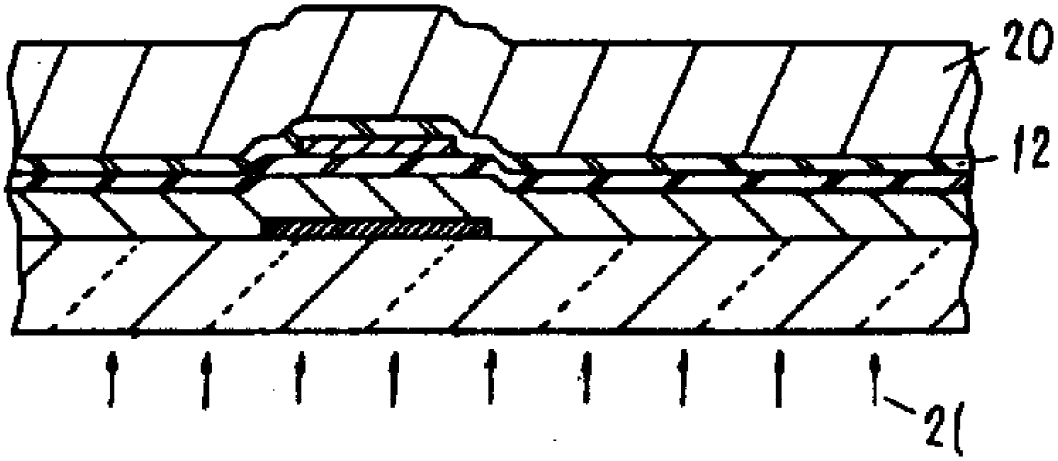
도면9-A



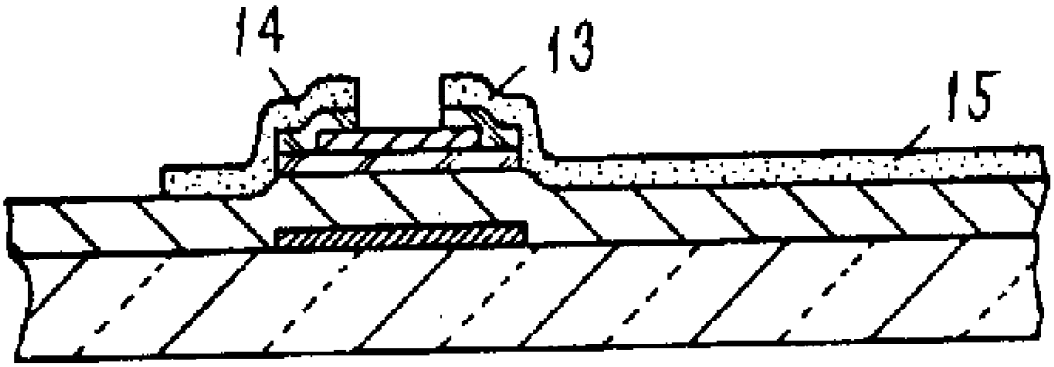
도면9-B



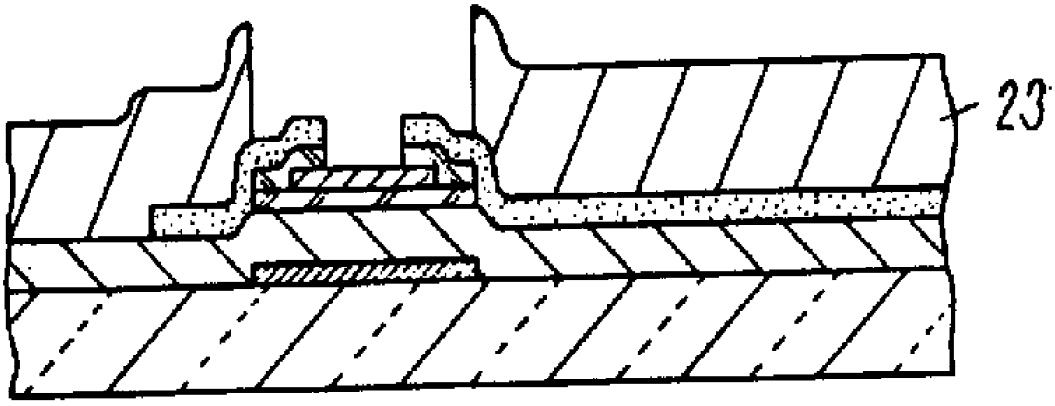
도면9-C



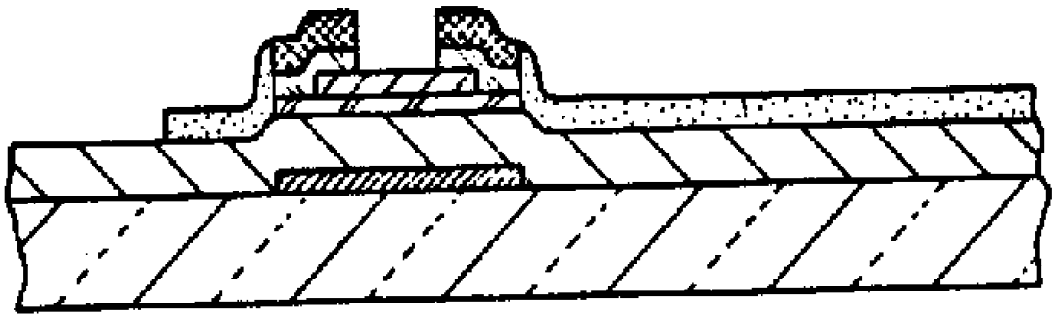
도면9-D



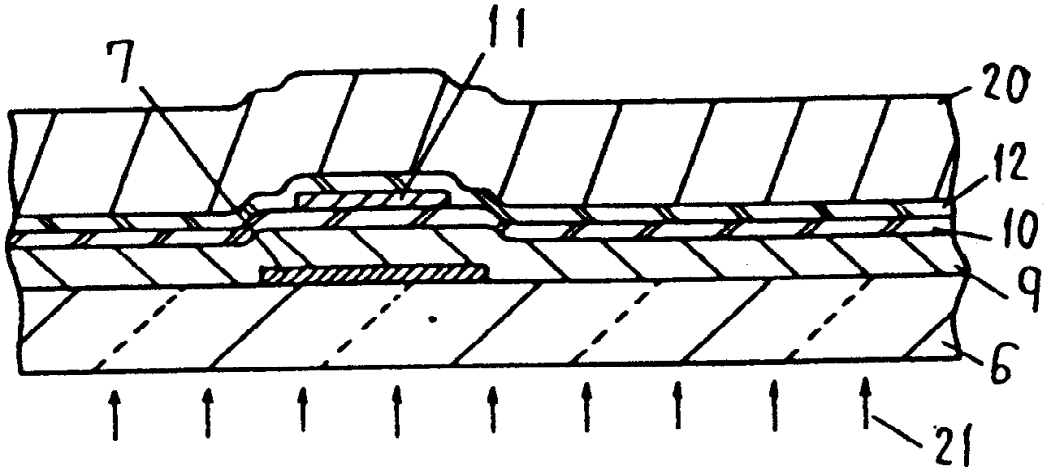
도면9-E



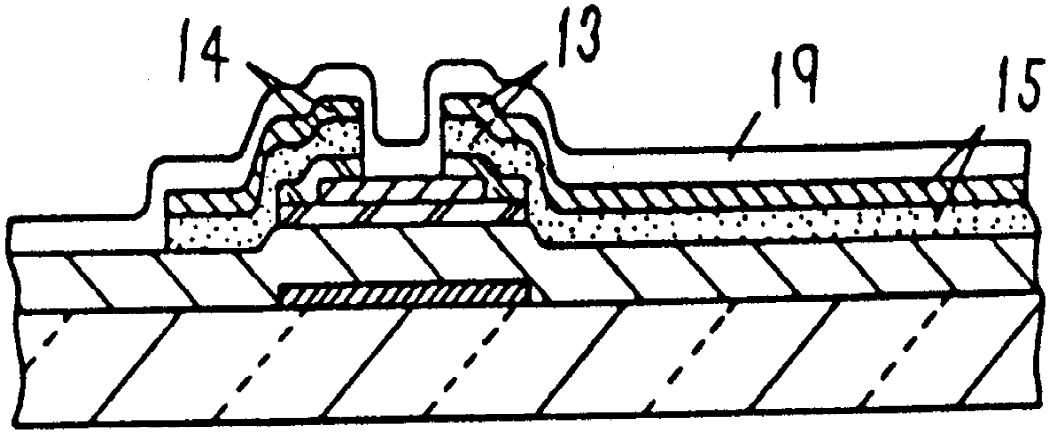
도면9-F



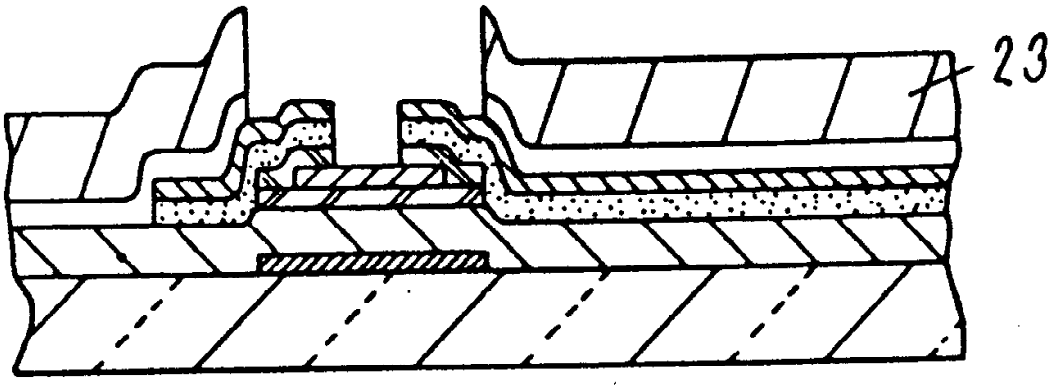
도면10-A



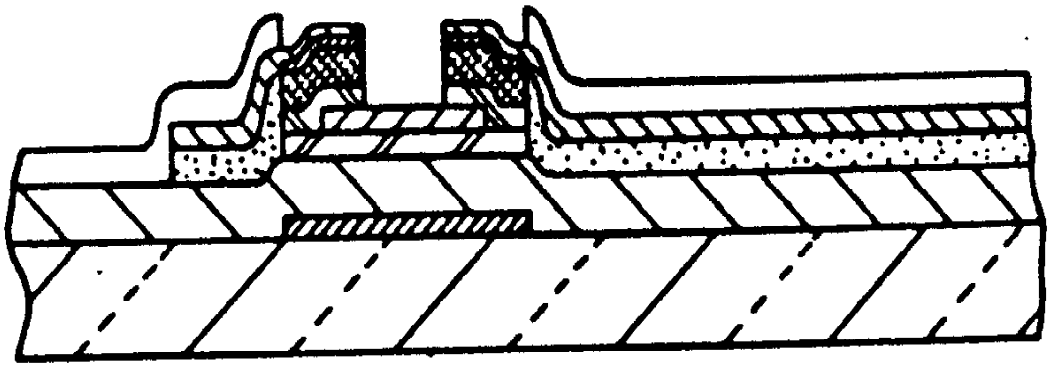
도면10-B



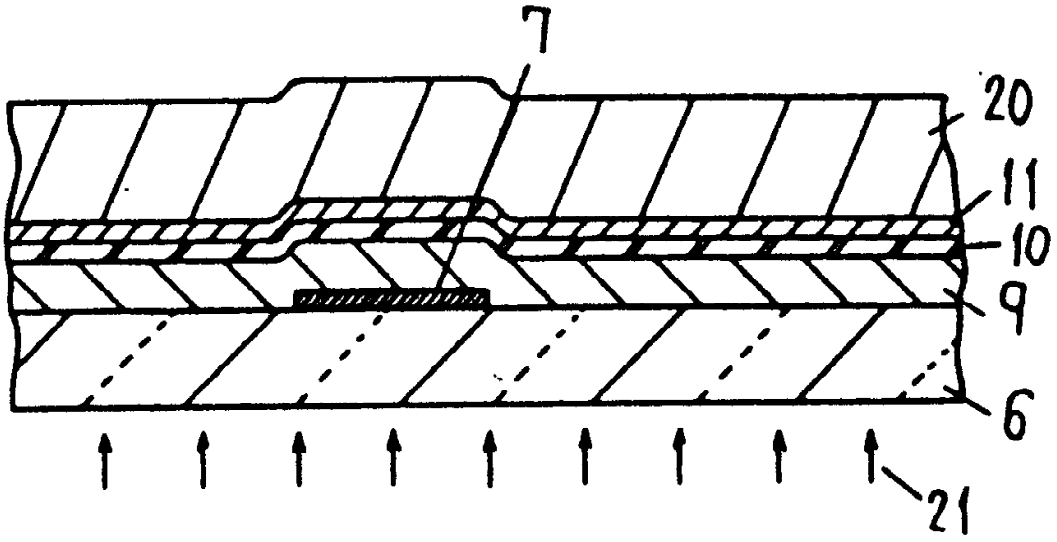
도면10-C



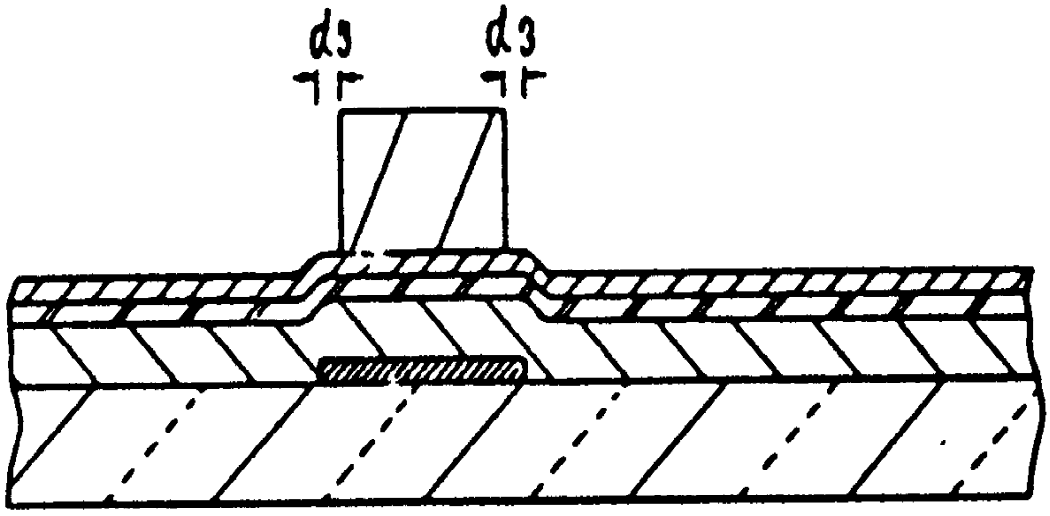
도면10-D



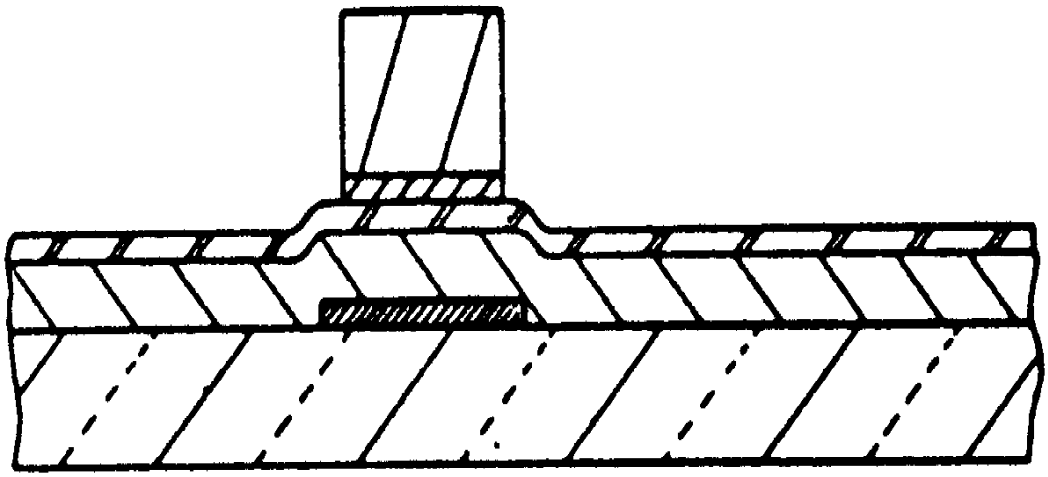
도면11-A



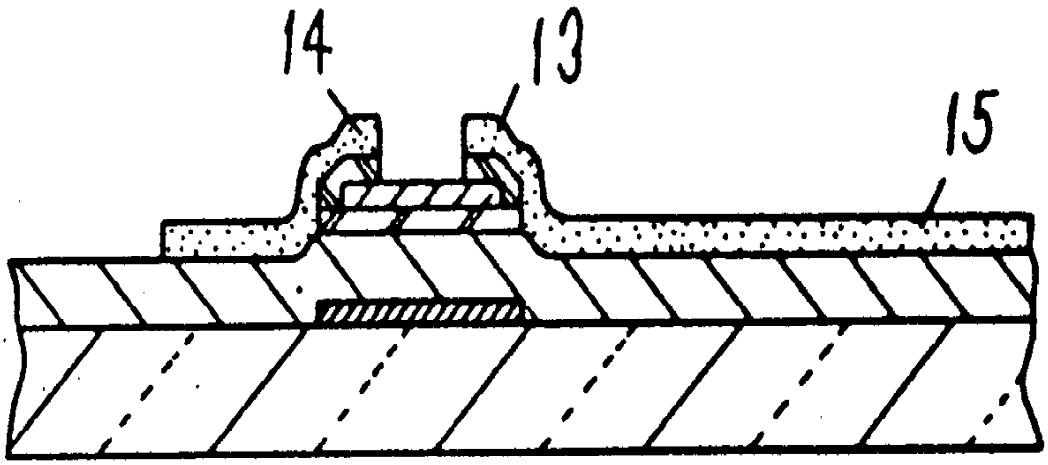
도면11-B



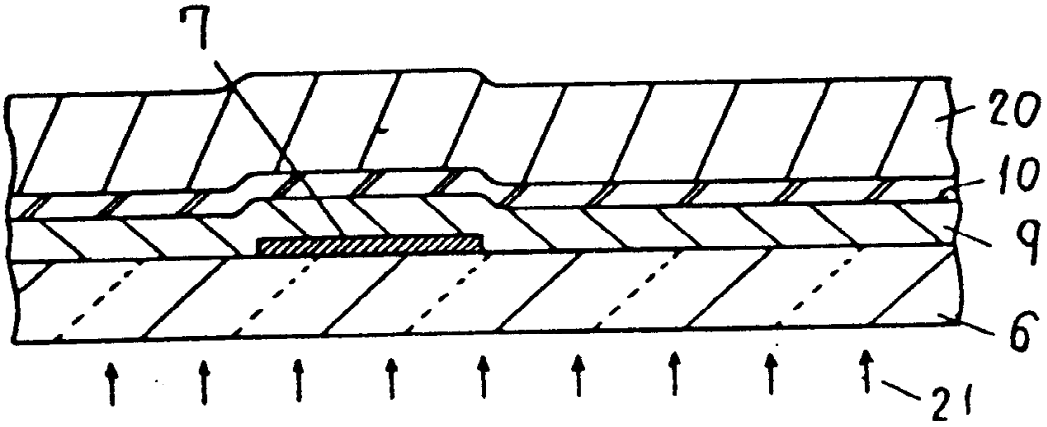
도면11-C



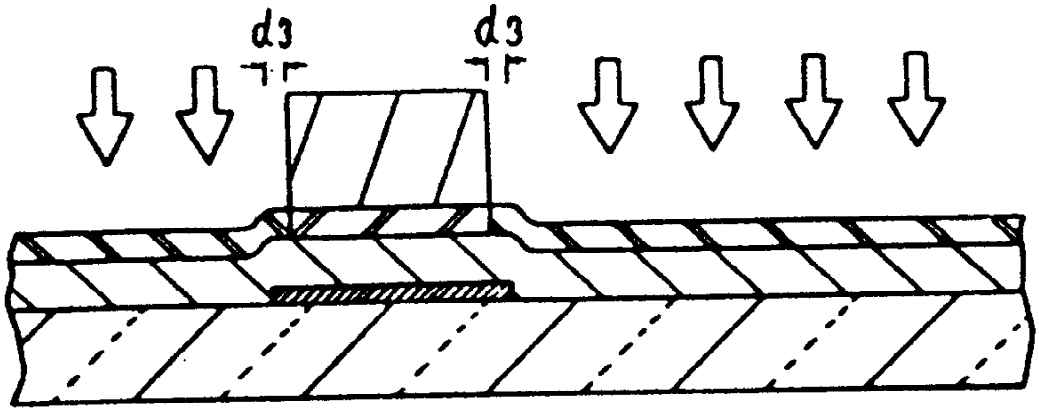
도면11-D



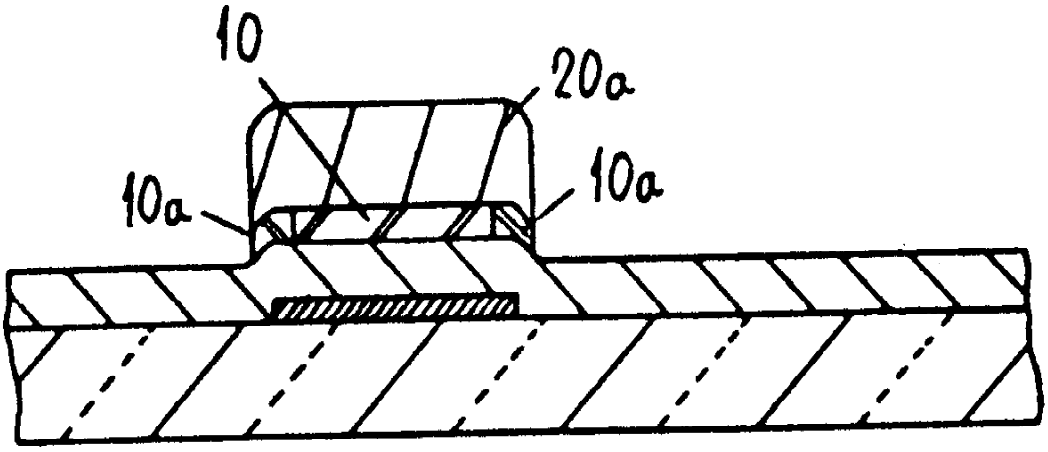
도면12-A



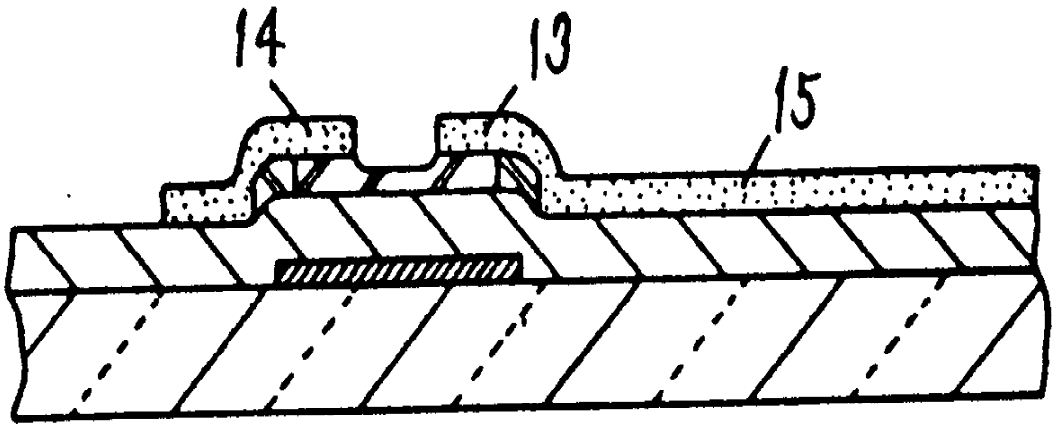
도면12-B



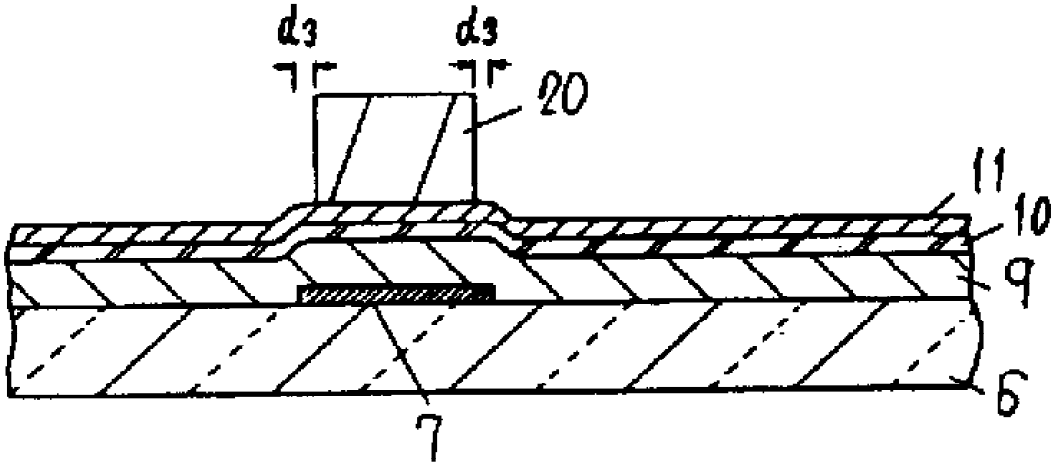
도면12-C



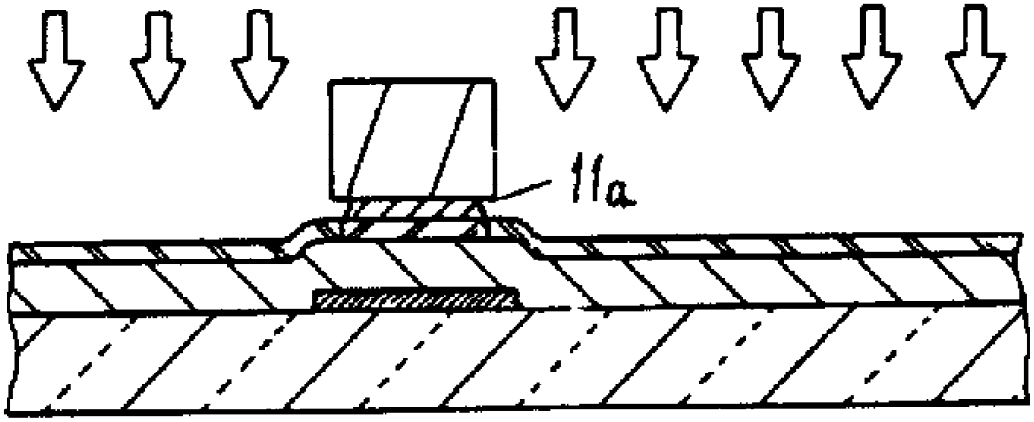
도면12-D



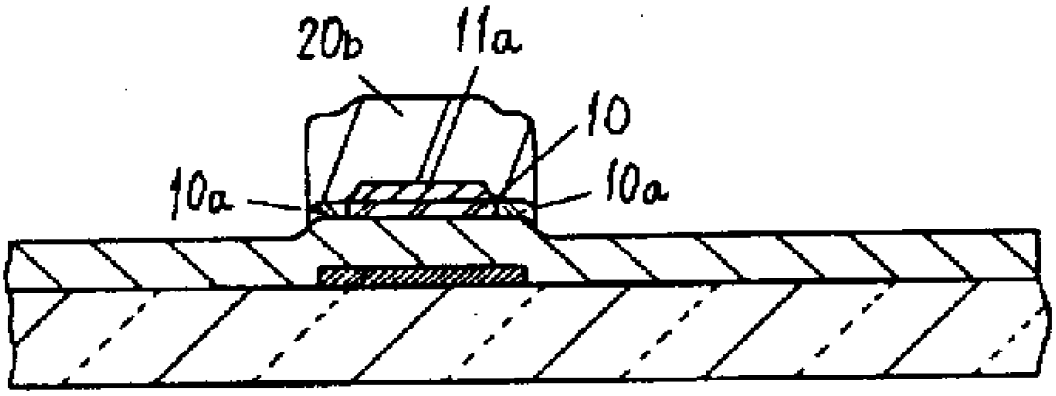
도면13-A



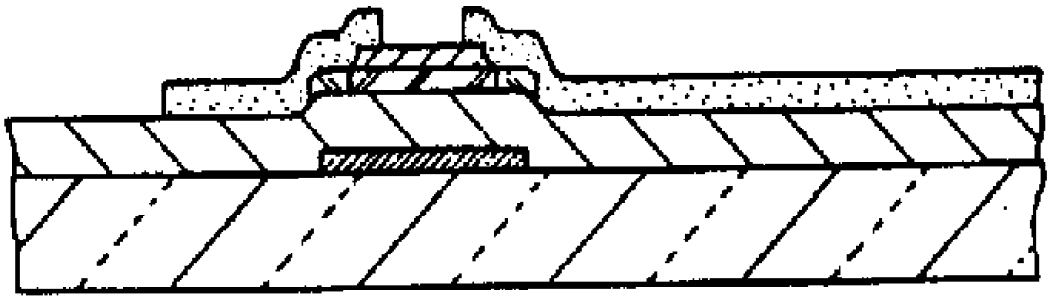
도면13-B



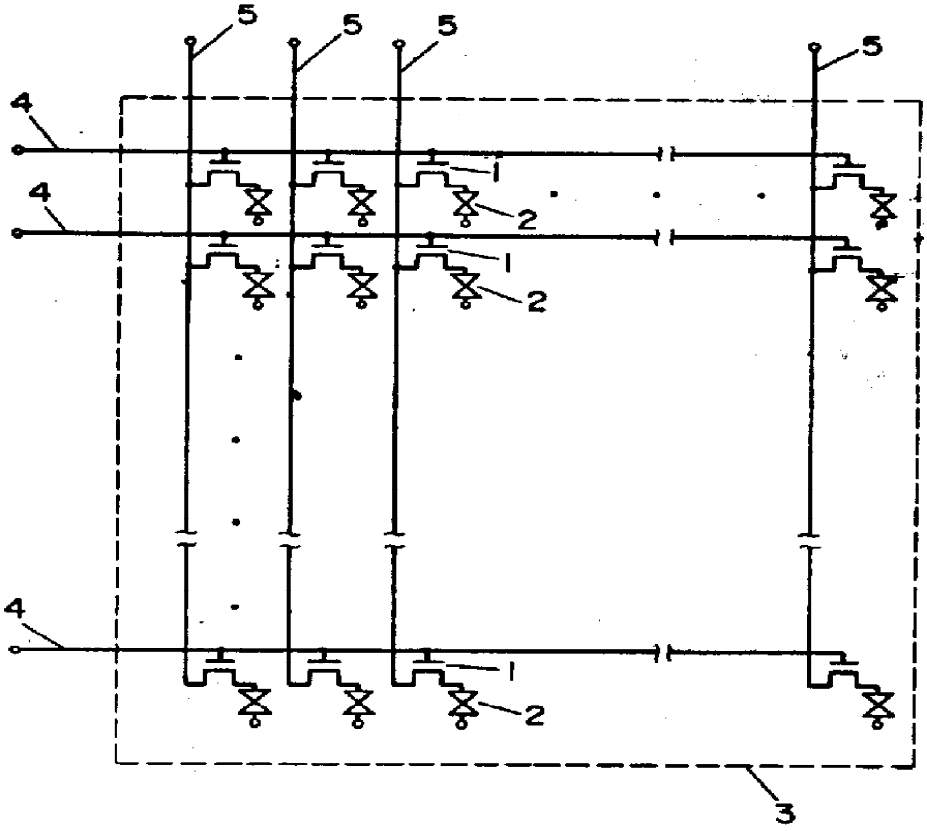
도면13-C



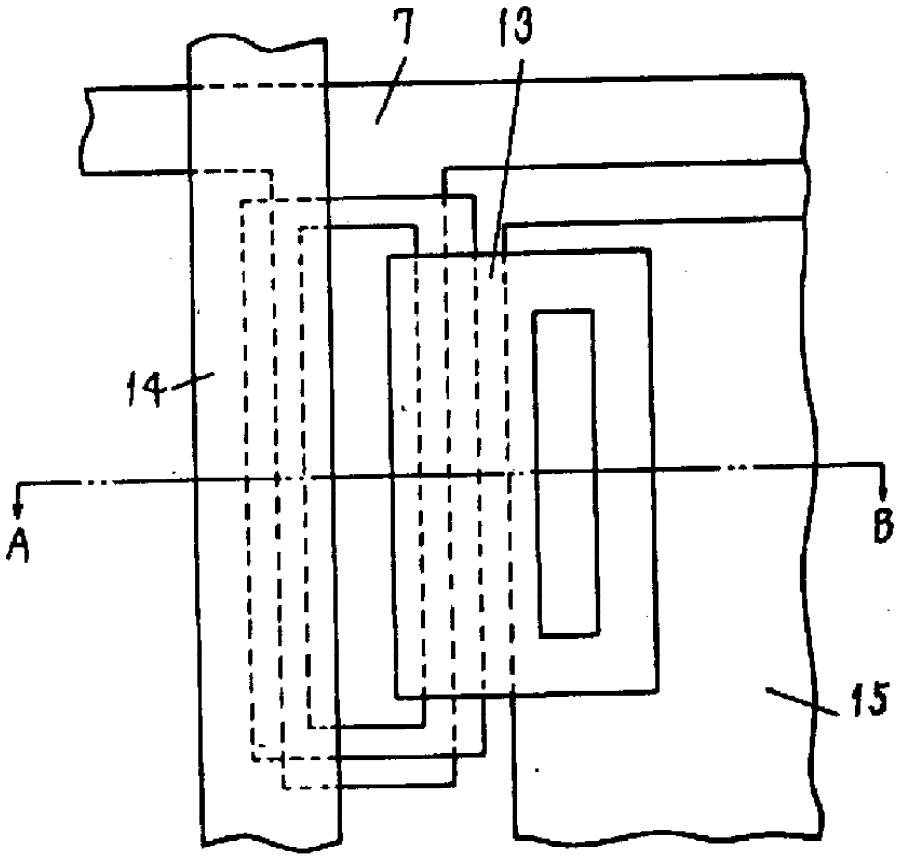
도면13-D



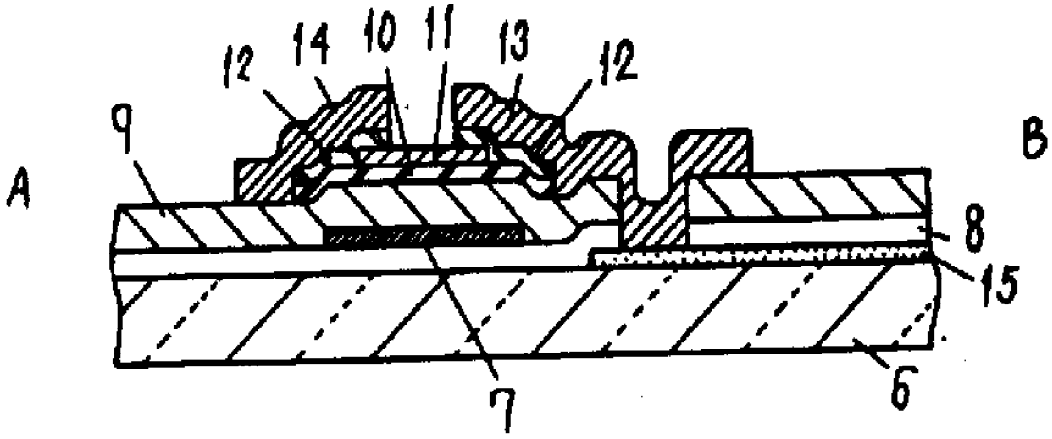
도면14



도면15-A



도면15-B



도면16

