(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0143449
(43) 공개일자 2016년12월14일

(51) 국제특허분류(Int. Cl.)
H01L 33/12 (2010.01)
(52) CPC특허분류
H01L 33/12 (2013.01)
H01L 2924/12041 (2013.01)
(21) 출원번호 10-2015-0080203
(22) 출원일자 2015년06월05일
심사청구일자 없음

(71) 출원인
엘지이노텍 주식회사
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
진정근
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
변동진
서울특별시 강남구 영동대로114길 71-3, 101동 503호 (삼성동, 삼성동대우멤버스카운티1차)
김대식
서울특별시 동대문구 무학로 202, 705호 (제기동, 라이온스파스텔)
(74) 대리인
김기문

전체 청구항 수 : 총 14 항

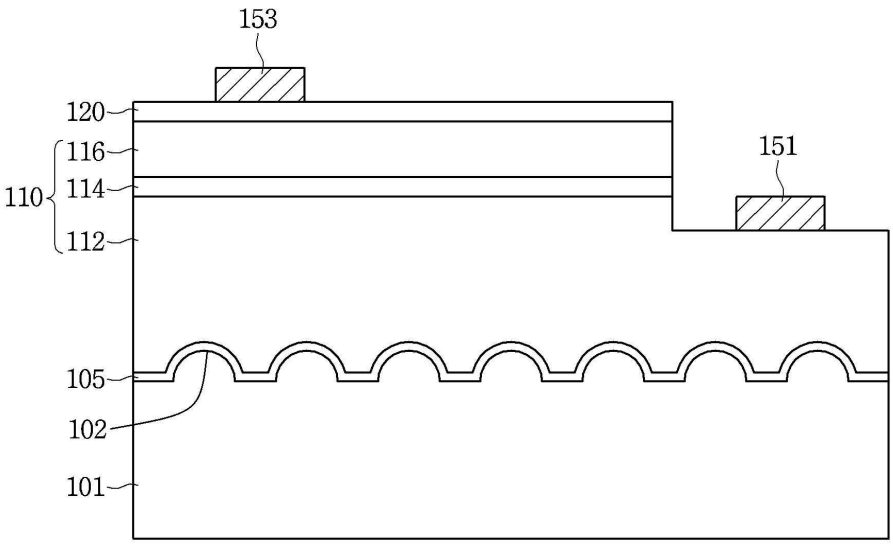
(54) 발명의 명칭 **발광소자, 발광소자의 제조방법 및 발광소자 패키지**

(57) 요 약

실시예는 발광소자, 발광소자 제조방법, 발광소자 패키지 및 조명장치에 관한 것이다.

실시 예는 발광소자는 요철구조를 갖는 기판, 기판 상에 위치한 버퍼층, 및 버퍼층 상에 위치한 발광구조물을 포함하고, 버퍼층은 40% 이상의 알루미늄 조성비를 가질 수 있다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

요철구조를 갖는 기판;

상기 기판 상에 위치한 버퍼층; 및

상기 버퍼층 상에 위치한 발광구조물을 포함하고,

상기 버퍼층은 40% 이상의 알루미늄 조성비를 갖는 발광소자.

청구항 2

제1 항에 있어서,

상기 버퍼층은 50㎚ 이하의 두께를 갖는 발광소자.

청구항 3

제1 항에 있어서,

상기 버퍼층은 10㎚ 내지 50㎚의 두께를 갖는 발광소자.

청구항 4

제1 내지 제3 항 중 어느 하나의 발광소자를 포함하는 발광소자 패키지.

청구항 5

요철구조를 갖는 기판 상에 버퍼층을 형성하는 단계;

상기 버퍼층 상에 제1 도전형 반도체층, 상기 제1 도전형 반도체층 상에 위치한 활성층 및 상기 활성층 상에 위치한 제2 도전형 반도체층을 포함하는 발광구조물을 형성하는 단계; 및

상기 제1 도전형 반도체층 상에 제1 전극을 형성하고, 상기 제2 도전형 반도체층 상에 제2 전극을 형성하는 단계를 포함하고,

상기 버퍼층을 형성하는 단계는 챔버내에서 100% 질소 가스 조성비를 갖는 발광소자의 제조방법.

청구항 6

제5 항에 있어서,

상기 버퍼층을 형성하는 단계는 RF 스퍼터법으로 형성하는 발광소자의 제조방법.

청구항 7

제5 항에 있어서,

상기 버퍼층은 50㎚ 이하의 두께를 갖는 발광소자의 제조방법.

청구항 8

제5 항에 있어서,

상기 버퍼층은 상기 버퍼층은 10㎚ 내지 50㎚의 두께를 갖는 발광소자의 제조방법.

청구항 9

제5 항에 있어서,

상기 버퍼층을 형성하는 단계는 RF Power가 800W 이하인 발광소자의 제조방법.

청구항 10

제5 항에 있어서,

상기 버퍼층을 형성하는 단계는 RF Power가 300W 내지 800W인 발광소자의 제조방법.

청구항 11

제5 항에 있어서,

상기 버퍼층을 형성하는 단계는 성장온도가 600℃ 이하인 발광소자의 제조방법.

청구항 12

제5 항에 있어서,

상기 버퍼층을 형성하는 단계는 성장온도가 300℃ 내지 600℃인 발광소자의 제조방법.

청구항 13

제5 항에 있어서,

상기 버퍼층을 형성하는 단계는 성장 압력이 5 mTorr 이하인 발광소자의 제조방법.

청구항 14

제5 항에 있어서,

상기 버퍼층을 형성하는 단계는 성장 압력이 1 mTorr 내지 5 mTorr인 발광소자의 제조방법.

발명의 설명

기 술 분 야

[0001] 실시예는 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명장치에 관한 것이다.

배 경 기 술

[0002] 발광소자(Light Emitting Device)는 전기에너지가 빛 에너지로 변환되는 특성의 p-n 접합 다이오드로서, 주기율표상에서 3족과 5족의 원소가 화합되어 형성될 수 있다. LED는 화합물 반도체의 조성비를 조절함으로써 다양한 색상구현이 가능하다.

[0003] 발광소자는 순방향전압 인가 시 n층의 전자와 p층의 정공(hole)이 결합하여 전도대(Conduction band)와 가전대(Valance band)의 에너지 갭에 해당하는 만큼의 에너지를 발산하는데, 이 에너지는 주로 열이나 빛의 형태로 방출되며, 빛의 형태로 발산되면 발광소자가 되는 것이다.

[0004] 발광소자는 반도체화합물의 조성비를 조절 함으로써, 다양한 색상 구현이 가능하다. 예컨대 발광소자는 청색(Blue) 발광소자, 녹색(Green) 발광소자, 자외선(UV) 발광소자, 또는 적색(RED) 발광소자 일 수 있다.

[0005] 한편, 발광소자는 이종기판을 성장기판으로 하여 유기 화학적으로 발광구조물의 에피층을 증착하여 형성하는데, 성장기판과 에피층 사이의 격자상수 차이(Lattive constant mismatch)에 의해 다수의 결함(Defect)이 발생하며, 이러한 격자결함은 에피층 박막의 결정품질 저하시켜 광 효율을 저하시킨다.

[0006] 또한 종래기술에 의하면, 에피층의 결함은 에너지 준위를 변화시켜 포톤(photon)의 흡수를 유발시킴으로써 광 출력을 저하시키는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 실시 예는 요철구조를 포함하는 기판 상에 성장되는 반도체층의 결정성을 향상시키고, 결함을 개선하여 광 출력

을 향상시킬 수 있는 발광소자, 발광소자의 제조방법, 발광소자 패키지 및 조명장치를 제공한다.

과제의 해결 수단

[0008] 실시 예의 발광소자는 요철구조(102)를 갖는 기판(101); 상기 기판(101) 상에 위치한 버퍼층(105); 및 상기 버퍼층(105) 상에 위치한 발광구조물(110)을 포함하고, 상기 버퍼층(105)은 40% 이상의 알루미늄 조성비를 가질 수 있다.

[0009] 실시 예의 발광소자 패키지는 상기 발광소자를 포함할 수 있다.

[0010] 실시 예의 발광소자의 제조방법은 요철구조(102)를 갖는 기판(101) 상에 버퍼층(105)을 형성하는 단계; 상기 버퍼층(105) 상에 제1 도전형 반도체층(112), 상기 제1 도전형 반도체층(112) 상에 위치한 활성층(114) 및 상기 활성층(114) 상에 위치한 제2 도전형 반도체층(116)을 포함하는 발광구조물(110)을 형성하는 단계; 및 상기 제1 도전형 반도체층(112) 상에 제1 전극(151)을 형성하고, 상기 제2 도전형 반도체층 상에 제2 전극(153)을 형성하는 단계를 포함하고, 상기 버퍼층(105)을 형성하는 단계는 챔버내에서 100% 질소 가스 조성비를 가질 수 있다.

발명의 효과

[0011] 실시 예는 버퍼층의 결정성을 향상시킬 수 있다.

[0012] 실시 예는 요철구조를 포함하는 기판 상에 성장되는 반도체층의 결함을 개선할 수 있다.

[0013] 실시 예는 요철구조를 포함하는 기판 상에 성장되는 반도체층의 결정성을 향상시킬 수 있다.

[0014] 실시 예는 요철구조를 포함하는 기판 상에 성장되는 반도체층의 결함 및 결정성을 향상시켜 광 출력을 향상시킬 수 있다.

도면의 간단한 설명

[0015] 도 1은 일 실시 예에 따른 발광소자를 도시한 단면도이다.

도 2는 내지 도 7은 일 실시 예에 따른 적색 발광소자의 제조방법을 도시한 도면이다.

도 8 및 도 9는 AlN 버퍼층 형성 시에 질소량에 따른 결정성을 도시한 도면이다.

도 10은 실시 예의 발광소자 패키지를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on/over)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on/over)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함할 수 있다.. 또한 각 층의 상/위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[0017] 도 1은 실시 예에 따른 발광소자를 도시한 단면도이다.

[0018] 도 1에 도시된 바와 같이, 실시 예에 따른 발광소자는 기판(101)을 포함할 수 있다..

[0019] 상기 기판(101)은 상기 기판(101)은 열전도성이 뛰어난 물질일 수 있다. 상기 기판(101)는 단층 또는 다층으로 형성될 수 있다. 상기 기판(101)은 전도성 기판 또는 절연성 기판일 수 있다. 예컨대 상기 기판(101)은 GaAs, 사파이어(Al_2O_3), SiC, Si, GaN, ZnO, GaP, InP, Ge 및 Ga_2O_3 중 적어도 하나일 수 있다. 상기 기판(101)은 요철구조(102)를 포함할 수 있다. 상기 요철구조(102)는 상기 기판(101)의 상부면 상에 위치할 수 있다.

[0020] 실시 예에 따른 발광소자는 발광구조물(110)을 포함할 수 있다..

[0021] 상기 발광구조물(110)은 제1 도전형 반도체층(112), 상기 제1 도전형 반도체층(112) 아래에 위치한 활성층(114) 및 상기 활성층(114) 아래에 위치한 제2 도전형 반도체층(116)을 포함할 수 있다.

[0022] 상기 제1 도전형 반도체층(112)은 반도체 화합물, 예컨대 3족-5족, 2족-6족 등의 화합물 반도체로 구현될 수 있으며, 제1 도전형 도펀트가 도핑될 수 있다. 상기 제1 도전형 반도체층(112)이 n형 반도체층인 경우, n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되는 것은 아니다. 예컨대 상기 제1 도전형 반도체층(112)은 AlGaP, InGaP, AlInGaP, InP, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN,AlGaAs, InGaAs,

AlInGaAs, GaP 중 어느 하나 이상으로 형성될 수 있다.

[0023] 상기 활성층(114)은 상기 제1 도전형 반도체층(112) 상에 형성될 수 있다. 상기 활성층(114)은 상기 활성층(114)은 양자우물(미도시)과 양자벽(미도시)을 포함할 수 있다. 도면에는 도시되지 않았지만, 상기 활성층(114)은 복수의 서브 활성층을 포함할 수 있다. 여기서, 상기 복수의 서브 활성층 각각은 양자우물과 양자벽을 포함할 수 있다. 상기 활성층(114)의 양자우물/양장벽은 InGaN/GaN, InGaN/InGaN, GaN/AlGaN, InGaN/AlGaN, InAlGaN/GaN, GaAs(InGaAs)/AlGaAs, GaP(InGaP)/AlGaP 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되는 것은 아니다.

[0024] 상기 제2 도전형 반도체층(116)은 상기 활성층(114)상에 형성될 수 있다. 상기 제2 도전형 반도체층(116)은 반도체 화합물, 예컨대 3족-5족, 2족-6족 등의 화합물 반도체로 구현될 수 있으며, 제1 도전형 도펀트가 도핑될 수 있다. 상기 제2 도전형 반도체층(116)이 p형 반도체층인 경우, p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등를 포함할 수 있으나 이에 한정되는 것은 아니다. 예컨대 상기 제2 도전형 반도체층(116)은 AlGaP, InGaP, AlInGaP, InP, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN,AlGaAs, InGaAs, AlInGaAs, GaP 중 어느 하나 이상으로 형성될 수 있다.

[0025] 실시 예에 따른 발광소자는 버퍼층(105)을 포함할 수 있다.. 상기 버퍼층(105)은 상기 발광구조물(110)의 재료와 기판(101)의 격자 부정합을 완화시켜 줄 수 있으며, 버퍼층(107)의 재료는 3족-5족 화합물 반도체 예컨대, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN 중 적어도 하나로 형성될 수 있다. 상기 버퍼층(105) 상에는 언도프드(undoped) 반도체층(미도시)이 형성될 수 있으며, 이에 대해 한정하는 것은 아니다.

[0026] 상기 버퍼층(105)은 AlN을 일예로 설명하도록 한다. AlN은 Al의 조성비가 40% 이상일 수 있다. 상기 AlN은 질소가 100%인 공정조건에서 형성되어 40%이상의 Al 조성비를 가질 수 있다. AlN은 10nm~50nm의 박막으로 형성될 수 있고, 질소가 100%인 공정조건으로 형성함으로써, 결정성이 우수한 박막층을 구현할 수 있다. 실시 예는 AlN 상에 형성되는 언도프드 반도체층 또는 제1 도전형 반도체층(112)의 C 평면에서 C축 성장을 유도할 수 있다. 즉, 실시 예는 기판(101)의 요철구조(P)의 돌출영역에서 상기 언도프드 반도체층 또는 제1 도전형 반도체층(112)의 성장을 억제하고, 요철구조(102)의 하단 평면(C-평면)의 C축 성장을 유도할 수 있다. 따라서, 상기 언도프드 반도체층 또는 제1 도전형 반도체층(112)은 상기 AlN 상에서 선택적 에피텍셜 그로스(ELOG)와 같이 성장될 수 있고, 결정성이 향상될 수 있다.

[0027] 실시 예에 따른 발광장치는 제1 및 제2 전극(151, 153)을 포함할 수 있다.. 상기 제1 및 제2 전극(151, 153)은 상기 발광구조물(110) 상에 형성될 수 있다. 상기 제1 전극(151)은 상기 제1 도전형 반도체층(112) 상에 위치할 수 있다. 상기 제1 도전형 반도체층(112)과 직접 접촉할 수 있다. 상기 제2 전극(153)은 상기 제2 도전형 반도체층(116) 상에 위치할 수 있다. 상기 제2 전극(153)은 상기 제2 도전형 반도체층(116) 상에 위치할 수 있다. 상기 제1 및 제2 전극(151, 153)은 단층 또는 다층으로 형성될 수 있다. 상기 제1 및 제2 전극(151, 153)은 티탄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 몰리브덴(Mo) 중 적어도 어느 하나로 형성될 수도 있으나 이에 한정되는 것은 아니다.

[0028] 실시 예에 따른 발광장치는 상기 제2 도전형 반도체층(116) 상에 투광성 전극층(120)이 형성될 수 있다. 상기 투광성 전극층(120)은 오믹층을 포함할 수 있다. 상기 투광성 전극층(120)은 반도체와 전기적 접촉이 우수한 물질로 단층 또는 복수의 층으로 형성될 수 있다. 예컨대 상기 투광성 전극층(120)은 Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf, ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO 중 적어도 하나를 포함하여 단층 또는 다층으로 형성될 수 있으며, 이러한 재료에 한정되는 것은 아니다.

[0029] 실시 예에 따른 발광소자는 요철구조(102)를 갖는 기판(101) 상에 100%의 질소가스가 공급된 챔버내에서 RF 스퍼터법으로 40% 이상의 Al 조성비를 갖는 버퍼층(105)을 형성하여 이후 형성되는 언도프트 반도체층 또는 제1 도전형 반도체층(112)은 버퍼층(105)의 C 평면 상에 C 축 방향 성장을 유도되므로 선택적 에피텍셜 그로스(ELOG)와 같이 성장될 수 있다. 따라서, 실시 예는 요철구조(102)를 갖는 기판(101) 상에 언도프트 반도체층 또는 제1 도전형 반도체층(112)의 결함을 개선하고, 결정성을 향상시킬 수 있다.

[0030] 도 2는 내지 도 7은 일 실시 예에 따른 적색 발광소자의 제조방법을 도시한 도면이다.

[0031] 도 2를 참조하면, 버퍼층(105)은 기판(101)상에 형성될 수 있다.

[0032] 상기 기판(101)은 열전도성이 뛰어난 물질일 수 있다. 상기 기판(101)는 단층 또는 다층으로 형성될 수 있다. 상기 기판(101)은 전도성 기판 또는 절연성 기판일 수 있다. 예컨대 상기 기판(101)은 GaAs, 사파이어(Al_2O_3), SiC, Si, GaN, ZnO, GaP, InP, Ge 및 Ga_2O_3 중 적어도 하나일 수 있다. 상기 기판(101)은 요철구조(102)를 포함할 수 있다. 상기 요철구조(102)는 상기 기판(101)의 상부면 상에 위치할 수 있다.

[0033] 버퍼층(105)은 상기 기판(101) 상에 형성될 수 있다. 상기 버퍼층(105)은 발광구조물의 재료와 기판(101)의 격자 부정합을 완화시켜 줄 수 있으며, 버퍼층(107)의 재료는 3족-5족 화합물 반도체 예컨대, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN 중 적어도 하나로 형성될 수 있다. 상기 버퍼층(105) 상에는 언도프드(undoped) 반도체층(미도시)이 형성될 수 있으며, 이에 대해 한정하는 것은 아니다.

[0034] 상기 버퍼층(105)은 반응성 스퍼터법으로 기판(101) 상에 형성될 수 있다. 상기 반응성 스퍼터법은 RF 스퍼터법 또는 DC 스퍼터법일 수 있다. 실시 예의 버퍼층(105)은 PVD(physical vapor deposition) 챔버 공정에서 기판(101) 상에 증착될 수 있다. 실시 예는 AlN 반도체로서, PVD 프로세스에서의 스퍼터 증착에 의해 형성될 수 있다. 실시 예는 수십 나노미터의 박막 성장을 위해 성장속도가 DC 스퍼터법보다 느린 RF 스퍼터법을 이용할 수 있다. RF 스퍼터법은 PVD 챔버 내에서 질소 가스 및 알루미늄 타겟으로부터 반응성 스퍼터링에 의해 형성될 수 있다. 실시 예의 버퍼층(105)은 PVD 챔버 내에 질소 가스가 100%일 수 있다. 실시 예의 버퍼층(105)은 40%의 Al 조성비를 포함할 수 있다.

[0035] 상기 버퍼층(105)은 50nm 이하의 두께로 형성될 수 있다. 예컨대 상기 버퍼층(105)의 두께는 10nm 내지 50nm일 수 있다. 상기 버퍼층(105)의 두께가 10nm 미만의 경우, 버퍼층(105)은 기판(101) 상에서 섬(Island) 형태로 성장될 수 있다. 따라서, 이후 공정으로 형성되는 언도프트 반도체층 또는 제1 도전형 반도체층은 상기 섬 형태의 버퍼층(105) 상에서 랜덤한 방향으로 성장되므로 결정성이 저하될 수 있다. 한편, 상기 버퍼층(105)의 두께가 50nm를 초과하는 경우, 버퍼층(105) 자체의 결정성은 향상되지만, 요철구조(102)의 돌출영역의 결정성도 향상될 수 있다. 따라서, 이후 공정으로 형성되는 언도프트 반도체층 또는 제1 도전형 반도체층은 요철구조(102)의 C 평면 뿐만 아니라 돌출영역 주변의 성장으로 결정성이 저하될 수 있다.

[0036] 상기 버퍼층(105)은 RF 스퍼터법은 RF Power가 800W 이하일 수 있다. 예컨대 상기 버퍼층(105)은 RF Power가 300W 내지 800W일 수 있다. 상기 버퍼층(105)의 RF Power가 300W 미만의 경우, 스퍼터링되는 원자의 에너지가 낮아 기판(101)상에 도달하는 원자의 이동거리가 낮아져 버퍼층(105)의 결정성이 저하될 수 있다. 한편, RF Power가 800W를 초과하는 경우, 발열 문제 또는 플라즈마 데미지에 의한 타겟과 기판(101)의 손상을 야기할 수 있다.

[0037] 상기 버퍼층(105)의 성장 온도는 600℃ 이하일 수 있다. 예컨대 상기 버퍼층(105)의 성장 온도는 300℃ 내지 600℃일 수 있다. 상기 버퍼층(105)의 성장 온도가 300℃ 미만의 경우, 스퍼터링 에너지 전달 저하에 의해 다수의 결함을 가질 수 있다. 따라서, 이후 공정에서 성장되는 언도프트 반도체층 또는 제1 도전형 반도체층은 결함을 갖는 버퍼층(105) 상에 랜덤한 방향으로 성장되므로 결정성이 저하될 수 있다. 한편, 상기 버퍼층(105)의 성장 온도가 600℃를 초과하는 경우, 높은 열에너지에 의해 버퍼층(105)의 탈착현상이 발생할 수 있다.

[0038] 상기 버퍼층(105)의 성장 압력은 5 mTorr 이하일 수 있다. 예컨대 상기 버퍼층(105)의 성장 압력은 1 mTorr 내지 5 mTorr 일 수 있다. 상기 버퍼층(105)의 성장 압력이 1 mTorr 미만의 경우, 타겟에 충돌하는 입자가 감소하므로 증착속도가 감소할 뿐만 아니라 플라즈마 생성에 한계를 갖는다. 상기 버퍼층(105)의 성장 압력이 5 mTorr을 초과하는 경우, 스퍼터링된 원자가 기판까지 도달하는 동안 많은 충돌이 발생하여 기판에 도달한 원자는 낮은 에너지를 갖는다. 따라서, 상기 원자는 이동거리가 낮아지므로 버퍼층(105)의 결정성이 저하될 수 있다.

[0039] 실시 예의 버퍼층(105)은 요철구조(102)를 갖는 기판(101) 상에 결정성이 향상된 박막형태로 성장되고, 이후 공정으로 형성되는 언도프트 반도체층 또는 제1 도전형 반도체층이 상기 버퍼층(105)의 C 평면에서 C 축으로 성장되도록 유도하여 상기 언도프트 반도체층 또는 제1 도전형 반도체층의 결정성을 향상시킬 수 있다.

[0040] 도 3 및 도 4는 도 2의 B 영역을 확대한 단면도이다. 도 3 및 도 4를 참조하면, 제1 도전형 반도체층(112)은 상기 버퍼층(105) 상에 성장될 수 있다. 여기서, 상기 버퍼층(105) 상에는 언도프트 반도체층이 형성될 수도 있으나, 이에 한정되는 것은 아니다.

[0041] 실시 예는 GaN을 일 예로 설명하도록 한다. GaN은 버퍼층(105)의 결정성에 의해 C 평면의 성장이 유도될 수 있다. 즉, GaN은 요철구조(102)의 돌출영역 상의 성장이 억제될 수 있다. 즉, 상기 제1 도전형 반도체층(112)은 상기 버퍼층(105) 상에서 선택적 에피텍셜 그로스(ELOG)와 같이 성장(화살표)될 수 있다. 따라서, 제1 도전형

반도체층(112)은 요철구조(102)를 갖는 기판(101) 상에서 결정성이 향상될 수 있다.

[0042] 상기 제1 도전형 반도체층(112)은 반도체 화합물, 예를 들어 3족-5족, 2족-6족 등의 화합물 반도체로 구현될 수 있으며, 제1 도전형 도펀트가 도핑될 수 있다. 상기 제1 도전형 반도체층(112)이 n형 반도체층인 경우, n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되는 것은 아니다.

[0043] 예컨대 상기 제1 도전형 반도체층(112)은 AlGaP, InGaP, AlInGaP, InP, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP 중 어느 하나 이상으로 형성될 수 있다.

[0044] 상기 제1 도전형 반도체층(112)은 화학증착방법(CVD) 혹은 분자선 에피택시 (MBE) 혹은 스퍼터링 혹은 수산화물 증기상 에피택시(HVPE) 등의 방법을 사용하여 형성될 수 있으나 이에 한정되는 것은 아니다.

[0045] 도 5를 참조하면, 활성층(114) 및 제2 도전형 반도체층(116)은 상기 제1 도전형 반도체층(112) 상에 형성될 수 있다.

[0046] 상기 활성층(114)은 제1 도전형 반도체층(112)을 통해서 주입되는 전자와 이후 형성되는 제2 도전형 반도체층(116)을 통해서 주입되는 정공이 서로 만나서 활성층(발광층) 물질 고유의 에너지 밴드에 의해서 결정되는 에너지를 갖는 빛을 방출하는 층으로 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다.

[0047] 상기 활성층(114)은 우물층/장벽층 구조를 포함할 수 있다. 예를 들어, 상기 활성층(114)은 InGaN/GaN, InGaN/InGaN, GaN/AlGaN, InAlGaN/GaN, GaAs/AlGaAs, InGaAs/AlGaAs, GaInP/AlGaInP, GaP/AlGaP, InGaP/AlGaP 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다. 상기 우물층은 상기 장벽층의 밴드 갭보다 낮은 밴드 갭을 갖는 물질로 형성될 수 있다.

[0048] 상기 제2 도전형 반도체층(116)은 3족-5족, 2족-6족 등의 화합물 반도체로 구현될 수 있으며, 제2 도전형 도펀트가 도핑될 수 있다. 상기 제2 도전형 반도체층(116)이 p형 반도체층인 경우, p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등이 도핑될 수 있다.

[0049] 실시예에서 상기 제1 도전형 반도체층(112)은 n형 반도체층, 상기 제2 도전형 반도체층(116)은 p형 반도체층으로 한정하여 설명하고 있지만, 이에 한정되는 것은 아니다. 또한 상기 제2 도전형 반도체층(116) 상에는 상기 제2 도전형과 반대의 극성을 갖는 반도체 예컨대 n형 반도체층(미도시)이 형성될 수 있다. 이에 따라 발광구조물(110)은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현될 수 있다.

[0050] 도 6을 참조하면, 활성층(114) 및 제2 도전형 반도체층(116)의 일부는 상기 제1 도전형 반도체층(112)의 일부가 노출되도록 제거될 수 있다.

[0051] 예컨대 제2 도전형 반도체층(116) 및 활성층(114)의 일부가 습식식각 또는 건식식각에 의해 제거되어 제1 도전형 반도체층(112)의 상부면 일부가 노출될 수 있다. 여기서, 상기 제1 도전형 반도체층(112)의 일부도 제거될 수 있으나 이에 한정되는 것은 아니다.

[0052] 도 7을 참조하면, 투광성 전극층(120)은 제2 도전형 반도체층(116) 상에 형성될 수 있다. 상기 투광성 전극층(120)은 오믹층을 포함할 수 있으며, 정공주입을 효율적으로 할 수 있도록 단일 금속 혹은 금속합금, 금속산화물 등을 다중으로 적층하여 형성할 수 있다.

[0053] 예컨대 상기 투광성 전극층(120)은 반도체와 전기적인 접촉인 우수한 물질로 형성될 수 있다. 예를 들어, 상기 투광성 전극층(120)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으며, 이에 한정되지 않는다.

[0054] 제1 전극(151)은 활성층(114) 및 제2 도전형 반도체층(116)으로부터 노출된 제1 도전형 반도체층(112) 상에 형성될 수 있고, 제2 전극(153)은 상기 투광성 전극층(120) 상에 형성될 수 있다.

[0055] 상기 제1 전극(151) 또는 제2 전극(153)은 티탄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 몰리브덴(Mo) 중 적어도 어느 하나로 형성될 수도 있으나 이에 한정되는 것은 아니다.

[0056] 실시 예에 따른 발광소자의 제조방법은 요철구조(102)를 갖는 기판(101) 상에 100%의 질소가스 챔버내에서 RF 스퍼터법으로 버퍼층(105)을 형성하여 이후 성장되는 언도프트 반도체층 또는 제1 도전형 반도체층(112)의 C 평면 C 축 방향 성장을 유도하므로 선택적 에피텍셜 그로스(ELOG)와 같이 성장될 수 있다. 따라서, 실시 예는 언도프트 반도체층 또는 제1 도전형 반도체층(112)의 결정성을 향상시킬 수 있다. 예컨대 상기 버퍼층(105)은 AlN일 수 있고, AlN은 100%의 질소가스 챔버내에서 RF 스퍼터법으로 성장되어 40% 이상의 조성비를 가질 수 있다. 상기 AlN 상에 형성되는 언도프트 반도체층 또는 제1 도전형 반도체층(112)은 GaN일 수 있다. 상기 GaN은 상기 AlN의 C 평면에서 C 축 성장이 유도되어 선택적 에픽텍셜 그로스(ELOG)와 같이 성장되어 요철구조(102)를 갖는 기판(101) 상에서도 결정성이 향상될 수 있다.

[0057] 도 8 및 도 9는 AlN 버퍼층 형성 시에 질소량에 따른 결정성을 도시한 도면이다.

[0058] 도 8 및 도 9에 도시된 바와 같이, 도 1 내지 도 7에 따른 기술적 특징을 채용한 발광장치는 RF 스퍼터법에 의해 성장된 버퍼층(105)의 FWHM 값은 질소 가스가 100%에서 가장 낮다.

[0059] N(0)은 질소 가스가 0%, 아르곤(Ar) 가스가 100%의 결정성 및 FWHM의 데이터이고, N(20)은 질소 가스가 100% 및 아르곤(Ar) 가스가 0%의 결정성 및 FWHM의 데이터이다.

[0060] 실시 예의 발광소자는 질소 가스가 100%의 N(20)에서 FWHM이 낮아 AlN의 결함이 개선됨과 동시에 AlN의 결정성이 향상될 수 있다. 즉, 실시 예는 요철구조를 갖는 기판 상에 반도체층이 C 평면 상에서 C축 성장되도록 유도하는 박막의 버퍼층을 형성하여 반도체층의 결함을 개선하고 결정성을 향상시킬 수 있다.

[0061] 도 10은 실시 예의 발광소자 패키지를 도시한 단면도이다.

[0062] 도 10에 도시된 바와 같이, 실시 예에 따른 발광 소자 패키지(200)는 패키지 몸체부(205)와, 상기 패키지 몸체부(205)에 설치된 제1 리드전극(213) 및 제2 리드전극(214)과, 상기 패키지 몸체부(205)에 설치되어 상기 제1 리드전극(213) 및 제2 리드전극(214)과 전기적으로 연결되는 발광소자(100)와, 형광체(미도시)를 포함하고 상기 발광소자(100)를 덮는 몰딩부재(240)를 포함할 수 있다.

[0063] 상기 발광소자(100)는 도 1 내지 도 9의 실시 예의 기술적 특징을 채용할 수 있다.

[0064] 상기 제1 리드전극(213) 및 제2 리드전극(214)은 서로 전기적으로 분리되며, 상기 제1 리드전극(213)은 와이어(230)에 의해 상기 발광소자(100)와 전기적으로 연결될 수 있다. 또한, 상기 제1 리드전극(213) 및 제2 리드전극(214)은 상기 발광소자(100)에서 발생된 빛을 반사시켜 광 효율을 증가시키는 역할을 할 수 있으며, 상기 발광소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.

[0065] 상기 발광소자(100)는 상기 제1 리드전극(213) 또는 제2 리드전극(214)와 와이어 방식, 플립칩 방식 또는 다이 본딩 방식 중 어느 하나에 의해 전기적으로 연결될 수도 있다.

[0066] 실시 예에 따른 발광소자는 백라이트 유닛, 조명 유닛, 디스플레이 장치, 지시 장치, 램프, 가로등, 차량용 조명장치, 차량용 표시장치, 스마트 시계 등에 적용될 수 있으나 이에 한정되는 것은 아니다.

[0067] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

[0068] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

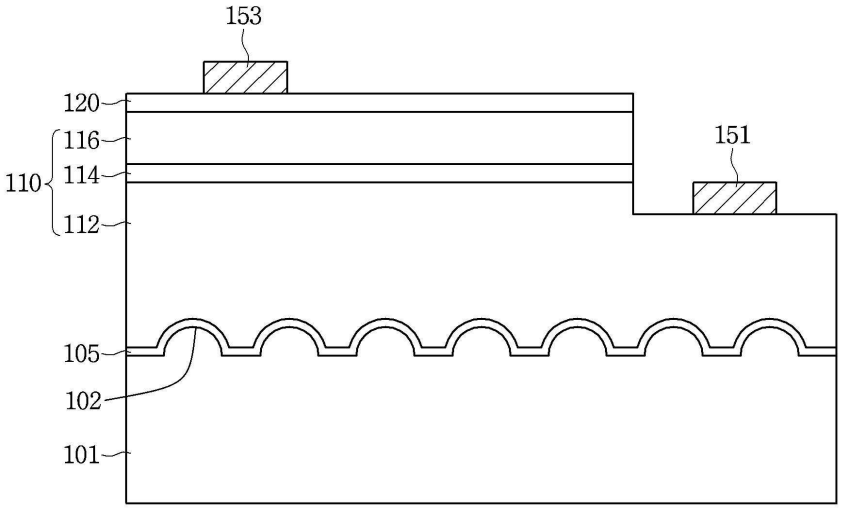
[0069] 101: 기판 102: 요철구조

105: 버퍼층 110: 발광구조물

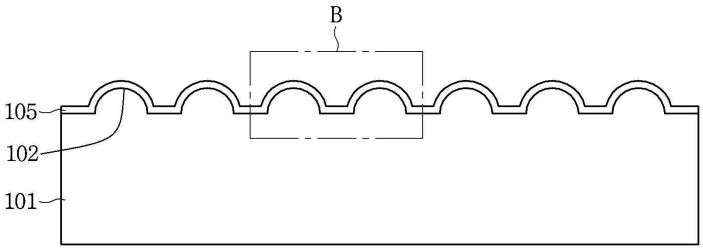
112: 제1 도전형 반도체층

도면

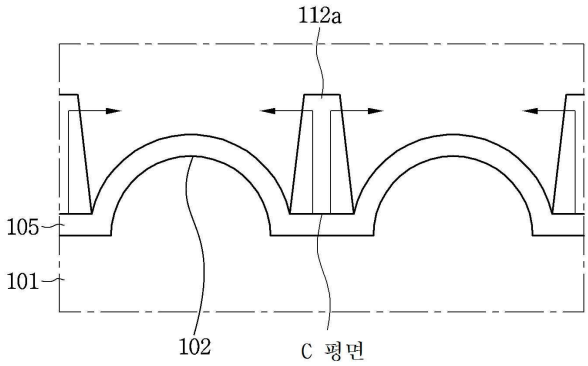
도면1



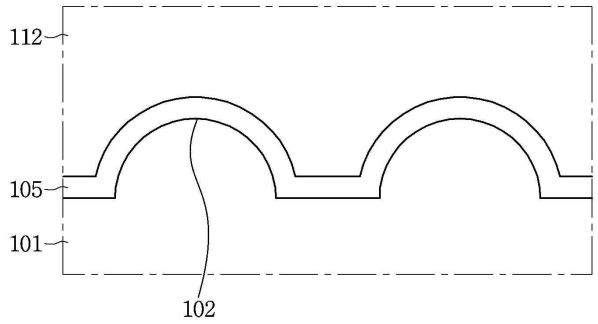
도면2



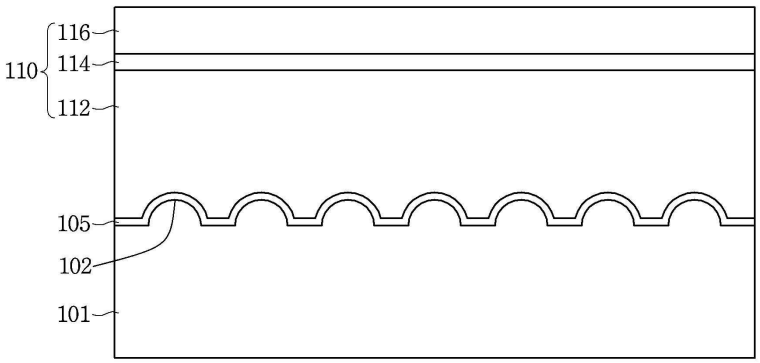
도면3



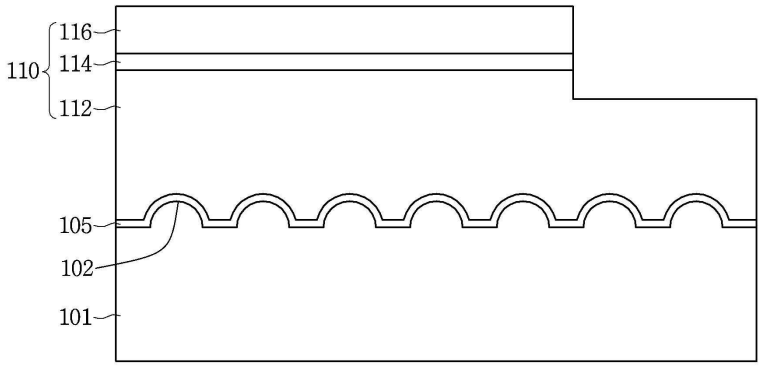
도면4


112
105
101
102

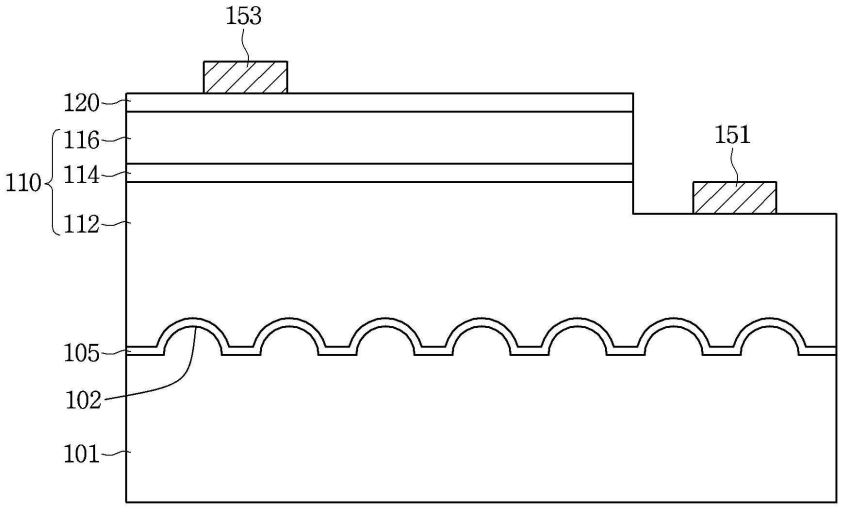
도면5


116
110
114
112
105
102
101

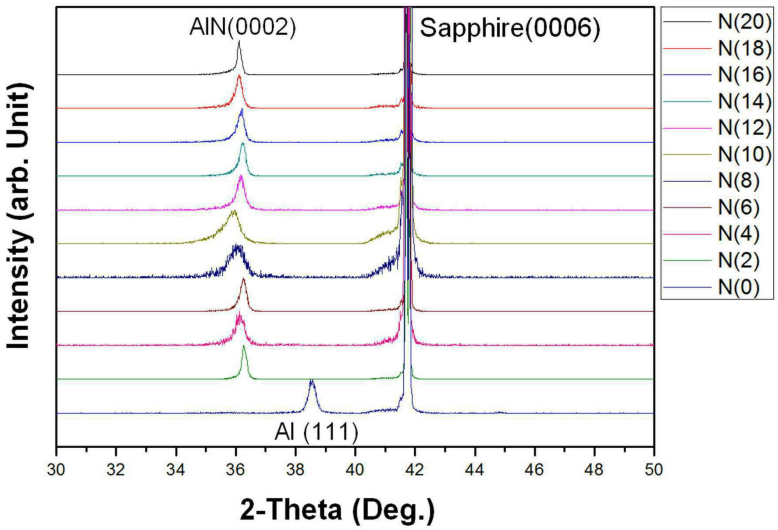
도면6


116
110
114
112
105
102
101

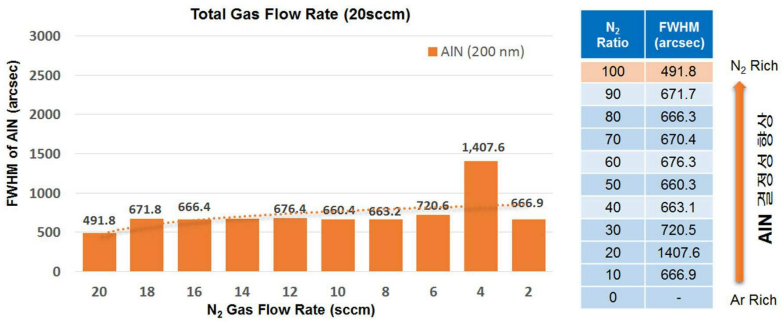
도면7



도면8



도면9



N_2 Ratio	FWHM (arcsec)
100	491.8
90	671.7
80	666.3
70	670.4
60	676.3
50	660.3
40	663.1
30	720.5
20	1407.6
10	666.9
0	-

N_2 Rich

AlN 결정성 향상

Ar Rich

도면10

