

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】令和2年7月9日(2020.7.9)

【公表番号】特表2020-502910(P2020-502910A)

【公表日】令和2年1月23日(2020.1.23)

【年通号数】公開・登録公報2020-003

【出願番号】特願2019-531067(P2019-531067)

【国際特許分類】

H 03M 13/13 (2006.01)

【F I】

H 03M 13/13

【手続補正書】

【提出日】令和2年5月29日(2020.5.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ワイヤレス通信の方法であって、

スケジュール対象エンティティに関する制御情報を含む情報ブロックを生成するステップと、

少なくとも前記スケジュール対象エンティティにおける逐次消去リスト(SCL)復号において利用されるリストサイズに基づいて複合巡回冗長検査(CRC)ビットの総数を選択するステップと、

前記情報ブロック用のCRC情報を生成するステップであって、前記CRC情報が、前記複合CRCビットの前記総数を含む、ステップと、

ポーラ符号化を利用して、前記CRC情報を含む前記情報ブロックを符号化してポーラ符号ブロックを生成するステップと、

前記ポーラ符号ブロックをワイヤレスエアインターフェースを介してスケジュール対象エンティティに送信するステップとを含む方法。

【請求項2】

CRCビットの前記総数を選択するステップは、

前記複合CRCビットの前記総数として、完全性検査ビットの第1の数とCRC援用SCLビットの第2の数の和に等しい数を選択するステップであって、前記CRC援用SCLビットの前記第2の数が、前記リストサイズに基づいて選択される、ステップをさらに含む、請求項1に記載の方法。

【請求項3】

複合CRCビットの前記数を選択するステップは、

前記CRC援用SCLビットの前記第2の数として、前記リストサイズの2進対数に等しい数を選択するステップをさらに含む、請求項2に記載の方法。

【請求項4】

前記CRC援用SCLビットの前記第2の数は、前記リストサイズが8に等しいときには3ビットを含み、

前記CRC援用SCLビットの前記第2の数は、前記リストサイズが32に等しいときには5ビットを含む、請求項3に記載の方法。

【請求項5】

ポーラ符号化を行うために構成された装置であって、
プロセッサと、
前記プロセッサに通信可能に結合されたメモリと、
前記プロセッサに通信可能に結合されたトランシーバとを備え、
前記プロセッサは、
スケジュール対象エンティティに関する制御情報を含む情報ブロックを生成することと、

少なくとも前記スケジュール対象エンティティにおける逐次消去リスト(SCL)復号において利用されるリストサイズに基づいて複合巡回冗長検査(CRC)ビットの総数を選択することと、

前記情報ブロック用のCRC情報を生成することであって、前記CRC情報が、前記複合CRCビットの前記総数を含む、生成することと、

ポーラ符号化を利用して、前記CRC情報を含む前記情報ブロックを符号化してポーラ符号ブロックを生成することと、

前記ポーラ符号ブロックを前記トランシーバを介してワイヤレスエアインターフェース上で前記スケジュール対象エンティティに送信することとを行うように構成される装置。

【請求項6】

前記プロセッサは、
前記複合CRCビットの前記総数として、完全性検査ビットの第1の数とCRC援用SCLビットの第2の数の和に等しい数を選択することであって、前記CRC援用SCLビットの前記第2の数が、前記リストサイズに基づいて選択される、選択することを行うようにさらに構成される、請求項5に記載の装置。

【請求項7】

前記プロセッサは、
前記CRC援用SCLビットの前記第2の数として、前記リストサイズの2進対数に等しい数を選択するようにさらに構成される、請求項6に記載の装置。

【請求項8】

スケジュール対象エンティティにおいて動作可能なワイヤレス通信の方法であって、
前記スケジュール対象エンティティに関する制御情報を、少なくとも前記スケジュール対象エンティティにおける逐次消去リスト(SCL)復号において利用されるリストサイズに基づいて選択される複合CRCビットの総数を含む巡回冗長検査(CRC)情報を含むポーラ符号ブロックを受信するステップと、

SCL復号および前記CRC情報をを利用して前記ポーラ符号ブロックを復号して、前記制御情報と前記CRC情報を含む情報ブロックを生成するステップと、

前記CRC情報をを利用して前記制御情報の完全性を検証するステップとを含む方法。

【請求項9】

前記複合CRCビットの前記総数は、完全性検査ビットの第1の数とCRC援用SCLビットの第2の数の和に等しく、CRC援用SCLビットの前記第2の数は、前記リストサイズに基づいて選択される、請求項8に記載の方法。

【請求項10】

CRC援用SCLビットの前記第2の数は、前記リストサイズの2進対数に等しい、請求項9に記載の方法。

【請求項11】

前記CRC援用SCLビットの前記第2の数は、前記リストサイズが8に等しいときには3ビットを含み、

前記CRC援用SCLビットの前記第2の数は、前記リストサイズが32に等しいときには5ビットを含み、前記完全性検査ビットの前記第1の数は、16ビットを含む、請求項10に記載の方法。

【請求項12】

ポーラ復号用に構成された装置であって、

プロセッサと、

前記プロセッサに通信可能に結合されたメモリと、

前記プロセッサに通信可能に結合されたトランシーバとを備え、

前記プロセッサは、

スケジュール対象エンティティに関する制御情報を含むポーラ符号ブロックと、少なくとも前記装置における逐次消去リスト(SCL)復号において利用されるリストサイズに基づいて選択される複合CRCビットの総数を含む巡回冗長検査(CRC)情報とを前記トランシーバを介して受信すること、

SCL復号および前記CRC情報をを利用して前記ポーラ符号ブロックを復号して、前記制御情報と前記CRC情報を含む情報ブロックを生成すること、

前記CRC情報をを利用して前記制御情報の完全性を検証することを行うように構成される装置。

【請求項 1 3】

前記複合CRCビットの前記総数は、完全性検査ビットの第1の数とCRC援用SCLビットの第2の数の和に等しく、CRC援用SCLビットの前記第2の数は、前記リストサイズに基づいて選択される、請求項12に記載の装置。

【請求項 1 4】

CRC援用SCLビットの前記第2の数は、前記リストサイズの2進対数に等しい、請求項13に記載の装置。

【請求項 1 5】

実行時に少なくとも1つのコンピュータに、請求項1から4および8から11のうちのいずれか一項に記載の方法を実行させるための実行可能命令を含むコンピュータプログラム。