

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 8 月 3 日(03.08.2017)



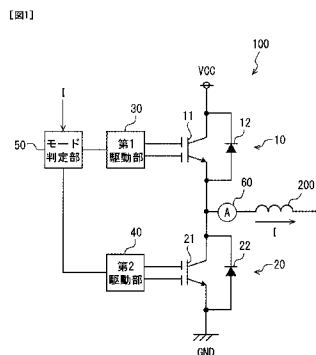
(10) 国際公開番号
WO 2017/130597 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 29/78 (2006.01)
H01L 21/8234 (2006.01) H01L 29/861 (2006.01)
H01L 27/06 (2006.01) H01L 29/868 (2006.01)
H01L 29/739 (2006.01) H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2016/087505
- (22) 国際出願日: 2016 年 12 月 16 日(16.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-013713 2016 年 1 月 27 日(27.01.2016) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者: 柿本 規行(KAKIMOTO Noriyuki); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(JIN Shunji); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



		CC		DD
実際の動作モード	モード判定部が判定する動作モード	第1ゲート電極	第2ゲート電極	
A 順導通モード	順導通モード	EE +V1	+V1	
B	動作モードが判定できない小電流領域	GG +V1	-V2	
C 逆導通モード	逆導通モード	FF V _e	-V2	

FIG. 1.4:
30 First drive unit
40 Second drive unit
50 Mode determination unit
AA Actual operation mode
BB Operation mode determined by the mode determination unit
CC First gate electrode
DD Second gate electrode
EE Forward conduction mode
FF Reverse conduction mode
GG Low current region in which operation mode cannot be determined

(57) Abstract: This semiconductor device is provided with: reverse conducting switching elements (10, 20) in each of which a diode element (12, 22) and a switching element (11, 21) are formed in parallel on the same semiconductor substrate (70, 90); drive units (30, 40) which apply gate voltages to a plurality of gate electrodes (82) formed in the reverse conducting switching elements; and a mode determination unit (50) for determining whether driving is being performed in a forward conduction mode in which current mainly flows through the switching elements, or a reverse conduction mode in which current mainly flows through the diode elements.

(57) 要約: 半導体装置は、同一の半導体基板(70, 90)にダイオード素子(12, 22)とスイッチング素子(11, 21)とが並列して形成された逆導通スイッチング素子(10, 20)と、前記逆導通スイッチング素子に形成される複数のゲート電極(82)にゲート電圧を印加する駆動部(30, 40)と、主に前記スイッチング素子に電流が流れる順導通モードと、主に前記ダイオード素子に電流が流れる逆導通モードと、のいずれのモードで駆動しているかを判定するモード判定部(50)と、を備える。

WO 2017/130597 A1



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
KM, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本出願は、2016年1月27日に出願された日本特許出願番号2016-13713号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] スイッチング素子と逆導通ダイオードとが設けられた半導体装置に関する。

背景技術

[0003] 特許文献1に記載のように、逆導通型の絶縁ゲートバイポーラトランジスタ(RC-IGBT)において、IGBT素子領域をオフ状態に切り替えてダイオード素子領域に還流電流が流れる際に、絶縁トレンチゲート電極に負電圧を印加する半導体装置が知られている。

[0004] これによれば、アノード領域から流出したホールが絶縁トレンチゲート電極に沿ってドリフト層に注入されやすくなり、順方向電圧降下（以下、順電圧という）を低減できるとされている。

先行技術文献

特許文献

[0005] 特許文献1：特開2011-238975号公報

発明の概要

[0006] 特許文献1に記載の動作を実現するためには、IGBT素子領域とダイオード素子領域のいずれがオン状態にあるかを判定し、ゲート電圧の極性を切り替える必要がある。例えば一般的なモータ駆動用のインバータ回路などでは、ゲート電圧の極性をモータ電気角周期で切り替えることになる。IGBT素子領域およびダイオード素子領域のいずれがオン状態であるかは、例えば出力電流の正負で判定することができる。しかしながら、インバータ回路のように短い周期で出力電流の正負が切り替わる態様において、電流センサ

の公差によっては、出力電流の正負判定が精度よく行えない電流領域が生じてしまう。この電流領域は出力電流がゼロ近傍の低電流領域である。

[0007] 従来、出力電流の正負が判定不能なこのような電流領域では、システム全体の動作の安定性を考慮して IGBT 素子領域がオン状態にあると仮定している。一般的な RC-IGBT におけるダイオード素子領域はゲート電極に電圧が印加されるゲート干渉を抑制するためにゲート電極の電位がアノード電位に固定されているが、出力電流の極性によってダイオード素子領域に負電圧を印加する態様では電圧の固定はできない。よって、出力電流の正負が判定不能なこのような電流領域ではダイオード素子領域のゲート電極に正電圧が印加されることになる。このため、発明者は、ダイオード素子領域の順電圧が増大してしまう虞がある課題を見出した。

[0008] 本開示は、あらゆる電流領域においてリカバリ特性の向上と順電圧の低減とを両立した半導体装置を提供することを目的とする。

[0009] 本開示の一態様による半導体装置は、同一の半導体基板にダイオード素子とスイッチング素子とが並列して形成された逆導通スイッチング素子と、逆導通スイッチング素子に形成される複数のゲート電極にゲート電圧を印加する駆動部と、主にスイッチング素子に電流が流れる順導通モードと、主にダイオード素子に電流が流れる逆導通モードと、のいずれのモードで駆動しているかを判定するモード判定部と、を備える。ダイオード素子は、第 1 導電型の第 1 不純物領域と、第 1 不純物領域に接合して形成された第 2 導電型の第 2 不純物領域と、第 1 不純物領域と電氣的に接続される第 1 電極と、第 2 不純物領域と電氣的に接続される第 2 電極と、さらに、第 1 不純物領域にあって、第 2 不純物領域とは離間しつつ第 1 電極と第 2 電極との間の電流経路に形成された第 2 導通型の第 3 不純物領域と、を有し、ゲート電極に所定のゲート電圧が印加されることにより、第 2 不純物領域と第 3 不純物領域に挟まれた第 1 不純物領域におけるバリア領域に反転層が生じるものである。スイッチング素子は、ダイオード素子と共通した第 1 電極および第 2 電極を有するとともに、ゲート電極に所定のゲート電圧が印加されることによりオン

の状態とされて第1電極と第2電極との間に電流が流れるものである。複数のゲート電極は、スイッチング素子をオンの状態とする第1ゲート電圧が入力される第1ゲート電極と、第1ゲート電圧とは独立して制御され、第1電極の電位と同一、もしくは、第1電極の電位を基準として第1ゲート電圧の極性と反対の極性となる第2ゲート電圧が入力される第2ゲート電極と、を有する。ダイオード素子に属するゲート電極は、少なくとも第2ゲート電極を含み、スイッチング素子に属するゲート電極は、少なくとも第1ゲート電極を含む。第1電極と第2電極との間を流れる電流に基づいて、モード判定部により、逆導通モードと判定された際、もしくは、逆導通モードか順導通モードかを判定できない際、第2ゲート電極に、第2ゲート電圧が印加される。

[0010] これによれば、逆導通モードにおいて順電圧を低減できることに加えて、逆導通モードか順導通モードかを判定できない際にも、ダイオード素子の順電圧を低減することができる。なお、逆導通モードか順導通モードかを判定できない際に、万一順導通モードであったとしても、モードの判定ができない電流領域においては、IGBT素子の出力電流が十分小さいので、IGBT素子のコレクターエミッタ間の飽和電圧の増大は限定的である。したがって、本発明を採用することにより、従来に較べて、逆導通モードか順導通モードかを判定できない際の順電圧の増大に起因する損失を低減することができる。

図面の簡単な説明

[0011] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。図面において、

[図1]図1は、第1実施形態に係るインバータの概略構成を示す回路図であり、

[図2]図2は、図3に示すI-I'線に沿う断面であり、第1素子あるいは第2素子の詳細の構造を示す断面図であり、

[図3]図3は、第1素子あるいは第2素子の詳細の構造を示す上面図であり、
[図4]図4は、駆動部が第1素子あるいは第2素子に対して印加するゲート電圧のパターンを示す図であり、
[図5]図5は、ゲート電圧の印加タイミングを示すタイミングチャートであり、
[図6]図6は、ゲート電圧の印加タイミングを示すタイミングチャートであり、
[図7]図7は、ゲート電圧の印加タイミングを示すタイミングチャートであり、
[図8]図8は、第2実施形態に係る第1素子あるいは第2素子の詳細の構造を示す断面図であり、
[図9]図9は、第3実施形態に係る第1素子あるいは第2素子の詳細の構造を示す断面図であり、及び、
[図10]図10は、横型ダイオードの構造を示す断面図である。

発明を実施するための形態

[0012] 以下、本発明の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

[0013] (第1実施形態)

最初に、図1を参照して、本実施形態に係る半導体装置の概略構成について説明する。

[0014] 本実施形態では、ダイオード素子および絶縁ゲートバイポーラトランジスタ素子（IGBT素子）が同一の半導体基板に形成された逆導通絶縁ゲートバイポーラトランジスタ（RC-IGBT）が、半導体装置たるインバータに適用される形態について説明する。

[0015] 図1に示すように、インバータ100は、2つの逆導通絶縁ゲートバイポーラトランジスタ10、20と、各逆導通絶縁ゲートバイポーラトランジスタ10、20のゲート電極にゲート電圧を印加するための駆動部30、40

と、各逆導通絶縁ゲートバイポーラトランジスタ 10, 20 の駆動状態を判定するモード判定部 50 と、を備えている。

[0016] 図 1 に示すように、インバータ 100 は、電源電圧 VCC とグランド GND の間に 2 つの逆導通絶縁ゲートバイポーラトランジスタ 10, 20 が直列に接続されて構成されている。2 つの逆導通絶縁ゲートバイポーラトランジスタ 10, 20 の接続点には負荷 200 が接続されている。以下の記載では、2 つの逆導通絶縁ゲートバイポーラトランジスタ 10, 20 のうち、負荷 200 に対して電源電圧 VCC 側のものを第 1 素子 10 と称し、グランド GND 側のものを第 2 素子 20 と称する。つまり、第 1 素子 10 がインバータ 100 における上アームを構成し、第 2 素子 20 が下アームを構成している。第 1 素子 10 および第 2 素子 20 は、逆導通スイッチング素子に相当する。

[0017] 第 1 素子 10 は、スイッチング素子に相当する IGBT 素子 11 と、ダイオード素子 12 とを有している。ダイオード素子 12 は、いわゆるフライホイールダイオードであり、IGBT 素子 11 におけるエミッタからコレクタに向かって順方向となるように、IGBT 素子 11 に並列に接続されている。

[0018] 第 2 素子 20 は第 1 素子 10 と等価であり、IGBT 素子 21 とダイオード素子 22 とを有している。ダイオード素子 22 は、IGBT 素子 21 におけるエミッタからコレクタに向かって順方向となるように IGBT 素子 21 に並列に接続されている。

[0019] 第 1 素子 10 および第 2 素子 20 はダブルゲート構造の逆導通スイッチング素子であり 2 種類のゲート電極を有している。第 1 素子 10 および第 2 素子 20 の詳しい素子構造については図 2 および図 3 とともに追って詳述する。

[0020] 駆動部は、第 1 素子 10 へのゲート電圧の印加を制御する第 1 駆動部 30 と、第 2 素子 20 へのゲート電圧の印加を制御する第 2 駆動部 40 とを有している。第 1 駆動部 30 および第 2 駆動部 40 の構造は互いに等価である。

本実施形態における駆動部 30、40 は、図 1 に示すように、それぞれ 2 つのゲート配線に接続され、ダブルゲート構造を有する第 1 素子 10 および第 2 素子のそれぞれのゲート電極に独立したゲート電圧を印加することができるようになっている。具体的には、一方のゲート電極（後述する第 1 ゲート電極 82a）にはエミッタ電圧 V_e と $+V_1$ の 2 値が入力でき、他方のゲート電極（後述する第 2 ゲート電極 82b）には $+V_1$ 、 V_e および $-V_2$ の 3 値が入力できる。なお、 $+V_1$ とは、エミッタ電圧 V_e を基準として正の電圧であり、 $-V_2$ とはエミッタ電圧 V_e を基準として負の電圧である。

[0021] なお、第 1 ゲート電圧とは $+V_1$ に相当し、第 2 ゲート電圧とは、 V_e もしくは $-V_2$ に相当する。

[0022] モード判定部 50 は、第 1 素子 10 および第 2 素子 20 の動作モードを判定している。ここで、動作モードとは、絶縁ゲートバイポーラトランジスタにおいて、主に IGBT 素子に電流が流れているか、あるいは主にダイオード素子に電流が流れているか、を区別するものである。以下の記載では、主に IGBT 素子に電流が流れて動作している状態を順導通モードと称し、主にダイオード素子に電流が流れて動作している状態を逆導通モードと称する。

[0023] 本実施形態におけるモード判定部 50 は、負荷 200 に流れる電流の向きに基づいて第 1 素子 10 および第 2 素子 20 の動作モードを判定している。インバータ 100 は、負荷 200 と直列接続された負荷電流検出部 60 を備えている。負荷電流検出部 60 は、負荷 200 を流れる負荷電流 I を、方向を含めて検出する電流計である。負荷電流検出部 60 は、負荷電流 I が第 1 素子 10 と第 2 素子 20 との接続点から負荷 200 に向かって流れる場合を正の電流とし、その逆を負の電流としてモード判定部 50 に出力している。

[0024] モード判定部 50 は、負荷電流検出部 60 から出力される負荷電流 I の正負に基づいて動作モードを判定している。具体的には、負荷電流 I が正の場合には、主に、第 1 素子 10（上アーム）における IGBT 素子 11 および第 2 素子 20（下アーム）におけるダイオード素子 22 に電流が流れている

状態である。よって、モード判定部50は、第1素子10の動作モードを順導通モードと判定し、第2素子20の動作モードを逆導通モードと判定する。一方、負荷電流Iが負の場合には、主に、第1素子10におけるダイオード素子12および第2素子20におけるIGBT素子21に電流が流れている状態である。よって、モード判定部50は、第1素子10の動作モードを逆導通モードと判定し、第2素子20の動作モードを順導通モードと判定する。モード判定部50が動作モードを判定可能な電流レベルよりも負荷電流Iが小さいと、モード判定部50は素子10あるいは素子20の動作モードを判定できないが、そのような場合にはモード判定不可である旨を駆動部30, 40に通知する。

[0025] モード判定部50は、素子10, 20の動作モード、あるいはモード判定不可である旨を駆動部30, 40に通知する。そして駆動部30, 40は、動作モードも応じてゲート電極にゲート電圧を印加する。

[0026] 次に、図2を参照して、第1素子10および第2素子20の詳しい構造について説明する。なお、第1素子10と第2素子20とは互いに等価な逆導通絶縁ゲートバイポーラトランジスタであるからこれらの区別なく説明するが、図1と共通する要素については第1素子10に付した符号と相互に対応付ける。また、図2において、半導体基板70のうちp導電型となる不純物拡散層にハッチングを付しているが、n導電型となる不純物拡散層のハッチングを省略している。

[0027] 本実施形態における逆導通スイッチング素子たる逆導通絶縁ゲートバイポーラトランジスタは、図2に示すように、第1主面70aとその裏面である第2主面70bを有する半導体基板70に形成されている。スイッチング素子としての機能を奏するIGBT素子11とダイオードとしての機能を奏するダイオード素子12は同一の半導体基板70にそれぞれ形成されている。

[0028] 第1主面70aには、例えばアルミニウムから成るカソード電極71が形成されている。カソード電極71は、ダイオード素子12におけるカソード端子あるいはIGBT素子11におけるコレクタ端子に相当し、カソード電

極 7 1 がこれらを互いに兼用している。また、カソード電極 7 1 は、第 1 電極に相当している。

[0029] また、図 2 に示すように、半導体基板 7 0 における第 1 主面 7 0 a の表層においてカソード電極 7 1 に接触するように n 導電型のカソード領域 7 2 a が形成されている。また、カソード領域 7 2 a と同一層に p 導電型のコレクタ領域 7 2 b が形成されている。コレクタ領域 7 2 b はカソード電極 7 1 に接触しつつカソード領域 7 2 a に隣接している。I G B T 素子 1 1 とダイオード素子 1 2 との境界近傍では、ダイオード素子 1 2 が I G B T 1 1 として作用し得る。また、I G B T 素子 1 1 がダイオード素子 1 2 として作用し得る。本実施形態では、機能として I G B T 素子 1 1 とダイオード素子 1 2 が混在する領域を混成領域と称し、カソード領域 7 2 a とコレクタ領域 7 2 b の界面をダイオード部 1 2 と I G B T 部 1 1 の境界と称する。カソード領域 7 2 a は、第 1 不純物領域の一部に相当している。

[0030] カソード領域 7 2 a 上に n 導電型の第 1 ドリフト領域 7 3 a が積層され、コレクタ領域 7 2 b 上に n 導電型の第 2 ドリフト領域 7 3 b が積層されている。第 1 ドリフト領域 7 3 a および第 2 ドリフト領域 7 3 b の名称を便宜的に別にしているが、これらの領域 7 3 a、7 3 b は実質同一の不純物拡散層からなる連続した領域である。第 1 ドリフト領域 7 3 a は、第 1 不純物領域の一部に相当している。

[0031] 第 1 ドリフト領域 7 3 a 上に p 導電型の第 1 サブアノード 7 4 a が積層され、第 2 ドリフト領域 7 3 b 上に p 導電型の第 2 サブアノード 7 4 b が積層されている。第 1 サブアノード 7 4 a および第 2 サブアノード 7 4 b の名称を便宜的に別にしているが、これらのサブアノード 7 4 a、7 4 b は実質同一の不純物拡散層からなる連続した領域である。なお、第 1 サブアノード領域 7 4 a および第 2 サブアノード領域 7 4 b は、第 3 不純物領域に相当している。

[0032] 第 1 サブアノード 7 4 a 上に n 導電型の第 1 バリア領域 7 5 a が積層され、第 2 サブアノード 7 4 b 上に n 導電型の第 2 バリア領域 7 5 b が積層され

ている。第1バリア領域75aおよび第2バリア領域75bの名称を便宜的に別にしているが、これらのバリア領域75a、75bは実質同一の不純物拡散層からなる連続した領域である。第1バリア領域75aは、第1不純物領域の一部に相当している。

[0033] 第1バリア領域75a上にp導電型のアノード領域76aが積層され、第2バリア領域75b上にp導電型のボディ領域76bが積層されている。アノード領域76aおよびボディ領域76bの名称を便宜的に別にしているが、本実施形態におけるこれらの領域76a、76bは実質同一の不純物拡散層からなる連続した領域である。なお、アノード領域76aは、第2不純物領域に相当する。

[0034] なお、第1不純物領域とは、カソード領域72a、第1ドリフト領域73a、第1バリア領域75aを含むn導電型の領域である。そして、ダイオード素子12は、第1サブアノード74aが第2不純物領域たるアノード領域76aから離間しつつ第1不純物領域内に埋め込まれた構造となっている。第1サブアノード74aは、第1ドリフト領域73aとアノード領域76aとの間を流れる電流の電流経路に形成されている。

[0035] ダイオード素子12において、上記した第1サブアノード74aおよび第1バリア領域75aが形成されていることにより、アノード領域76aから第1ドリフト領域73aへのホールの注入が抑制され、ダイオード素子12に印加される電圧が順バイアスから逆バイアスに切り替わった際における逆電流が制限される。このため、第1サブアノード74aおよび第1バリア領域75aが形成されていないダイオードに較べて逆回復電流を小さくできるのでリカバリ特性を向上させることができる。ただし、第1サブアノード74aおよび第1バリア領域75aにより形成されるpn接合がダイオード素子12の順方向電流の流れを阻害するため順電圧 V_F は大きくなる。

[0036] また、第2主面70bの表層には、ボディ領域76bに囲まれるようにn導電型のエミッタ領域77が形成されている。そして、エミッタ領域77、ボディ領域76b、およびアノード領域76aに接触するようにして第2主

面 70b 上にアノード電極 78 が形成されている。アノード電極 78 は、ダイオード素子 12 におけるアノード端子あるいは IGBT 素子 11 におけるエミッタ端子に相当している。また、アノード電極 78 は、第 2 電極に相当する。

[0037] 図 2 に示すように、IGBT 素子 11 は、不純物拡散層として、コレクタ領域 72b、第 2 ドリフト領域 73b、第 2 サブアノード 74b、第 2 バリア領域 75b、ボディ領域 76b およびエミッタ領域 77 を有している。一方、ダイオード素子 12 は、不純物拡散層として、カソード領域 72a、第 1 ドリフト領域 73a、第 1 サブアノード 74a、第 1 バリア領域 75a およびアノード領域 76a を有している。

[0038] 実質同一の層に位置する各不純物拡散層は、IGBT 素子 11 およびダイオード素子 12 の電気的特性の要求に応じて、対応する領域の不純物濃度を互いに異なる濃度とすることを妨げるものではなく、これらの領域の不純物濃度は適宜設定されるべきである。

[0039] さらに、この逆導通絶縁ゲートバイポーラトランジスタは、第 2 主面 70b から半導体基板 70 の厚さ方向に形成されてドリフト領域 73a、73b に達するトレンチゲート 80 を有している。トレンチゲート 80 は、IGBT 素子 11 にあってはボディ領域 76b、第 2 バリア領域 75b、第 2 サブアノード 74b を貫通して第 2 ドリフト領域 73b に達し、ダイオード素子 12 にあってはアノード領域 76a、第 1 バリア領域 75a、第 1 サブアノード 74a を貫通して第 1 ドリフト領域 73a に達している。

[0040] トレンチゲート 80 は、第 2 主面 70b から半導体基板 70 の厚さ方向に延びてドリフト領域 73a、73b に達するまで掘られたトレンチの内面に成膜された絶縁膜 81 と、トレンチを埋めるように形成された導電性のゲート電極 82 から成る。ゲート電極 82 とエミッタ電極 78 は絶縁膜 81 を介しているため互いに絶縁されている。また、IGBT 素子 11 に形成されたエミッタ領域 77 はトレンチゲート 80 に接するように形成され、ゲート電極 82 にアノード電極 78 よりも高い電圧が印加されるとボディ領域 76b

および第2サブアノード74bにチャネルが形成されてアノード電極78とカソード電極71の間にIGBT動作による出力電流が流れる。

[0041] 本実施形態における複数のゲート電極82は、第1ゲート電極82aと第2ゲート電極82bの2つのゲート電極とに分類される。第1ゲート電極82aは第1ゲートパッドG1に接続されている。第2ゲート電極82bは第2ゲートパッドG2に接続されている。第1ゲート電極82aと第2ゲート電極82bにはそれぞれ独立した電圧が印加される。図1に示すように、第1駆動部30は、第1素子11における第1ゲート電極82aおよび第2ゲート電極82bに電圧を供給している。同様に、第2駆動部40は、第2素子21における第1ゲート電極82aおよび第2ゲート電極82bに電圧を供給している。

[0042] ところで、p導電型のアノード領域76aおよびボディ領域76bと、n導電型の第1、第2バリア領域75a、75bと、p導電型の第1、第2サブアノード74a、74bは、pn_p型の寄生トランジスタを形成している。n導電型のバリア領域75a、75bは、ホールにとってはp導電型の領域に対してポテンシャル障壁となるが、ゲート電極82に印加される電圧（ゲート電圧）によってその障壁高さを制御することができるようになっている。

[0043] すでに説明したように、第2ゲート電極82bには特に、アノード電極78（第2電極に相当し、IGBTではエミッタ電極と称される）の電圧よりもV₂だけ低い電圧を印加できるようになっている。すなわち、第2ゲート電極82bの電位を、アノード電極78に対して負電位にすることができるようになっている。これにより、バリア領域75a、75bのポテンシャル障壁を消失するように障壁高さを変動させることができる。これにより、ダイオード素子11は、第1バリア領域75aが反転してアノード領域76a、第1バリア領域75aおよび第1サブアノード74aが一体的なp導電型の領域と見なせる。つまり、ダイオード素子12は単純なpn接合ダイオードとなり、第1サブアノード74aが形成されたダイオードに較べて順電圧

V_Fを低減することができる。

[0044] 本実施形態において、ゲート電圧V₂は、少なくとも第1バリア領域75aにチャネルを生じさせることができる値に設定されている。換言すれば、電圧V₂は、ダイオード素子12において、アノード領域76aと、第1バリア領域75aと、第1サブアノード74aとにより形成される寄生トランジスタの閾値電圧V_{th}以上となるように設定されている。一方、ゲート電圧V₁は、IGBT素子11において、ボディ領域76bにチャネルを生じさせることのできる値に設定されている。換言すれば、ゲート電圧V₁はスイッチング素子たるIGBTをオンの状態にすることのできる電圧に設定されている。

[0045] なお、本実施形態におけるn導電型は、第1導電型に相当し、p導電型は第2導電型に相当する。導電型の関係性は互いに逆であっても良い。この場合、アノードとカソードの関係も逆になる。

[0046] 次に、図3を参照して、本実施形態における第1素子10および第2素子20の平面レイアウトについて説明する。なお、第1素子10と第2素子20とは互いに等価な逆導通絶縁ゲートバイポーラトランジスタであるからこれらの区別なく説明する。また、符号について、図1および図2と共通する要素は第1素子10に付した符号と相互に対応付ける。図3におけるI-I線に沿う断面が図2に相当する。

[0047] 図3に示すように、本実施形態における絶縁ゲートバイポーラトランジスタは、ゲート電極82がストライプ状に形成されている。ゲートパッドG1、G2とゲート電極82とを互いに電氣的に接続するゲート配線83は、IGBT素子11あるいはダイオード素子12が形成された素子領域上において、ゲート電極82の延設方向に沿って形成されている。ゲート配線83は、第1ゲートパッドG1と第1ゲート電極82aとを接続する第1ゲート配線83aと、第2ゲートパッドG2と第2ゲート電極82bとを接続する第2ゲート配線83bとを含む。

[0048] 上記したように、第1ゲート電極82aには、アノード電極78（すなわ

ち、エミッタ電極)の電位 V_e 、および、 V_e を基準にして正の電圧 $+V_1$ が印加可能とされている。また、第2ゲート電極82bには、 V_e 、 $+V_1$ 、そして V_e を基準にして負の電圧 $-V_2$ が印加可能とされている。

[0049] この絶縁ゲートバイポーラトランジスタにおいて、IGBT素子11のゲート電極82には第1ゲート電極82aと第2ゲート電極82bの両方が含まれる。そして、ダイオード素子12のゲート電極82には第2ゲート電極82bのみが割り当てられている。つまり、IGBT素子11は、IGBTをオンの状態にするゲート電圧 V_1 が少なくとも印加可能にされているとともに、ゲート電圧 V_1 の印加とは独立してゲート電圧 $-V_2$ が印加可能にされている。また、ダイオード素子12は、ゲート電圧 $-V_2$ が少なくとも印加可能にされている。

[0050] また、図3に示すように、IGBT素子11とダイオード素子12との境界近傍の領域、すなわち混成領域には、第2ゲート電極82bが割り当てられている。つまり、混成領域には、 $+V_1$ と $-V_2$ の両方が印加可能になっている。

[0051] なお、IGBT素子11が形成された領域では、図3に示すように、ゲート配線83の延設方向に直交する方向において、第1ゲート電極82aと第2ゲート電極82bとが交互に配置されていることが好ましい。もちろん、同種のゲート電極82が互いに隣り合うように配置しても構わないが、第1ゲート電極82aと第2ゲート電極82bとが交互に配置されていることによって、後に詳述するターンオフに係るスイッチング速度を速くする効果をより大きくすることができる。また、発熱源を分散させることができるので、熱的に有利である。

[0052] また、ゲート電極82は、必ずしも全てのゲート電極82が第1ゲート電極82aあるいは第2ゲート電極82bに属する必要はなく、いくつかのゲート電極82がアノード電極78に短絡された間引き構造としても良い。アノード電極78に短絡されたゲート電極82の電位はアノード電圧(エミッタ電圧に相当)に固定されるので、素子10、20全体としてゲート容量を

小さくすることができる。これにより、素子 10, 20 を駆動するために必要な駆動部 30, 40 のドライブ能力を抑制することができる。

[0053] 次に、図 4 を参照して、本実施形態における半導体装置、とくに第 1 素子 10 および第 2 素子 20 の動作とともに、作用効果について説明する。図 4 は、第 1 ゲート電極 82 a および第 2 ゲート電極 82 b に印加されるゲート電圧を、第 1 素子 10 あるいは第 2 素子 20 の動作モードに対応して図示したものである。第 1 素子 10 と第 2 素子 20 とは互いに等価であるから、とくに断らない限り第 1 素子 10 について説明する。

[0054] 素子 10 の状態には、図 4 に示す A ~ D の状態がある。状態 A は、負荷電流 I が十分大きく、順導通モードで動作中であることが判定可能な状態である。状態 B は、実際は順導通モードであるものの、負荷電流 I が動作モードを判定可能なレベルに比べて小さく、モード判定部 50 が順導通モードか逆導通モードかを判定できない状態である。状態 C は、状態 B は、実際は逆導通モードであるものの、負荷電流 I が動作モードを判定可能なレベルに比べて小さく、順導通モードか逆導通モードかを判定できない状態である。状態 D は、負荷電流 I が十分大きく、逆導通モードで動作中であることが判定可能な状態である。

[0055] 状態 A において、駆動部 30 は、第 1 ゲート電極 82 a と第 2 ゲート電極 82 b の両方に電圧 $+V_1$ を印加する。状態 A は素子 10 が順導通モードで駆動中であり、IGBT としての機能が期待される。よって、IGBT 素子 11 が形成された領域に属する第 1 ゲート電極 82 a と第 2 ゲート電極 82 b の両方に電圧 $+V_1$ を印加することにより IGBT として動作させることができる。一方、ダイオード素子 12 が形成された領域に属する第 2 ゲート電極 82 b にも $+V_1$ が印加される。本実施形態においては、ダイオード素子 12 の属するゲート電極 82 はすべて第 2 ゲート電極 82 b であり、IGBT 素子 11 との境界近傍である混成領域にも $+V_1$ が印加される。よって、混成領域を IGBT として機能させることができる。

[0056] 状態 B および状態 C において、駆動部 30 は、第 1 ゲート電極 82 b に電

圧 $+V_1$ を印加するとともに、第2ゲート電極82bに電圧 $-V_2$ を印加する。状態Bおよび状態Cは、モード判定部50では素子10がいずれの動作モードで動作中かを判定できない電流領域である。仮に、素子10が順導通モードであった（状態B）とすれば、IGBT素子11に属する第1ゲート電極82aには電圧 $+V_1$ が印加されているので、IGBTとして正しく動作させることができる。また、IGBT素子11に属する第2ゲート電極82bに電圧 $-V_2$ が印加されているので、IGBT素子11のターンオフ時において、ボディ領域76bにホールが流入しやすい状態となる。すなわち、第2ドリフト領域73bの存在するホールがボディ領域76bに移動しやすくなり、ターンオフに係るスイッチング速度を速くすることができる。

[0057] 一方、仮に素子10が逆導通モードであった（状態C）としても、ダイオード素子12の属する第2ゲート電極82bには電圧 $-V_2$ が印加されているので、順電圧 V_F を低減する効果を奏することができる。また、上記のとおり、IGBT素子11をIGBTとして動作させるために第1ゲート電極82aには電圧 $+V_1$ が印加されているが、IGBT素子11とダイオード素子12との境界近傍である混成領域にも第2ゲート電極82bによって電圧 $-V_2$ が印加されているので、第1ゲート電極82aに電圧 $+V_1$ が印加されることによるゲート干渉を抑制することができる。すなわち、ダイオード素子12をダイオードとして確実に機能させることができる。

[0058] 状態Dにおいて、駆動部30は、第1ゲート電極82bにエミッタ電圧 V_e を印加するとともに、第2ゲート電極82bに電圧 $-V_2$ を印加する。状態Dは素子10が逆導通モードで駆動中であり、ダイオードとしての機能が期待される。よって、ダイオード素子12が形成された領域に属する第2ゲート電極82bに電圧 $-V_2$ を印加することにより順電圧 V_F を低減する効果を奏することができる。一方、第1ゲート電極82aにはエミッタ電圧 V_e が印加されている。このため、第1ゲート電極82aはエミッタ電圧 V_e を基準に負電圧が印加される場合に較べて、負電圧を印加する機能は第2ゲート電極82b側だけでよく、回路規模を小さくできる。

[0059] 次に、図5～図7を参照して、第2ゲート電極82bにゲート電圧 $-V_2$ を印加する具体的なタイミングについて、3通りの例で説明する。なお、図5～7における負荷電流 I は図1に示す負荷電流 I と同義であり、負荷電流 I は第1素子10と第2素子20との接続点から負荷200に向かって流れる場合を正の電流としている。また、第1ゲート電極82aに印加されるゲート電圧はIGBT素子11をIGBTとしてスイッチング動作させるためのものであり、PWM基準信号に同期してハイレベルとローレベルとを繰り返しているとする。

[0060] <PWM基準信号に同期する実施例>

図5に示すように、この例では、第2ゲート電極82bに印加されるゲート電圧も、第1ゲート電極82aと同様にPWM基準信号に同期して印加される。PWM基準信号のHigh/Lowは、上アームを構成する第1素子10に対応するものと、下アームを構成する第2素子20に対応するものとで互いに反転した関係になっている。PWM基準信号がHighの期間において、図4に示すゲート電圧が有効となり、PWM基準信号がLowの期間はエミッタ電圧 V_e がゲート電圧として各ゲート電極82に入力される。

[0061] 時刻 t_1 ～時刻 t_2 において、モード判定部50は、第1素子10が順導通モードであり、第2素子20が逆導通モードであると判定する。したがって、第1素子10は状態Aで動作する。つまり、PWM基準信号に同期してハイレベルが $+V_1$ とされ、ローレベルが V_e とされるPWM制御されたゲート電圧が第1ゲート電極82aと第2ゲート電極82bの両方に印加される。一方、第2素子20は状態Dで動作する。つまり、第1ゲート電極82aには、常にエミッタ電圧 V_e が印加され、第2ゲート電極82bには、ハイレベルが V_e とされローレベルが $-V_2$ とされるPWM制御されたゲート電圧が印加される。

[0062] 時刻 t_2 ～時刻 t_3 において、モード判定部50は、第1素子10および第2素子20の動作モードを判定することができない。したがって、第1素子10および第2素子20は、状態Bまたは状態Cで動作する。つまり、第

1 ゲート電極 8 2 a には、ハイレベルが $+V_1$ とされローレベルが V_e とされる PWM 制御されたゲート電圧が印加される。第 2 ゲート電極 8 2 b には、ハイレベルが V_e とされローレベルが $-V_2$ とされる PWM 制御されたゲート電圧が印加される。

[0063] 時刻 t_3 ~ 時刻 t_4 において、モード判定部 5 0 は、第 1 素子 1 0 が逆導通モードであり、第 2 素子 2 0 が順導通モードであると判定する。したがって、第 1 素子 1 0 は状態 D で動作し、第 2 素子 2 0 が状態 A で動作する。ゲート電圧は、時刻 t_1 ~ 時刻 t_2 における第 1 素子 1 0 と第 2 素子 2 0 との関係と逆の関係にある。

[0064] 時刻 t_4 ~ 時刻 t_5 において、モード判定部 5 0 は、第 1 素子 1 0 および第 2 素子 2 0 の動作モードを判定することができない。したがって、第 1 素子 1 0 および第 2 素子 2 0 は、状態 B または状態 C で動作する。つまり、ゲート電圧は、時刻 t_2 ~ 時刻 t_3 と同様に変化する。

[0065] この例では、状態 C あるいは状態 D の逆導通モードにおいて、ダイオード素子 1 2 にエミッタ電圧 V_e に対して負の電圧 $-V_2$ を印加するので順電圧 V_F を低減することができる。これに加えて、一般的な駆動回路にて実施される通り、第 1 素子 1 0 に入力される PWM 基準信号と、第 2 素子 2 0 に入力される PWM 基準信号が、同時に High にならないように、双方が Low となるデットタイムが一定時間設定されていることより、逆導通絶縁ゲートバイポーラトランジスタのリカバリ期間にダイオード素子 1 2 に印加するゲート電圧を V_e にしておくことができるため、常に $-V_2$ が印加された状態に比べてリカバリ損失を低減することができる。

[0066] <常に負電圧が印加される実施例>

図 6 に示すように、この例では、状態 B ~ D において第 2 ゲート電極 8 2 b に印加されるゲート電圧が $-V_2$ であるとき、PWM 基準信号に依らず常に電圧 $-V_2$ が印加される。この例でも、ダイオード素子 1 2 にエミッタ電圧 V_e に対して負の電圧 $-V_2$ を印加するので順電圧 V_F を低減することができる。また、IGBT 素子 1 1 においてボディ領域 7 6 b へホールが流入

しやすい状況をつくることができ、ターンオフに係るスイッチング速度を速くすることができる。ただし、上述したPWM基準信号に同期する動作に比べて、 V_2 の大きさを小さく設定することが好ましい。これは、 V_2 の大きさを過剰に設定すると逆導通によるダイオード電流が大きい状態では、ダイオード素子12におけるリカバリ損失が大きくなるためである。この例のように、PWM基準信号に依らず常に電圧 $-V_2$ が印加されるような態様は、順電圧 V_F による損失の低減効果が高いが、リカバリ損失も増大する虞があるため、システム全体の駆動損失に占める順電圧 V_F による損失の割合が大きいシステムにおいて有効である。

[0067] <ダイオード電流の大きさに依存して負電圧が印加される例>

PWM基準信号に依らず常に電圧 $-V_2$ が印加される態様では、上記したように、ダイオード電流が大きい場合にリカバリ損失が増大してしまう虞がある。これを解決するため、この例では、図7に示すように、ダイオード電流、ひいては負荷電流 I に閾値を設ける。負荷電流 I の大きさが閾値より小さい場合には第2ゲート電極82bに電圧 $-V_2$ が印加され、負荷電流 I の大きさが閾値以上の場合は、第2ゲート電極82bに電圧 V_e が印加される。これにより、ダイオード電流が大きい場合のリカバリ損失を低減することができる。

[0068] (第2実施形態)

第1実施形態において説明した第1素子10、第2素子20たる逆導通絶縁ゲートバイポーラトランジスタに加えて、図8に示すように、 n 導電型のピラー領域79を有していることが好ましい。ピラー領域79は、半導体基板70の第2主面70bから厚さ方向に延び、アノード領域76aあるいはボディ領域76bを貫通して第1バリア領域75a、第2バリア領域75bに至るように形成されている。ピラー領域79は、第1、第2バリア領域75a、75bと同一の導電型の不純物がドーピングされた拡散層であり、ピラー領域79とバリア領域75a、75bとは略同電位である。

[0069] ピラー領域79を有することにより、アノード電極78とカソード電極7

1の間に順バイアスが印加されると、アノード電極78とピラー領域79は金属-半導体接合面を介して短絡する。ピラー領域79と第1バリア領域75aはほぼ同電位であるため、第1バリア領域75aとアノード電極78の電位差は金属-半導体接合面での電圧降下とほぼ等しくなる。金属-半導体接合面での電圧降下は、アノード領域76aと第1バリア領域75aの間のpn接合のビルトイン電圧よりも小さいので、アノード領域76aから第1ドリフト領域73aへのホールの注入が抑制される。

[0070] アノード電極78とカソード電極71の間の電圧が順バイアスから逆バイアスに切り替わると、ダイオード素子12では、順バイアスの印加時においてアノード領域76aから第1ドリフト領域73aへのホールの注入が抑制されているから、リカバリ電流が小さく、リカバリ時間が短い。

[0071] また、このダイオード素子12では、アノード電極78とカソード電極71の間に逆バイアスが印加されると、第1サブアノード74aと第1ドリフト領域73aの間のpn接合の界面から伸びる空乏層によって耐圧が確保される。すなわち、このダイオード素子12によれば、逆バイアスに対する耐圧を向上することができる。

[0072] なお、本実施形態ではピラー領域79がIGBT素子11にも形成される例を示したが、少なくともダイオード素子12に形成されていればホール注入抑制効果を奏することができる。このため、必ずしもIGBT素子11にピラー領域79が形成されている必要はない。

[0073] (第3実施形態)

第1実施形態において図3を参照して平面レイアウトについて説明した間引き構造について、本実施形態において具体的に説明する。本実施形態では、第2実施形態において説明したように、ピラー領域79を備える態様であって、図9に示すように、ダイオード素子12において、互いに隣り合うゲート電極82をアノード電極78と短絡させないようにしている。換言すれば、アノード電極78と短絡したゲート電極82に隣接するゲート電極82は、第2ゲート電極82bに割り当てられている。これによれば、ダイオ

ード素子 12 に形成された第 1 バリア領域 75 a は、少なくとも一つの第 2 ゲート電極 82 b に、絶縁膜 81 を介して接しているので、ダイオード素子 12 は、第 2 ゲート電極 82 b に負電圧 $-V_2$ が印加されることによる順電圧 V_F の低減効果を奏することができる。また、間引き構造によるゲート容量の低減効果を奏することもできる。

[0074] なお、本実施形態では、逆導通絶縁ゲートバイポーラトランジスタがピラー領域 79 を有する構成について説明したが、第 1 実施形態のようにピラー領域 79 を有さない構成についても同様である。

[0075] (その他の実施形態)

以上、本発明の好ましい実施形態について説明したが、本発明は上記した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

[0076] 上記した各実施形態では、トレンチゲート 80 を有する縦型の絶縁ゲートバイポーラトランジスタを例に説明したが、必ずしもトレンチ型のゲート電極 82 を有する構成である必要はないし縦型である必要もない。図 10 に示すように、横型素子についても本発明を適用可能である。バリア領域とゲート電極とを有するダイオードは、図 10 に示すように、 n 導電型の半導体基板 90 における一面 90 a の表層に、 p 導電型のアノード領域 91 が形成されている。そして、アノード領域 91 を取り囲むように、 n 導電型のバリア領域 92 が一面 90 a に一部が露出しつつ形成されている。さらに、バリア領域 92 を挟んでアノード領域 91 の反対側にサブアノード 93 が形成されている。アノード領域 91 には金属製のアノード電極 94 が一面 90 a において接合されている。また、アノード領域 91、バリア領域 92 およびサブアノード 93 が形成されていない半導体基板 90 の一面 90 a にカソード電極 95 が接合されている。

[0077] ダイオード電流はアノード電極 94 とカソード電極 95 の間を流れる。この例では、カソード電極 95 が接合された n 導電型の半導体基板が第 1 不純物領域に相当し、アノード電極 94 が接合されたアノード領域 91 が第 2 不

純物領域に相当する。つまり、ダイオード電流はカソード電極 9 5 近傍の半導体基板とアノード領域 9 1 の間を流れ、その電流経路にサブアノード 9 3 とバリア領域 9 2 が位置している。この横型のダイオードは、さらに、バリア領域 9 2 が露出した一面 9 0 a 上に、絶縁膜 9 6 を介してゲート電極 9 7 が形成されている。第 1 実施形態において説明した縦型のダイオード素子 1 2 と同様に、横型のダイオードでも、バリア領域 9 2 を有することによりリカバリ特性を向上させることができ、ゲート電極 9 7 にアノード領域 9 1 の電位に対して負の電圧を印加することにより順電圧 V_F を低減することができる。よって、第 1 実施形態と同様に、モード判定部 5 0 が順導通モードか逆導通モードかを判定できない場合には、ゲート電極 9 7 に負の電圧を印加することにより第 1 実施形態と同様の効果を奏することができる。

[0078] また、上記した各実施形態において、負電圧 $-V_2$ を入力するタイミングでエミッタ電圧 V_e を印加するに留めることもできる。この場合は、負電圧印加による順電圧 V_F の低減効果は小さいものの、ダイオード素子 1 2 に電圧 $+V_1$ が印加されることはないので、 $+V_1$ が印加されることに起因するダイオード特性の悪化、とくに順電圧 V_F の増加を抑制することができる。

[0079] また、上記した各実施形態において、ダイオード素子 1 2 に並列するスイッチング素子として IGBT 素子 1 1 を採用する例について説明したが、スイッチング素子は例えば MOSFET であっても良い。MOSFET の場合、図 2、図 8 および図 9 に示すスイッチング素子領域（上記した各実施形態では IGBT 素子 1 1）のコレクタ領域 7 2 b が n 導電型のドレイン領域となり、スイッチング素子とダイオード素子を兼ねた領域となる。つまり、スイッチング素子領域とダイオード素子 1 2 とを作り分けることはしなくともよい。なお、図 2、図 8 および図 9 に示したエミッタ領域 7 7 はソース領域となる。このような態様では、実質的にスイッチング素子として機能する領域と、ダイオードとして機能する領域とが並列に形成された状態にある。

[0080] また、上記した各実施形態では、ゲート電極 8 2 がストライプ状に形成された例について説明したが、少なくとも第 1 ゲート電極 8 2 a と第 2 ゲート

電極 8 2 b とに分けられていれば任意形状で良く、例えば格子状に形成されていても良い。

[0081] また、逆導通スイッチング素子における IGBT 素子 1 1, 2 1 側には必ずしもバリア領域 9 2 およびサブアノード 9 3 を形成する必要はなく、ダイオード素子 1 2, 2 2 側においてもサブアノード 9 3 は全面ではなく部分的に形成されていても良い。

[0082] また、上記した各実施形態では、IGBT 素子 1 1, 2 1 における第 1 電極および第 2 電極と、ダイオード素子 2 1, 2 2 における第 1 電極および第 2 電極とが、素子内においてそれぞれ共通のゲートパッド G 1, G 2 に接続される例について説明した。しかしながら、互いの電極は素子外において接続されても良く、ダイオード素子と共通した第 1 電極および第 2 電極、との表現は、第 1 素子 1 0 あるいは第 2 素子 2 0 外部での接続も含むものである。

[0083] さらに、上記した各実施形態では、スイッチング素子領域とダイオード素子において第 1 電極 7 1 が共通して形成される例について説明したが、IGBT 素子 1 1, 2 1 におけるコレクタ電極と、ダイオード素子 2 1, 2 2 におけるカソード電極とをそれぞれ別体として形成してもよく、互いの電極が第 1 素子 1 0 あるいは第 2 素子 2 0 外部で接続される場合も含むものである。

[0084] また、上記した各実施形態では、スイッチング素子領域とダイオード素子において第 2 電極 7 8 が共通して形成される例について説明したが、IGBT 素子 1 1, 2 1 におけるエミッタ電極と、ダイオード素子 2 1, 2 2 におけるアノード電極とをそれぞれ別体として形成してもよく、互いの電極が第 1 素子 1 0 あるいは第 2 素子 2 0 外部で接続される場合も含むものである。

[0085] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形

態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1]

同一の半導体基板（70, 90）にダイオード素子（12, 22）とスイッチング素子（11, 21）とが並列して形成された逆導通スイッチング素子（10, 20）と、

前記逆導通スイッチング素子に形成される複数のゲート電極（82）にゲート電圧を印加する駆動部（30, 40）と、

主に前記スイッチング素子に電流が流れる順導通モードと、主に前記ダイオード素子に電流が流れる逆導通モードと、のいずれのモードで駆動しているかを判定するモード判定部（50）と、を備え、

前記ダイオード素子は、

第1導電型の第1不純物領域（72a, 73a, 75a）と、

前記第1不純物領域に接合して形成された第2導電型の第2不純物領域（76a, 91）と、

前記第1不純物領域と電氣的に接続される第1電極（71, 95）と、

前記第2不純物領域と電氣的に接続される第2電極（78, 94）と、

さらに、前記第1不純物領域にあって、前記第2不純物領域とは離間しつつ前記第1電極と前記第2電極との間の電流経路に形成された第2導通型の第3不純物領域（74a, 93）と、を有し、

前記ゲート電極に所定のゲート電圧が印加されることにより、前記第2不純物領域と前記第3不純物領域に挟まれた前記第1不純物領域におけるバリア領域（75a, 92）に反転層が生じるものであり、

前記スイッチング素子は、

前記ダイオード素子と共通した前記第1電極および前記第2電極を有するとともに、前記ゲート電極に所定のゲート電圧が印加されることによりオンの状態とされて前記第1電極と前記第2電極との間に電流が流れるものであり、

前記複数のゲート電極は、

前記スイッチング素子をオンの状態とする第1ゲート電圧が入力される第1ゲート電極（82a）と、

前記第1ゲート電圧とは独立して制御され、前記第2電極の電位と同一、もしくは、前記第2電極の電位を基準として前記第1ゲート電圧の極性と反対の極性となる第2ゲート電圧が入力される第2ゲート電極（82b）と、を有し、

前記ダイオード素子に属する前記ゲート電極は、少なくとも前記第2ゲート電極を含み、前記スイッチング素子に属する前記ゲート電極は、少なくとも前記第1ゲート電極を含み、

前記第1電極と前記第2電極との間を流れる電流に基づいて、前記モード判定部により、前記逆導通モードと判定された際、もしくは、前記逆導通モードか前記順導通モードかを判定できない際、前記第2ゲート電極に、前記第2ゲート電圧が印加される半導体装置。

[請求項2] 前記駆動部は、前記逆導通モードと判定された際、もしくは、前記逆導通モードか前記順導通モードかを判定できない際、ハイレベルとローレベルの2値を少なくとも有しPWM制御されたゲート電圧を前記第2ゲート電極に印加するものであり、

前記ローレベルは、前記第2電極の電位を基準として前記第1ゲート電圧の極性と反対の極性である請求項1に記載の半導体装置。

[請求項3] 前記駆動部は、前記逆導通モードと判定された際、もしくは、前記逆導通モードか前記順導通モードかを判定できない際、常に前記第2電極の電位を基準として前記第1ゲート電圧の極性と反対の極性であるゲート電圧を前記第2ゲート電極に印加する請求項1に記載の半導体装置。

[請求項4] 前記駆動部は、前記逆導通モードと判定された際、前記第1電極と前記第2電極との間に流れるダイオード電流の大きさが所定の閾値以上の場合に、前記第2電極の電位と同一のゲート電圧を前記第2ゲート電極に印加する。

ト電極に印加し、

前記ダイオード電流の大きさが所定の閾値より小さい場合に、前記第2電極の電位を基準として前記第1ゲート電圧の極性と反対の極性であるゲート電圧を前記第2ゲート電極に印加する請求項1に記載の半導体装置。

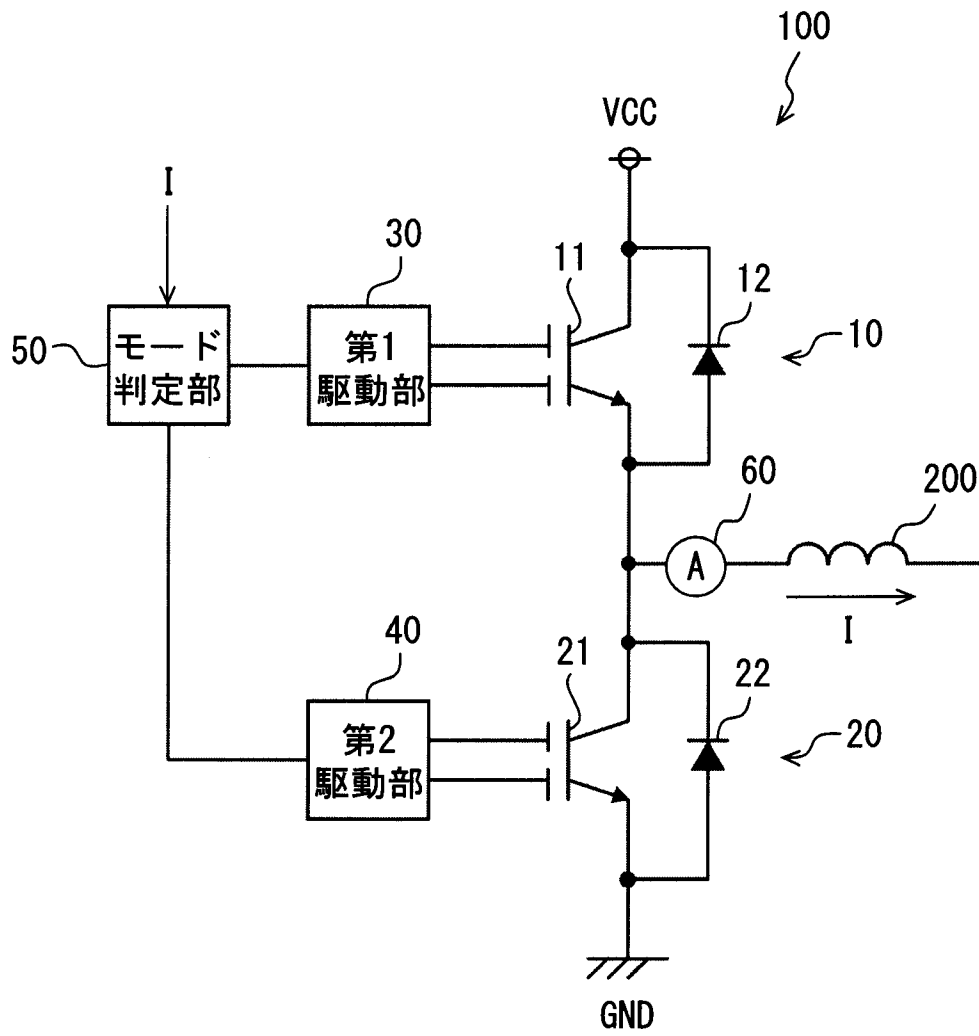
[請求項5] 前記ダイオード素子が形成される領域と、前記スイッチング素子が形成される領域との境界となる混成領域における前記ゲート電極は、前記第2電極の電位を基準として前記第1ゲート電圧の極性と反対の極性であるゲート電圧が印加可能である請求項1～4のいずれか1項に記載の半導体装置。

[請求項6] 前記ダイオード素子が形成される領域と、前記スイッチング素子が形成される領域との境界となる混成領域における前記ゲート電極は、前記第1ゲート電圧が印加可能である請求項1～5のいずれか1項に記載の半導体装置。

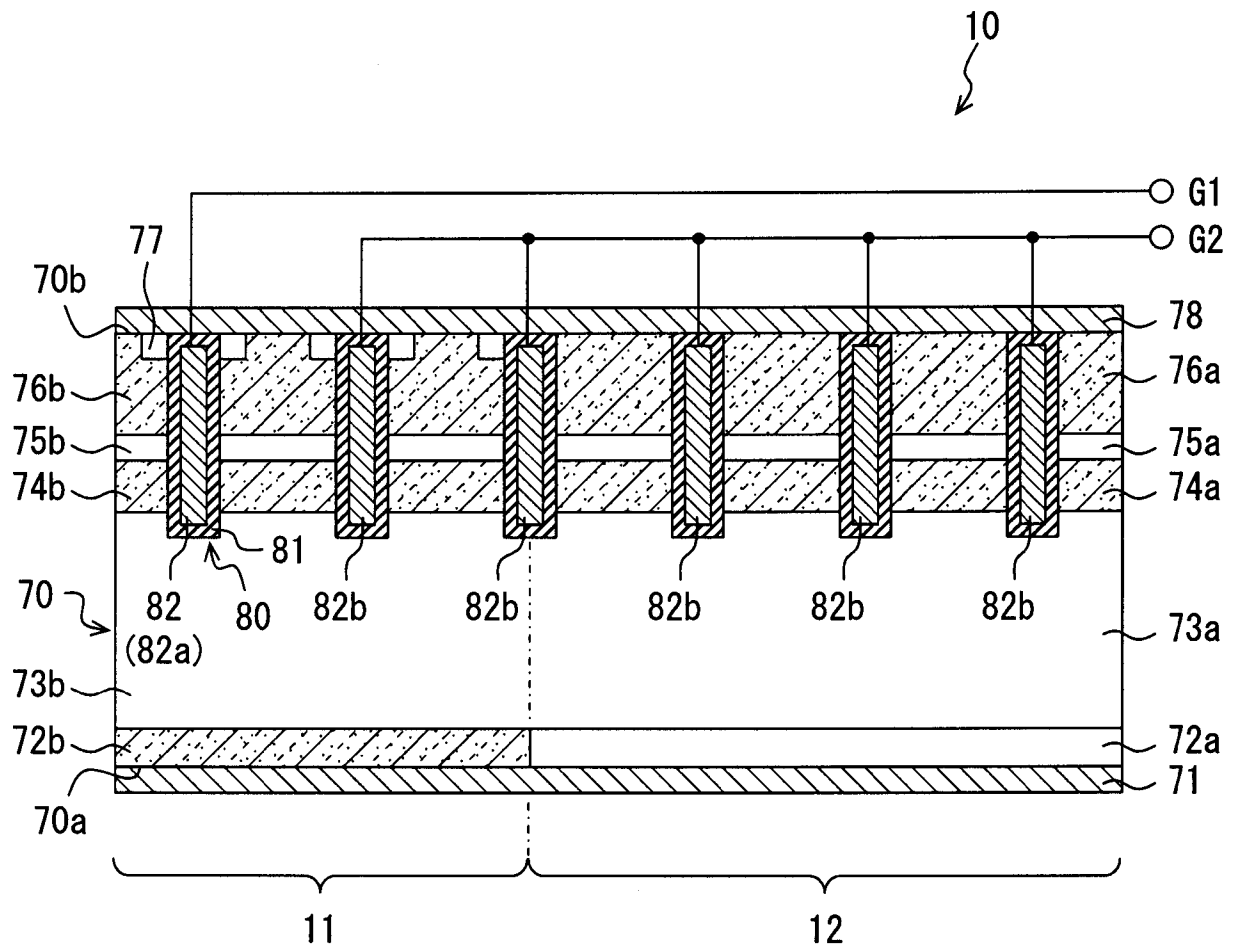
[請求項7] 前記スイッチング素子に属する前記ゲート電極は、前記第2ゲート電極を含む請求項1～6のいずれか1項に記載の半導体装置。

[請求項8] 前記駆動部は、前記逆導通モードと判定された際、前記第1ゲート電極に印加されるゲート電圧を前記第2電極の電位と同一とする請求項1～7のいずれか1項に記載の半導体装置。

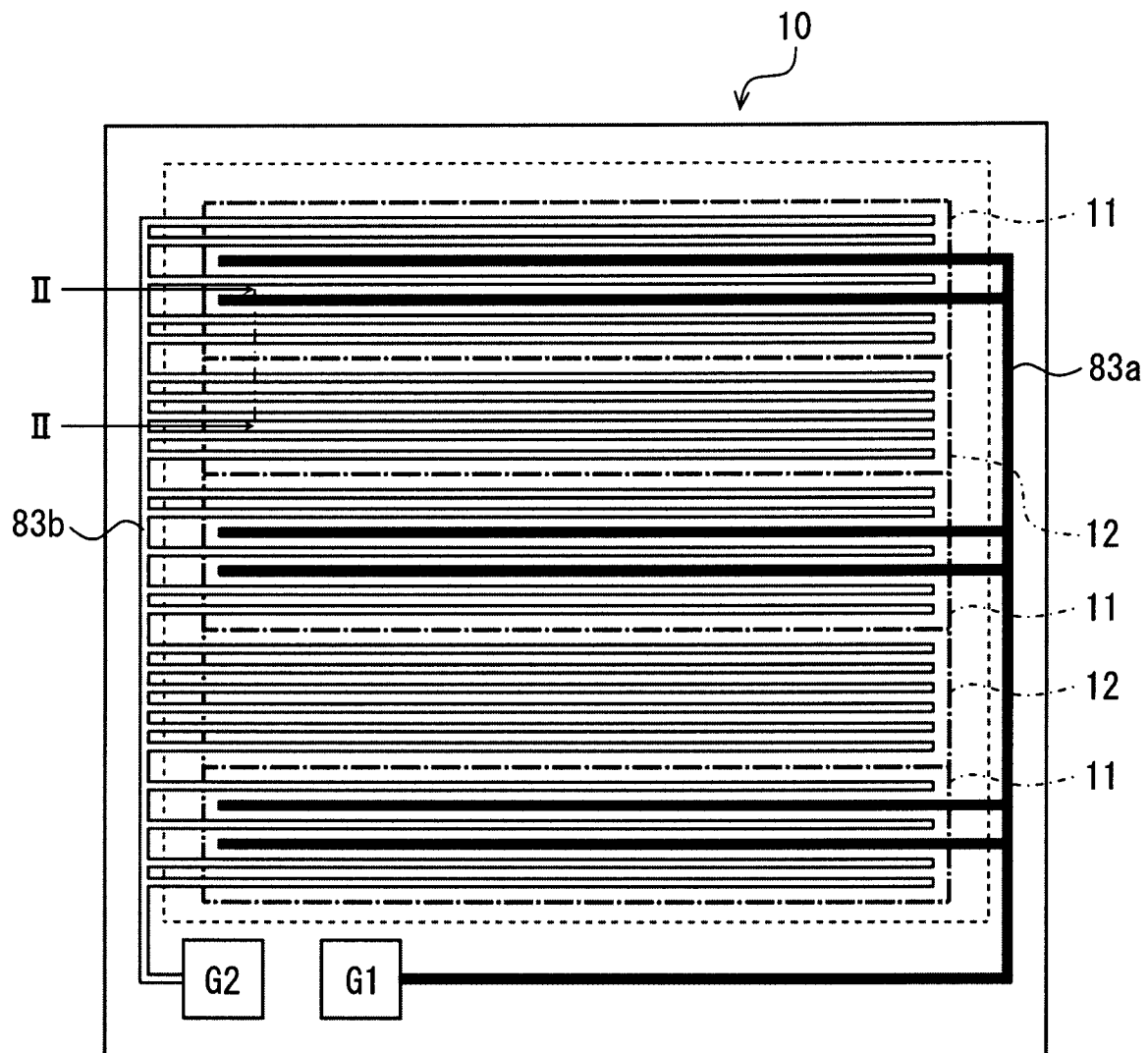
[図1]



[図2]



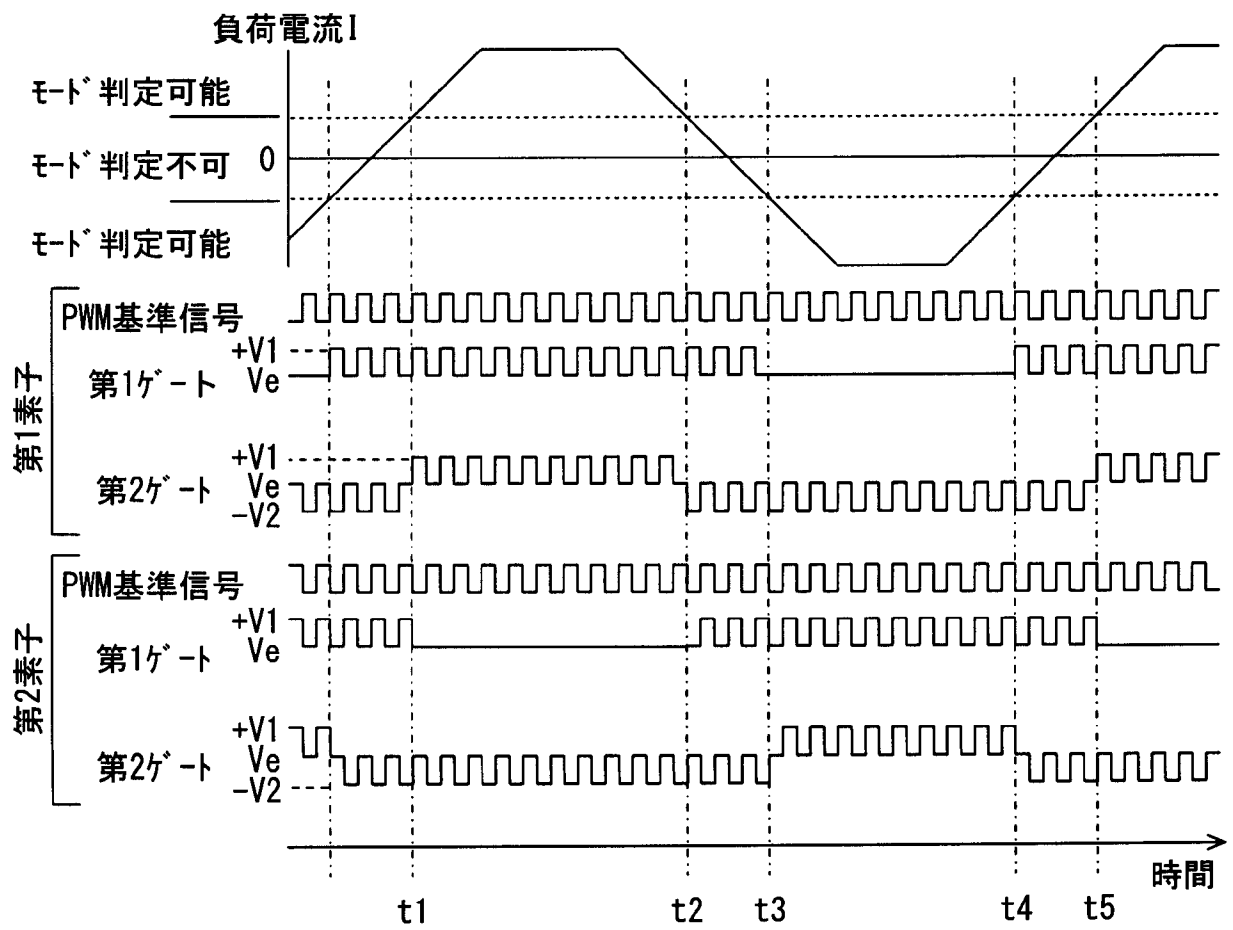
[図3]



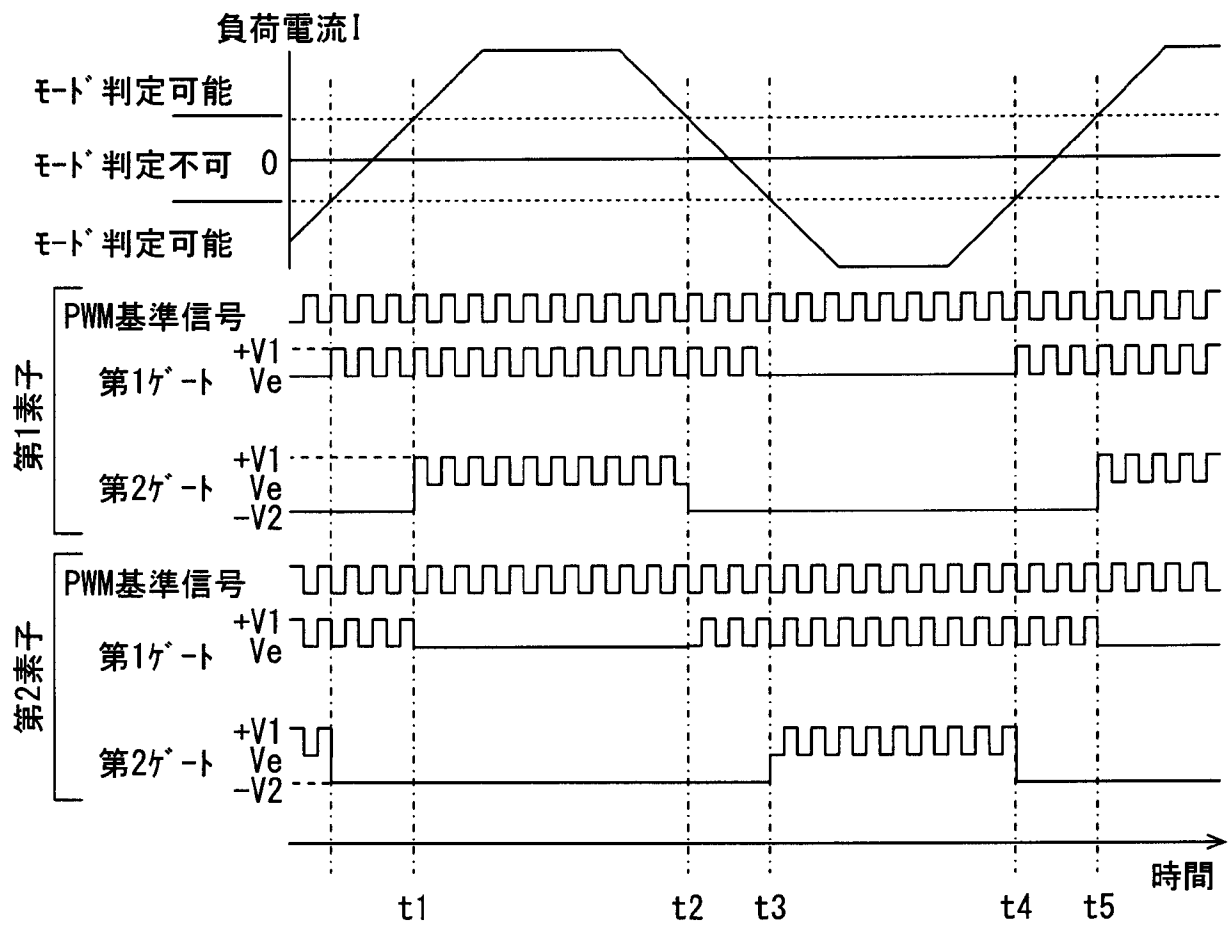
[図4]

	実際の動作モード	モード判定部が判定する動作モード	第1ゲート電極	第2ゲート電極
A	順導通モード	順導通モード	+V1	+V1
B		動作モードが判定できない小電流領域	+V1	-V2
C	逆導通モード			
D		逆導通モード	Ve	-V2

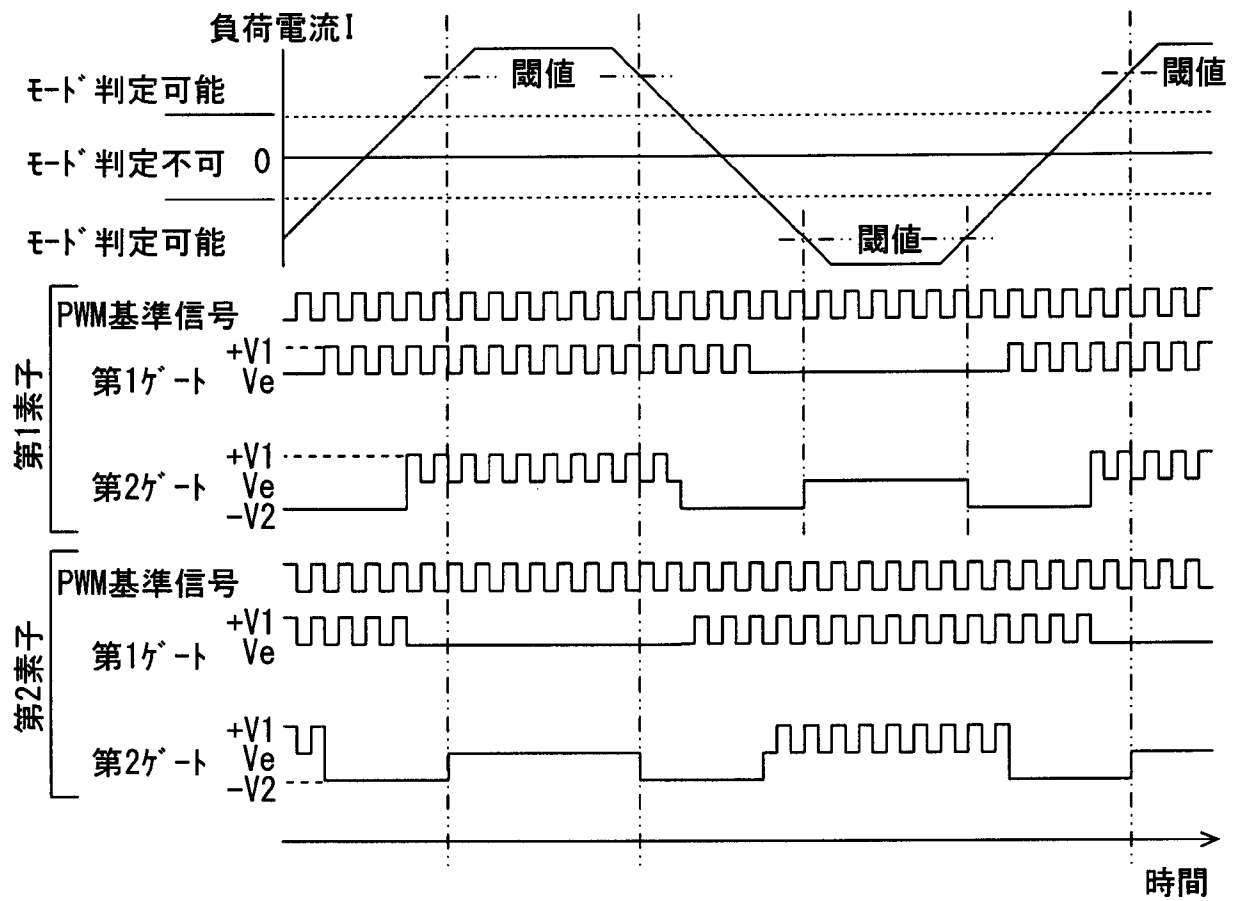
[図5]



[図6]

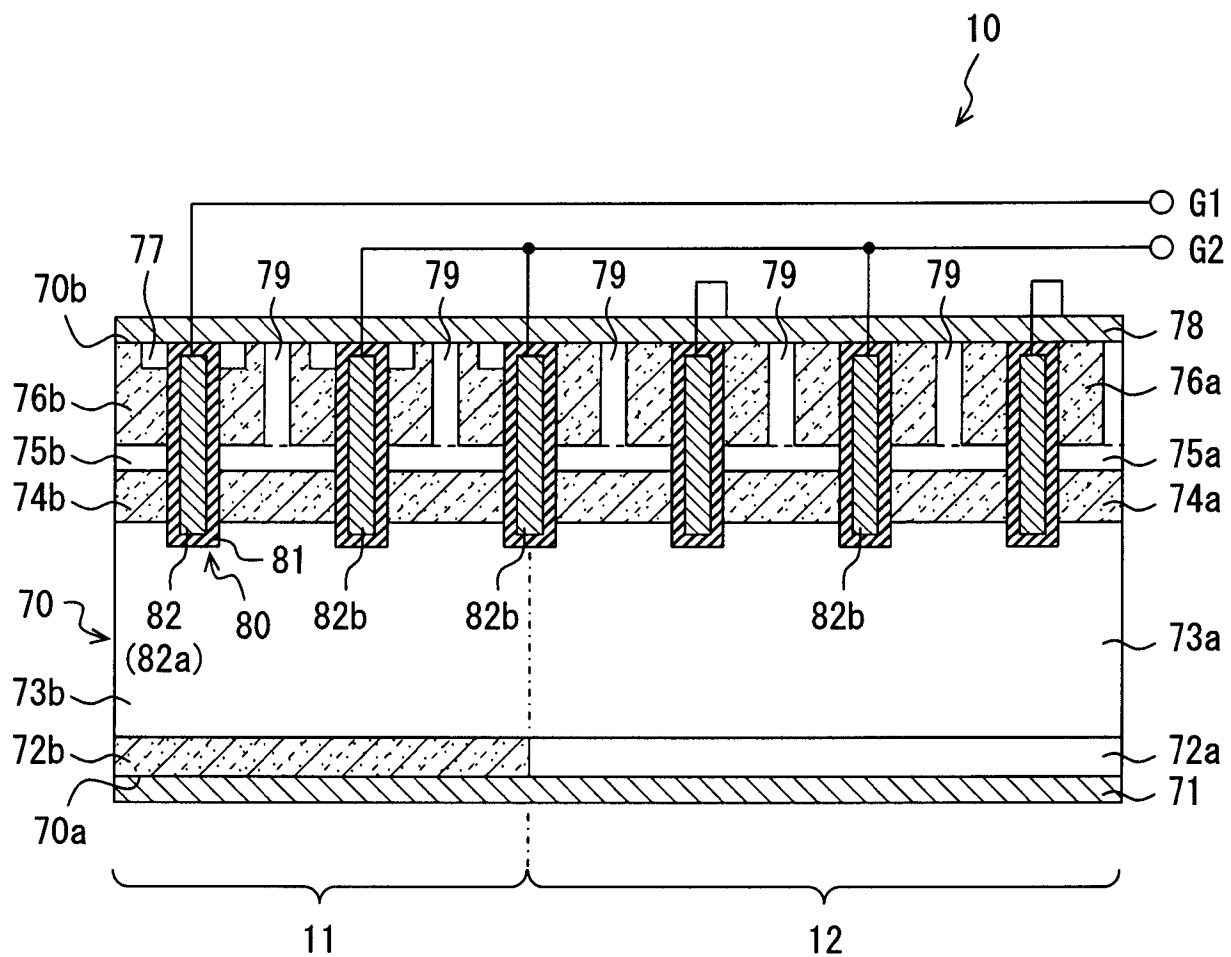


[図7]

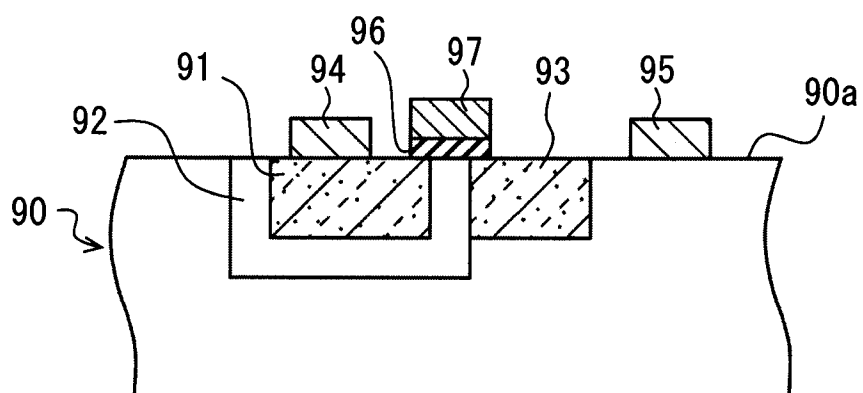


[illegible]

[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087505

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/04(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i,
H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i,
H01L29/868(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04, H01L21/8234, H01L27/06, H01L29/739, H01L29/78, H01L29/861,
H01L29/868, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-253004 A (Toyota Motor Corp.), 29 October 2009 (29.10.2009), entire text; fig. 1 to 5 (Family: none)	1-8
A	JP 2014-63960 A (Denso Corp.), 10 April 2014 (10.04.2014), entire text; fig. 1 to 10 (Family: none)	1-8
A	JP 2008-72848 A (Mitsubishi Electric Corp.), 27 March 2008 (27.03.2008), entire text; fig. 1 to 15 (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 March 2017 (09.03.17)

Date of mailing of the international search report
21 March 2017 (21.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087505

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-65105 A (Toyota Motor Corp.), 26 March 2009 (26.03.2009), entire text; fig. 1 to 11 & US 2010/0283514 A1 & WO 2009/034851 A1 & EP 2 200 081 A1 & CN 101803021 A	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/04(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/04, H01L21/8234, H01L27/06, H01L29/739, H01L29/78, H01L29/861, H01L29/868, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-253004 A (トヨタ自動車株式会社) 2009.10.29, 全文, 図 1-5 (ファミリーなし)	1-8
A	JP 2014-63960 A (株式会社デンソー) 2014.04.10, 全文, 図 1-10 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.03.2017

国際調査報告の発送日

21.03.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

早川 朋一

5 F

9733

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-72848 A (三菱電機株式会社) 2008. 03. 27, 全文, 図 1-15 (ファミリーなし)	1-8
A	JP 2009-65105 A (トヨタ自動車株式会社) 2009. 03. 26, 全文, 図 1-11 & US 2010/0283514 A1 & WO 2009/034851 A1 & EP 2 200 081 A1 & CN 101803021 A	1-8