

# 公 告 本

申請日期	87 年 6 月 30 日
案 號	87110596
類 別	Int. <i>HOLL<sup>21</sup>/60. 23/50</i>

A4  
C4

432465

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	引線框架及其製造方法、半導體裝置及其組裝方法與電子設備
	英 文	Lead frame, manufacturing method of a lead frame, semiconductor device, assembling method of a semiconductor device, and electronic apparatus
二、發明 創作人	姓 名	(1) 大沢健治 (2) 草野英俊 (3) 牧野晴彦
	國 籍	(1) 日本                      (2) 日本                      (3) 日本  (1) 日本國東京都品川區北品川六丁目七番三五號 ソニー株式会社内
	住、居所	(2) 日本國東京都品川區北品川六丁目七番三五號 ソニー株式会社内  (3) 日本國東京都品川區北品川六丁目七番三五號 ソニー株式会社内
三、申請人	姓 名 (名稱)	(1) 蘇妮股份有限公司 ソニー株式会社
	國 籍	(1) 日本  (1) 日本國東京都品川區北品川六丁目七番三五號
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 出井伸之

經濟部中央標準局員工消費合作社印製

裝 訂 線

432465

申請日期	87 年 6 月 30 日
案 號	87110596
類 別	

A4  
C4

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 人 創作	姓 名	(4) 高橋秀幸
	國 籍	(4) 日本
	住、居所	(4) 日本國東京都品川區北品川六丁目七番三五號 ソニー株式会社内
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部中央標準局員工消費合作社印製

裝 訂 線

432465

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區)	申請專利, 申請日期:	案號:	<input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
日本	1997年7月1日	9-175807	<input checked="" type="checkbox"/> 有主張優先權
日本	1997年12月24日	9-354244	<input checked="" type="checkbox"/> 有主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

有關微生物已寄存於：, 寄存日期：, 寄存號碼：

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

### 發明背景

本發明有關引線框，尤係其基材所使用之金屬作銅類金屬之主要成分，並具金屬凸點於內引線梢部表面上。本發明亦有關此引線框之製造方法，使用此引線框之半導體裝置，半導體裝置之組裝方法，及使用此半導體裝置之電子設備。

引線框為半導體晶片之分別電極形成引線之不可或缺技術，一般用於安裝半導體晶片。引線框一般為銅類材料，而分別內引線梢部表面上形成凸點以接合至半導體晶片上分別電極片。雖然事先此凸點使用鋁，近年則發展使用金之凸點，其理由為取得良好接合性能，而可供群接合，故較單點接合之生產效率高。

尤其，群接合因以下理由更顯重要。半導體晶片之電極片為鋁。根據目前技術，應使用單點接合以將具鋁凸點之先前種類引線接合至鋁片。若凸點為金，可進行群接合，大幅提高接合效率。

第1圖例示金凸點之接合。銅製分別內引線具凸點於梢部（具金，錫及鋁三層結構，依序由表面提供）。凸點位於半導體晶片之分別電極片上方（具金，錫及鋁三層結構而依序由表面提供），再使用接合工具以超音波接合於上。

茲說明形成金凸點之習知技術。第一技術中，銅等各內引線之形成凸點側選擇性半蝕刻，故突出形成凸點部。然後整個引線表面鍍以金（形成鍍鎳層為底覆層）。第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(2)

技術中，構成凸點之金以轉移方法轉移至各內引線面。第三方法中，金蒸發於各內引線之凸點形成部上。第四方法中，各內引線全表面鍍以金膜，而鍍鎳層形成爲底覆層。

上述技術形成金凸點而提供接合性能及群接合之問題如下。第一技術中各內引線之形成凸點側選擇性半蝕刻，故突出形成凸點部且整個引線面鍍以金，其缺點因構成引線之銅很硬，IC晶片之電極片易裂。因須形成鍍鎳層爲鍍金屬之底覆層，增加步驟數。此外若金形成於整個引線面上，須用大量金，材料成本及整體成本上升。

第二技術中構成金之凸點以轉移方法轉移至各內引線面，其缺點爲轉移位置控制不良時易生位差。

第三技術中金蒸發於各內引線之形成凸點部上，其缺點爲蒸發設備昂貴，致投資大，且金蒸發耗時，致生產力低，且金蒸發膜與銅引線間附著不佳。

第四技術中各內引線整個表面鍍以金膜，而以鍍鎳層爲底覆層，其缺點爲鍍鎳層須成爲鍍金屬之底覆層，致步驟數增加，且金形成於整個引線面時，使用大量金致材料成本上升。尤其，須形成夠厚之鍍金膜以確保金接合性能。如此厚之鍍金膜耗用大量金，成本上升不貲。

### 發明概述

本發明欲解決習知問題，其目的欲提高凸點形成位置正確性，即使內引線間距更細即可形成凸點，凸點形成時間較短，但夠厚以確保接合性能良好，不使用生產力低而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### 五、發明說明(3)

成本高之蒸發，凸點與內引線間充分附著，提高接合性能，同時避免不當耗用金屬致材料成本提高，可供群接合，並降低凸點金屬材料成本，如製造引線框時使用金屬基材且具金屬凸點於內引線梢部表面上。

本發明提供引線框之第一製造方法，包含步驟以鍍形成金屬膜而構成凸點於金屬基部上，並以鍍金屬形成含引線框之電路接線，使內引線連接至個別金屬膜。

此引線框之製造方法可增加底置件之附著，因使用鍍層而非蒸發，且因成長率高，故可縮短形成所需厚度金屬膜之時間。此外因鍍層設備成本較蒸發者低，故降低設備投資成本。

因以鍍層形成凸點金屬膜於尚未具內引線之極硬基底上，相較形成金屬膜於已具內引線之表面梢部上，底置件（基件）更穩定。因此，較易形成凸點，其形成位置正確性更高。

形成金屬膜可於基底上形成具所欲電路接線圖案之負圖案防蝕膜，並執行鍍層，令罩具罩位分別內引線之梢部，令其不被鍍層。如此，確保防蝕膜與罩具間正確位置關係，可較易形成凸點金屬膜，與接著形成之內引線保持正確位置關係而接至金屬膜。

此外，可僅用防蝕膜為罩，並除去罩具，進行鍍層而之後形成具內引線之引線框。如此，可極正確建立凸點與電路接線間位置關係。

本發明亦提供引線框第二製造方法，包含步驟以鍍層

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明(4)

形成凸點金屬膜於表面具止蝕層之基底上；藉金屬鍍層形成具內引線之電路接線，故內引線接至分別金屬膜；為蓋住電路接線，形成一絕緣膜，於露出電路接線之處具開口；以鍍層形成外部電極於分別開口中，選擇性蝕刻基底相對電路接線之部分，使用止蝕層為停止物以防止蝕刻基底上電路接線之側部分；及除去止蝕層。

此引線框製造方法中，形成凸點金屬膜至表面上具止蝕層之基底，之後形成電路接線。如此可運用引線框第一製造方法形成金屬膜為凸點之技術，其中就基底使用結構中形成止蝕層於較厚銅金屬層之表面上，金屬層成為引線框之框部，即外環，或使用結構中形成具內引線之電路接線之材料層再形成於止蝕層表面上（參考日本未審查專利公告平8-148530及平8-47221號）。

本發明引線框包含具開口之絕緣膜，一接線膜包含內引線形成於絕緣膜一表面上；電極為外部端子而位於絕緣膜另一表面上經由絕緣膜開口連接至接線膜；及鈹凸點並連接至分別內引線。本發明亦提供利用此引線框之半導體裝置。

根據上述引線框及半導體裝置，因凸點為鈹而非金，材料成本低，但仍可群接合。若為鍍金，必須使用極具毒性之含氰鍍液。若為鍍鋁，必須使用爆炸性鍍液（鋁常用蒸發形成，而非鍍層）。相對地，以鈹鍍層時，不須使用這些鍍液，其鍍層極安全。鍍鈹液一例為Kojundo化學公司之paragrite SST。此鍍鈹液一般含有刺鼻胺味之有毒成分

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明(5)

，並非安全無毒性。但工業用鍍金液含氰化物，當氰化物與氯化氫酸反應時產生氰化氫，少量即足以致命。因此鍍鈀液較鍍金液安全。

本發明提供半導體裝置之組裝方法，其包含步驟以上述引線框製造方法製造引線框，並於凸點處接合引線框之內引線至半導體晶片之分別電極片，藉由單點接合或群接合。

根據此半導體裝置之組裝方法，因利用上述引線框製造方法所製造之引線框，用於組裝半導體裝置之引線框具有良好接合性能之凸點，並可供群接合。若以單點接合將此引線框之內引線接合至半導體裝置之分別電極片，接合之性能極性。進行群接合時，可提高生產力。

此外，本發明提供包含利用上述引線框之半導體裝置之電子設備。

利用提供上述引線框優點之半導體裝置，電子設備同享其優點。

## 圖式簡要說明

圖 1 例示接合引線框之凸點至半導體晶片之電極片；

圖 2 A - 2 F 為截面圖，依步驟次序顯示本發明引線框之製造方法第一例；

圖 3 A - 3 E 為截面圖，依步驟次序顯示接受圖 2 A - 2 F 程序後引線框與半導體晶片聯接之程序（本發明半導體裝置之組裝方法第一例）；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(6)

圖 4 A - 4 C 為截面圖，依步驟次序顯示本發明引線框之製造方法第二例主要部分；

圖 5 顯示半導體裝置利用圖 4 A - 4 C 製造方法所製引線框；

圖 6 A - 6 D 為截面圖，依步驟次序顯示本發明引線框製造方法第三例主要部分；

圖 7 A - 7 E 為截面圖，依步驟次序顯示本發明引線框製造方法第四例主要部分；

圖 8 A - 8 F 為截面圖，依步驟次序顯示本發明引線框製造方法第五例主要部分；

圖 9 A - 9 D 為截面圖，依步驟次序顯示連接圖 8 A - 8 F 程序所製引線框至半導體晶片之程序；

圖 10 為圖 9 A - 9 D 組裝方法所製半導體裝置平面圖，其中省略密封劑；及

圖 11 為利用本發明引線框之半導體裝置之電子設備部分切開立體圖。

## 符號說明

1 基座	2 金屬層
2 a 銅層	3 a 止蝕層
3 止蝕層	4 銅層
5 防蝕膜	6 金膜
7 電路接線	8 絕緣膜
9 開口	10 壩層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(7)

1 2	晶片	1 3	樹脂
1 5	防蝕膜	1 6	罩具
2 0	接合枱	6 P	鈹膜
4 0	鍍膜		

## 較佳實施例詳細說明

本發明特徵在於形成金屬膜構成凸點之步驟係鍍層於金屬基底上位置，而允許凸點接合至半導體晶片之至少分別電極，並藉金屬鍍層，形成具內引線之電路接線，而令內引線接至分別金屬膜。雖然構成基底最常用金屬材料為銅或銅類金屬，但本發明不限於此。雖構成含內引線之電路接線最常用材料亦為銅或銅類材料，本發明不限於此。

本發明運用之形式中，於基底上形成所欲電路接線圖案之負圖案之防蝕膜，並執行鍍層會分別內引線之梢部由罩具罩住以防止被鍍層，並除去罩具及僅使用防蝕膜為罩執行鍍層而形成電路接線。如此，形成欲構成凸點之金屬膜時，防蝕膜及罩具均須作為罩。形成金屬膜之鍍層應為電解鍍層，即不能使用無電鍍層。例如，罩具可為塑膠材料。

例如可用金形成欲構成凸點之金屬膜。代之可為鈹。使用鈹為凸點材料之第一優點為成本較金低。所得引線框，使用此引線框之半導體裝置及使用此半導體裝置之電子設備更便宜。第二優點為鈹鍍層無危險，管理容易，因金鍍層使用毒性含氰鍍液。鋁鍍層須使用爆炸性液體（但鋁

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(8)

膜較常以蒸發形成，而非鍍層)，亦具危險。相對地，鈮鍍層不須使用危險鍍液。例如，鍍鈮液可為 Kojundo 化學公司之 paragrite SST。亦可使用其他鍍鈮液。構成凸點之鈮膜較佳形成厚度大於  $0.01 \mu\text{m}$  以上，因若薄於  $0.01 \mu\text{m}$ ，所得凸點接合性能及彈性等不佳。較佳形成鎳膜為分別鈮膜之底覆層，因鎳膜可防止接合凸點時因超音波振動擴散至半導體晶片分別電極。若形成鎳膜為擴散防止膜，較佳厚於  $0.1 \mu\text{m}$  以上。此乃因薄於  $0.1 \mu\text{m}$  之鎳膜不易獲致充分防止擴散效果。

本發明應可包含步驟藉鍍層於金屬基底上位置對半導體晶片之至少分別電極而形成欲構成凸點之金屬膜（如金膜或鈮膜），基底表面上具金屬層而作為止蝕物，即止蝕層；以金屬鍍層形成具內引線之電路接線而令引線接至分別金屬膜；形成絕緣膜，絕緣膜於露出電路接線之處具開口以蓋住電路接線；藉鍍層形成外部電極於分別開口中，使用止蝕層為止蝕物防止蝕刻基底之電路接線側部分而選擇性蝕刻基底相對於電路接線之部分，並除去止蝕層。雖然較佳絕緣膜為聚醯亞胺樹脂，但本發明不限於此。

作為止蝕物之金屬層所構成材料之蝕刻率應與構成基底及具內引線之電路接線之金屬層大為不同。作為止蝕物之金屬層材料須可作蝕刻基底金屬層時之止蝕層，當金屬層本身被蝕刻時，構成基底之金屬層可作為罩。例如，若基底與具內引線之電路接線為銅或銅類金屬，鋁或鎳類金屬（鎳或鎳／磷合金）可作為止蝕層。若使用鋁類金屬，

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(9)

可適當地使用  $H_2O_2 / H_2SO_3$  類蝕刻液以形形內引線，即使用鋁類金屬層為止蝕層而蝕刻銅金屬層。可用鹼溶液類蝕刻液，利用銅圖案層對鋁膜蝕刻。

可用鎳類金屬為止蝕層，以液體胺與氯化銅混合液蝕刻銅類金屬層。主成分為硫酸，過氧化氫及芳香族硫酸之酸液可用於蝕刻鎳類金屬，並以銅類金屬層為罩。

由以上任一方法製造之引線框所具凸點之接合性能良好。因此，進行單點接合時，半導體晶片之分別電極片與內引線間可得良好接合，亦可群接合而總體提高生產效率。

茲以下列詳述本發明。圖 2 A - 2 F 截面圖依步驟次序顯示本發明引線框製造方法第一例。本例中，本發明應用於製造球柵陣列式引線框。

首先，如圖 2 A 所示，準備基底 1，並形成欲構成凸點之金膜 6，選擇地罩住基底 1 表面。可使用鈮膜取代金膜形成凸點。

茲詳述基底 1。基底 1 為多層結構，其中如鎳（或含磷之鎳）層（厚如  $2 - 5 \mu m$ ）形成於銅膜金屬層 2（厚約  $150 \mu m$ ）表面上，而作為鍍層底覆層之銅層 4（厚約  $0.5 \mu m$ ）形成於止蝕層 3 表面上。鍍層底覆層 4 僅有利稍後之鍍層以形成銅內引線，並非必須。

之後，防蝕膜 5（由乾膜防蝕劑構成，厚約  $40 \mu m$ ）形成於基底 1 之銅層 4 表面上，並經曝光顯影定圖案而蓋住形成凸點以外之部分。以防蝕膜 5 為罩電鍍形成欲構

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明(10)

成凸點之金膜 6 於銅層 4 上。形成金膜 6 後，除去防蝕膜 5。

接著如圖 2 B 所示，以銅電鍍形成具內引線之電路接線 7 (厚約  $30 \mu m$ )。例如，形成定圖案之防蝕膜為罩進行電鍍。故防蝕膜應為所欲電路接線 7 圖案之負圖案。分別內引線之梢位於構成凸點之金膜 6 上。

然後由二側就基底 1 執行選擇性透蝕，以一體方式形成具多數 IC 薄膜電路之引線框形狀。例如，可用氯化鐵溶液為蝕液進行蝕刻。圖 2 C 顯示蝕刻後狀態。

然後，如聚醯亞胺或環氧樹脂絕緣膜 8 選擇地形成於具內引線之電路接線 7 表面上。絕緣膜 8 具開口 9 於電路接線 7 表面露出之部分，而形成焊球 (電極) 為外部電極。之後，形成如聚醯亞胺帶構成之矩形壩層 10。壩層 10 可防止密封接合後半導體晶片之樹脂擴張而超過所欲密封部，並非必須。圖 2 D 顯示形成壩層 10 後之狀態。

然後，如圖 2 E 所示，經由絕緣膜 8 開口露出之電路接線 7 表面上形成焊球。具體言之，進行鍍鎳 (厚約  $80 - 110 \mu m$ ) 及焊接，或進行鍍金 (厚約  $0.1 - 5 \mu m$ ) 或鈮。

選擇地蝕刻除去基底 1 之銅層 2，但成為引線框之框部分除外。此時，鎳構成之止蝕層 3 作為止蝕物。例如，以液體胺與氯化銅混合液為蝕液進行蝕刻。之後，除去背側上露出之鎳止蝕層 3 部分及作為鍍層底覆層之銅層 (圖 2 F)。例如，就蝕液使用具硫酸主成分與氟化鹽及表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(11)

活化劑之混合液進行蝕刻。

圖3 A - 3 E 截面圖依步驟次序顯示聯接半導體晶片至引線框之程序，引線框已接受圖2 A - 2 F 程序(本發明半導體裝置之組裝方法第一例)。

首先，如圖3 A 所示，半導體晶片1 2 之電極片(鋁)經由金膜凸點接合至引線框之分別內引線7。接合可為單點接合及一體進行之群接合，效率很高。具體言之，如下進行群接合。首先，半導體晶片1 2 置於接合枱2 0 上，放置引線框令分別內引線7 之凸點6 位於半導體晶片1 2 之對應鋁電極片上。如此，以4 2 0 °C 以上之熱工具2 1 由下壓迫所有內引線7 之梢部而整體進行接合。

然後，如圖3 B 所示，以樹脂1 3 密封連接有內引線7 之半導體晶片1 2 表面。此時，壩層1 0 防止樹脂1 3 進一步外擴。

然後，如圖3 C 所示，散熱器1 4 接合至半導體晶片1 2 背面及引線框背面。

然後，如圖3 D 所示，以軟熔熔合將焊凸點1 1 形成圓頂狀。

然後，如圖3 E 所示，除去引線框不必要部分。結果，置有分別半導體晶片之引線框彼此分離，即彼此獨立。圖3 E 中，所示引線框上下顛倒。引線框以此姿勢經由焊凸點1 1 連接至印刷電路板之接線。

圖2 A - 2 F 所示引線框製造方法提供以下優點，因以鍍層形成欲構成凸點之金膜6。首先，鍍層令底覆層之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### 五、發明說明 ( 12 )

附著強於蒸發。且金膜以高速率生長，凸點 6 與內引線 7 間附著較蒸發時更強，故凸點 6 不易剝離。可縮短如群接合所需生長金膜厚度之時間（一般厚  $5 - 15 \mu m$ ，供比較之單接合須厚約  $0.1 - 5 \mu m$ ），此外，鍍層之設備成本較蒸發低，減少設備投資。

因形成內引線 7 前以鍍層形成金膜 6 凸點於基底 1 上（基底 1 如此極具剛性），基底 1 作為路徑供電至凸點，此路徑所電鍍所必須。不須形成電鍍用特殊接線，可輕易進行鍍層。此外，因凸點 6 形成於基底 1 上，相較凸點形成於已形成之內引線表面梢部上，底置件（基件）更穩定。因此，本例引線框製造方法無習知問題，即作為底置件之內引線於形成凸點時因不穩定而偏移，導致凸點形成位置偏移。

此外，因形成凸點 6 係令形成防蝕膜 5 於基底 1 表面上，藉曝光顯影對防蝕膜 5 定圖案，並以防蝕圖案為罩電鍍形成金膜，可用極高加工精度之光蝕技術定位，亦可用於形成半導體晶片之分別區，連接及通孔等。因此，凸點 6 之定位及定圖案精度極高。

確實重要者為凸點 6 對內引線 7 之相對位置。若形成凸點 6 後所形成之內引線 7 位置精度低，則凸點 6 對內引線 7 之相對位置定位精度亦低。但因如形成凸點 6 般以相同光蝕技術形成內引線 7，相對位置之定位誤差與罩對齊誤差同等級且極小，幾乎可忽視。故凸點 6 對內引線 7 之相對位置定位精度極高。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明(13)

因此，本例引線框製造方法中，內引線 7 加工精度及凸點 6 對內引線 7 之位置精度極高。如此可供群接合，整體將所有凸點 6 接合至半導體晶片之所有電極片，無任何問題。此外，因以鍍層形成凸點 6 之生長速率高，提供群接合所欲厚度需要之時間低於蒸發之情況。如此提高群接合應用範圍，大幅提高生產力。

圖 4 A - 4 C 截面圖顯示本發明引線框製造方法第二例主要部分。本例以鈦形成凸點。即以防蝕膜 5 為罩形成凸點之鍍層為鈦鍍層，如圖 4 A 所示，而非如圖 2 A 金鍍層。可使用 Kojundo 化學公司之 paragrite SST 為鍍鈦液。數字 6 P 代鈦膜（厚如  $0.01 \mu m$  以上）。形成鈦膜 6 P 為凸點之理由如下。首先，鈦材料成本低於金，鈦凸點之接合特性較鋁凸點佳，可供群接合。其次，鍍鈦液所用鍍液較鍍金及鍍鋁者安全。

然後，如圖 4 B 所示，使用防蝕膜 5 為罩形成鎳膜 4 0 厚  $0.1 \mu m$  以上 7。形成鎳膜 4 0 作為凸點 6 P 底覆層以於超音波接合半導體晶片電極與電路接線凸點 6 P 時，防止因超音波振動脫離。

之後，根據圖 2 B - 2 F 所述相同步驟持續引線框製造，完成圖 4 C 所示引線框。以圖 3 A - 3 E 所述同法組裝製成圖 5 半導體裝置。

根據以上引線框及半導體裝置，因所用鈦較金便宜，乃降低材料成本，意指降低引線框與半導體裝置之價格。本例另一優點為鈦鍍層較易管理，因不須使用極毒氰或爆

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(14)

炸性物質為鍍液成分。

圖 6 A - 6 D 截面圖依步驟次序顯示本發明引線框製造第三例主要部分。本例係圖 2 A - 2 F 及圖 4 A - 4 C 例中形成凸點之變化(金膜 6 或鈮膜 6 P)。本例除形成凸點方式外餘與第一例相同，不再贅述共同部分。本例雖係使用金膜 6 形成凸點，自亦可用鈮膜 6 P 形成。

首先，準備與圖 2 A 基底 1 相同之基底。具內引線之電路接線圖案之負圖案防蝕膜 1 5 形成於基底 1 之形成內引線表面上，即銅層 4 表面為鍍層底覆層。圖 6 A 顯示形成防蝕膜 1 5 後狀態。

接著如圖 6 B 所示，由上施加罩具 1 6 (如塑膠製)將欲形成凸點之梢部外內引線 7 部(稍後形成)罩住。

然後如圖 6 C 所示，以電鍍形成凸點金膜 6。可另於金膜 6 上形成鎳膜作為防止擴散膜。以上電鍍中，罩具 1 6 與蓋住鍍層底覆膜銅膜 4 之防蝕膜 1 5 作為罩。然後除去罩具 1 6。

若以鈮膜 6 P 形成凸點，則以罩具 1 6 為罩進行電鍍，如形成金膜 6 方式相同。隨後立即形成鎳膜(對應圖 4 B 所示鎳膜 4 0)。圖 6 C 底部以放大方式顯示一凸點部，其中以鈮膜形成凸點。數字 6 P 及 4 0 分別為鈮膜及鎳膜。

然後如圖 6 D 所示，利用防蝕膜 1 5 為罩以銅電鍍形成具內引線之電路接線 7。

然後至圖 2 C 步驟，之後進行與第一例相同步驟。以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(15)

圖 3 A - 3 E 程序完成引線框製造後聯接半導體晶片(組裝半導體裝置)。

本發明如以上方式運用，因減少步驟的，尤係光蝕步驟，較第一及第二例提高生產力。本例中，罩具 1 6 定位精度較光蝕加工精度低。然而凸點 6 (6 P) 定位精度足以滿足所欲精度。即使罩具 1 6 放置具一定位置偏差，不會發生形成之凸點 6 (6 P) 水平方向跑出內引線 7，因其僅形成於未蓋以供形成內引線之防蝕膜 1 5 之區。罩具 1 6 定位偏差僅引起凸點偏移於內引線 7 縱向。如此並無問題，只要事先考量預期偏差，略拉長凸點 6 即可。

圖 7 A - 7 E 截面圖依步驟次序顯示本發明引線框製法第四例主要部分。本例與第一例及第二例差異點為使用單層銅或銅金合金屬板為基底，而稍後作為止蝕物之止蝕層選擇地形成於金屬板表面上。但本例其他點與第一例及第二例相同，不再贅述之。雖然本例以金膜 6 為凸點，自可用鈀膜 6 P 取代之。

首先，準備銅或銅合金單層金屬板 1 a 為基底，並於金屬板 1 a 之形成內引線表面上形成具內引線之電路接線圖案之負圖案防蝕膜 1 5。圖 7 A 顯示形成防蝕膜 1 5 後狀態。

然後，如圖 7 B 所示，以防蝕膜 1 5 為罩電鍍形成鎳或鎳磷合金之止蝕層 3 a。止蝕層 3 a 將作為止蝕物，當由背側選擇性蝕刻以除去基底 1 a 不必要部分時，可保護具內引線之電路接線(見圖 2 F 所示步驟)。因僅需止蝕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(16)

層 3 a 保護電路接線，不須形成於整個表面，可具電路接線相同圖案。若止蝕層 3 a 具此圖案，即不可能令止蝕層 3 a 短路分別接線。因此，不須進行除去止蝕層 3 a 之步驟。形成止蝕層 3 a 後，如可形成銅層為鍍層底覆層。

然後，如圖 7 C 所示，由上施加罩具 1 6 罩住形成凸點之梢部外之內引線部分。可用光敏樹脂為罩。

然後，如圖 7 D 所示，以電鍍形成凸點金膜（或多層膜，其中金膜形成於鎳膜上）6。此電鍍中，防蝕膜 1 5 及罩具 1 6 作為罩。然後除去罩具 1 6。

如上述，若以鈀膜形成凸點，以罩（罩具 1 6，光敏樹脂等）電鍍形成鈀膜（厚  $0.01 \mu\text{m}$  以上）取代金膜，隨即以電鍍形成防止擴散鎳膜（厚  $0.1 \mu\text{m}$  以上）。圖 7 D 底部放大地顯示一凸點部，其中以鈀膜形成凸點。數字 6 P 及 4 0 分別為鈀膜及鎳膜。

然後如圖 7 E 所示，以防蝕膜 1 5 為罩銅電鍍形成具內引線之電路接線 7。

然後至圖 2 C 步驟，之後執行第一例相同步驟。

然而，除去止蝕層 3 a 之步驟並非必須。茲詳述此點。若如第一及第二例於整個表面上形成止蝕層 3，鎳止蝕層 3 作為止蝕物，而由下方選擇地蝕刻基底 1 銅層 2，排除作為引線框之框部外。蝕刻後，除去背側露出之鎳止蝕層 3 部及作為鍍層底覆層之銅層 4。此乃因若未除去，分別內引線將因止蝕層 3 及銅層 4 而短路。

相對地，圖 7 A - 7 E 第三例中，因止蝕層 3 a 圖案

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(17)

與具內引線之電路接線相同，分別內引線不與彼此短路，故不須除去止蝕層 3 a。

以圖 3 A - 3 E 程序於製造引線框後聯接半導體晶片。當然凸點 6 與半導體晶片分別電極片可用群接合彼此連接。

圖 8 A - 8 F 截面圖依步驟次序顯示本發明引線框製法第五例。本例有關應用本發明至晶片尺寸封裝式引線框。雖本例可用金形成凸點，亦可用鈦。

首先，如圖 8 A 所示，準備二層夾層板為基底 1 b，並於基底 1 b 上形成凸點金膜 6。

基底 1 b 係層化銅層 2 a (厚  $150 \mu\text{m}$ ) 而成一環 (包圍半導體晶片並予以接合而強化，稱為外環) 及鍍層 3 a (厚  $2 \mu\text{m}$ ) 作為止蝕物。可於鍍層 3 a 上放置銅鍍層底覆層 (厚  $2 \mu\text{m}$ )。如此，鍍層底覆層可為多層結構，其中鉻層 (厚  $0.2 \mu\text{m}$ ) 上形成鍍層 (厚  $2 \mu\text{m}$ )。

構成凸點之金膜 6 形成係藉由選擇地形成防蝕膜 (故具形成金膜 6 圖案之負圖案) 於基底 1 b 上，再以防蝕膜為單進行金電鍍。金膜厚度定為  $0.1 - 5 \mu\text{m}$ 。此例係運用本發明至晶片尺寸封裝式引線框。此類引線框進行單點接合，因不易進行群接合。如此，構成凸點之金膜 6 不須如群接合般厚；金膜可薄約  $0.1 - 5 \mu\text{m}$ 。形成金膜 6 後 (或為多層膜，鍍膜形成於金膜上)，除去用於形成金膜 6 之防蝕膜。圖 8 A 顯示除去防蝕膜後狀態。

若使用鈦膜而非金膜形成凸點，當然以電鍍形成鈦膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(18)

之步驟代之(鍍層膜厚 $0.01\mu\text{m}$ 以上)。形成鈮膜後，以形成鈮膜之罩本身鍍層形成防止擴散鎳膜(膜厚 $0.1\mu\text{m}$ 以上)。圖8A底部放大顯示以鈮膜形成凸點之部分。數字6P及40分別為鈮膜及鎳膜。

然後，如圖8B所示基底1b內引線7及懸吊31(圖8B無，圖10有)。具體言之，形成防蝕膜具內引線7及懸吊31所欲圖案之負圖案，再以防蝕劑為罩進行銅鍍層(鍍層厚 $30\mu\text{m}$ )。

懸吊31用於懸掛包圍半導體晶片12之強化外環32，其位於內引線7同一層，故為銅製。另者，環32(目前尚未形成)可具銅/鎳(或鋁)/銅之多層結構，可形成於引線框主部外與經由懸吊31為一體。

然後，如圖8C所示，由背側選擇地透蝕基底1b而一體地形成具多數薄膜電路之引線框狀。例如，可用氯化鐵蝕液進行蝕刻。

然後，如圖8D所示，絕緣膜8選擇地形成於基底1b之引線形成側表面上，焊球11則形成於絕緣膜8開口9中。

然後，如圖8E所示，位於部位32內成為外環之基底1b背側上厚銅層2a部分藉由背側選擇地蝕刻而除去。此時鎳止蝕層3a作為止蝕物以防止蝕刻具內引線之電路接線7。此時，保留鎳止蝕層3a，但圖8C選擇蝕刻所除去部分除外。

然後，如圖8F所示，以內引線7及懸吊31(圖8

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(19)

無懸吊 3 1，見圖 1 0) 為罩蝕刻鍍止蝕層 3 a。結果，包含內引線之分別接線 7 彼此獨立，即此時其電氣短路狀態中止。圖 8 F 中，引線框主部 3 3 看來分開於外環 3 2。此乃因圖 8 F 截面未出現懸吊 3 1。實際上主部 3 3 經由懸吊 3 1 與外環 3 2 一體。

圖 9 A - 9 D 截面圖依步驟次序顯示聯接上法製成之引線框至半導體晶片。

首先，如圖 9 A 所示，已對齊定位之半導體晶片 1 2 經由緩衝黏層 3 4 接合至引線框。緩衝黏層 3 4 之功能可接合引線框與半導體晶片 1 2 一起，並保護半導體晶片 1 2 表面。因此，需要緩衝黏層 3 4 作為緩衝。

然後，如圖 9 B 所示，分別內引線 7 梢部處凸點 6 藉單點接合連接至半導體晶片 1 2 對應電極片。數字 3 6 為單點接合用接合工具。根據目前技術，因半導體晶片於周邊部具電極，故不易於晶片尺寸封裝式引線框進行群接合。隨技術進行，未來可用群接合。

然後，如圖 9 C 所示，藉密封法射出環氧樹脂或矽酮樹脂密封劑 3 7 至半導體晶片 1 2 / 引線框主部 3 3 與外環 3 2 之間空隙以彼此密封固定半導體晶片 1 2 / 引線框主部 3 3 與外環 3 2。

然後，如圖 9 D 所示，將一體連接多數半導體晶片 1 ~ 內引線之引線框不必要部分切除，令對應分別半導體晶片 1 2 之引線框彼此分開。結果，取得半導體裝置，其引線框為中間電路基底，其上具焊球 1 1 作為球柵陣列式外

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### 五、發明說明(20)

端子而與半導體晶片12分別電極連接，其由外環32強化。圖10為省略密封劑37之半導體裝置平面圖。

本例優點與第一至第三例相同，但可用群接合整體接合提高生產力除外。

以上例中以鎳形成止蝕層3及3a，亦可用鋁。

因上述數種引線框促成半導體裝置縮小化，使用此引線框之半導體裝置可促成電子設備縮小化。圖11部分切開立體圖顯示此電子設備例(行動電話)。圖11中字母A為電子設備，如行動電話，字母B為電子設備A中母板。本發明置於母板B上半導體裝置C構成電子設備A之內部電路。

本發明引線框第一製法包含步驟以鍍層形成凸點金屬層膜於金屬基底上；並以金屬鍍層形成具內引線之接線，使內引連接至分別金屬膜。

此引線框製法可提高對底置件之附著，因使用鍍層代替蒸發可藉高生長率縮短形成必須厚度金屬膜之時間。此外，鍍層設備成本較低，可降低設備投資。

在未形成內引線之高剛性基底上以鍍層形成凸點金屬膜，相較已形成內引線之表面梢部上形成金屬膜，底置件(基件)更穩定。因此可輕易形成凸點，並提高形成位置之精度。

形成金屬膜可藉於基底上形成具所欲電路接線圖案之負圖案防蝕膜，執行鍍層時令分別內引線之梢部由罩具罩住以防止被鍍層。如此，確保防蝕膜與罩具間正確位置關

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(21)

係，輕易完成凸點金屬膜，與後續形成之內引線保持正確位置關係而連接至金屬膜。

此外，可僅使用防蝕膜為罩而除去罩具，以鍍層於後形成具內引線之電路接線，如此，極正確建立凸點與電路接線間正確位置關係。

本發明引線框第二製法包含步驟以鍍層形成凸點金屬膜於一基底上，基底之一表面具止蝕層；以金屬鍍層形成具內引線之電路接線而令內引線連接至分別金屬膜；為蓋住電路接線而形成具開口於露出電路接線處之絕緣膜；以鍍層形成外部電極於分別開口中；使用止蝕層為止物防止蝕刻基底電路接線側之部分而選擇地蝕刻與基底電路接線相對之部分，並除去止蝕層。

此引線框製法中，凸點金屬膜形成於表面具止蝕層之基底上，之後形成電路接線。如此可應用形成凸點金屬膜之引線框第一製法於以下技術，其中就基底形成內引線而使用之結構中，止蝕層形成於銅較厚金屬層表面上，而成引線框框部，即外環，或使用結構中，供形成具內引線之電路接線之材料層進一步形成於止蝕層表面上（參考日本未審查專利公告平8-148530號及平8-47221號）。

可用金形成凸點金屬膜。如此，金屬膜接合至半導體晶片之接合性能良好。可供單點接合及群接合。

可用鈮形成凸點金屬膜。如此，金屬膜可接合至半導體晶片分別電極而具良好接合性能。可供單點接合及群接

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(22)

合。因鈮較金便宜，此製法可降低引線框價格，及使用此引線框之半導體裝置價格。此外，鈮鍍層容易管理，而管理成本低，因不須使用如鍍金之危險鍍液。

構成凸點之鈮膜厚度可為  $0.01 \mu m$  以上。如此，凸點之接合性能及彈性足供與電極片接合。

作為底覆層之鎳膜可進一步形成於分別鈮膜上而構成凸點。如此，鎳膜功能可放接合凸點至半導體晶片分別電極時防止超音波擴散，防止超音波振動問題，如擴散而不集中於接合部，令接合不完全，乃提供良好接合效果。

根據本發明引線框，因以鈮形成凸點金屬膜，金屬膜接合至半導體晶片分別電極之接合性能良好。可供單點接合及群接合。因鈮較金便宜，故引線框價格降低，使用此引線框之半導體裝置亦然。且鈮鍍層易管理，不似鍍金所用鍍液危險。

構成凸點之鈮膜厚度可定為  $0.01 \mu m$  以上。如此，凸點之接合性能及彈性良好，足供接合電極片，接合效果良好。

構成凸點之分別鈮膜具鎳膜作為底覆層。如此，鎳膜功能可防止接合凸點至半導體晶片分別電極時超音波擴散，不致有超音波振動擴散不集合之缺點。

根據本發明半導體裝置，因引線框之凸點為鈮而非金，材料成本低，但仍可群接合。鍍金時必須使用含氰極毒鍍液，若為鍍鋁，則須使用爆炸性鍍液。本法極為安全，無上述缺點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(23)

所用引線框凸點之厚度可為  $0.01 \mu m$  以上。如此凸點之接合性能及彈性良好，足供接合電極片，接合效果較佳。

分別凸點可具鍍膜作為底覆層。如此，鍍膜功能可防止接合凸點至半導體晶片分別電極時超音波擴散，避免超音波振動擴散且不集中之問題，提供良好接合效果。

根據本發明半導體裝置之組裝方法，由以上引線框製法製成引線框，引線框具良好接合性能之凸點，可於組裝半導體裝置時採用群接合，若以單點接合令引線框之內引線接合至半導體裝置之分別電極片，其接合性能極佳，若採群接合，可提高生產力。

根據本發明電子設備，利用其上述引線框優點之半導體裝置，此電子設備同其優點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 引線框架及其製造方法，半導體裝置及其組裝方法與電子設備)

以電鍍形成凸點金屬膜(如金膜或鈀膜)於金屬基底上。然後以金屬電鍍形成具內引線之電路接線，使內引線連接至分別金屬膜。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱： )

Lead frame, manufacturing method of a lead frame, semiconductor device, assembling method of a semiconductor device, and electronic apparatus

Metal films (for instance, gold films or palladium films) to constitute bumps are formed on a metal base by electrolytic plating. Then, a circuit wiring including inner leads is formed by electrolytic plating with a metal so that the inner leads are connected to the respective metal films.

訂

線

## 六、申請專利範圍

1. 一種引線框之製造方法，包含步驟：

以鍍層形成構成凸點之金屬膜於金屬基底之位置，而允許凸點接合至半導體晶片至少分別電極；及

以金屬鍍層，形成具內引線之電路接線，令內引線連接至分別金屬膜。

2. 如申請專利範圍第1項之製造方法，其中於基底上形成金屬膜係形成所欲電路接線之圖案之負圖案之防蝕膜，並執行鍍層令分別內引線之梢部由罩具罩住以防被鍍層，其中藉除去罩具並僅以防蝕膜為罩進行鍍層而形成電路接線。

3. 一種半導體裝置之組裝方法，包含步驟：

以申請專利範圍第1項之製造方法製造引線框；及

藉單點接合或群接合於凸點處接合內引線之內引線至半導體晶片分別電極片。

4. 一種引線框之製造方法，包含步驟：

以鍍層形成欲構成凸點之金屬膜於金屬基底上位置，乃允許凸點接合至半導體晶片至少分別電極，基底於其表面上具止蝕金屬層作為止蝕物；

以金屬鍍層形成具內引線之電路接線，令內引線連接至分別金屬膜；

為蓋住電路接線而形成絕緣膜，絕緣膜具開口於電路接線露出之處；

以鍍層形成電極作為分別開口中外部端子；

利用止蝕金屬層為止蝕物於基底相對電路接線之部分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 六、申請專利範圍

選擇地蝕刻，以防止基底之電路接線側部分被蝕刻；及

除去止蝕金屬層。

5．如申請專利範圍第1項之製造方法，其中以金形成金屬膜。

6．如申請專利範圍第1項之製造方法，其中以鈮形成金屬膜。

7．如申請專利範圍第6項之製造方法，其中形成金屬膜之厚度為 $0.01\mu\text{m}$ 以上。

8．如申請專利範圍第6項之製造方法，另包含步驟形成鎳膜作為分別金屬膜上底覆層。

9．一種半導體裝置之組裝方法，包含步驟：

以申請專利範圍第4項之製造方法製造引線框；及

以單點接合或群接合於凸點處接合引線框之內引線至半導體晶片分別電極片。

10．一種引線框，包含：

一絕緣膜，具開口；

一接線膜，具內引線形成於絕緣膜一表面上；

電極，作為絕緣膜另一表面上外部端子以經由絕緣膜開口連接至接線膜；及

鈮凸點，連接至分別內引線。

11．如申請專利範圍第10項之引線框，其中凸點厚度為 $0.01\mu\text{m}$ 以上。

12．如申請專利範圍第10項之引線框，其中分別凸點具鎳膜作為底覆層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

1 3 . 一種半導體裝置，包含：

一絕緣膜，具開口；

一接線膜，具內引線形成於絕緣膜一表面上；

電極，作為絕緣膜另一表面上外部端子，經由絕緣膜開口連接至接線膜；及

鈮凸點，連接至分別內引線；及

一半導體晶片，具電極連接至分別內引線。

1 4 . 如申請專利範圍第 1 3 項之半導體裝置，其中凸點厚度為  $0.01 \mu m$  以上。

1 5 . 如申請專利範圍第 1 3 項之半導體裝置，其中分別凸點具鎳膜為底覆層。

1 6 . 一種電子設備，包含：

一半導體裝置，包含：

一引線框，包含：

一絕緣膜，具開口；

一接線膜，具內引線形成於絕緣膜一表面上；

電極，作為絕緣膜另一表面上外部端子，經由絕緣膜開口連接至接線膜；及

鈮凸點，連接至分別內引線；及

一半導體晶片，具電極連接至分別內引線。

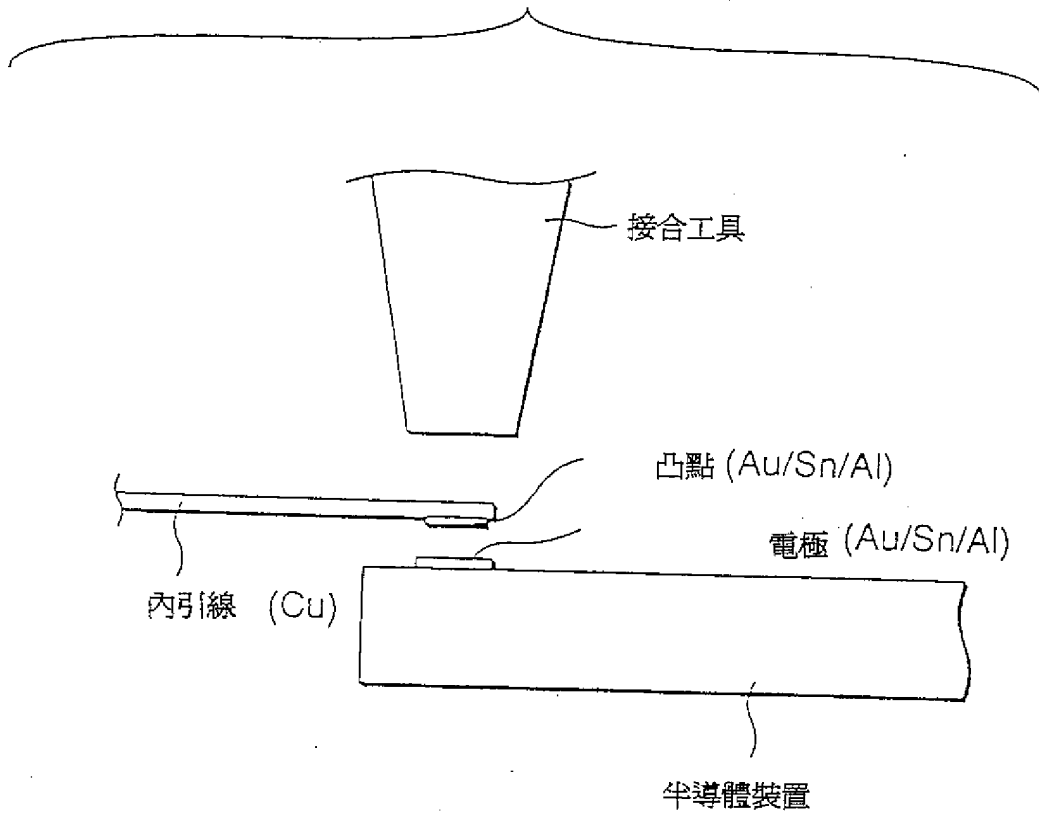
(請先閱讀背面之注意事項再填寫本頁)

裝

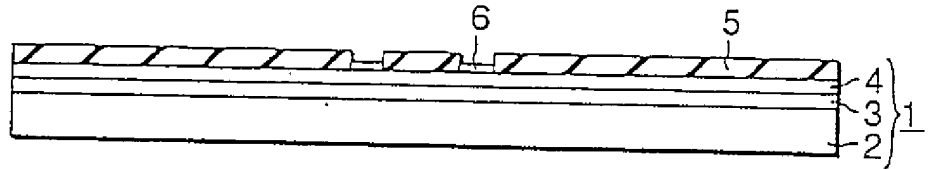
訂

871105P6

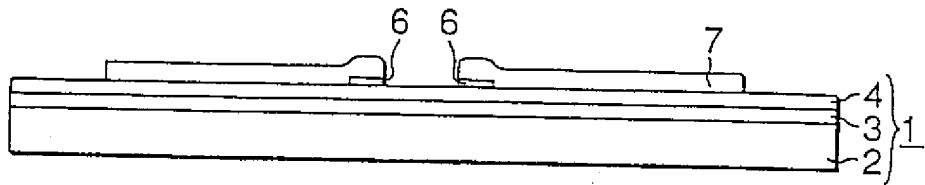
第 1 圖



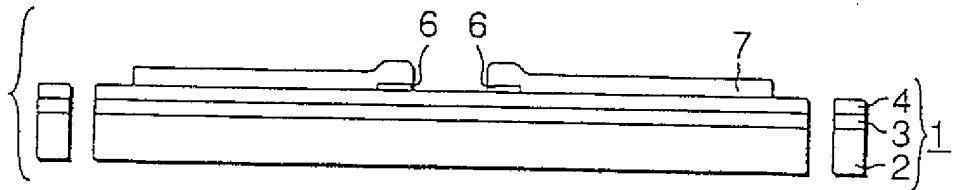
第 2 圖 A



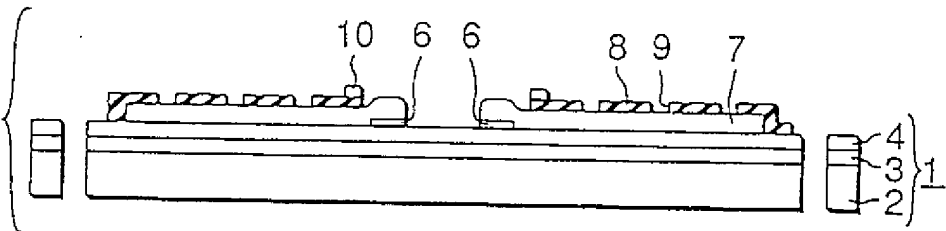
第 2 圖 B



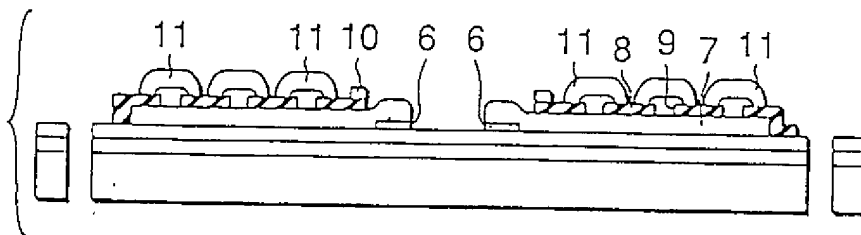
第 2 圖 C



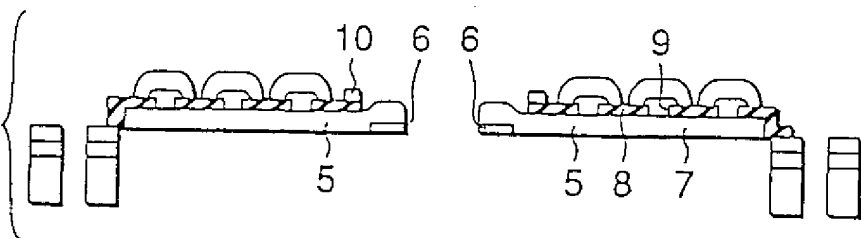
第 2 圖 D



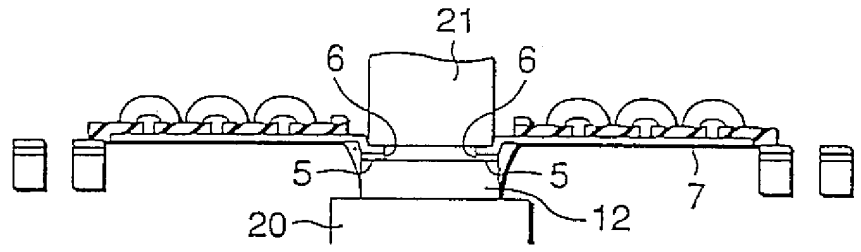
第 2 圖 E



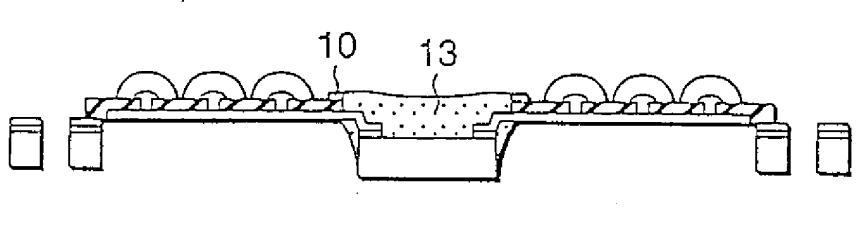
第 2 圖 F



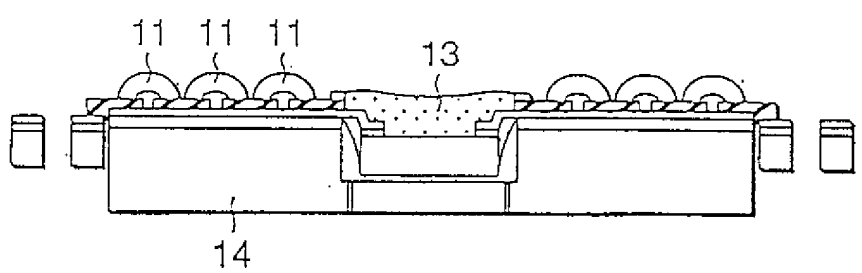
第 3 圖 A



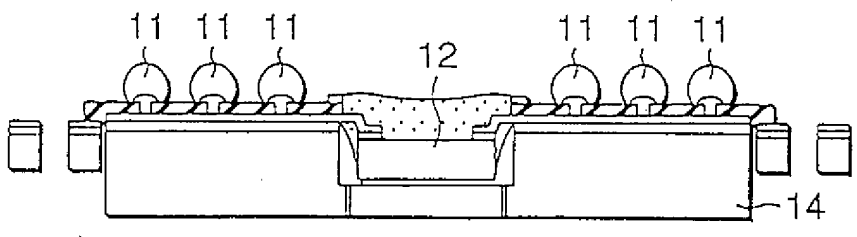
第 3 圖 B



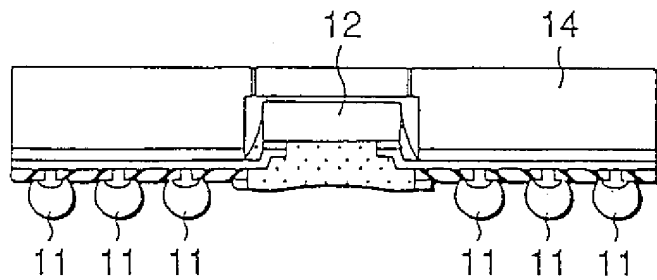
第 3 圖 C



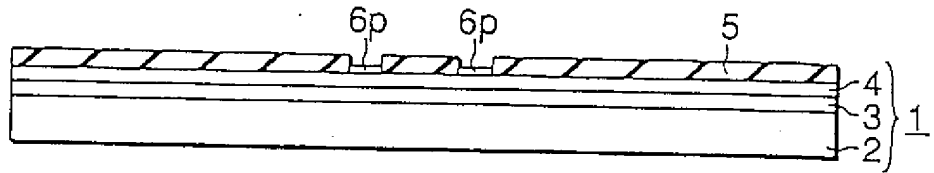
第 3 圖 D



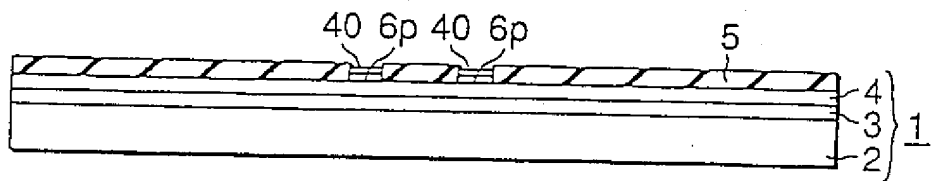
第 3 圖 E



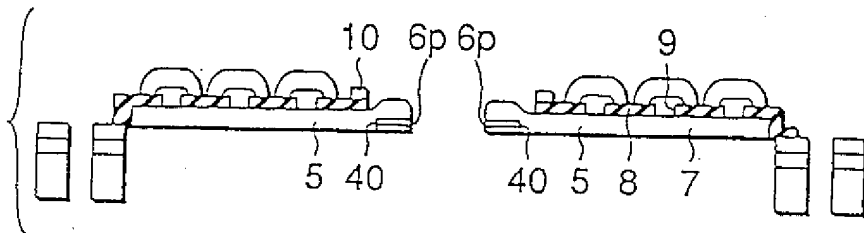
第 4 圖 A



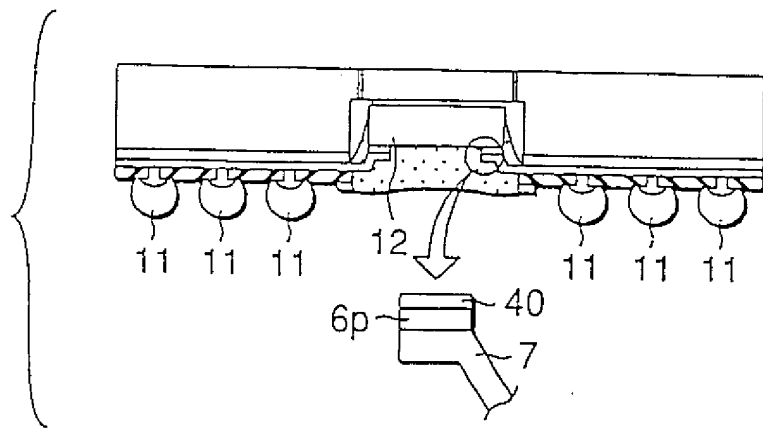
第 4 圖 B



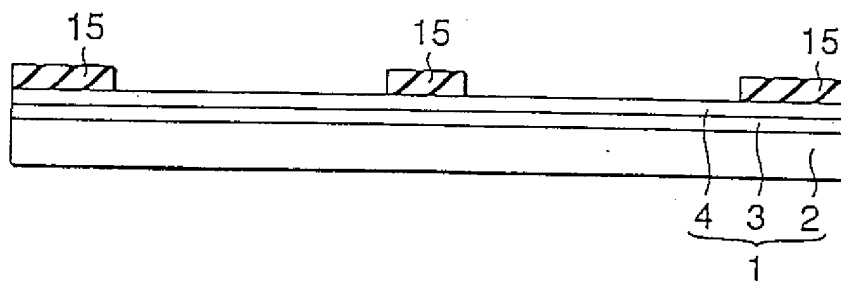
第 4 圖 C



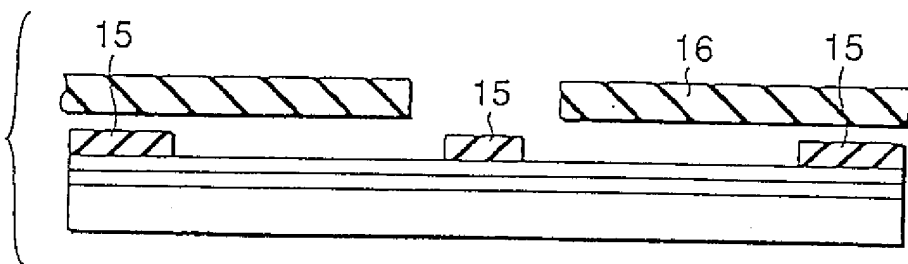
第 5 圖



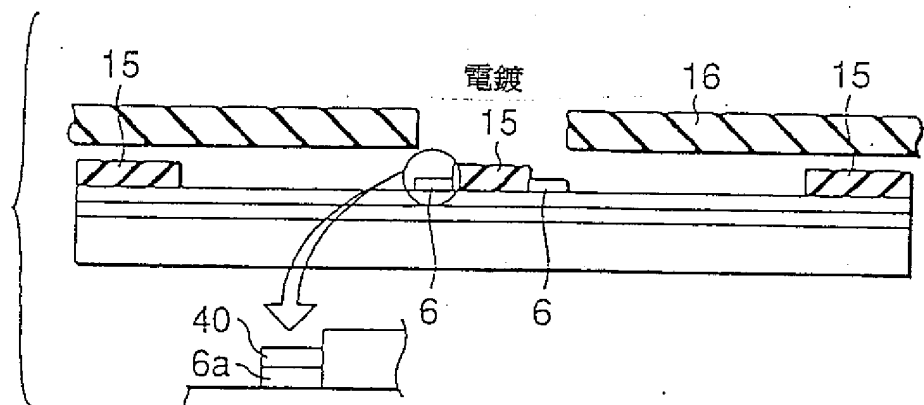
第 6 圖 A



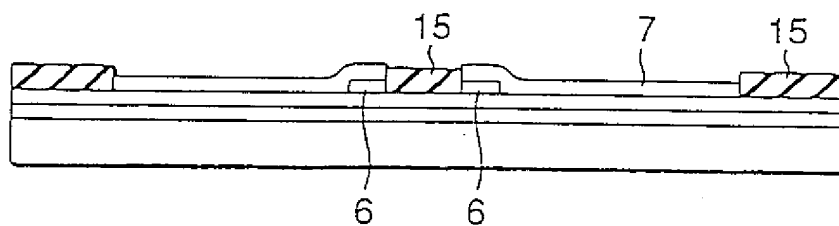
第 6 圖 B



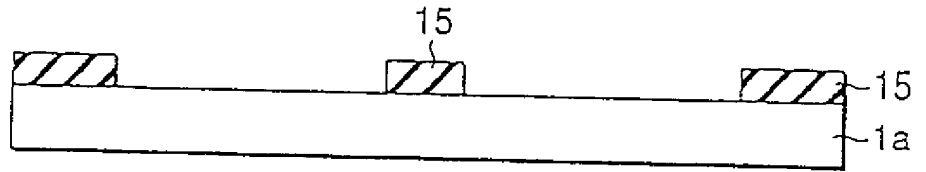
第 6 圖 C



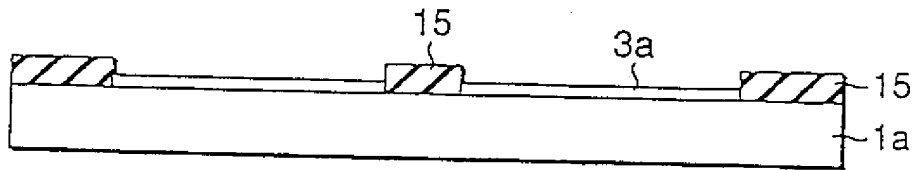
第 6 圖 D



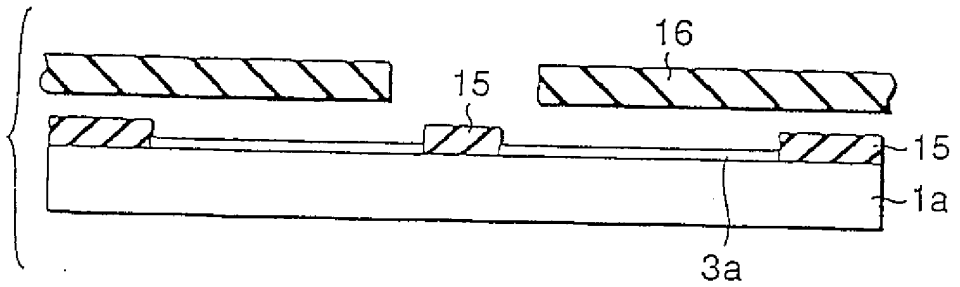
第7圖A



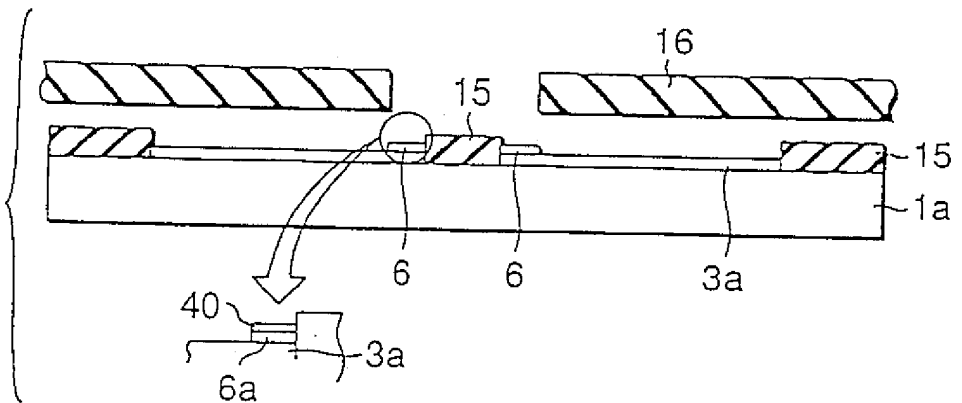
第7圖B



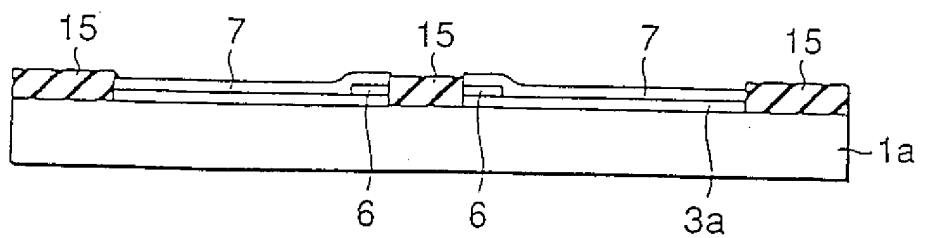
第7圖C



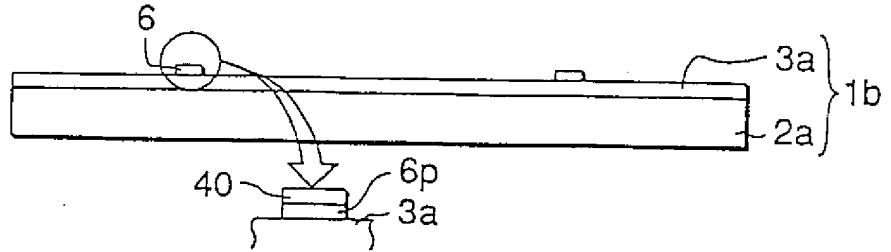
第7圖D



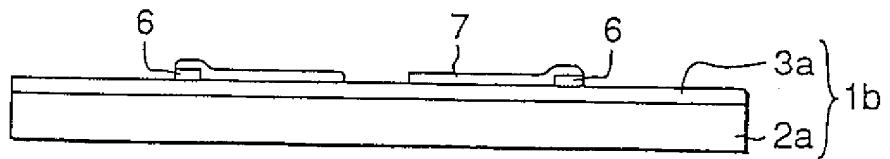
第7圖E



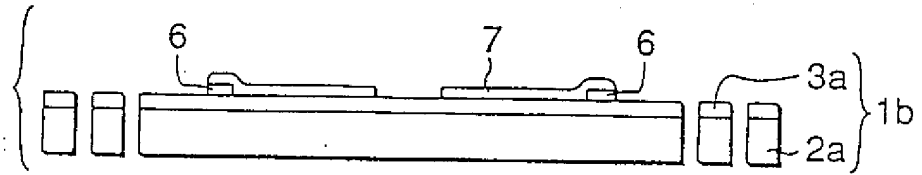
第 8 圖 A



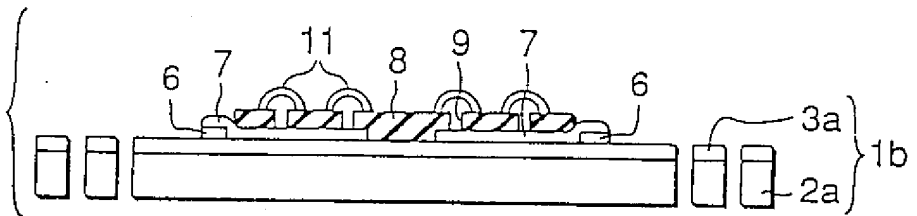
第 8 圖 B



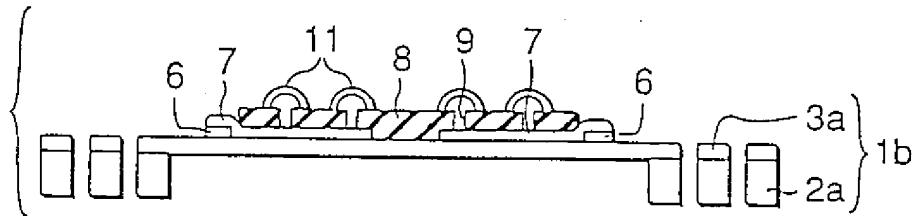
第 8 圖 C



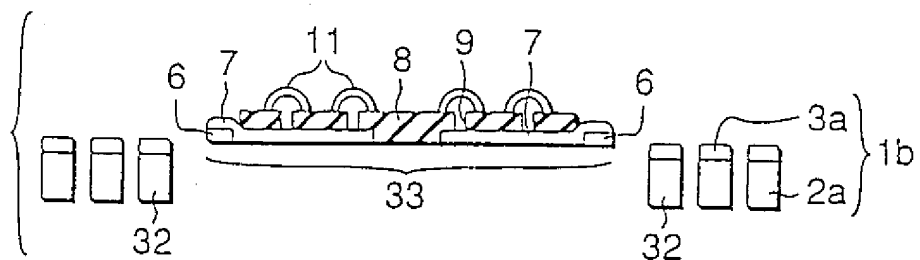
第 8 圖 D



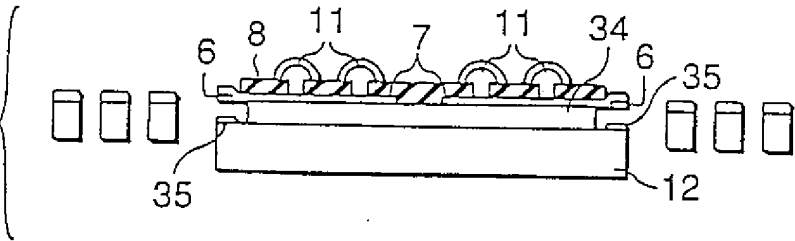
第 8 圖 E



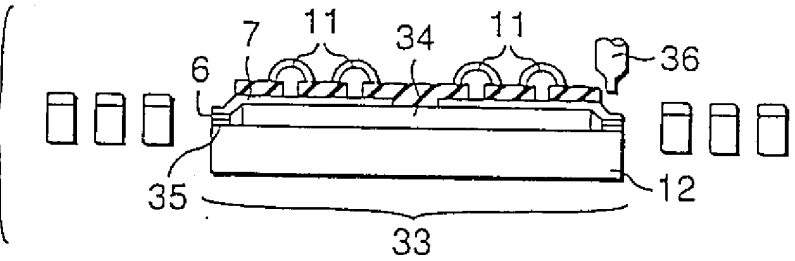
第 8 圖 F



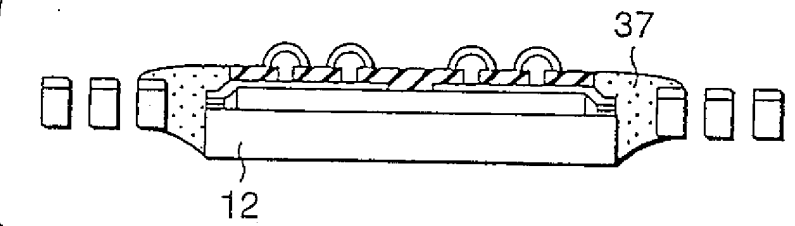
第9圖A



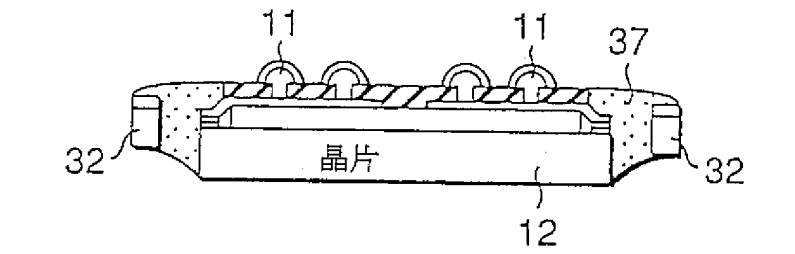
第9圖B



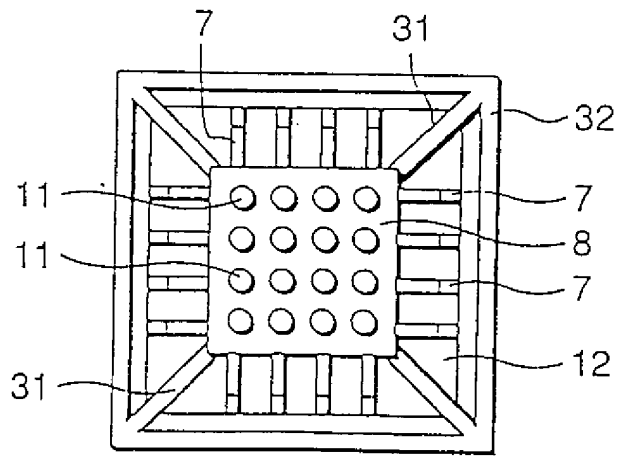
第9圖C



第9圖D



第10圖



第11圖

