



(12) 发明专利申请

(10) 申请公布号 CN 114387908 A

(43) 申请公布日 2022. 04. 22

(21) 申请号 202111204618.6

(22) 申请日 2021.10.15

(30) 优先权数据

10-2020-0135436 2020.10.19 KR

(71) 申请人 三星显示有限公司

地址 韩国京畿道

申请人 高丽大学校产学协力团

(72) 发明人 黄英秀 高俊哲 权五照 金起德

金贞敏 柳凤铉 李炯玟 崔昇勳

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 康泉 宋志强

(51) Int. Cl.

G09G 3/20 (2006.01)

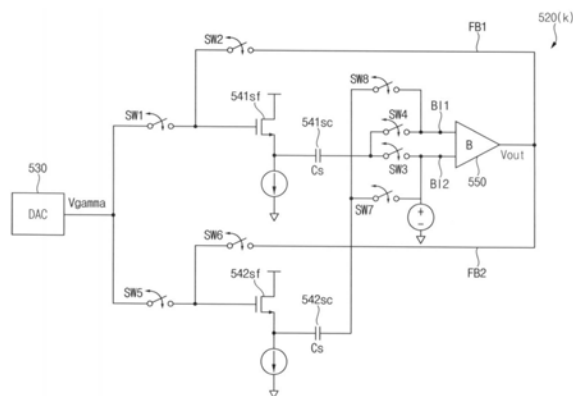
权利要求书3页 说明书15页 附图9页

(54) 发明名称

数据驱动器以及包括数据驱动器的显示装置

(57) 摘要

本发明提供了数据驱动器以及包括数据驱动器的显示装置。该数据驱动器包括电连接在数模转换器与缓冲器之间的多通道采样/保持电路。多通道采样/保持电路包括连接到第一通道的第一采样/保持电路和连接到第二通道的第二采样/保持电路。第一采样/保持电路执行第一驱动操作和第二驱动操作。第一驱动操作包括在第n水平时间期间对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压。第二驱动操作包括在第n+1水平时间期间将缓冲器输入电压输入到缓冲器的输入端子。第二采样/保持电路在第n水平时间期间执行第二驱动操作，并且在第n+1水平时间期间执行第一驱动操作。



1. 一种数据驱动器,包括:

数模转换器,被配置为将数字数据信号转换为模拟数据电压;

缓冲器,被配置为输出所述模拟数据电压;以及

多通道采样/保持电路,电连接在所述数模转换器与所述缓冲器之间,所述多通道采样/保持电路包括连接到第一通道的第一采样/保持电路和连接到第二通道的第二采样/保持电路,其中:

所述第一采样/保持电路被配置为在第 n 水平时间期间执行对所述模拟数据电压进行采样作为缓冲器输入电压以及维持所述缓冲器输入电压的第一驱动操作,并且在第 $n+1$ 水平时间期间执行将所述缓冲器输入电压输入到所述缓冲器的输入端子的第二驱动操作,并且

所述第二采样/保持电路被配置为在所述第 n 水平时间期间执行所述第二驱动操作并且在所述第 $n+1$ 水平时间期间执行所述第一驱动操作,其中 n 为大于或等于1的整数。

2. 根据权利要求1所述的数据驱动器,其中,所述第一采样/保持电路包括:

第一采样电容器,被配置为存储所述缓冲器输入电压;

第一源极跟随器,包括被配置为选择性地接收所述模拟数据电压或缓冲器输出电压的输入端子和连接到所述第一采样电容器的第一端子的输出端子;

第一输入开关组,被配置为选择性地所述模拟数据电压或所述缓冲器输出电压施加到所述第一源极跟随器的所述输入端子;以及

第一输出开关组,被配置为控制所述第一采样电容器的第二端子与所述缓冲器的第一输入端子和第二输入端子之间的连接,所述缓冲器的所述输入端子包括所述缓冲器的所述第一输入端子和所述第二输入端子。

3. 根据权利要求2所述的数据驱动器,其中,所述第二采样/保持电路包括:

第二采样电容器,被配置为存储所述缓冲器输入电压;

第二源极跟随器,包括被配置为选择性地接收所述模拟数据电压或所述缓冲器输出电压的输入端子和连接到所述第二采样电容器的第一端子的输出端子;

第二输入开关组,被配置为选择性地所述模拟数据电压或所述缓冲器输出电压施加到所述第二源极跟随器的所述输入端子;以及

第二输出开关组,被配置为控制所述第二采样电容器的第二端子与所述缓冲器的所述第一输入端子和所述第二输入端子之间的连接。

4. 根据权利要求3所述的数据驱动器,其中:

所述缓冲器的输出端子通过第一反馈线连接到所述第一源极跟随器的所述输入端子,并且

所述缓冲器的所述输出端子通过第二反馈线连接到所述第二源极跟随器的所述输入端子。

5. 根据权利要求4所述的数据驱动器,其中,所述第一输入开关组包括:

第一开关,被配置为控制所述数模转换器的输出端子与所述第一源极跟随器的所述输入端子之间的连接,所述模拟数据电压通过所述数模转换器的所述输出端子输出;以及

第二开关,位于所述第一反馈线上并且被配置为控制所述缓冲器的所述输出端子与所述第一源极跟随器的所述输入端子之间的连接。

6. 根据权利要求5所述的数据驱动器,其中,所述第一输出开关组包括:

第四开关,被配置为控制所述第一采样电容器的所述第二端子与所述缓冲器的所述第一输入端子之间的所述连接;以及

第三开关,被配置为控制所述第一采样电容器的所述第二端子与所述缓冲器的所述第二输入端子之间的所述连接。

7. 根据权利要求6所述的数据驱动器,其中,所述第二输入开关组包括:

第五开关,被配置为控制所述数模转换器的所述输出端子与所述第二源极跟随器的所述输入端子之间的连接;以及

第六开关,位于所述第二反馈线上并且被配置为控制所述缓冲器的所述输出端子与所述第二源极跟随器的所述输入端子之间的连接。

8. 根据权利要求7所述的数据驱动器,其中,所述第二输出开关组包括:

第八开关,被配置为控制所述第二采样电容器的所述第二端子与所述缓冲器的所述第一输入端子之间的所述连接;以及

第七开关,被配置为控制所述第二采样电容器的所述第二端子与所述缓冲器的所述第二输入端子之间的所述连接。

9. 根据权利要求8所述的数据驱动器,其中:

当所述第一采样/保持电路执行所述第一驱动操作时,所述第六开关和所述第八开关接通,并且所述第二开关、所述第四开关、所述第五开关和所述第七开关断开。

10. 根据权利要求8所述的数据驱动器,其中:

当所述第一采样/保持电路执行所述第二驱动操作时,所述第二开关和所述第四开关接通,并且所述第一开关、所述第三开关、所述第六开关和所述第八开关断开。

11. 根据权利要求8所述的数据驱动器,其中:

所述第一采样/保持电路被配置为在所述第一开关、所述第三开关、所述第六开关和所述第八开关接通并且所述第二开关、所述第四开关、所述第五开关和所述第七开关断开时,对所述模拟数据电压进行采样作为所述缓冲器输入电压,并且

所述第一采样/保持电路被配置为在所述第六开关和所述第八开关接通并且所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关和所述第七开关断开时,维持所述缓冲器输入电压。

12. 根据权利要求8所述的数据驱动器,其中:

当所述第二采样/保持电路执行所述第一驱动操作时,所述第二开关和所述第四开关接通,并且所述第一开关、所述第三开关、所述第六开关和所述第八开关断开。

13. 根据权利要求8所述的数据驱动器,其中:

当所述第二采样/保持电路执行所述第二驱动操作时,所述第六开关和所述第八开关接通,并且所述第二开关、所述第四开关、所述第五开关和所述第七开关断开。

14. 根据权利要求8所述的数据驱动器,其中:

所述第二采样/保持电路被配置为在所述第二开关、所述第四开关、所述第五开关和所述第七开关接通并且所述第一开关、所述第三开关、所述第六开关和所述第八开关断开时,对所述模拟数据电压进行采样作为所述缓冲器输入电压;并且

所述第二采样/保持电路被配置为在所述第二开关和所述第四开关接通并且所述第一

开关、所述第三开关、所述第五开关、所述第六开关、所述第七开关和所述第八开关断开时，维持所述缓冲器输入电压。

15. 一种显示装置，包括：

显示面板；

栅驱动器，被配置为将栅信号施加到所述显示面板；

数据驱动器，被配置为将模拟数据电压施加到所述显示面板；以及

时序控制器，被配置为控制所述栅驱动器和所述数据驱动器，

其中，所述数据驱动器包括：

数模转换器，被配置为将数字数据信号转换为所述模拟数据电压；

缓冲器，被配置为输出所述模拟数据电压；以及

多通道采样/保持电路，电连接在所述数模转换器与所述缓冲器之间，所述多通道采样/保持电路包括连接到第一通道的第一采样/保持电路和连接到第二通道的第二采样/保持电路，其中：

所述第一采样/保持电路被配置为在第 n 水平时间期间执行对所述模拟数据电压进行采样作为缓冲器输入电压以及维持所述缓冲器输入电压的第一驱动操作，并且在第 $n+1$ 水平时间期间执行将所述缓冲器输入电压输入到所述缓冲器的输入端子的第二驱动操作，并且

所述第二采样/保持电路被配置为在所述第 n 水平时间期间执行所述第二驱动操作并且在所述第 $n+1$ 水平时间期间执行所述第一驱动操作，其中 n 为大于或等于1的整数。

数据驱动器以及包括数据驱动器的显示装置

技术领域

[0001] 本文中描述的一个或多个实施例涉及数据驱动器以及包括数据驱动器的显示装置。

背景技术

[0002] 显示装置使用数据驱动器来控制显示面板。数据驱动器可以包括在前半水平时间(1/2H)期间执行采样操作和保持操作并且在后半水平时间(1/2H)期间执行驱动操作的采样/保持电路。在驱动高速高分辨率显示器的情况下,前半水平时间相对短。因此,缓冲器输入电压的建立时间(settling time)可能不足,或者采样/保持电路的功耗可能增加。

发明内容

[0003] 本文中描述的一个或多个实施例提供一种将采样/保持操作时间增加到一个水平时间(1H)的数据驱动器。这可以降低操作频率,其进而可以降低功耗。

[0004] 这些或其它实施例可以提供一种包括在采样电容器的前端处的源极跟随器的数据驱动器。

[0005] 一个或多个实施例还可以提供一种包括如本文中描述的数据驱动器的显示装置。

[0006] 根据一个或多个实施例,一种数据驱动器包括:数模转换器,被配置为将数字数据信号转换为模拟数据电压;缓冲器,被配置为输出模拟数据电压;以及多通道采样/保持电路,电连接在数模转换器与缓冲器之间,多通道采样/保持电路包括连接到第一通道的第一采样/保持电路和连接到第二通道的第二采样/保持电路。第一采样/保持电路在第n水平时间期间执行对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压的第一驱动操作,并且在第n+1水平时间期间执行将缓冲器输入电压输入到缓冲器的输入端子的第二驱动操作。第二采样/保持电路在第n水平时间期间执行第二驱动操作,并且在第n+1水平时间期间执行第一驱动操作,其中n为大于或等于1的整数。

[0007] 根据一个或多个实施例,一种显示装置包括:显示面板;栅驱动器,被配置为将栅信号施加到显示面板;数据驱动器,被配置为将模拟数据电压施加到显示面板;以及时序控制器,被配置为控制栅驱动器和数据驱动器。数据驱动器包括:数模转换器,被配置为将数字数据信号转换为模拟数据电压;缓冲器,被配置为输出模拟数据电压;以及多通道采样/保持电路,电连接在数模转换器与缓冲器之间,多通道采样/保持电路包括连接到第一通道的第一采样/保持电路和连接到第二通道的第二采样/保持电路。第一采样/保持电路被配置为在第n水平时间期间执行对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压的第一驱动操作,并且在第n+1水平时间期间执行将缓冲器输入电压输入到缓冲器的输入端子的第二驱动操作。第二采样/保持电路被配置为在第n水平时间期间执行第二驱动操作并且在第n+1水平时间期间执行第一驱动操作,其中n为大于或等于1的整数。

[0008] 在实施例中,第一采样/保持电路包括:第一采样电容器,被配置为存储缓冲器输入电压;第一源极跟随器,包括被配置为选择性地接收模拟数据电压或缓冲器输出电压的

输入端子和连接到第一采样电容器的第一端子的输出端子；第一输入开关组，被配置为选择性地模拟数据电压或缓冲器输出电压施加到第一源极跟随器的输入端子；以及第一输出开关组，被配置为控制第一采样电容器的第二端子与缓冲器的第一输入端子和第二输入端子之间的连接，缓冲器的输入端子包括缓冲器的第一输入端子和第二输入端子。

[0009] 在实施例中，第二采样/保持电路包括：第二采样电容器，被配置为存储缓冲器输入电压；第二源极跟随器，包括被配置为选择性地接收模拟数据电压或缓冲器输出电压的输入端子和连接到第二采样电容器的第一端子的输出端子；第二输入开关组，被配置为选择性地模拟数据电压或缓冲器输出电压施加到第二源极跟随器的输入端子；以及第二输出开关组，被配置为控制第二采样电容器的第二端子与缓冲器的第一输入端子和第二输入端子之间的连接。

[0010] 在实施例中，缓冲器的输出端子和第一源极跟随器的输入端子通过第一反馈线彼此连接，并且缓冲器的输出端子和第二源极跟随器的输入端子通过第二反馈线彼此连接。

[0011] 在实施例中，第一输入开关组包括：第一开关，被配置为控制数模转换器的通过其输出模拟数据电压的输出端子与第一源极跟随器的输入端子之间的连接；以及第二开关，位于第一反馈线上并且被配置为控制缓冲器的输出端子与第一源极跟随器的输入端子之间的连接。

[0012] 在实施例中，第一输出开关组包括：第四开关，被配置为控制第一采样电容器的第二端子与缓冲器的第一输入端子之间的连接；以及第三开关，被配置为控制第一采样电容器的第二端子与缓冲器的第二输入端子之间的连接。

[0013] 在实施例中，第二输入开关组包括：第五开关，被配置为控制数模转换器的输出端子与第二源极跟随器的输入端子之间的连接；以及第六开关，位于第二反馈线上并且被配置为控制缓冲器的输出端子与第二源极跟随器的输入端子之间的连接。

[0014] 在实施例中，第二输出开关组包括：第八开关，被配置为控制第二采样电容器的第二端子与缓冲器的第一输入端子之间的连接；以及第七开关，被配置为控制第二采样电容器的第二端子与缓冲器的第二输入端子之间的连接。

[0015] 在实施例中，当第一采样/保持电路执行第一驱动操作时，第六开关和第八开关接通，并且第二开关、第四开关、第五开关和第七开关断开。

[0016] 在实施例中，当第一采样/保持电路执行第二驱动操作时，第二开关和第四开关接通，并且第一开关、第三开关、第六开关和第八开关断开。

[0017] 在实施例中，第一采样/保持电路被配置为当第一开关、第三开关、第六开关和第八开关接通并且第二开关、第四开关、第五开关和第七开关断开时，对模拟数据电压进行采样作为缓冲器输入电压，并且第一采样/保持电路被配置为当第六开关和第八开关接通并且第一开关、第二开关、第三开关、第四开关、第五开关和第七开关断开时，维持缓冲器输入电压。

[0018] 在实施例中，当第二采样/保持电路执行第一驱动操作时，第二开关和第四开关接通，并且第一开关、第三开关、第六开关和第八开关断开。

[0019] 在实施例中，当第二采样/保持电路执行第二驱动操作时，第六开关和第八开关接通，并且第二开关、第四开关、第五开关和第七开关断开。

[0020] 在实施例中，第二采样/保持电路被配置为当第二开关、第四开关、第五开关和第

七开关接通并且第一开关、第三开关、第六开关和第八开关断开时,对模拟数据电压进行采样作为缓冲器输入电压,并且第二采样/保持电路被配置为当第二开关和第四开关接通并且第一开关、第三开关、第五开关、第六开关、第七开关和第八开关断开时,维持缓冲器输入电压。

[0021] 在根据本发明构思的显示装置的实施例中,显示装置包括:显示面板;栅驱动器,被配置为将栅信号施加到显示面板;数据驱动器,被配置为将模拟数据电压施加到显示面板;以及时序控制器,被配置为控制栅驱动器和数据驱动器。这里,数据驱动器包括:数模转换器,被配置为接收数字数据信号以将接收的数字数据信号转换为模拟数据电压;缓冲器,被配置为输出模拟数据电压;以及多通道采样/保持电路,位于数模转换器与缓冲器之间并且包括连接到第一通道的第一采样/保持电路和连接到第二通道的第二采样/保持电路。第一采样/保持电路被配置为在第 n 水平时间(其中, n 是大于或等于1的整数)期间执行对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压的第一驱动操作并且在第 $n+1$ 水平时间期间执行将缓冲器输入电压输入到缓冲器的输入端子的第二驱动操作,并且第二采样/保持电路被配置为在第 n 水平时间期间执行第二驱动操作并且在第 $n+1$ 水平时间期间执行第一驱动操作。

[0022] 在实施例中,第一采样/保持电路包括:第一采样电容器,被配置为存储缓冲器输入电压;第一源极跟随器,包括被配置为选择性地接收模拟数据电压或缓冲器输出电压的输入端子和连接到第一采样电容器的第一端子的输出端子;第一输入开关组,被配置为选择性地接收模拟数据电压或缓冲器输出电压施加到第一源极跟随器的输入端子;以及第一输出开关组,被配置为控制第一采样电容器的第二端子与缓冲器的第一输入端子和第二输入端子之间的连接。

[0023] 在实施例中,第二采样/保持电路包括:第二采样电容器,被配置为存储缓冲器输入电压;第二源极跟随器,包括被配置为选择性地接收模拟数据电压或缓冲器输出电压的输入端子和连接到第二采样电容器的第一端子的输出端子;第二输入开关组,被配置为选择性地接收模拟数据电压或缓冲器输出电压施加到第二源极跟随器的输入端子;以及第二输出开关组,被配置为控制第二采样电容器的第二端子与缓冲器的第一输入端子和第二输入端子之间的连接。

[0024] 在实施例中,缓冲器的输出端子和第一源极跟随器的输入端子通过第一反馈线彼此连接,并且缓冲器的输出端子和第二源极跟随器的输入端子通过第二反馈线彼此连接。

[0025] 在实施例中,第一输入开关组包括:第一开关,被配置为控制数模转换器的通过其输出模拟数据电压的输出端子与第一源极跟随器的输入端子之间的连接;以及第二开关,位于第一反馈线上并且被配置为控制缓冲器的输出端子与第一源极跟随器的输入端子之间的连接,并且第一输出开关组包括:第四开关,被配置为控制第一采样电容器的第二端子与缓冲器的第一输入端子之间的连接;以及第三开关,被配置为控制第一采样电容器的第二端子与缓冲器的第二输入端子之间的连接。

[0026] 在实施例中,第二输入开关组包括:第五开关,被配置为控制数模转换器的通过其输出模拟数据电压的输出端子与第二源极跟随器的输入端子之间的连接;以及第六开关,位于第二反馈线上并且被配置为控制缓冲器的输出端子与第二源极跟随器的输入端子之间的连接,并且第二输出开关组包括:第八开关,被配置为控制第二采样电容器的第二端子

与缓冲器的第一输入端子之间的连接;以及第七开关,被配置为控制第二采样电容器的第二端子与缓冲器的第二输入端子之间的连接。

[0027] 根据本发明构思的实施例,数据驱动器和包括该数据驱动器的显示装置进行时分同时驱动,使得当在第一采样/保持电路中执行采样操作和保持操作时,在第二采样/保持电路中执行驱动操作,并且当在第二采样/保持电路中执行采样操作和保持操作时,在第一采样/保持电路中执行驱动操作,使得在高速高分辨率显示器中,采样操作和保持操作所需的时间可以加倍。因此,可以增加用于缓冲器输入电压的建立时间,使得可以防止信号失真和信号传输错误。

[0028] 此外,根据本发明构思的实施例的数据驱动器以及包括该数据驱动器的显示装置,多通道采样/保持电路内部的源极跟随器设置在采样电容器的前端处以与采样电容器串联连接,使得可以减小采样/保持电路内部的等效电容,并且因此可以解决由RC延迟引起的问题。

[0029] 此外,根据本发明构思的实施例,数据驱动器以及包括该数据驱动器的显示装置具有其中缓冲器输出电压被反馈回源极跟随器的输入端子的配置,使得从数模转换器输入的模拟数据电压可以无压降地被输出到缓冲器的输出端子。

附图说明

[0030] 图1示出了显示装置的实施例。

[0031] 图2示出了数据驱动器的实施例。

[0032] 图3示出了模拟驱动电路的实施例。

[0033] 图4示出了用于操作模拟驱动电路的信号的实施例。

[0034] 图5示出了用于描述根据实施例的在图3的模拟驱动电路中、第一采样/保持电路执行采样操作并且第二采样/保持电路执行驱动操作的图。

[0035] 图6示出了用于描述根据实施例的在图3的模拟驱动电路中、第一采样/保持电路执行保持操作并且第二采样/保持电路执行驱动操作的图。

[0036] 图7示出了用于描述根据实施例的在图3的模拟驱动电路中、第一采样/保持电路执行驱动操作并且第二采样/保持电路执行采样操作的图。

[0037] 图8示出了用于描述根据实施例的在图3的模拟驱动电路中、第一采样/保持电路执行驱动操作并且第二采样/保持电路执行保持操作的图。

[0038] 图9示出了电子装置的实施例。

[0039] 图10示出了智能电话的实施例。

具体实施方式

[0040] 在下文中,将参考附图更详细地描述本发明构思的实施例。在附图中,相同的附图标记将用于相同元件,并且将省略相同元件的重复描述。

[0041] 图1是示出显示装置10的实施例的框图,显示装置10可以包括显示面板100和显示面板驱动器120。显示面板驱动器120可以包括时序控制器200、栅驱动器300、伽马参考电压产生器400和数据驱动器500。

[0042] 显示面板100可以包括用于显示图像的显示区域以及与显示区域相邻的外围区

域。显示面板100可以包括像素P并且可以基于从像素P输出的光来显示与输入图像数据IMG相对应的图像。栅线GL1至GLj可以在第一方向D1上延伸,并且数据线DL1至DLi可以在与第一方向D1相交的第二方向D2上延伸。

[0043] 时序控制器200可以从外部装置接收输入图像数据IMG和输入控制信号CONT。例如,从外部装置接收的输入图像数据IMG可以包括多种颜色(例如,红色、绿色和蓝色)的图像数据。在一些实施例中,输入图像数据IMG可以进一步包括白色图像数据。在一个实施例中,输入图像数据IMG可以包括品红色图像数据、黄色图像数据和青色图像数据。从外部装置接收的输入控制信号CONT可以包括主时钟信号、数据使能信号、垂直同步信号、水平同步信号和/或其它信号。

[0044] 时序控制器200可以基于输入图像数据IMG和输入控制信号CONT产生第一控制信号CONT1、第二控制信号CONT2、第三控制信号CONT3和数据信号DATA。时序控制器200可以基于输入控制信号CONT产生用于控制栅驱动器300的操作的第一控制信号CONT1,并且将产生的第一控制信号CONT1输出到栅驱动器300。第一控制信号CONT1可以包括例如垂直开始信号和栅时钟信号。

[0045] 时序控制器200可以基于输入控制信号CONT产生用于控制数据驱动器500的操作的第二控制信号CONT2,并且将产生的第二控制信号CONT2输出到数据驱动器500。第二控制信号CONT2可以包括例如水平开始信号和负载信号。

[0046] 时序控制器200可以基于输入图像数据IMG产生数据信号DATA,并且将产生的数据信号DATA输出到数据驱动器500。

[0047] 时序控制器200可以基于输入控制信号CONT产生用于控制伽马参考电压产生器400的操作的第三控制信号CONT3。时序控制器200可以将产生的第三控制信号CONT3输出到伽马参考电压产生器400。

[0048] 栅驱动器300可以响应于来自时序控制器200的第一控制信号CONT1而产生用于驱动栅线GL1至GLj的栅信号。栅驱动器300可以将产生的栅信号输出到栅线GL1至GLj。例如,栅驱动器300可以将栅信号顺序地输出到栅线GL1至GLj。在一些实施例中,栅驱动器300可以被安装在显示面板100的外围区域中。

[0049] 伽马参考电压产生器400可以响应于来自时序控制器200的第三控制信号CONT3而产生伽马参考电压VGREF。伽马参考电压产生器400可以将产生的伽马参考电压VGREF提供到数据驱动器500。伽马参考电压VGREF可以具有与每个数据信号DATA相对应的值。在一些实施例中,伽马参考电压产生器400可以设置在时序控制器200内部或数据驱动器500内部。

[0050] 数据驱动器500可以从时序控制器200接收第二控制信号CONT2和数据信号DATA,并且可以从伽马参考电压产生器400接收伽马参考电压VGREF。数据驱动器500可以使用伽马参考电压VGREF将数字数据信号DATA转换为模拟数据电压。数据驱动器500可以将模拟数据电压输出到数据线DL1至DLi。下面参考图2至图4描述数据驱动器500的实施例。

[0051] 图2是示出图1的显示装置10的数据驱动器500的实施例的框图,并且图3是示出图2的数据驱动器500的模拟驱动电路520(k)的实施例的电路图。

[0052] 参考图2,数据驱动器500可以包括数字驱动块510和模拟驱动块520。数字驱动块510可以包括移位寄存器(SR) 511、采样锁存器(SL) 512、保持锁存器(HL) 513和电平移位器(LS) 514。移位寄存器511可以顺序地移位数据信号DATA。采样锁存器512和保持锁存器513

可以接收数据信号DATA以临时存储数据信号DATA。电平移位器514可以移位(例如,增大)数据信号DATA的电平。

[0053] 模拟驱动块520可以包括第一模拟驱动电路520(1)至第i模拟驱动电路520(i),其中i为大于或等于2的整数。一个模拟驱动电路520(k)可以包括数模转换器(DAC)530、多通道采样/保持(S/H)电路540和缓冲器(B)550。k的值可以是大于或等于1且小于或等于i的整数。

[0054] 数模转换器530可以基于伽马参考电压VGREF将数字数据信号DATA转换为模拟数据电压。

[0055] 多通道采样/保持电路540可以对模拟数据电压进行采样作为缓冲器输入电压并且维持缓冲器输入电压。

[0056] 缓冲器550可以放大缓冲器输入电压并且将放大的缓冲器输入电压输出到显示面板100的对应数据线。第一模拟驱动电路520(1)至第i模拟驱动电路520(i)中包括的缓冲器550可以分别连接到第一数据线DL1至第i数据线DLi。在这种情况下,模拟驱动块520中的缓冲器550的数量可以等于数据线DL1至DLi的数量。

[0057] 如图2中所示,模拟驱动电路520(k)可以包括被配置为将数字数据信号DATA转换为模拟数据电压的数模转换器530、被配置为放大并输出缓冲器输入电压的缓冲器550、以及位于数模转换器530与缓冲器550之间并且包括与第一通道(CH1)相对应的第一采样/保持电路541和与第二通道(CH2)相对应的第二采样/保持电路542的多通道采样/保持电路540。

[0058] 参考图2和图3,第一采样/保持电路541和第二采样/保持电路542可以并联连接在多通道采样/保持电路540中。数模转换器530的输出端子可以选择性地连接到第一采样/保持电路541或第二采样/保持电路542。第一采样/保持电路541的输出端子可以选择性地连接到缓冲器550的第一输入端子BI1或第二输入端子BI2。第二采样/保持电路542的输出端子可以选择性地连接到缓冲器550的第一输入端子BI1或第二输入端子BI2。例如,数模转换器530的输出端子可以连接到第一采样/保持电路541,第一采样/保持电路541的输出端子可以连接到缓冲器550的第二输入端子BI2,并且第二采样/保持电路542的输出端子可以连接到缓冲器550的第一输入端子BI1。在一个实施例中,数模转换器530的输出端子可以连接到第二采样/保持电路542,第一采样/保持电路541的输出端子可以连接到缓冲器550的第一输入端子BI1,并且第二采样/保持电路542的输出端子可以连接到缓冲器550的第二输入端子BI2。

[0059] 第一采样/保持电路541可以在第n水平时间(其中,n是大于或等于1的整数)期间执行对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压的第一驱动操作。第一采样/保持电路541也可以在第n+1水平时间期间执行将缓冲器输入电压输入到缓冲器550的输入端子的第二驱动操作。第一驱动操作可以包括对接收的模拟数据电压进行采样的操作以及在采样电容器中维持缓冲器输入电压的操作。第二驱动操作可以包括将维持的缓冲器输入电压进行放大以及将放大的缓冲器输入电压输入到缓冲器550的输入端子的驱动操作。

[0060] 第二采样/保持电路542可以在第n水平时间期间执行第二驱动操作,并且可以在第n+1水平时间期间执行第一驱动操作。例如,当第一采样/保持电路541在第n水平时间期

间执行对模拟数据电压进行采样的操作以及维持缓冲器输入电压的操作时,第二采样/保持电路542可以执行将在前一水平时间(例如,第 $n-1$ 水平时间)期间维持的缓冲器输入电压进行放大以及将放大的缓冲器输入电压输入到缓冲器550的输入端子的驱动操作。

[0061] 第二采样/保持电路542可以在第 $n+1$ 水平时间期间执行对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压的第一驱动操作,并且可以在第 $n+2$ 水平时间期间执行将缓冲器输入电压输入到缓冲器550的输入端子的第二驱动操作。第一采样/保持电路541可以在第 $n+1$ 水平时间期间执行第二驱动操作,并且可以在第 $n+2$ 水平时间期间执行第一驱动操作。例如,当第二采样/保持电路542在第 $n+1$ 水平时间期间执行对模拟数据电压进行采样的操作以及维持缓冲器输入电压的操作时,第一采样/保持电路541可以执行将在前一水平时间(例如,第 n 水平时间)期间维持的缓冲器输入电压进行放大以及将放大的缓冲器输入电压输入到缓冲器550的输入端子的驱动操作。

[0062] 换言之,当第一采样/保持电路541执行第一驱动操作时,第二采样/保持电路542可以执行第二驱动操作。相反,当第二采样/保持电路542执行第一驱动操作时,第一采样/保持电路541可以执行第二驱动操作。由于第一采样/保持电路541的操作和第二采样/保持电路542的操作如上所述交替地被执行,因此多通道采样/保持电路540可以同时执行第一驱动操作和第二驱动操作。

[0063] 由于如上所述多通道采样/保持电路540的并联连接结构和时分同时驱动,执行第一驱动操作和第二驱动操作所需的时间可以加倍。例如,根据本发明构思的实施例,多通道采样/保持电路540可以确保每个通道对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压的时间为一个水平时间(1H)。因此,多通道采样/保持电路540可以确保用于缓冲器550的输出电压的足够的建立时间。结果,在高速高分辨率显示器中,可以防止由缓冲器550的输出电压的反冲现象引起的数据信号传输错误。此外,可以减少由RC延迟引起的缓冲器550的输出电压的失真现象。

[0064] 参考图3,第一采样/保持电路541可以包括被配置为存储缓冲器输入电压的第一采样电容器(C_s) 541sc、包括被配置为选择性地接收模拟数据电压或缓冲器输出电压 V_{out} 的输入端子和连接到第一采样电容器541sc的第一端子的输出端子的第一源极跟随器541sf、被配置为选择性地接收模拟数据电压或缓冲器输出电压 V_{out} 施加到第一源极跟随器541sf的输入端子的第一输入开关组SW1和SW2、以及被配置为控制第一采样电容器541sc的第二端子与缓冲器550的第一输入端子BI1和第二输入端子BI2之间的连接的第一输出开关组SW3和SW4。

[0065] 第一采样电容器541sc可以包括第一端子和第二端子。第一采样电容器541sc的第一端子可以连接到第一源极跟随器541sf的输出端子。第一采样电容器541sc的第二端子可以选择性地连接到缓冲器550的第一输入端子BI1或第二输入端子BI2。第一采样电容器541sc可以存储和维持采样的缓冲器输入电压。

[0066] 第一源极跟随器541sf可以包括输入端子和输出端子。第一源极跟随器541sf的输入端子可以连接到数模转换器530的输出端子以接收模拟数据电压。第一源极跟随器541sf可以降低第一采样/保持电路541内部的寄生电容对缓冲器输出电压 V_{out} 的影响。

[0067] 例如,第一源极跟随器541sf可以设置在第一采样电容器541sc的前端处并且可以连接到第一采样电容器541sc。(在第一源极跟随器541sf与第一采样电容器541sc之间的)

这种连接结构可以减小第一采样/保持电路541内部的等效电容。因此,可以减小在执行第一采样/保持电路541的第一驱动操作时产生的RC延迟。这可以使第一采样/保持电路541的缓冲器输出电压 V_{out} 稳定。

[0068] 第一输入开关组SW1和SW2以及第一输出开关组SW3和SW4可以包括多个开关SW1、SW2、SW3和SW4。开关SW1、SW2、SW3和SW4可以例如由晶体管实现。第一采样/保持电路541可以根据第一输入开关组SW1和SW2以及第一输出开关组SW3和SW4的连接控制选择性地执行第一驱动操作和第二驱动操作。

[0069] 第二采样/保持电路542可以包括被配置为存储缓冲器输入电压的第二采样电容器(C_s) 542sc、包括被配置为选择性地接收模拟数据电压或缓冲器输出电压 V_{out} 的输入端子和连接到第二采样电容器542sc的第一端子的输出端子的第二源极跟随器542sf、被配置为选择性地施加模拟数据电压或缓冲器输出电压 V_{out} 到第二源极跟随器542sf的输入端子的第二输入开关组SW5和SW6、以及被配置为控制第二采样电容器542sc的第二端子与缓冲器550的第一输入端子BI1和第二输入端子BI2之间的连接的第二输出开关组SW7和SW8。

[0070] 第二采样电容器542sc可以包括第一端子和第二端子。第二采样电容器542sc的第一端子可以连接到第二源极跟随器542sf的输出端子。第二采样电容器542sc的第二端子可以选择性地连接到缓冲器550的第一输入端子BI1或第二输入端子BI2。第二采样电容器542sc可以用于存储和维持采样的缓冲器输入电压。

[0071] 第二源极跟随器542sf可以包括输入端子和输出端子。第二源极跟随器542sf的输入端子可以连接到数模转换器530的输出端子以接收模拟数据电压。第二源极跟随器542sf可以降低第二采样/保持电路542内部的寄生电容对缓冲器输出电压 V_{out} 的影响。

[0072] 例如,第二源极跟随器542sf可以设置在第二采样电容器542sc的前端处并且可以连接到第二采样电容器542sc。(在第二源极跟随器542sf与第二采样电容器542sc之间的)这种连接结构可以减小第二采样/保持电路542内部的等效电容。因此,可以减小在执行第二采样/保持电路542的第一驱动操作时产生的RC延迟,以使第二采样/保持电路542的缓冲器输出电压 V_{out} 稳定。

[0073] 第二输入开关组SW5和SW6以及第二输出开关组SW7和SW8可以包括多个开关SW5、SW6、SW7和SW8。在这种情况下,开关SW5、SW6、SW7和SW8可以被实现为晶体管。第二采样/保持电路542可以根据第二输入开关组SW5和SW6以及第二输出开关组SW7和SW8的连接控制选择性地执行第一驱动操作和第二驱动操作。

[0074] 缓冲器550的输出端子和第一源极跟随器541sf的输入端子可以通过第一反馈线FB1彼此连接。缓冲器550的输出端子和第二源极跟随器542sf的输入端子可以通过第二反馈线FB2彼此连接。

[0075] 在一个实施例中,第一源极跟随器541sf和第二源极跟随器542sf可以被配置为NMOS晶体管。例如,缓冲器550的输出端子可以连接到用于将缓冲器输出电压 V_{out} 反馈回第一源极跟随器541sf的输入端子的第一反馈线FB1和用于将缓冲器输出电压 V_{out} 反馈回第二源极跟随器542sf的输入端子的第二反馈线FB2。

[0076] 由于这种缓冲器输出电压反馈结构,从数模转换器530输入的模拟数据电压可以作为缓冲器输出电压 V_{out} 完全地被输出。例如,当模拟数据电压 V_{gamma} 从数模转换器530被施加到第一源极跟随器541sf的输入端子时,从第一源极跟随器541sf的输出端子输出的缓

冲器输入电压可以具有通过从模拟数据电压 V_{γ} 减去第一源极跟随器541sf的栅源电压获得的值。当缓冲器输出电压 V_{out} 通过第一反馈线FB1被输入到第一源极跟随器541sf的输入端子时,反馈输入施加操作之后的缓冲器输入电压可以具有通过从由伽马输入施加获得的缓冲器输出电压 V_{out} 减去栅源电压获得的值。因此,由伽马输入施加获得的缓冲器输出电压 V_{out} 可以具有通过将栅源电压加到反馈输入施加操作之后的缓冲器输入电压获得的值。反馈输入施加操作之后的缓冲器输入电压可以具有通过从模拟数据电压 V_{γ} 减去栅源电压获得的值,使得缓冲器输出电压 V_{out} 可以具有与模拟数据电压 V_{γ} 的值基本上相同的值(例如, $V_{out}=V_{\gamma}$)。因此,栅源电压可以从缓冲器输出电压 V_{out} 抵消,使得模拟数据电压 V_{γ} 可以作为缓冲器输出电压 V_{out} 完全地被输出。

[0077] 在一个实施例中,第一源极跟随器541sf和第二源极跟随器542sf可以被配置为PMOS晶体管。例如,缓冲器550的输出端子可以连接到用于将缓冲器输出电压 V_{out} 反馈回第一源极跟随器541sf的输入端子的第一反馈线FB1和用于将缓冲器输出电压 V_{out} 反馈回第二源极跟随器542sf的输入端子的第二反馈线FB2。

[0078] 由于这种缓冲器输出电压反馈结构,从数模转换器530输入的模拟数据电压可以作为缓冲器输出电压 V_{out} 完全地被输出。例如,当模拟数据电压 V_{γ} 从数模转换器530被施加到第一源极跟随器541sf的输入端子时,从第一源极跟随器541sf的输出端子输出的缓冲器输入电压可以具有通过将第一源极跟随器541sf的栅源电压加到模拟数据电压 V_{γ} 获得的值。

[0079] 在这种情况下,当缓冲器输出电压 V_{out} 通过第一反馈线FB1被输入到第一源极跟随器541sf的输入端子时,反馈输入施加操作之后的缓冲器输入电压可以具有通过将栅源电压加到由伽马输入施加获得的缓冲器输出电压 V_{out} 获得的值。因此,由伽马输入施加获得的缓冲器输出电压 V_{out} 可以具有通过从反馈输入施加操作之后的缓冲器输入电压减去栅源电压获得的值。反馈输入施加操作之后的缓冲器输入电压可以具有通过将栅源电压加到模拟数据电压 V_{γ} 获得的值。结果,缓冲器输出电压 V_{out} 可以具有与模拟数据电压 V_{γ} 的值基本上相同的值(例如, $V_{out}=V_{\gamma}$)。因此,栅源电压可以从缓冲器输出电压 V_{out} 抵消,使得模拟数据电压 V_{γ} 可以作为缓冲器输出电压 V_{out} 完全地被输出。

[0080] 第一输入开关组SW1和SW2可以包括第一开关SW1和第二开关SW2。第一开关SW1可以被配置为控制数模转换器530的通过其输出模拟数据电压 V_{γ} 的输出端子与第一源极跟随器541sf的输入端子之间的连接。第二开关SW2可以位于第一反馈线FB1上并且可以被配置为控制缓冲器550的输出端子与第一源极跟随器541sf的输入端子之间的连接。

[0081] 第一输出开关组SW3和SW4可以包括第三开关SW3和第四开关SW4。第四开关SW4可以被配置为控制第一采样电容器541sc的第二端子与缓冲器550的第一输入端子BI1之间的连接。第三开关SW3可以被配置为控制第一采样电容器541sc的第二端子与缓冲器550的第二输入端子BI2之间的连接。

[0082] 第二输入开关组SW5和SW6可以包括第五开关SW5和第六开关SW6。第五开关SW5可以被配置为控制数模转换器530的通过其输出模拟数据电压 V_{γ} 的输出端子与第二源极跟随器542sf的输入端子之间的连接。第六开关SW6可以位于第二反馈线FB2上并且可以被配置为控制缓冲器550的输出端子与第二源极跟随器542sf的输入端子之间的连接。

[0083] 第二输出开关组SW7和SW8可以包括第七开关SW7和第八开关SW8。第八开关SW8可

以被配置为控制第二采样电容器542sc的第二端子与缓冲器550的第一输入端子BI1之间的连接。第七开关SW7可以被配置为控制第二采样电容器542sc的第二端子与缓冲器550的第二输入端子BI2之间的连接。下面参考图4描述开关SW1至SW8的操作的实施例。

[0084] 图4是用于操作图3的模拟驱动电路520 (k) 中包括的开关SW1至SW8的时序图的实施例。

[0085] 参考图3和图4, 开关SW1至SW8可以通过时序控制器200的开关控制信号而接通和断开。开关SW1至SW8可以例如由晶体管实现, 并且每个开关可以在施加第一预定电压 (例如, 10V) 作为输入时接通且在施加第二预定电压 (例如, 0V) 作为输入时断开。然而, 这是开关操作的示例, 并且例如取决于用于实现开关SW1至SW8的晶体管类型, 在其它实施例中, 接通/断开电压可以不同。

[0086] 开关SW1至SW8中的每一个可以根据开关控制信号以2H的周期重复地执行预定操作。在一个实施例中, 重复地执行开关操作的单位间隔 (例如, 两个水平时间 (2H)) 可以被划分为第M间隔、第M+1间隔、第M+2间隔和第M+3间隔。例如, 第M间隔和第M+1间隔的和可以是一个水平时间 (1H), 并且第M+2间隔和第M+3间隔的和可以是一个水平时间 (1H)。

[0087] 第一开关SW1可以在第M间隔期间接通并且在第M+1间隔至第M+3间隔期间断开。第二开关SW2可以在第M间隔和第M+1间隔期间断开并且在第M+2间隔和第M+3间隔期间接通。第三开关SW3可以在第M间隔期间接通并且在第M+1间隔至第M+3间隔期间断开。第四开关SW4可以在第M间隔和第M+1间隔期间断开并且在第M+2间隔和第M+3间隔期间接通。第五开关SW5可以在第M间隔和第M+1间隔期间断开, 在第M+2间隔期间接通并且在第M+3间隔期间断开。第六开关SW6可以在第M间隔和第M+1间隔期间接通并且在第M+2间隔和第M+3间隔期间断开。第七开关SW7可以在第M间隔和第M+1间隔期间断开, 在第M+2间隔期间接通并且在第M+3间隔期间断开。第八开关SW8可以在第M间隔和第M+1间隔期间接通并且在第M+2间隔和第M+3间隔期间断开。

[0088] 在一个实施例中, 第一采样/保持电路541可以在第M间隔期间执行采样操作, 在第M+1间隔期间执行保持操作并且在第M+2间隔和第M+3间隔期间执行驱动操作。例如, 在第M间隔期间, 第一开关SW1可以接通, 第二开关SW2可以断开, 第三开关SW3可以接通并且第四开关SW4可以断开。结果, 第一采样/保持电路541可以执行采样操作。

[0089] 在第M+1间隔期间, 第一开关SW1可以断开, 第二开关SW2可以断开, 第三开关SW3可以断开并且第四开关SW4可以断开。结果, 第一采样/保持电路541可以执行保持操作。

[0090] 在第M+2间隔和第M+3间隔期间, 第一开关SW1可以断开, 第二开关SW2可以接通, 第三开关SW3可以断开并且第四开关SW4可以接通。结果, 第一采样/保持电路541可以执行驱动操作。

[0091] 第二采样/保持电路542可以在第M间隔和第M+1间隔期间执行驱动操作, 在第M+2间隔期间执行采样操作并且在第M+3间隔期间执行保持操作。例如, 在第M间隔和第M+1间隔期间, 第五开关SW5可以断开, 第六开关SW6可以接通, 第七开关SW7可以断开并且第八开关SW8可以接通。结果, 第二采样/保持电路542可以执行驱动操作。

[0092] 在第M+2间隔期间, 第五开关SW5可以接通, 第六开关SW6可以断开, 第七开关SW7可以接通并且第八开关SW8可以断开。结果, 第二采样/保持电路542可以执行采样操作。

[0093] 在第M+3间隔期间, 第五开关SW5可以断开, 第六开关SW6可以断开, 第七开关SW7可

以断开并且第八开关SW8可以断开。结果,第二采样/保持电路542可以执行保持操作。

[0094] 缓冲器输入电压可以被划分为根据第一采样/保持电路541的驱动的第一缓冲器输入电压和根据第二采样/保持电路542的驱动的第二缓冲器输入电压。例如,当第一采样/保持电路541执行第一驱动操作时,第一缓冲器输入电压可以被存储并维持在第一采样电容器541sc中。当第一采样/保持电路541执行第二驱动操作时,第一缓冲器输入电压可以被输入到缓冲器550的第一输入端子BI1。当第二采样/保持电路542执行第一驱动操作时,第二缓冲器输入电压可以被存储并维持在第二采样电容器542sc中。当第二采样/保持电路542执行第二驱动操作时,第二缓冲器输入电压可以被输入到缓冲器550的第一输入端子BI1。

[0095] 如上所述,第一缓冲器输入电压和第二缓冲器输入电压交替地被输入到缓冲器550的第一输入端子BI1,使得缓冲器输出电压 V_{out} 可以维持在预定电平。例如,当第二采样/保持电路542在第M间隔和第M+1间隔期间执行驱动操作时,第二缓冲器输入电压可以被输入到缓冲器550的第一输入端子BI1以维持缓冲器输出电压 V_{out} 。当第一采样/保持电路541在第M+2间隔和第M+3间隔期间执行驱动操作时,第一缓冲器输入电压可以被输入到缓冲器550的第一输入端子BI1以维持缓冲器输出电压 V_{out} 。

[0096] 图5是用于描述其中在图3的模拟驱动电路520(k)中、第一采样/保持电路541执行采样操作并且第二采样/保持电路542执行驱动操作的实施例的图。

[0097] 参考图5,当第一采样/保持电路541执行采样操作并且第二采样/保持电路542执行驱动操作时,第一开关SW1可以接通,第二开关SW2可以断开,第三开关SW3可以接通,第四开关SW4可以断开,第五开关SW5可以断开,第六开关SW6可以接通,第七开关SW7可以断开并且第八开关SW8可以接通。

[0098] 例如,当第一采样/保持电路541执行采样操作时,数模转换器530的通过其输出模拟数据电压 V_{gamma} 的输出端子可以连接到第一源极跟随器541sf的输入端子,并且第一采样电容器541sc的第二端子可以连接到缓冲器550的第二输入端子BI2。当第二采样/保持电路542执行驱动操作时,第二采样电容器542sc的第二端子可以连接到缓冲器550的第一输入端子BI1,并且缓冲器550的输出端子可以通过第二反馈线FB2连接到第二源极跟随器542sf的输入端子。

[0099] 例如,当第一开关SW1接通,第二开关SW2断开,第三开关SW3接通并且第四开关SW4断开时,数模转换器530的通过其输出模拟数据电压 V_{gamma} 的输出端子可以连接到第一源极跟随器541sf的输入端子,并且第一采样电容器541sc的第二端子可以连接到缓冲器550的第二输入端子BI2。结果,可以对模拟数据电压 V_{gamma} 进行采样作为第一缓冲器输入电压。

[0100] 当第五开关SW5断开,第六开关SW6接通,第七开关SW7断开并且第八开关SW8接通时,第二采样电容器542sc的第二端子可以连接到缓冲器550的第一输入端子BI1,并且缓冲器550的输出端子可以通过第二反馈线FB2连接到第二源极跟随器542sf的输入端子。结果,第二缓冲器输入电压可以被输入到缓冲器550的第一输入端子BI1。

[0101] 图6是用于描述其中在图3的模拟驱动电路520(k)中、第一采样/保持电路541执行保持操作并且第二采样/保持电路542执行驱动操作的实施例的图。

[0102] 参考图6,当第一采样/保持电路541执行保持操作并且第二采样/保持电路542执

行驱动操作时,第一开关SW1可以断开,第二开关SW2可以断开,第三开关SW3可以断开,第四开关SW4可以断开,第五开关SW5可以断开,第六开关SW6可以接通,第七开关SW7断开并且第八开关SW8可以接通。

[0103] 例如,当第一采样/保持电路541执行保持操作时,第一源极跟随器541sf的输入端子和第一采样电容器541sc的第二端子可以从多通道采样/保持电路540断开。当第二采样/保持电路542执行驱动操作时,第二采样电容器542sc的第二端子可以连接到缓冲器550的第一输入端子BI1,并且缓冲器550的输出端子可以通过第二反馈线FB2连接到第二源极跟随器542sf的输入端子。

[0104] 例如,当第一开关SW1断开,第二开关SW2断开,第三开关SW3断开并且第四开关SW4断开时,第一源极跟随器541sf的输入端子和第一采样电容器541sc的第二端子可以从多通道采样/保持电路540断开。结果,第一缓冲器输入电压可以被维持在第一采样电容器541sc中。

[0105] 当第五开关SW5断开,第六开关SW6接通,第七开关SW7断开并且第八开关SW8接通时,第二采样电容器542sc的第二端子可以连接到缓冲器550的第一输入端子BI1,并且缓冲器550的输出端子可以通过第二反馈线FB2连接到第二源极跟随器542sf的输入端子。结果,第二缓冲器输入电压可以被输入到缓冲器550的第一输入端子BI1。

[0106] 图7是用于描述其中在图3的模拟驱动电路520 (k) 中、第一采样/保持电路541执行驱动操作并且第二采样/保持电路542执行采样操作的实施例的图。

[0107] 参考图7,当第一采样/保持电路541执行驱动操作并且第二采样/保持电路542执行采样操作时,第一开关SW1可以断开,第二开关SW2可以接通,第三开关SW3可以断开,第四开关SW4可以接通,第五开关SW5可以接通,第六开关SW6可以断开,第七开关SW7可以接通并且第八开关SW8可以断开。

[0108] 例如,当第一采样/保持电路541执行驱动操作时,第一采样电容器541sc的第二端子可以连接到缓冲器550的第一输入端子BI1,并且缓冲器550的输出端子可以通过第一反馈线FB1连接到第一源极跟随器541sf的输入端子。

[0109] 当第二采样/保持电路542执行采样操作时,数模转换器530的通过其输出模拟数据电压Vgamma的输出端子可以连接到第二源极跟随器542sf的输入端子,并且第二采样电容器542sc的第二端子可以连接到缓冲器550的第二输入端子BI2。

[0110] 例如,当第一开关SW1断开,第二开关SW2接通,第三开关SW3断开并且第四开关SW4接通时,第一采样电容器541sc的第二端子可以连接到缓冲器550的第一输入端子BI1,并且缓冲器550的输出端子可以通过第一反馈线FB1连接到第一源极跟随器541sf的输入端子。结果,第一缓冲器输入电压可以被输入到缓冲器550的第一输入端子BI1。

[0111] 当第五开关SW5接通,第六开关SW6断开,第七开关SW7接通并且第八开关SW8断开时,数模转换器530的通过其输出模拟数据电压Vgamma的输出端子可以连接到第二源极跟随器542sf的输入端子,并且第二采样电容器542sc的第二端子可以连接到缓冲器550的第二输入端子BI2。结果,可以对模拟数据电压Vgamma进行采样作为第二缓冲器输入电压。

[0112] 图8是用于描述其中在图3的模拟驱动电路520 (k) 中、第一采样/保持电路541执行驱动操作并且第二采样/保持电路542执行保持操作的实施例的图。

[0113] 参考图8,当第一采样/保持电路541执行驱动操作并且第二采样/保持电路542执

行保持操作时,第一开关SW1可以断开,第二开关SW2可以接通,第三开关SW3可以断开,第四开关SW4可以接通,第五开关SW5可以断开,第六开关SW6可以断开,第七开关SW7可以断开并且第八开关SW8可以断开。

[0114] 例如,当第一采样/保持电路541执行驱动操作时,第一采样电容器541sc的第二端子可以连接到缓冲器550的第一输入端子BI1,并且缓冲器550的输出端子可以通过第一反馈线FB1连接到第一源极跟随器541sf的输入端子。

[0115] 当第二采样/保持电路542执行保持操作时,第二源极跟随器542sf的输入端子和第二采样电容器542sc的第二端子可以从多通道采样/保持电路540断开。

[0116] 例如,当第一开关SW1断开,第二开关SW2接通,第三开关SW3断开并且第四开关SW4接通时,第一采样电容器541sc的第二端子可以连接到缓冲器550的第一输入端子BI1,并且缓冲器550的输出端子可以通过第一反馈线FB1连接到第一源极跟随器541sf的输入端子。结果,第一缓冲器输入电压可以被输入到缓冲器550的第一输入端子BI1。

[0117] 当第五开关SW5断开,第六开关SW6断开,第七开关SW7断开并且第八开关SW8断开时,第二源极跟随器542sf的输入端子和第二采样电容器542sc的第二端子可以从多通道采样/保持电路540断开。结果,第二缓冲器输入电压可以被维持在第二采样电容器542sc中。

[0118] 如上所述,根据开关SW1至SW8的控制,当第一采样/保持电路541执行采样操作和保持操作时,第二采样/保持电路542可以执行驱动操作。此外,当第二采样/保持电路542执行采样操作和保持操作时,第一采样/保持电路541可以执行驱动操作。由于如上所述第一采样/保持电路541和第二采样/保持电路542的并联连接结构和时分同时驱动,用于执行第一驱动操作和第二驱动操作的时间可以加倍。例如,根据本发明构思的实施例,多通道采样/保持电路540可以确保每个通道对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压的时间为一个水平时间(1H)。因此,多通道采样/保持电路540可以确保用于缓冲器550的输出电压的足够的建立时间。结果,在高速高分辨率显示器中,可以防止由缓冲器550的输出电压的反冲现象引起的数据信号传输错误。此外,可以减少由RC延迟引起的缓冲器550的输出电压的失真现象。

[0119] 图9是示出根据本发明构思的实施例的电子装置1000的框图。图10是示出其中图9的电子装置1000被实现为智能电话的示例的图。

[0120] 参考图9和图10,电子装置1000可以包括处理器1010、存储装置1020、储存装置1030、输入/输出(I/O)装置1040、电源1050和显示装置1060。此外,电子装置1000可以包括用于与视频卡、声卡、存储卡、通用串行总线(USB)装置和其它电子装置等通信的多个端口。在实施例中,如图10中所示,电子装置1000可以被实现为智能电话。然而,电子装置1000不限于此。例如,电子装置1000可以被实现为蜂窝电话、视频电话、智能平板、智能手表、平板个人计算机(PC)、汽车导航系统、计算机监视器、膝上型计算机、头戴式显示(HMD)装置或其它装置。

[0121] 处理器1010可以执行各种计算功能。处理器1010可以是微处理器、中央处理单元(CPU)、应用处理器(AP)或其它类型的处理器。处理器1010可以经由地址总线、控制总线和数据总线等耦接到其它部件。此外,处理器1010可以耦接到诸如外围部件互连(PCI)总线的扩展总线。

[0122] 存储装置1020可以存储用于电子装置1000的操作的数据。例如,存储装置1020可

以包括诸如可擦除可编程只读存储器 (EPROM) 装置、电可擦除可编程只读存储器 (EEPROM) 装置、闪速存储器装置、相变随机存取存储器 (PRAM) 装置、电阻式随机存取存储器 (RRAM) 装置、纳米浮栅存储器 (NFGM) 装置、聚合物随机存取存储器 (PoRAM) 装置、磁性随机存取存储器 (MRAM) 装置或铁电随机存取存储器 (FRAM) 装置等的至少一种非易失性存储器装置和/或诸如动态随机存取存储器 (DRAM) 装置、静态随机存取存储器 (SRAM) 装置或移动 DRAM 装置等的至少一种易失性存储器装置。

[0123] 储存装置 1030 可以包括固态驱动器 (SSD) 装置、硬盘驱动器 (HDD) 装置、CD-ROM 装置或其它类型的装置。

[0124] I/O 装置 1040 可以包括诸如键盘、小键盘、鼠标装置、触摸板或触摸屏等的输入装置或者诸如打印机或扬声器等的输出装置。在一些实施例中, I/O 装置 1040 可以包括显示装置 1060。

[0125] 电源 1050 可以为电子装置 1000 的操作提供电力。

[0126] 显示装置 1060 可以显示与电子装置 1000 的视觉信息相对应的图像。显示装置 1060 可以包括被配置为将模拟数据电压施加到显示面板的数据驱动器。数据驱动器可以包括被配置为将数字数据信号转换为模拟数据电压的数模转换器、被配置为输出模拟数据电压的缓冲器、以及位于数模转换器与缓冲器之间并且包括连接到第一通道的第一采样/保持电路和连接到第二通道的第二采样/保持电路的多通道采样/保持电路。

[0127] 根据一个或多个实施例, 第一采样/保持电路被配置为在第 n 水平时间 (其中, n 为大于或等于 1 的整数) 期间执行对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压的第一驱动操作。第一采样/保持电路还被配置为在第 $n+1$ 水平时间期间执行将缓冲器输入电压输入到缓冲器的输入端子的第二驱动操作。

[0128] 第二采样/保持电路被配置为在第 n 水平时间期间执行第二驱动操作, 并且在第 $n+1$ 水平时间期间执行第一驱动操作。

[0129] 包括数据驱动器的显示装置 1060 可以进行时分同时驱动, 使得当在第一采样/保持电路中执行采样操作和保持操作时, 在第二采样/保持电路中执行驱动操作, 并且当在第二采样/保持电路中执行采样操作和保持操作时, 在第一采样/保持电路中执行驱动操作。因此, 在高速高分辨率显示器中, 用于采样操作和保持操作的时间可以加倍。因此, 可以增加用于缓冲器输入电压的建立时间, 使得可以防止信号失真和信号传输错误。然而, 由于上面描述了这些, 因此将不重复与其相关的重复描述。

[0130] 根据一个实施例, 多通道采样/保持电路包括连接到第一通道的第一采样/保持电路和连接到第二通道的第二采样/保持电路。第一采样/保持电路执行第一驱动操作和第二驱动操作。第一驱动操作包括在第 n 水平时间期间对模拟数据电压进行采样作为缓冲器输入电压以及维持缓冲器输入电压。第二驱动操作包括在第 $n+1$ 水平时间期间将缓冲器输入电压输入到缓冲器的输入端子。第二采样/保持电路被配置为在第 n 水平时间期间执行第二驱动操作并且在第 $n+1$ 水平时间期间执行第一驱动操作, 其中 n 为大于或等于 1 的整数。这种多通道采样/保持电路可以用于在显示装置中显示图像数据, 或者可以用于其中将执行数据采样和保持操作的任何其它应用。

[0131] 本文中描述的方法、过程和/或操作可以通过将由计算机、处理器、控制器或其它信号处理装置运行的代码或指令来执行。计算机、处理器、控制器或其它信号处理装置可以

是本文中描述的元件或者除了本文中描述的那些元件之外的元件。因为详细地描述了形成方法(或计算机、处理器、控制器或其它信号处理装置的操作)的基础的算法,所以用于实现方法实施例的操作的代码或指令可以将计算机、处理器、控制器或其它信号处理装置转变为用于执行本文中方法的专用处理器。

[0132] 此外,另一实施例可以包括用于存储上述代码或指令的计算机可读介质(例如,非暂时性计算机可读介质)。计算机可读介质可以是可移除地或固定地耦接到将运行用于执行本文中的方法实施例或设备实施例的操作的代码或指令的计算机、处理器、控制器或其它信号处理装置的易失性或非易失性存储器或者其它储存装置。

[0133] 本文中公开的实施例的控制器、处理器、装置、模块、单元、多路复用器、产生器、逻辑、接口、解码器、转换器、驱动器以及其它信号产生和信号处理特征可以例如在可以包括硬件、软件或两者的非暂时性逻辑中实现。当至少部分地以硬件实现时,控制器、处理器、装置、模块、转换器、单元、多路复用器、产生器、逻辑、接口、解码器、驱动器以及其它信号产生和信号处理特征可以是例如包括但不限于专用集成电路、现场可编程门阵列、逻辑门的组合、片上系统、微处理器或者其它类型的处理或控制电路的多种集成电路中的任何一种。

[0134] 当至少部分地以软件实现时,控制器、处理器、装置、模块、单元、多路复用器、产生器、逻辑、转换器、接口、解码器、驱动器以及其它信号产生和信号处理特征可以包括例如用于存储将由例如计算机、处理器、微处理器、控制器或其它信号处理装置执行的代码或指令的存储器或其它储存装置。计算机、处理器、微处理器、控制器或其它信号处理装置可以是本文中描述的元件或者除了本文中描述的那些元件之外的元件。因为详细地描述了形成方法(或计算机、处理器、微处理器、控制器或其它信号处理装置的操作)的基础的算法,所以用于实现方法实施例的操作的代码或指令可以将计算机、处理器、控制器或其它信号处理装置转变为用于执行本文中描述的方法的专用处理器。

[0135] 前述内容是对本发明构思的说明并且不应被解释为对其进行限制。尽管已经描述了本发明构思的一些实施例,但是本领域技术人员将容易理解,在实质上不脱离本发明构思的新颖教导的情况下,对实施例进行许多修改是可能的。相应地,这些修改旨在包括在如权利要求中限定的本发明构思的范围内。在权利要求中,手段加功能条款旨在涵盖本文中描述为执行所详述功能的结构,并且不仅涵盖结构上的等同物,而且还覆盖等同的结构。因此,应当理解,前述内容是对本发明构思的说明并且不应被解释为限于所公开的具体实施例,并且旨在在所附权利要求的范围内包括对所公开的实施例的修改以及其它实施例。本发明构思由所附权利要求限定,其中包括权利要求的等同物。可以组合实施例以形成附加的实施例。

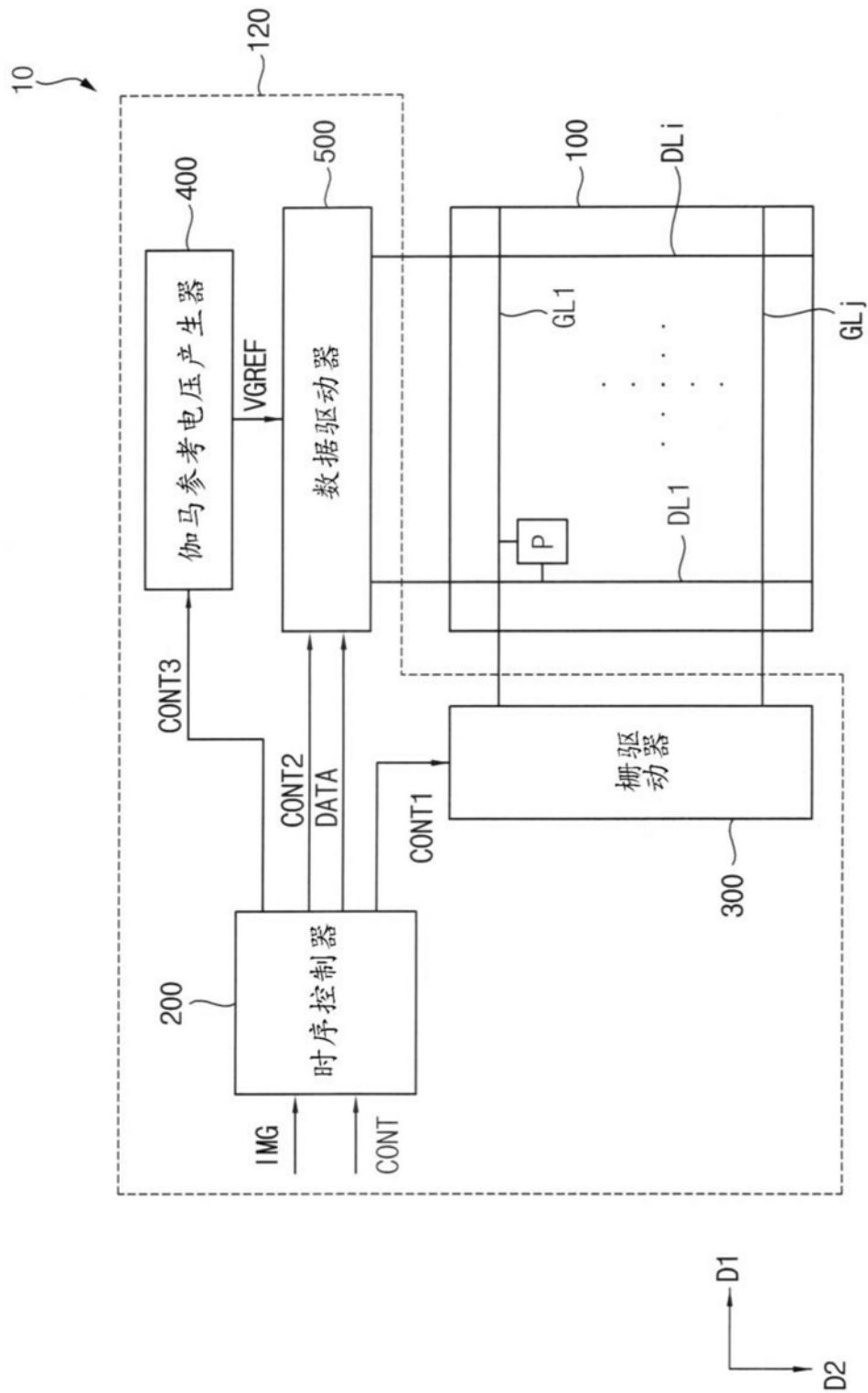


图1

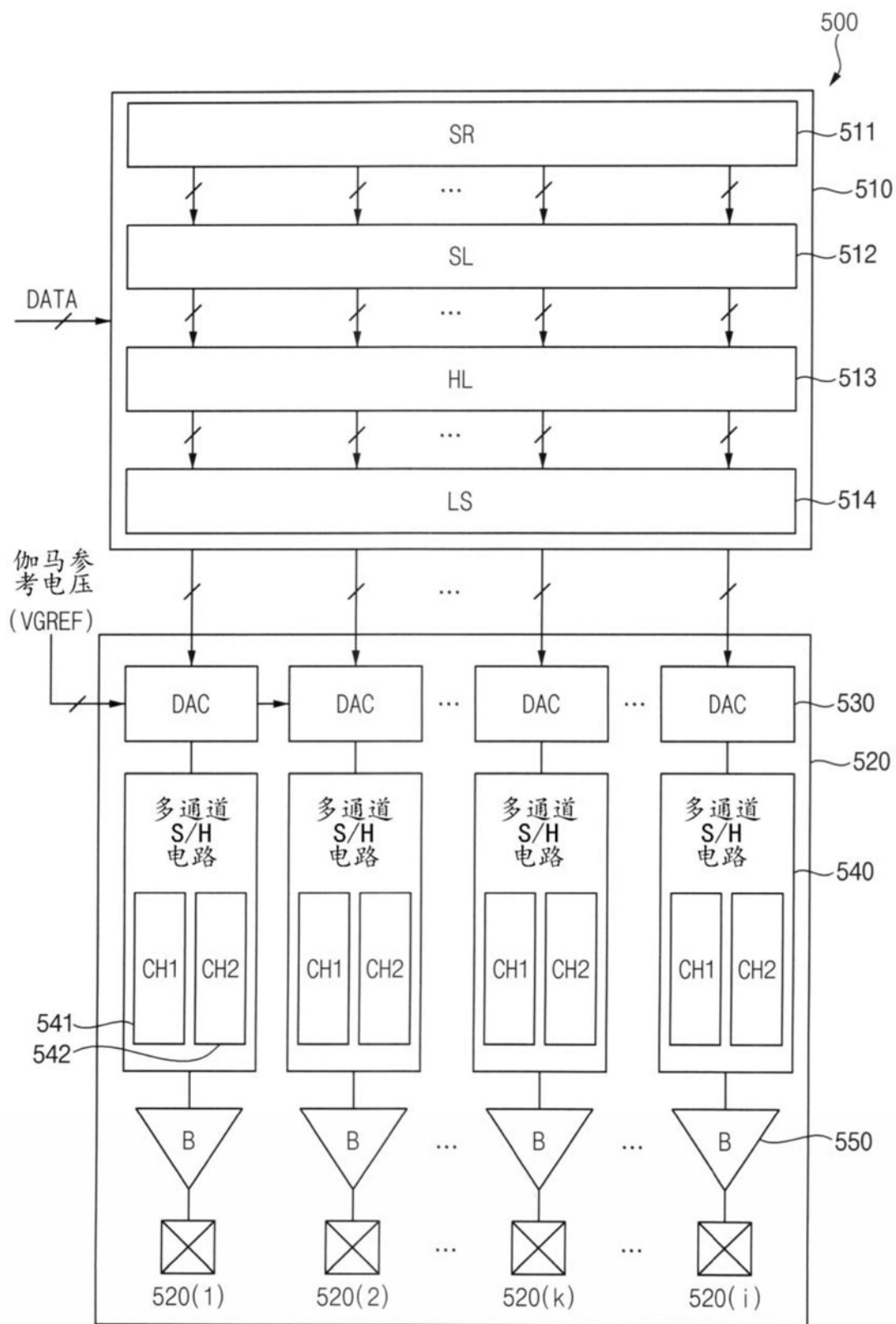


图2

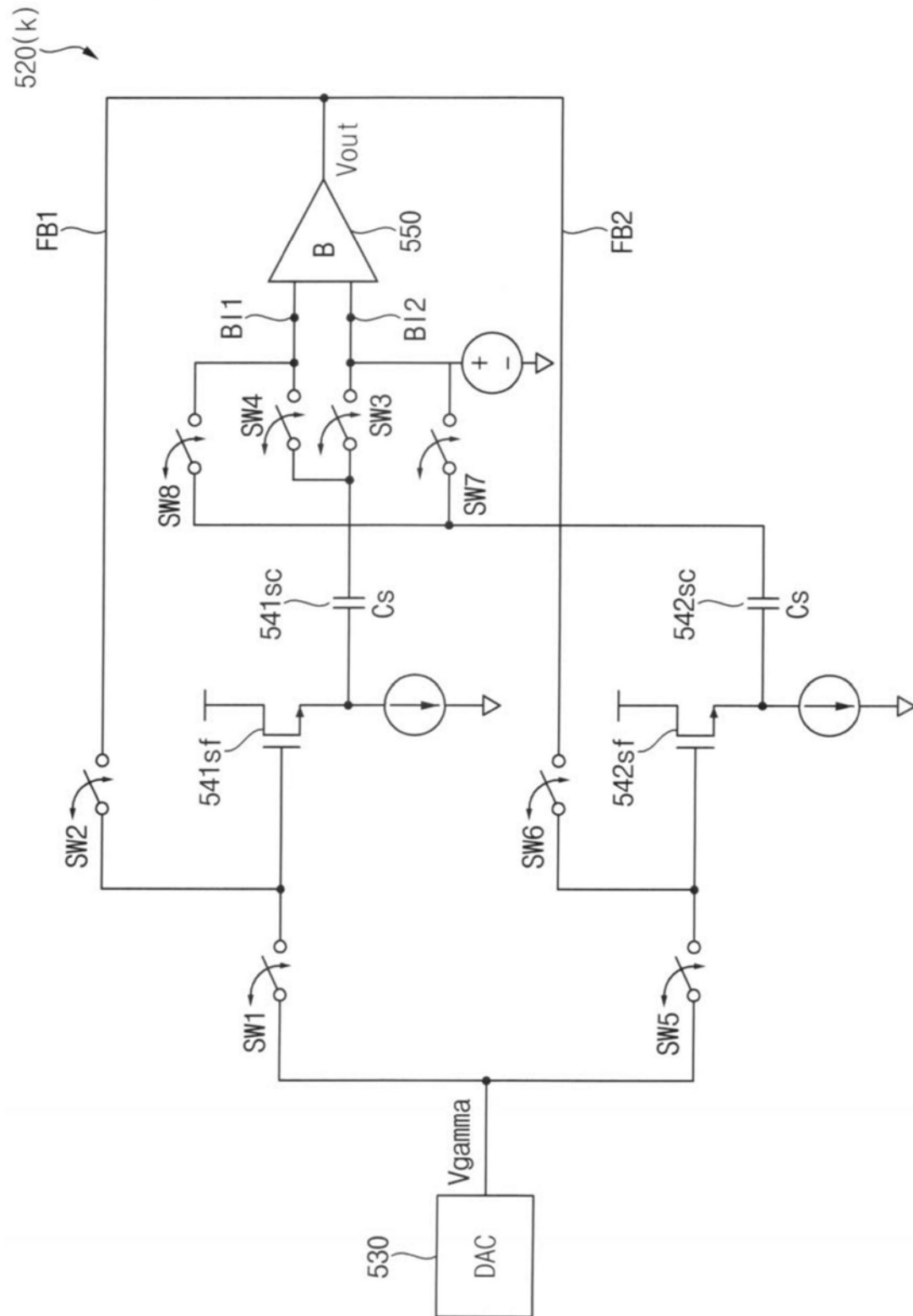


图3

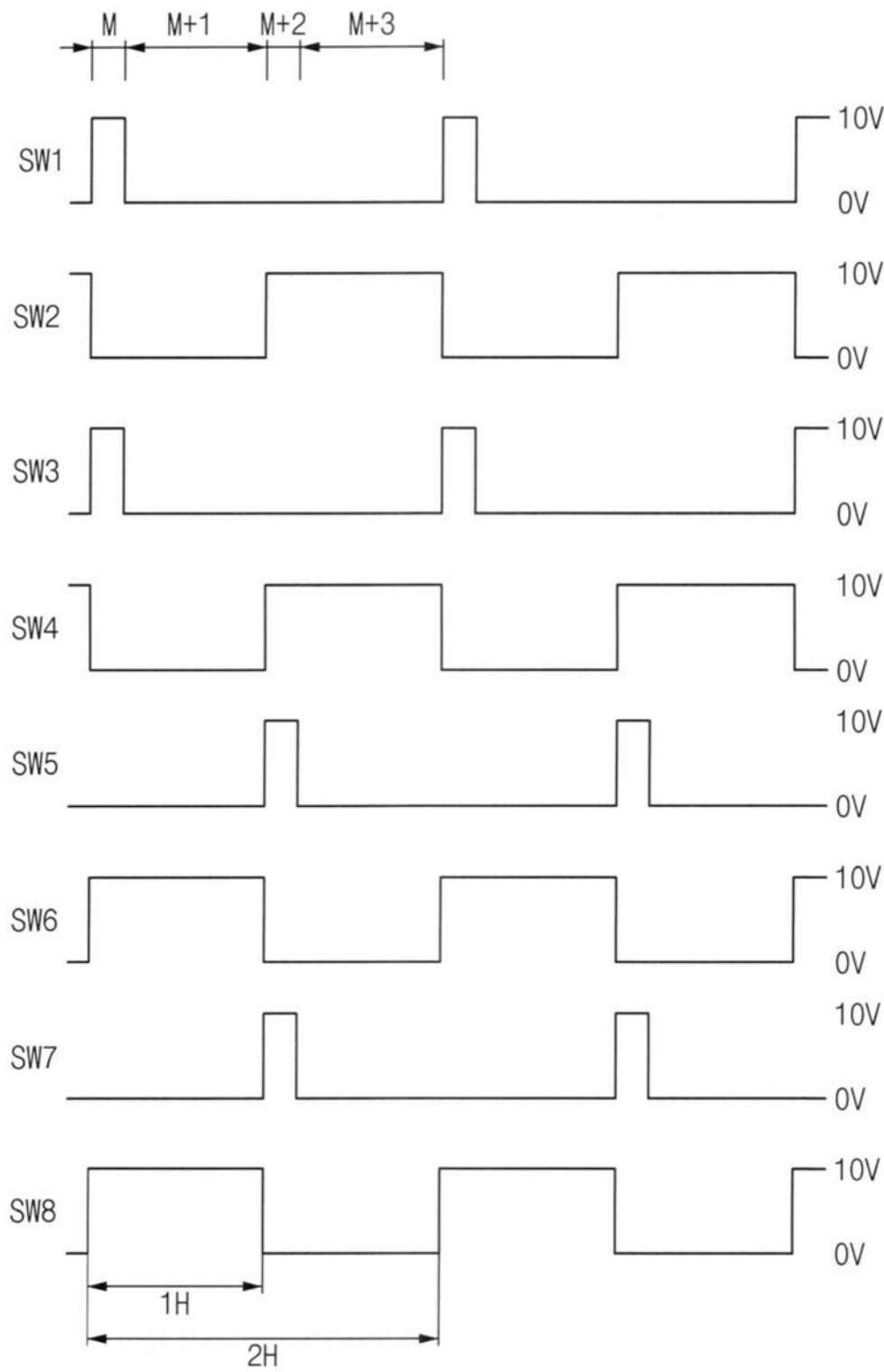


图4

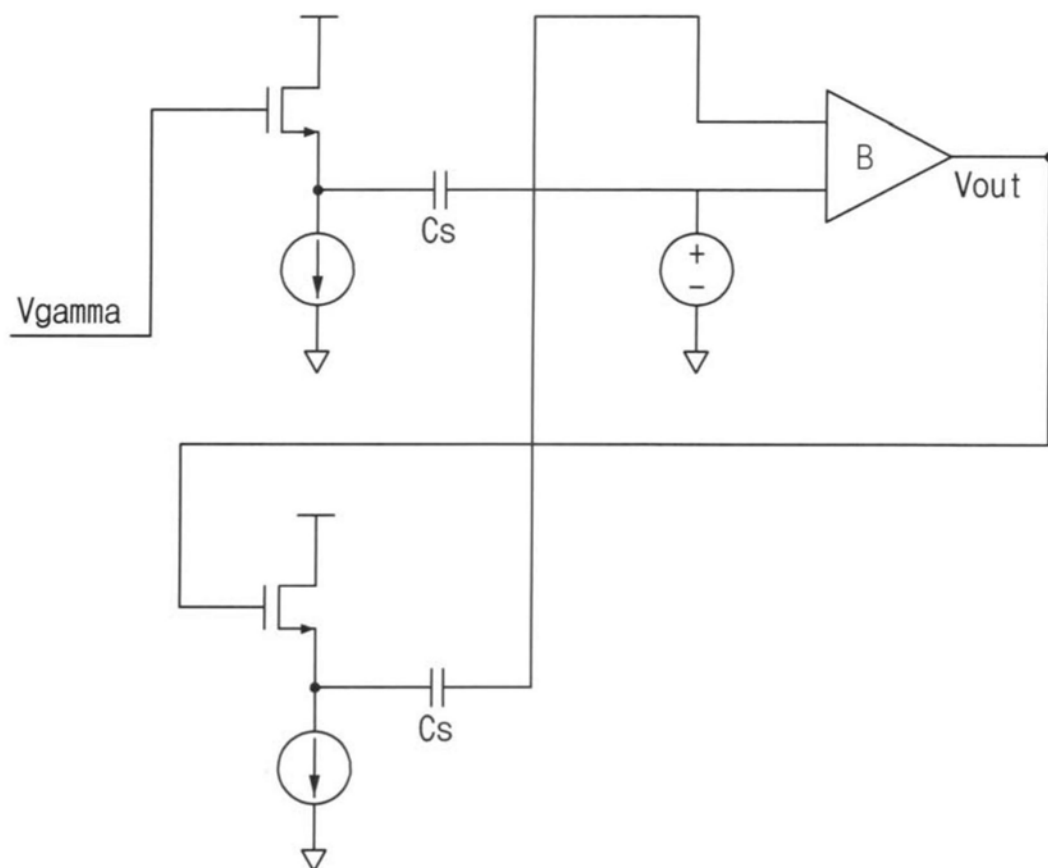


图5

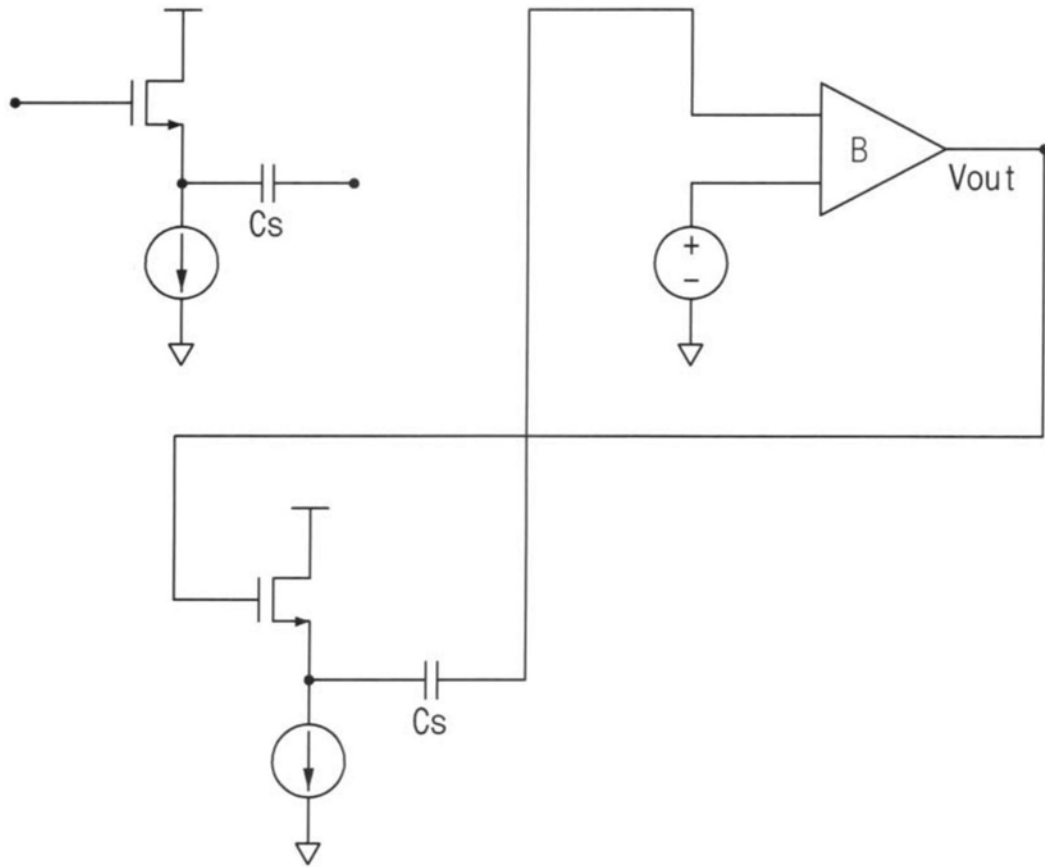


图6

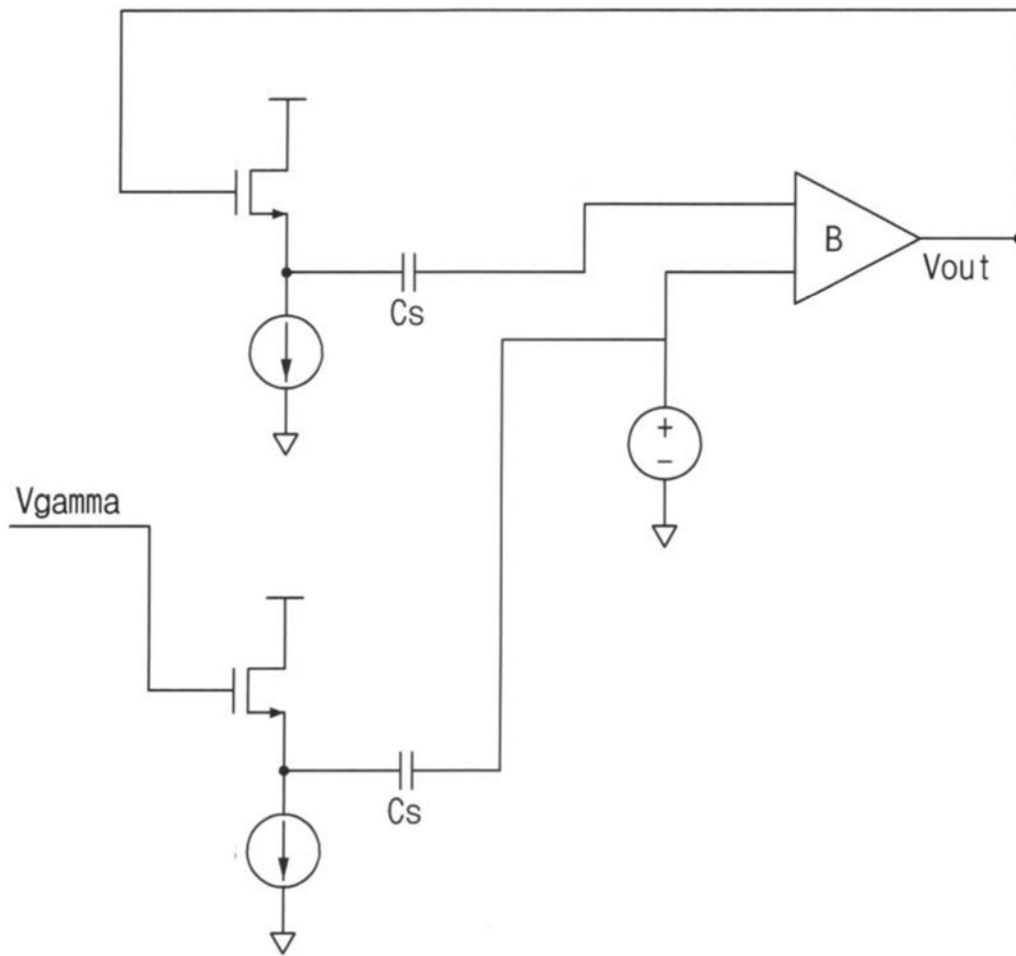


图7

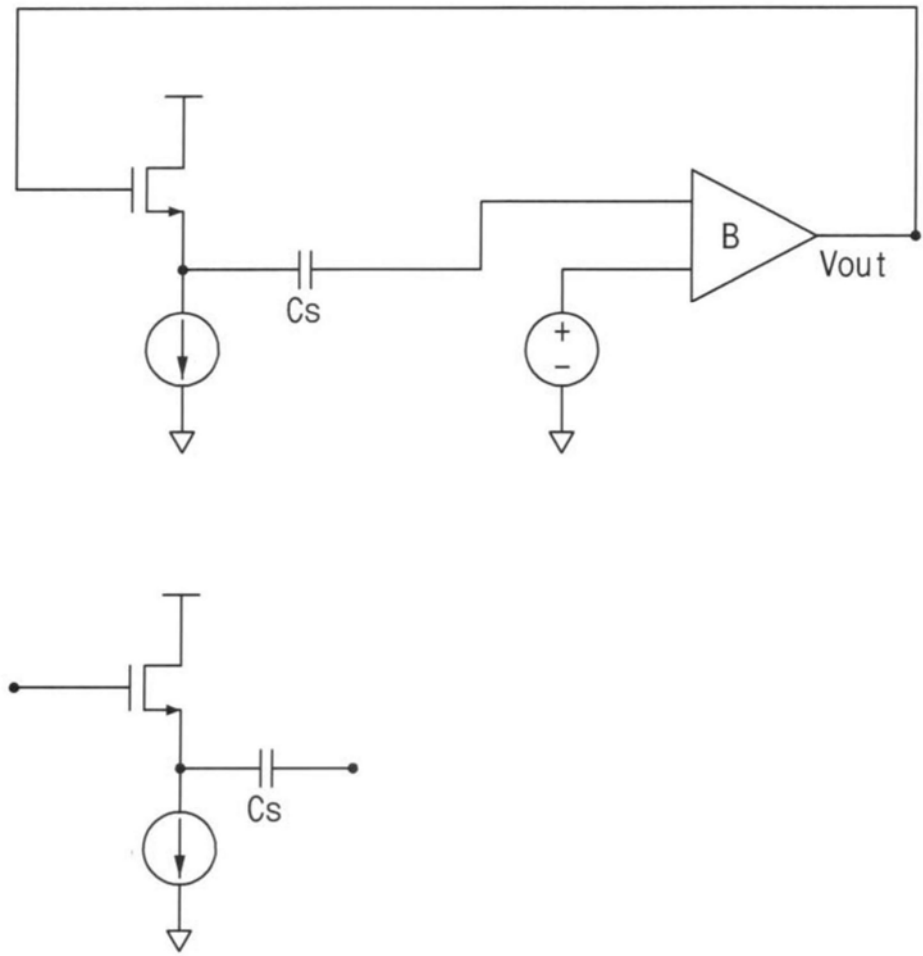


图8

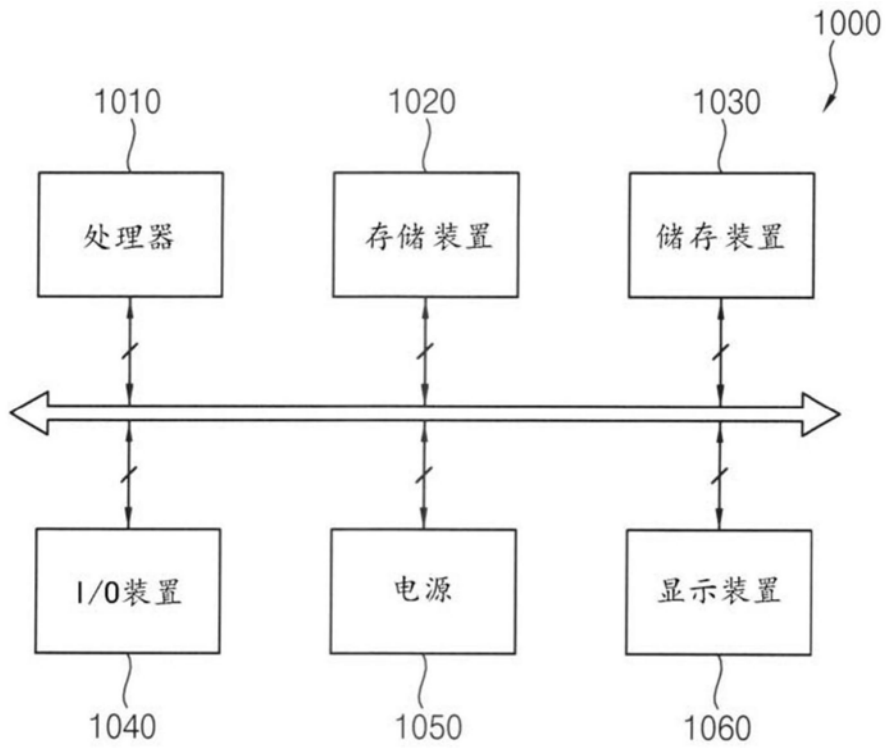


图9

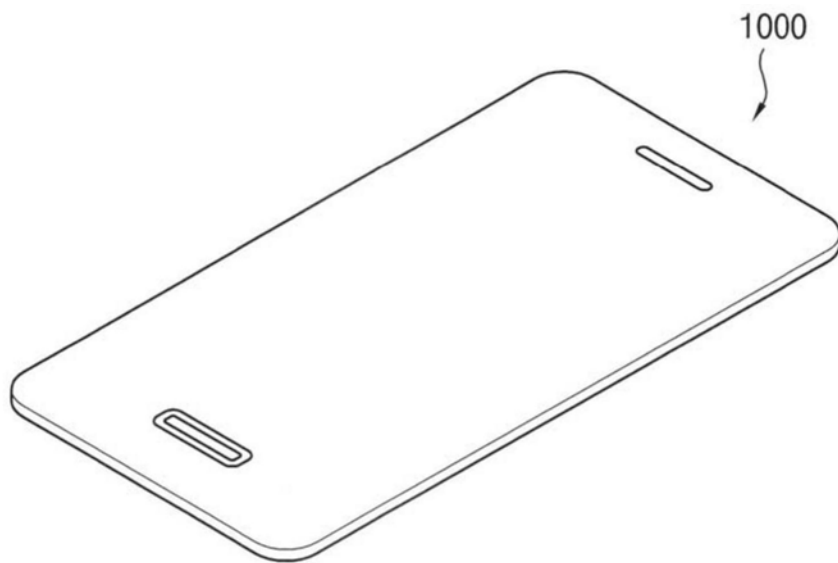


图10