



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0005152
(43) 공개일자 2011년01월17일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2009-0062710

(22) 출원일자 2009년07월09일

심사청구일자 2009년07월09일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122 금강아파트
103-1301

김희동

서울특별시 성북구 안암동5가 고려대학교 전기전
자전과공학부

(74) 대리인

특허법인주원

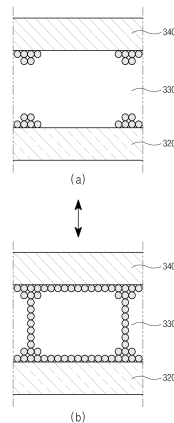
전체 청구항 수 : 총 11 항

(54) 비휘발성 메모리 장치 및 그 제조 방법

(57) 요약

본 발명은 비휘발성 메모리 장치 및 그 제조 방법을 개시한다. 본 발명은 전하트랩형 비휘발성 메모리 장치에 이용되던 실리콘 질화막과 같은 디펙트가 다량으로 존재하는 재질로 저항 변화층을 형성하고, 저항 변화층에 포획되는 전하의 양을 조절하여, 저항 변화층의 저항 상태를 변경함으로써, 프로그램을 수행할 수 있는 효과가 나타난다. 또한, 본 발명의 비휘발성 메모리 장치는, 열처리를 통하여 저항 변화층의 저항 특성을 제어함으로써 On/Off 비율인 전기 저항(변화)비율이 크게 향상되어 소자의 활용성을 크게 향상시킬 수 있다. 또한, 저항 변화층과 상부 및 하부 전극층 사이에 제 1 절연막 및 제 2 절연막을 형성하여 저항 변화층에 포획된 전하를 유지함으로써 전하의 손실을 줄여, 종래의 ReRAM 소자에 비하여 기억유지시간을 크게 향상시킬 수 있는 효과가 나타난다. 또한, 본 발명의 비휘발성 메모리 장치는 저항 변화층에 나노 크리스탈을 포함시킴으로써 보다 작은 바이어스 전압으로 신속하게 프로그램을 수행할 수 있는 효과가 나타난다.

대표도 - 도5



특허청구의 범위

청구항 1

하부 전극층;

상기 하부 전극층 상에 형성된 제 1 절연막;

상기 제 1 절연막 상에 형성된 저항 변화층;

상기 저항 변화층 상에 형성된 제 2 절연막; 및

상기 제 2 절연막 상에 형성된 상부 전극층을 포함하고,

상기 저항 변화층은 상기 하부 전극층 또는 상기 상부 전극층으로부터 유입된 전하를 포획하여, 포획된 전하량에 따라서 저항이 변화되는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 저항 변화층의 내부에는 나노 크리스탈이 포함되어 있는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 저항 변화층은 Si_3N_4 , AlN , ZrN , TiN , SrZrN , HfN , GaN , NiN , 및 NbN 중 어느 하나로 형성되는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 상부 전극층 및 상기 하부 전극층은 Pt , Au , Al , Cu , Ti 및 이들의 합금 중 어느 하나로 형성되는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 절연막 및 상기 제 2 절연막은 SiO_2 , Al_2O_3 , ZrO_2 , TiO_2 , SrZrO_2 , HfO_2 , Ga_2O_3 , NiO , 및 Nb_2O_5 중 어느 하나로 형성되는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 6

(a) 반도체 기판위에 하부 전극층을 형성하는 단계;

(b) 상기 하부 전극층 상에 제 1 절연막을 형성하는 단계;

(c) 상기 제 1 절연막 상에 저항 변화층을 형성하는 단계;

(d) 상기 저항 변화층 상에 제 2 절연막을 형성하는 단계; 및

(f) 상기 제 2 절연막 상에 상부 전극층을 형성하는 단계를 포함하고,

상기 저항 변화층은 상기 하부 전극층 또는 상기 상부 전극층으로부터 유입된 전하를 포획하여, 포획된 전하량에 따라서 저항이 변화되는 것을 특징으로 하는 비휘발성 메모리 장치 제조 방법.

청구항 7

제 6 항에 있어서, 상기 (d) 단계와 상기 (f) 단계 사이에,

(e) 상기 제 2 절연막 상에 보호층을 형성하고, 상기 보호층을 관통하여 나노 크리스탈 입자를 상기 저항 변화층으로 주입한 후, 상기 보호층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치 제조 방법.

방법.

청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 (d) 단계는, 상기 제 2 절연막을 형성한 후 열처리를 수행하여 상기 저항 변화층의 저항 특성을 제어하는 것을 특징으로 하는 비휘발성 메모리 장치 제조 방법.

청구항 9

제 6 항 또는 제 7 항에 있어서,

상기 (c) 단계는, Si_3N_4 , AlN , ZrN , TiN , SrZrN , HfN , GaN , NiN , 및 NbN 중 어느 하나로 상기 저항 변화층을 형성하는 것을 특징으로 하는 비휘발성 메모리 장치 제조 방법.

청구항 10

제 6 항 또는 제 7 항에 있어서,

상기 상부 전극층 및 상기 하부 전극층은 Pt, Au, Al, Cu, Ti 및 이들의 합금 중 어느 하나로 형성되는 것을 특징으로 하는 비휘발성 메모리 장치 제조 방법.

청구항 11

제 6 항 또는 제 7 항에 있어서,

상기 제 1 절연막 및 상기 제 2 절연막은 SiO_2 , Al_2O_3 , ZrO_2 , TiO_2 , SrZrO_2 , HfO_2 , Ga_2O_3 , NiO , 및 Nb_2O_5 중 어느 하나로 형성되는 것을 특징으로 하는 비휘발성 메모리 장치 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 비휘발성 메모리 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 반도체 메모리 장치는 데이터를 저장해 두고 필요할 때 꺼내어 읽어볼 수 있는 기억장치이다. 반도체 메모리 장치는 크게 RAM(Random Access Memory)과 ROM(Read Only Memory)으로 나눌 수 있다. ROM은 전원이 끊어지더라도 저장된 데이터가 소멸하지 않는 비휘발성 메모리(nonvolatile memory)이다. ROM에는 PROM(Programmable ROM), EPROM(Erasable PROM), EEPROM(Electrically EPROM), 플래시 메모리 장치(Flash Memory Device) 등이 있다. RAM은 전원이 끊어지면 저장된 데이터가 소멸하는 소위 휘발성 메모리(volatile memory)이다. RAM에는 Dynamic RAM(DRAM)과 Static RAM(SRAM) 등이 있다.

[0003] 그 외에 DRAM의 커패시터를 비휘발성을 지닌 물질로 대체한 반도체 메모리 장치가 등장하고 있다. 강유전체 커패시터를 이용한 강유전체 램(ferroelectric RAM; FRAM), 터널알(TMR; tunneling magneto-resistive) 막을 이용한 마그네틱 램(magnetic RAM; MRAM), 그리고 칼코게나이드계 화합물(chalcogenide alloys)을 이용한 상변화 메모리 장치(phase change memory device), 질화막에 전하를 포획하여 프로그램을 수행하는 SONOS 구조의 메모리 장치, 및 저항 변화를 이용한 ReRAM(Resistance Memory) 등이 있다.

[0004] 도 1 은 종래 기술에 따른 소노스(SONOS:Silicon Oxide Nitride Oxide Semiconductor) 구조의 비휘발성 메모리 장치(10)의 단면도이다. 도 1을 참조하면, 메모리 장치(10)의 메모리 셀은 기판(11)에 형성된 소오스/드레인(17) 영역 사이의 채널 영역(18) 상에 터널 절연막(12), 질화막(13), 및 블로킹 절연막(14)으로 이루어진 ONO막(15) 및 폴리 실리콘(16)이 차례로 적층된 구조이다. 이 메모리 셀은 ONO막(15)의 질화막(13)에 트랩된 전하의 유무에 따라 논리 '0' 또는 논리 '1' 중 어느 한 상태를 나타내는 단일 비트(single bit) 구조이다.

[0005] 종래 기술에 따른 터널 절연막(12) 및 블로킹 절연막(14)은 SiO_2 또는 Al_2O_3 와 같은 물질을 이용하여

형성하였다. 그러나, 이러한 종래의 터널 절연막(12) 및 블로킹 절연막(14) 소자의 소형화에 따라서 스케일다운되면서 내구성 특성 및 기억유지 특성이 열화되는 문제점이 존재하였다.

- [0006] 한편, 저항 변화 메모리(resistive random access memory device; 이하 'ReRAM'이라 한다)는 박막에 인가되는 특정 전압에 따라 박막의 저항 상태가 급격히 변화하는 것을 이용하여 비휘발성 메모리로 사용하고자 하는 소자를 말한다.
- [0007] ReRAM 소자는 무한대의 기록 및 재생에 대한 열화가 없고, 고온 동작이 가능하며 비휘발성으로 데이터의 안정성 등 탁월한 이점이 있다. 또한 입력 펄스 인가시 1000배 이상 저항 변화에 10 내지 20 ns 정도로 고속 동작이 가능하다. 그리고 상기 ReRAM 소자의 저항층은 공정상 단일막 구조를 갖기 때문에 고집적화 및 고속화가 가능할 뿐만 아니라 기존의 CMOS 공정과 집적 공정(integration process) 기술이 사용가능함으로 소비 에너지를 최소화할 수 있다.
- [0008] 도 2 는 종래 기술에 따른 ReRAM 소자의 단면을 도시한 도면이다. 도 2를 참조하면, ReRAM 소자는 기판(20) 상에 순차적으로 형성된 하부 전극(22), 저항층(24) 및 상부 전극(26)을 포함하는 구조를 갖는다. 여기서 하부 전극(22) 및 상부 전극(26)은 일반적인 전도성 물질로, 주로 금속으로 형성된다.
- [0009] ReRAM 소자의 저항층(24)의 재질로는 현재 산화물(oxide)이 많이 사용되고 있으며, 구체적으로 산화물로는 이원 산화물(binary oxides)와 페로브스카이트 산화물이 사용되고 있으며, 최근에는 상기 페로브스카이트 산화물에 금속을 도핑하거나 함유시켜 사용하고 있다.
- [0010] 기존의 ReRAM소자는 공정이 복잡하게 이루어지므로 산화 및 표면 오염으로 인해 ReRAM 특성에 영향으로 줄 수 있으며, 박막의 고-결정성만을 결정하는 것으로 안정화에 한계를 가져온다.
- [0011] 더욱이, 저항층으로 산화물계 물질을 사용하는 경우 계면 처리 및 산화물에 의한 공정상 오염의 문제를 안고 있으며, 그로 인해 우수한 재현성을 확보하기 어려울 뿐만 아니라, 공정상의 한계로 소자 동작의 안정화에 한계를 가져오게 된다.
- [0012] 따라서, 상술한 비휘발성 메모리 장치 등의 다양한 응용 분야에 실용화될 수 있도록 공정이 간소하고, 표면 오염의 우려 없으며, 동작 속도가 빠르고 전하 유지력이 좋은 메모리 장치가 요구되고 있다.

발명의 내용

해결 하고자하는 과제

- [0013] 본 발명이 해결하고자 하는 과제는 SONOS 구조의 플래시 메모리 및 ReRAM 의 장점을 결합하여, 기억유지 특성이 우수하면서도 제조 공정이 간단한 비휘발성 메모리 장치 및 이의 제조 방법을 제공하는 것이다.

과제 해결수단

- [0014] 상술한 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치는, 하부 전극층; 상기 하부 전극층 상에 형성된 제 1 절연막; 상기 제 1 절연막 상에 형성된 저항 변화층; 상기 저항 변화층 상에 형성된 제 2 절연막; 및 상기 제 2 절연막 상에 형성된 상부 전극층을 포함하고, 상기 저항 변화층은 상기 하부 전극층 또는 상기 상부 전극층으로부터 유입된 전하를 포획하여, 포획된 전하량에 따라서 저항이 변화된다.
- [0015] 또한, 상기 저항 변화층의 내부에는 나노 크리스탈이 포함되어 있을 수 있다.
- [0016] 또한, 상기 저항 변화층은 Si_3N_4 , AlN , ZrN , TiN , SrZrN , HfN , GaN , NiN , 및 NbN 중 어느 하나로 형성될 수 있다.
- [0017] 또한, 상기 상부 전극층 및 상기 하부 전극층은 Pt , Au , Al , Cu , Ti 및 이들의 합금 중 어느 하나로 형성될 수 있다.
- [0018] 또한, 상기 제 1 절연막 및 상기 제 2 절연막은 SiO_2 , Al_2O_3 , ZrO_2 , TiO_2 , SrZrO_2 , HfO_2 , Ga_2O_3 , NiO , 및 Nb_2O_5 중 어느 하나로 형성될 수 있다.
- [0019] 한편, 상술한 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치 제조 방법은, (a) 반도체 기판위에 하부 전극층을 형성하는 단계; (b) 상기 하부 전극층 상에 제 1 절연막을 형성하는 단계; (c) 상기 제 1 절연막 상에 저항 변화층을 형성하는 단계; (d) 상기 저항 변화층 상에 제 2 절연막을 형성하는 단계; 및 (f) 상기 제 2 절

연막 상에 상부 전극층을 형성하는 단계를 포함하고, 상기 저항 변화층은 상기 하부 전극층 또는 상기 상부 전극층으로부터 유입된 전하를 포획하여, 포획된 전하량에 따라서 저항이 변화된다.

- [0020] 또한, 상기 (d) 단계와 상기 (f) 단계 사이에, (e) 상기 제 2 절연막 상에 보호층을 형성하고, 상기 보호층을 관통하여 나노 크리스탈 입자를 상기 저항 변화층으로 주입한 후, 상기 보호층을 제거하는 단계를 더 포함할 수 있다.
- [0021] 또한, 상기 (d) 단계는, 상기 제 2 절연막을 형성한 후 열처리를 수행하여 상기 저항 변화층의 저항 특성을 제어할 수 있다.
- [0022] 또한, 상기 (c) 단계는, Si_3N_4 , AlN , ZrN , TiN , SrZrN , HfN , GaN , NiN , 및 NbN 중 어느 하나로 상기 저항 변화층을 형성할 수 있다.
- [0023] 또한, 상기 상부 전극층 및 상기 하부 전극층은 Pt , Au , Al , Cu , Ti 및 이들의 합금 중 어느 하나로 형성될 수 있다.
- [0024] 또한, 상기 제 1 절연막 및 상기 제 2 절연막은 SiO_2 , Al_2O_3 , ZrO_2 , TiO_2 , SrZrO_2 , HfO_2 , Ga_2O_3 , NiO , 및 Nb_2O_5 중 어느 하나로 형성될 수 있다.

효 과

- [0025] 본 발명은 전하트랩형 비휘발성 메모리 장치에 이용되던 실리콘 질화막과 같은 디펙트가 다량으로 존재하는 재질로 저항 변화층을 형성하고, 저항 변화층에 포획되는 전하의 양을 조절하여, 저항 변화층의 저항 상태를 변경함으로써, 프로그램을 수행할 수 있는 효과가 나타난다.
- [0026] 또한, 본 발명의 비휘발성 메모리 장치는, 열처리를 통하여 저항 변화층의 저항 특성을 제어함으로써 On/Off 비율인 전기 저항(변화)비율이 크게 향상되어 소자의 활용성을 크게 향상시킬 수 있다.
- [0027] 또한, 저항 변화층과 상부 및 하부 전극층 사이에 제 1 절연막 및 제 2 절연막을 형성하여 저항 변화층에 포획된 전하를 유지함으로써 전하의 손실을 줄여, 종래의 ReRAM 소자에 비하여 기억유지시간을 크게 향상시킬 수 있는 효과가 나타난다.
- [0028] 또한, 본 발명의 비휘발성 메모리 장치는 저항 변화층에 나노 크리스탈을 포함시킴으로써 보다 작은 바이어스 전압으로 신속하게 프로그램을 수행할 수 있는 효과가 나타난다.

발명의 실시를 위한 구체적인 내용

- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [0030] 도 3 은 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리 장치의 구조를 도시한 도면이다. 도 3을 참조하면, 본 발명의 비휘발성 메모리 장치는 소정의 기판(300)위에 하부 전극층(310), 제 1 절연막(320), 저항 변화층(330), 제 2 절연막(340), 및 상부 전극층(350)이 순차적으로 형성되어 있다.
- [0031] 먼저, 기판(300)은 통상의 반도체 메모리 장치의 제작에 이용되는 것이면 어느 것이든 가능하며 본 발명에서 특별히 한정하지는 않는다. 대표적으로 Si 기판, SiO_2 기판, Si/SiO_2 다층 기판, 폴리실리콘 기판 등이 이용될 수 있다.
- [0032] 기판(300)상에 형성되는 하부 전극층(310)은 ReRAM 소자의 전극과 동일한 재질 및 두께로 형성될 수 있다. 즉, 하부 전극층(310)은 5 내지 500nm 의 두께로 Pt , Au , Al , Cu , Ti 및 이들의 합금을 이용하여 형성될 수 있다.
- [0033] 제 1 절연막(320)은 열산화공정 또는 공지의 박막증착 공정을 통해서 하부 전극층(310) 위에 형성되고, 실리콘 산화막(SiO_2) 이 외에, Al_2O_3 , ZrO_2 , TiO_2 , SrZrO_2 , HfO_2 , Ga_2O_3 , NiO , 및 Nb_2O_5 와 같은 산화막 등으로 형성될 수 있다. 제 1 절연막(320)이 너무 두꺼우면 기판(300) 또는 하부 전극층(310)에서 전하들이 터널링하여 저항 변화층(330)으로 유입되기 어렵고, 너무 얇으면 저항 변화층(330)에 포획되었던 전하들이 하부 전극층(310) 또는 기판(300)으로 유출되어 기억 유지력이 약화된다. 따라서, 제 1 절연막(320)의 두께는 이러한 요소들을 고려하여 적절한 두께로 형성되어야 하고, 본 발명의 바람직한 실시예에서는 2 nm 내지 3 nm 의 두께로 형성된다.
- [0034] 한편, 저항 변화층(330)은 인가되는 바이어스 전압의 크기에 따라서 내부에 전류가 흐를 수 있는 경로(필라멘트)가 형성되어 전류의 흐름을 조절함으로써, 내부 저항 특성이 변화된다.

- [0035] 구체적으로, 동작 방식을 설명하면, 저항 변화층(330)은 실리콘 질화막(Si_3N_4)과 같이, 내부에 디펙트가 존재하여 하부 전극층(310) 및 상부 전극층(350)으로부터도 터널링하여 유입된 전하를 포획할 수 있는 물질로 형성되고, 약 5nm 내지 20 nm 의 두께로 형성된다.
- [0036] 또한, 상부 전극층(350) 및 하부 전극층(310)에 프로그램 전압(바이어스 전압)이 인가되면, 저항 변화층(330) 내부로 전하들이 유입되어 포획되고, 유입된 전하들이 임의로 서로 연결되어 전류가 흐를 수 있는 경로(필라멘트)를 형성한다. 이렇게 형성된 경로에 의해 전류가 흐르게 되어 저항 변화층(330)은 저저항 상태로 변화되어 유지된다.
- [0037] 그 후, 프로그램 소거 전압이 인가되면 저항 변화층(330) 내부에 포획된 전하들이 상부 전극층(350) 또는 하부 전극층(310)으로 유출되면서 저저항 상태에서 연결된 필라멘트들이 하나씩 단절되면서 고저항 상태로 변경되어 다음 프로그램 전압이 인가될 때까지 유지된다.
- [0038] 제 2 절연막(340)은 열산화공정 또는 공지의 박막증착 공정을 통해서 저항 변화층(330) 위에 형성되고, 실리콘 산화막(SiO_2) 이 외에, Al_2O_3 , ZrO_2 , TiO_2 , SrZrO_2 , HfO_2 , Ga_2O_3 , NiO , 및 Nb_2O_5 와 같은 산화막 등으로 형성될 수 있다. 제 2 절연막(340)은 제 1 절연막(320)과 동일한 재질 및 두께로 형성될 수 있다.
- [0039] 상부 전극층(350)은 하부 전극층(310)과 마찬가지로 ReRAM 소자의 전극과 동일한 재질 및 두께로 형성될 수 있다. 즉, 상부 전극층(350)은 5 내지 500nm 의 두께로 Pt, Au, Al, Cu, Ti 및 이들의 합금을 이용하여 형성될 수 있다.
- [0040] 도 4 는 본 발명의 바람직한 실시예에 따라서 제조된 비휘발성 메모리 장치의 전압 전류 특성을 보여주는 그래프이다. 도 4를 참조하면, 비휘발성 메모리 장치가 고저항 상태인 경우에, 바이어스 전압이 0V 내지 약 1V까지 변화하는 동안에는 고저항 상태가 유지되어 극히 적은 양의 전류가 흐르다가, 1V 내지 1.5V 사이에서 저항이 급격히 감소하여 다량의 전류가 흐르게됨을 알 수 있다.
- [0041] 또한, 비휘발성 메모리 장치가 저저항 상태에서, 바이어스 전압을 감소시키면, 0.5V 내지 0V 근처에서 저항이 급격하게 증가하여 고저항 상태로 변화되어 소량의 전류가 흐르게됨을 알 수 있다.
- [0042] 한편, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 바이어스 전압은 도 4에 도시된 바와 같이, 서로 대칭적인 특징이 나타난다. 따라서, 비휘발성 메모리 장치가 고저항 상태에서, 바이어스 전압을 감소시키면 0V 내지 -0.5V 사이에서 저항이 급격하게 감소하면서 저저항 상태로 변화되어 다량의 전류가 흐르게되고, 저저항 상태가 지속되다가 바이어스 전압을 감소시키면 -1.5V 내지 -1V 사이에서 저항이 급격하게 증가하여 고저항 상태로 변화되어 소량의 전류가 흐르게 된다.
- [0043] 도 5 는 본 발명의 바람직한 실시예에 따라서 제조된 비휘발성 메모리 장치의 프로그램 개념을 설명하는 도면이다.
- [0044] 도 5는 Forming이 수행된 이후에 프로그램을 수행하는 과정을 설명한 도면으로서, 저저항 상태를 논리값 "1"이 프로그램된 상태(또는 프로그램된 상태)로 정의하고, 고저항 상태를 논리값 "0"이 프로그램된 상태(또는, 프로그램된 값이 소거된 상태)로, 정의하여, 도 5를 참조하여 프로그램 과정을 설명하면, 먼저, 고저항상태에서 "1"을 프로그램하기 위해서, 바이어스 전압을 0V에서 +1.5V로 변화시키면, 즉, +1.5V 정도의 전압 펄스를 인가하면(도 4의 3번 참조), 하부 전극층(310)(또는 상부 전극층(350))으로부터 제 1 절연막(320)(또는 제 2 절연막(340))을 터널링한 전하가 저항 변화층(330) 내부로 유입되어, 저항 변화층(330) 내부의 디펙트에 포획된다.
- [0045] 이렇게 포획된 전하들이 저항 변화층(330)의 상부 및 하부에서부터 쌓이다보면 도 5의 (a)에 도시된 바와 같이 저항 변화층(330)의 중심부에서 전하들이 서로 연결되어 전류 경로(필라멘트)가 형성되기 시작하면서 저항 변화층(330)의 저항이 급격하게 감소하고, 필라멘트를 통해서 전류가 흐르게 되어, "1"이 프로그램된다.
- [0046] 한편, 도 5의 (a) 상태에서 "0"을 프로그램하기 위해서(프로그램된 "1"을 소거하기 위해서), 바이어스 전압을 +1.5V에서 -1.5V 로 감소시키는 과정에서, 즉, 소거 전압으로 -1.5V를 인가하면(도 4의 4번 참조), 저항 변화층(330)에 유입되었던 전하들은 제 1 절연막(320) 및 제 2 절연막(340)을 터널링하여 외부로 방출되어 저항 변화층(330)에 형성되었던 필라멘트가 점차 단절되고, 따라서 전류가 급격하게 감소하며, 이에 따라서 저항 변화층(330)의 저항이 급격하게 증가한다.
- [0047] 본 발명에 따르는 비휘발성 메모리 장치의 바이어스 전압은 도 4에 도시된 바와 같이, 대칭적으로 형성된다. 따라서, 상술한 양의 바이어스 전압을 이용하는 방식 이외에 음의 바이어스 전압을 이용하여서도 프로그램을 수행

할 수 있다. 예컨대, 고저항상태에서 "1"을 프로그램하기 위해서, 바이어스 전압을 0V에서 -1.5V로 변화시키면, 즉, -1.5V 정도의 전압 펄스를 인가하면(도 4의 1번 참조), 상부 전극층(350)(또는 하부 전극층(310))으로부터 제 1 절연막(320)(또는 제 2 절연막(340))을 터널링한 전하가 저항 변화층(330) 내부로 유입되어, 저항 변화층(330) 내부의 디팩트에 포획된다.

[0048] 이렇게 포획된 전하들이 저항 변화층(330)의 상부 및 하부에서부터 쌓이다보면 도 5의 (a)에 도시된 바와 같이 저항 변화층(330)의 중심부에서 전하들이 서로 연결되어 전류 경로(필라멘트)가 형성되기 시작하면서 저항 변화층(330)의 저항이 급격하게 감소하고, 필라멘트를 통해서 전류가 흐르게 되어, "1"이 프로그램된다.

[0049] 한편, 도 5의 (a) 상태에서 "0"을 프로그램하기 위해서(프로그램된 "1"을 소거하기 위해서), 바이어스 전압을 -1.5V에서 +1.5V 로 증가시키는 과정에서(도 4의 2번 참조), 저항 변화층(330)에 유입되었던 전하들은 제 1 절연막(320) 및 제 2 절연막(340)을 터널링하여 외부로 방출되어, 저항 변화층(330)에 형성되었던 필라멘트가 점차 단절되고, 따라서 전류가 급격하게 감소하며, 이에 따라서 저항 변화층(330)의 저항이 급격하게 증가한다.

[0050] 지금까지 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 구조와 프로그램 방법을 설명하였다. 도 6a 내지 도 6d는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하는 도면이다. 도 6a 내지 도 6d를 참조하면, Si 기판, SiO₂ 기판, Si/SiO₂ 다층 기판, 폴리실리콘 기판 등의 기판(300)에 하부 전극층(310)은 5 내지 500nm 의 두께로 Pt, Au, Al, Cu, Ti 및 이들의 합금을 이용하여 하부 전극층(310)을 형성한다(도 6a 참조).

[0051] 그 후, 공지의 열산화공정 또는 박막 증착 공정을 이용하여 하부 전극층(310)의 상부에 제 1 절연막(320)을 2 nm 내지 5 nm 두께로 형성한다. 이 때, 제 1 절연막(320)의 재질은 실리콘 산화막(SiO₂) 이 외에, Al₂O₃, ZrO₂, TiO₂, SrZrO₂, HfO₂, Ga₂O₃, NiO, 및 Nb₂O₅ 와 같은 산화막 등으로 형성될 수 있다(도 6b 참조).

[0052] 제 1 절연막(320)이 형성된 후, 제 1 절연막(320) 상부에 저항 변화층(330)을 Si₃N₄, AlN, ZrN, TiN, SrZrN, HfN, GaN, NiN, NbN 등을 이용하여 5 nm 내지 500 두께로 박막 증착 공정등을 이용하여 형성한다.(도 6c 참조).

[0053] 그 후, 제 1 절연막(320)과 동일한 방식으로, 연산화 공정 또는 박막 증착 공정 등을 이용하여 실리콘 산화막(SiO₂) 이 외에, Al₂O₃, ZrO₂, TiO₂, SrZrO₂, HfO₂, Ga₂O₃, NiO, 및 Nb₂O₅ 와 같은 산화막 등으로 2 nm 내지 5 nm 두께의 제 2 절연막(340)을 형성하고, 200 ~ 1000 °C의 온도에서 N₂, H₂, O₂, D₂, Ar 등의 가스 분위기에서 1초 내지 5시간 동안의 열처리를 수행하여 저항 변화층(330)의 저항 특성을 조절한다(도 6d 참조).

[0054] 이렇게, 열처리를 통하여 저항 변화층(330)의 저항 특성을 제어함으로써 On/Off 비율인 전기 저항(변화)비율이 크게 향상되어 소자의 활용성을 크게 향상시킬 수 있다.

[0055] 또한, 저항 변화층(330)과 상부 및 하부 전극층(350,310) 사이에 제 1 절연막(320) 및 제 2 절연막(340)을 형성하여 저항 변화층(330)에 포획된 전하를 유지함으로써, 전하의 손실을 줄여 기억유지시간을 크게 향상시킬 수 있는 효과가 나타난다.

[0056] 열처리가 완료된 후, 하부 전극층(310)과 동일한 재질 또는 다른 재질로 상부 전극층(350)을 형성한다. 상부 전극층(350)은 5 내지 500nm 의 두께로 Pt, Au, Al, Cu, Ti 및 이들의 합금을 이용하여 형성될 수 있다.(도 6e 참조)

[0057] 지금까지 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리 장치의 구성 및 그 제조 방법에 대해서 설명하였다. 본 발명의 바람직한 제 2 실시예에 따른 비휘발성 메모리 장치는 제 1 실시예와 구성 및 제조 방법이 거의 동일하며, 다만, 전하 유지력을 향상시키고 프로그램에 이용되는 바이어스 전압 레벨을 낮추기 위해서 저항 변화층(330)에 나노 크리스탈(332)을 삽입하여 전하를 포획하게 하는 구성이 더 포함된다는 점에서만 차이가 있다.

[0058] 도 7 은 본 발명의 제 2 실시예에 따른 비휘발성 메모리 장치의 구성을 도시하는 도면이다. 도 7을 참조하면, 제 2 실시예의 경우에, 제 1 실시예와 동일하게 기판(300), 하부 전극층(310), 제 1 절연막(320), 저항 변화층(330), 제 2 절연막(340), 상부 전극층(350)이 순차적으로 형성된 구조를 갖는다. 다만, 저항 변화층(330)의 내부에 임의의 위치 또는 특정 깊이의 위치에 나노 크리스탈 입자들(332)이 위치하여 전하를 포획한 상태로 존재한다.

[0059] 따라서, 저항 변화층(330)을 형성하는 저항 변화층(330)에 비하여 전하 포획력이 더 강한 나노 크리스탈 입자들

(332)이 평상시에(고저항 상태에서) 전하를 포획하고 있으므로, 제 2 실시예의 경우에는 제 1 실시예와 비교하여 더 적은 크기의 바이어스 전압만을 인가하여 제 1 실시예에 비하여 더 적은 수의 전하만이 저항 변화층(330)에 유입되어도 저항 변화층(330)의 저항이 감소하여 프로그램을 수행할 수 있다.

[0060] 도 8 은 제 2 실시예에 따른 비휘발성 메모리 장치의 프로그램 과정을 설명하는 도면이다. 도 8의 (a) 에 도시된 바와 같이, 제 2 실시예의 비휘발성 메모리 장치는 "1"을 프로그램하기 위한 바이어스 전압이 인가되지 않은 상태(즉, 고저항 상태로서, 저항 변화층(330)에 전하가 유입되지 않아 전류 경로(필라멘트)가 형성되지 않은 상태)에서, 나노 크리스탈 입자(332)에 전하들이 포획되어 있다.

[0061] 그 후, "1"을 프로그램하기 위해서 상부 및 하부 전극층(350,310)에 바이어스 전압을 인가하면, 도 8의 (b)에 도시된 바와 같이, 상부 전극층(350) 및 하부 전극층(310)으로부터 유입된 전하들이 나노 크리스탈 입자(332)에 포획된 전하들과 연결되어 전류 경로(필라멘트)가 형성되고, 저항 변화층(330)은 저저항 상태로 변화되어, "1"이 프로그램된다.

[0062] 한편, 상술한 본 발명의 비휘발성 메모리 장치의 프로그램 상태를 측정하기 위해서는, 종래의 ReRAM과 마찬가지로 비휘발성 메모리 장치의 프로그램 상태에 영향을 미치지 않는 작은 전압을 인가하여, 그 때 흐르는 전류의 크기를 측정하여 프로그램 상태를 판별할 수 있다.

[0063] 도 9 는 본 발명의 바람직한 제 2 실시예에 따라서 비휘발성 메모리 장치를 제조하는 과정을 도시하는 도면이다.

[0064] 도 9를 참조하면, 제 1 실시예에서 도 6a 내지 도 6c를 참조하여 설명한 바와 동일한 방식으로 기판(300)위에 하부 전극층(310), 제 1 절연막(320), 저항 변화층(330), 및 제 2 절연막(340)을 형성하고, 제 2 절연막(340) 위에 실리콘 산화막과 같은 보호층을 형성하고, 이온 주입 공정을 통해서 나노 크리스탈 입자(332)를 제 1 절연막(320)을 관통시켜 저항 변화층(330)으로 주입시킨다(도 9의 (a) 참조).

[0065] 이 때, 이온 주입 공정 조건을 조절하여 나노 크리스탈 입자들(332)을 전류 저항층의 특정 위치에 주입되도록 할 수 있고, 임의의 위치에 주입되도록 할 수도 있다.

[0066] 그 후, 보호층을 제거하고, 상술한 도 6d를 참조하여 설명한 바와 동일한 방식으로 제 2 절연막(340) 위에 상부 전극층(350)을 형성한다(도 9의 (b) 참조).

[0067] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

[0068] 도 1 은 종래 기술에 따른 소노스(SONOS:Silicon Oxide Nitride Oxide Semiconductor) 구조의 비휘발성 메모리 장치(10)의 단면도이다.

[0069] 도 2 는 종래 기술에 따른 ReRAM 소자의 단면을 도시한 도면이다.

[0070] 도 3 은 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리 장치의 구조를 도시한 도면이다.

[0071] 도 4 는 본 발명의 바람직한 실시예에 따라서 제조된 비휘발성 메모리 장치의 전압 전류 특성을 보여주는 그래프이다.

[0072] 도 5 는 본 발명의 바람직한 실시예에 따라서 제조된 비휘발성 메모리 장치의 프로그램 개념을 설명하는 도면이다.

[0073] 도 6a 내지 도 6d는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하는 도면이다.

[0074] 도 7 은 본 발명의 제 2 실시예에 따른 비휘발성 메모리 장치의 구성을 도시하는 도면이다.

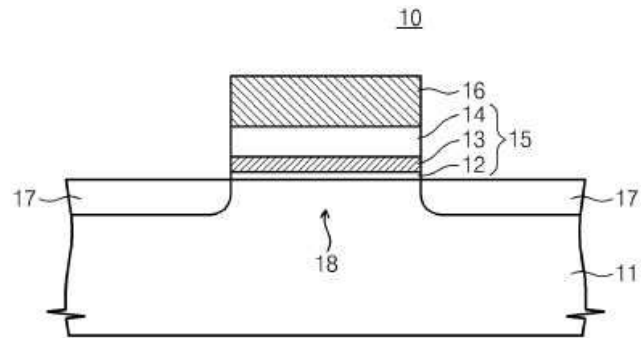
[0075] 도 8 은 제 2 실시예에 따른 비휘발성 메모리 장치의 프로그램 과정을 설명하는 도면이다.

[0076] 도 9 는 본 발명의 바람직한 제 2 실시예에 따라서 비휘발성 메모리 장치를 제조하는 과정을 도시하는

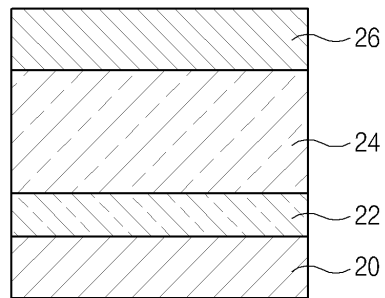
도면이다.

도면

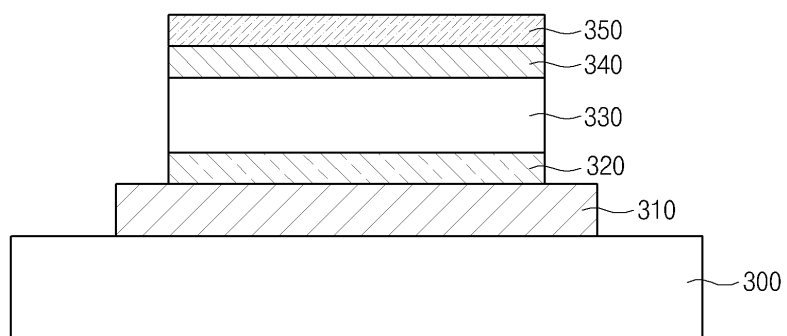
도면1



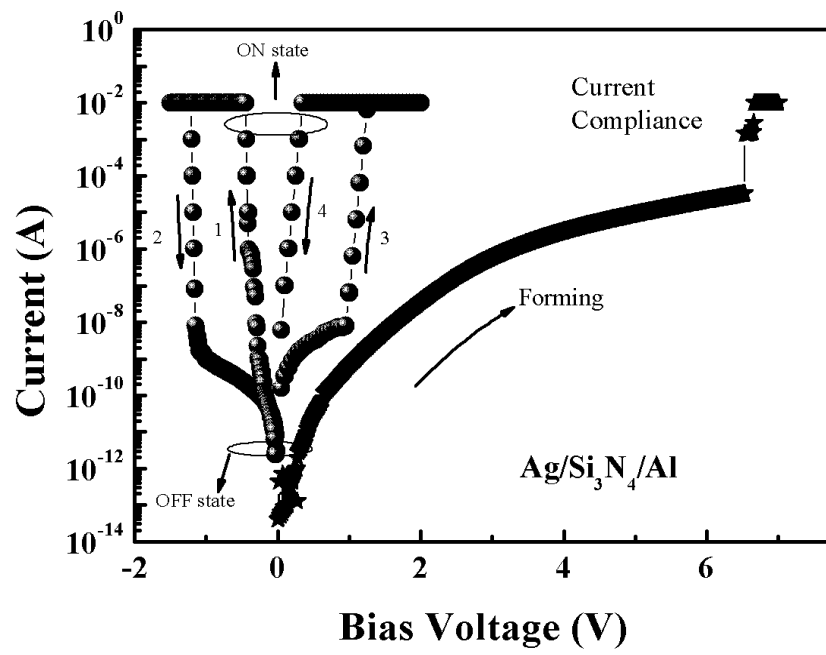
도면2



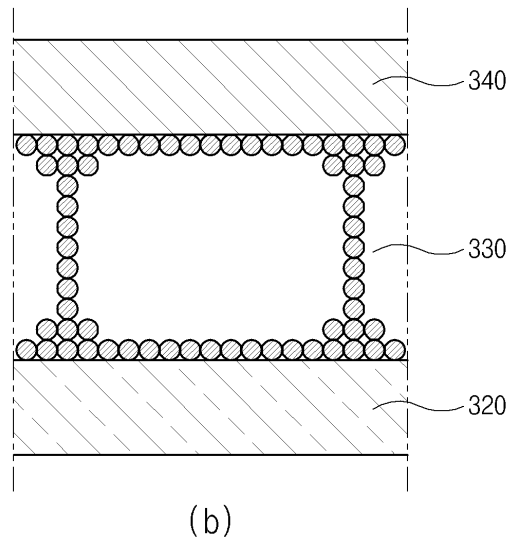
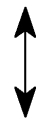
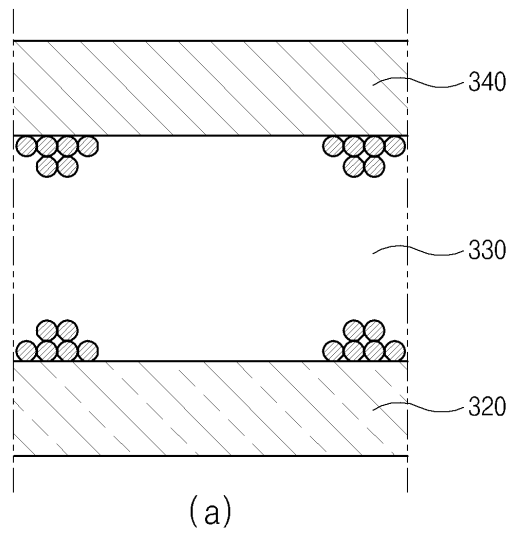
도면3



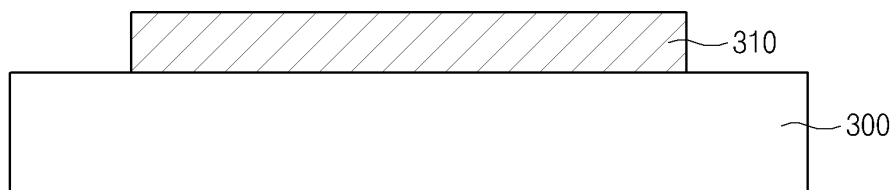
도면4



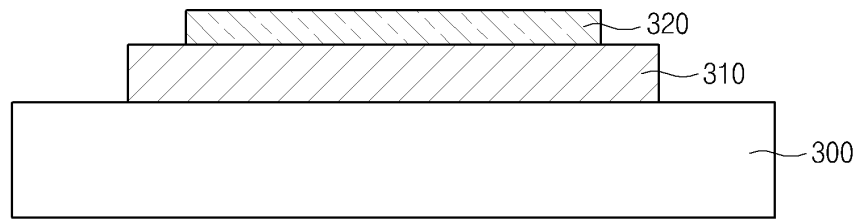
도면5



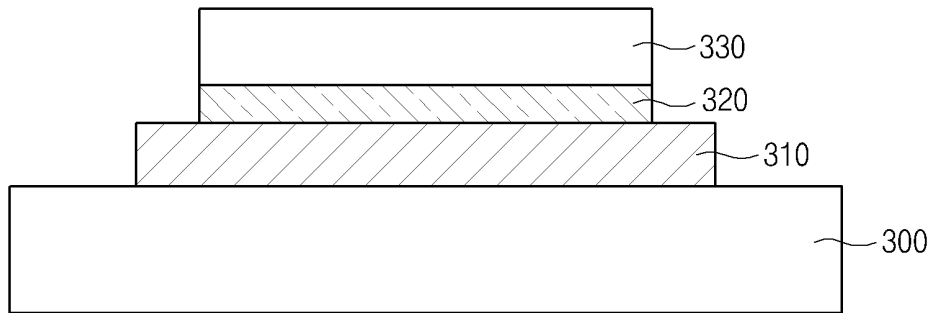
도면6a



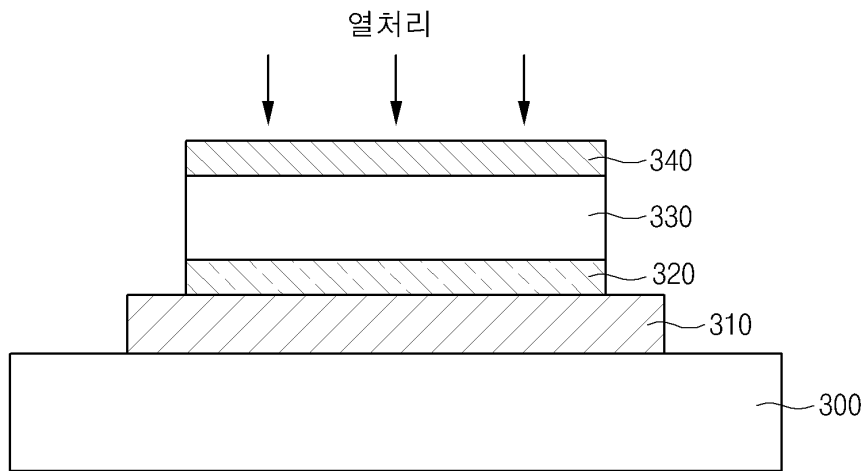
도면6b



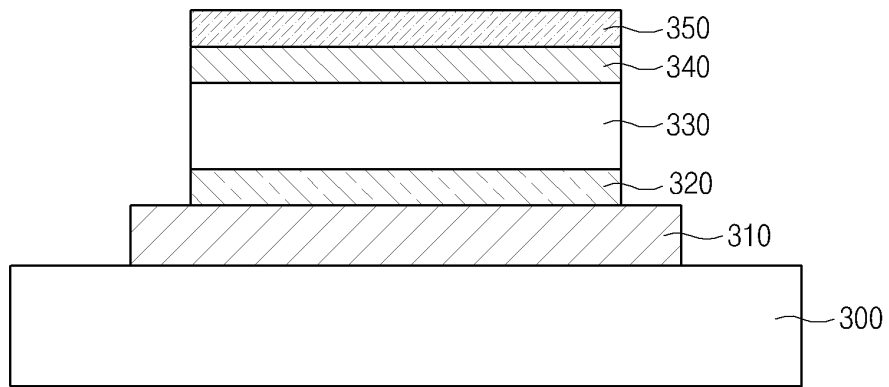
도면6c



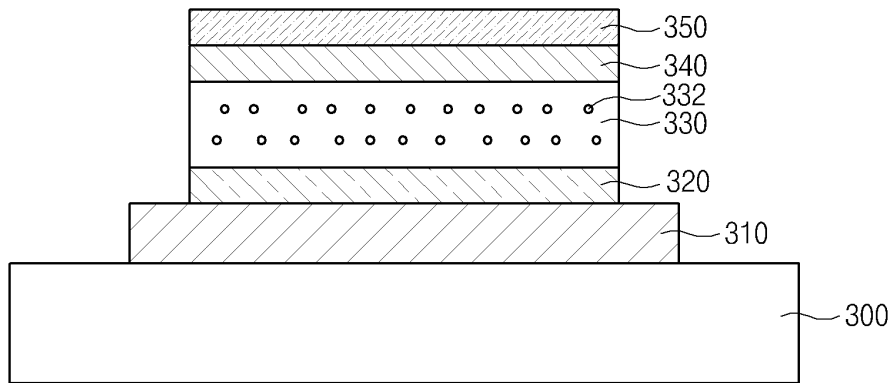
도면6d



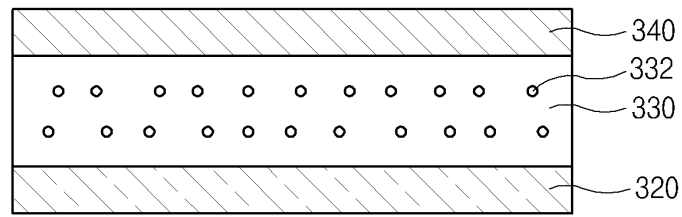
도면6e



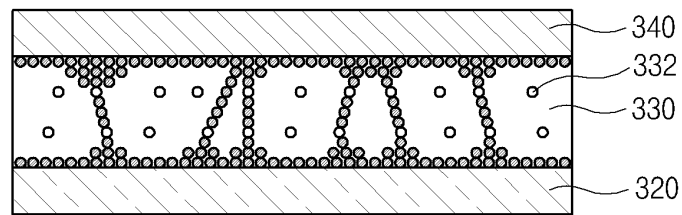
도면7



도면8



(a)



(b)

도면9

