



(12) 发明专利

(10) 授权公告号 CN 101393774 B

(45) 授权公告日 2013. 01. 30

(21) 申请号 200810175617. 1

(22) 申请日 2008. 06. 11

(30) 优先权数据

56792/07 2007. 06. 11 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金杜坤 朴起台 李永宅

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 钱大勇

(51) Int. Cl.

G11C 16/14 (2006. 01)

G11C 16/34 (2006. 01)

(56) 对比文件

CN 1929028 A, 2007. 03. 14,

US 2006044919 A1, 2006. 03. 02,

CN 1819060 A, 2006. 08. 16,

审查员 冯慧萍

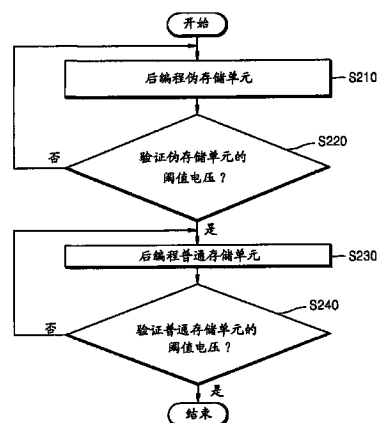
权利要求书 3 页 说明书 7 页 附图 9 页

(54) 发明名称

非易失性存储器件中的擦除方法

(57) 摘要

一种在非易失性存储器件中的后编程的擦除方法。该方法包括：后编程伪存储单元；验证所述伪存储单元的阈值电压是否大于或等于第一电压；后编程普通存储单元；并且验证所述普通存储单元的阈值电压是否大于或等于第二电压。所述第一电压与所述第二电压不同。



1. 一种在非易失性存储器件中的后编程的擦除方法,该方法包括:
后编程伪存储单元;
使用第一电压验证所述伪存储单元的阈值电压;
后编程普通存储单元;和
使用第二电压验证所述普通存储单元的阈值电压;
其中,所述第一电压与所述第二电压不同,
其中,所述伪存储单元的阈值电压的验证包括:
施加所述第一电压到多条连接所述伪存储单元的伪字线;和
施加第三电压到所述多条连接所述普通存储单元的普通字线;
其中,所述第三电压比所述第一电压和所述第二电压高。
2. 如权利要求1所述的擦除方法,其中,所述第一电压比所述第二电压高。
3. 如权利要求1所述的擦除方法,还包括:如果所述伪存储单元的阈值电压被验证为小于所述第一电压,则再次后编程所述伪存储单元。
4. 如权利要求1所述的擦除方法,还包括:如果所述普通存储单元的阈值电压被验证为小于所述第二电压,则再次后编程所述普通存储单元。
5. 如权利要求1所述的擦除方法,其中,所述伪存储单元的后编程包括:
施加编程电压到所述多条连接所述伪存储单元的伪字线以便后编程所述伪存储单元;
以及
施加通过电压到所述多条连接所述普通存储单元的普通字线以便不对所述普通存储单元后编程。
6. 如权利要求1所述的擦除方法,其中,所述普通存储单元的后编程包括:
施加编程电压到所述多条连接所述普通存储单元的普通字线以便后编程所述普通存储单元;以及
施加通过电压到所述多条连接所述伪存储单元的伪字线以便不对所述伪存储单元后编程。
7. 如权利要求1所述的擦除方法,其中,所述普通存储单元的阈值电压的验证包括:
施加所述第二电压到所述多条普通字线;和
施加第三电压到所述多条伪字线;
其中,所述第三电压比所述第一电压和所述第二电压高。
8. 如权利要求1所述的擦除方法,其中,在所述伪存储单元的后编程和所述伪存储单元的阈值电压的验证之前执行所述普通存储单元的后编程和所述普通存储单元的阈值电压的验证。
9. 如权利要求1所述的擦除方法,其中,在所述普通存储单元的后编程和所述普通存储单元的阈值电压的验证之前执行所述伪存储单元的后编程和所述伪存储单元的阈值电压的验证。
10. 如权利要求1所述的擦除方法,其中,在所述伪存储单元的阈值电压的验证和所述普通存储单元的阈值电压的验证之前执行所述伪存储单元的后编程和所述普通存储单元的后编程。
11. 一种在非易失性存储器件中的后编程的擦除方法,该方法包括:

后编程第一伪存储单元；
使用第一电压验证所述第一伪存储单元的阈值电压；
后编程第二伪存储单元；
使用第二电压验证所述第二伪存储单元的阈值电压；
后编程普通存储单元；和
使用第三电压验证所述普通存储单元的阈值电压；
其中，所述第三电压与所述第一电压和所述第二电压不同，
其中，所述第一伪存储单元的阈值电压的验证包括：

施加所述第一电压到连接所述第一伪存储单元的第一伪字线；和施加第四电压到所述第二伪字线和多条连接所述普通存储单元的普通字线；

所述第二伪存储单元的阈值电压的验证包括：
施加所述第二电压到连接所述第二伪存储单元的第二伪字线；和
施加所述第四电压到所述第一伪字线和所述多条普通字线；
所述普通存储单元的阈值电压的验证包括：
施加所述第三电压到所述多条普通字线；和
施加所述第四电压到所述第一伪字线和所述第二伪字线；和
所述第四电压比第一到第三电压高。

12. 如权利要求 11 所述的擦除方法，还包括：如果所述第一伪存储单元的阈值电压被验证为小于所述第一电压，则再次后编程所述第一伪存储单元。

13. 如权利要求 11 所述的擦除方法，还包括：如果所述第二伪存储单元的阈值电压被验证为小于所述第二电压，则再次后编程所述第二伪存储单元。

14. 如权利要求 11 所述的擦除方法，还包括：如果所述普通存储单元的阈值电压被验证为小于所述第三电压，则再次后编程所述普通存储单元。

15. 如权利要求 11 所述的擦除方法，其中，所述第一伪存储单元的后编程包括：

施加编程电压到所述连接所述第一伪存储单元的第一伪字线以便后编程所述第一伪存储单元；以及

施加通过电压到所述连接所述第二伪存储单元的第二伪字线和所述多条连接所述普通存储单元的普通字线，以便不对所述第二伪存储单元和所述普通存储单元后编程。

16. 如权利要求 11 所述的擦除方法，其中，所述第二伪存储单元的后编程包括：

施加编程电压到所述连接所述第二伪存储单元的第二伪字线以便后编程所述第二伪存储单元；以及

施加通过电压到所述连接所述第一伪存储单元的第一伪字线和所述多条连接所述普通存储单元的普通字线，以便不对所述第一伪存储单元和所述普通存储单元后编程。

17. 如权利要求 11 所述的擦除方法，其中，所述普通存储单元的后编程包括：

施加编程电压到所述多条普通字线以便后编程所述普通存储单元；以及

施加通过电压到所述连接所述第一伪存储单元的第一伪字线和所述连接所述第二伪存储单元的第二伪字线，以便不对所述第一伪存储单元和所述第二伪存储单元后编程。

18. 一种在非易失性存储器件中的后编程的擦除方法，该方法包括：

后编程伪存储单元；

后编程普通存储单元；

使用至少一个相应的第一电压验证所述伪存储单元的阈值电压；

使用第二电压验证所述普通存储单元的阈值电压；和

后编程包括具有没有被验证通过的阈值电压的伪存储单元和具有没有被验证通过的阈值电压的普通存储单元的存储单元组；

其中，所述至少一个相应的第一电压的每一个与所述第二电压不同，

其中，所述伪存储单元的阈值电压的验证包括：

施加所述至少一个相应的第一电压到多条连接所述伪存储单元的伪字线；和

施加第三电压到所述多条连接所述普通存储单元的普通字线；

其中，所述第三电压比所述至少一个相应的第一电压和所述第二电压高。

19. 如权利要求 18 所述的擦除方法，其中，后编程所述存储单元组包括：

后编程第一组存储单元，而不后编程第二组存储单元；

其中，如果所述伪存储单元中的任一个被验证为不具有大于或等于所述至少一个相应的第一电压的阈值电压，则所述第一组包括所有的伪存储单元，并且如果所述普通存储单元中的任一个被验证为不具有大于或等于所述第二电压的阈值电压，则所述第一组包括所有的普通存储单元。

20. 如权利要求 18 所述的擦除方法，其中，后编程所述存储单元组包括：

后编程第一组存储单元，而不后编程第二组存储单元；

其中仅当所述伪存储单元被验证为不具有大于或等于其相应的第一电压的阈值电压时，所述第一组包括每个伪存储单元，并且当所述普通存储单元中的任一个被验证为不具有大于或等于所述第二电压的阈值电压时，所述第一组包括所有的普通存储单元。

21. 如权利要求 20 所述的擦除方法，其中，后编程所述第一组存储单元而不后编程所述第二组存储单元包括：

施加编程电压到连接所述第一组存储单元的字线；和

施加通过电压到连接所述第二组存储单元的字线。

22. 如权利要求 18 所述的擦除方法，还包括：

后编程后续的包括被验证为不具有大于或等于所述至少一个相应的第一电压的阈值电压的伪存储单元和被验证为不具有大于或等于所述第二电压的阈值电压的普通存储单元的存储单元组。

非易失性存储器件中的擦除方法

[0001] 相关专利申请的交叉引用

[0002] 本申请要求于 2007 年 6 月 11 日在韩国知识产权局提出的韩国专利申请 No. 10-2007-0056792 的利益,其公开在此通过引用方式被整体包含。

技术领域

[0003] 本发明涉及半导体存储器件,并且更具体地,涉及非易失性半导体存储器件。

背景技术

[0004] 半导体存储器件可大体分类为:易失性存储器件,如动态随机存取存储器(DRAM)和静态随机存取存储器(SRAM),在易失性存储器件中,所存储的数据可能丢失并且可以迅速地读和写数据;和非易失性存储器件,在非易失性存储器件中,所存储的数据可以保持,但是数据的读和写比在易失性存储器件中慢。非易失性存储器件可分类为只读存储器(ROM)、可编程 ROM(PROM)、可擦除 PROM(EPROM) 和电 EPROM(EEPROM)。EEPROM 或快闪 EEPROM(在下文中称为“闪存”)的数据可以被擦除,并且为栈类型栅极结构,在所述结构中,集成了浮置栅极和控制栅极。

[0005] 闪存的存储阵列可以具有多个作为基本单元的串。每个串具有下述结构:在所述结构中,一个选择晶体管和多个存储单元串行连接。在具有这样结构的闪存器件中,对连接到与漏极选择线相邻的字线的存储单元和连接到与源极选择线相邻的字线的存储单元的编程的速度可能降低。为解决这个问题,已引入下述结构:在所述结构中,向每个串添加连接到伪字线的存储单元。

[0006] 闪存器件的擦除操作大体可以分为前编程、主擦除、和后编程。在与普通编程操作相同的偏压条件下执行前编程,以防止存储单元在后续擦除期间被过度不必要地擦除。前编程所有要被擦除的存储单元。在前编程后,执行主擦除,以便在一个扇区上的所有存储单元可以具有“on”单元状态。一旦主编程开始,在该扇区上的所有存储单元被同时擦除。最后,执行后编程以便恢复由于主擦除而被过度擦除的存储单元。除了偏压条件外,以与前编程类似的方式执行后编程。

[0007] 在传统的具有伪字线的闪存器件的情况下,不加区分地执行对连接到伪字线的伪存储单元和连接到普通字线的普通存储单元的后编程。也就是说,作为执行后编程的结果,普通存储单元和伪存储单元具有相同的阈值电压。在这种情况下,将要关断的伪存储单元在擦除后的编程期间可能被接通,因此,阻止了对普通存储单元的编程。

发明内容

[0008] 一个实施例包括一种在非易失性存储器件中的后编程的擦除方法。该方法包括:后编程伪存储单元;使用第一电压验证所述伪存储单元的阈值电压;后编程普通存储单元;和使用第二电压验证所述普通存储单元的阈值电压;其中,所述第一电压与所述第二电压不同,其中,所述伪存储单元的阈值电压的验证包括:施加所述第一电压到多条连接所

述伪存储单元的伪字线；和施加第三电压到所述多条连接所述普通存储单元的普通字线；其中，所述第三电压比所述第一电压和所述第二电压高。

[0009] 另一实施例包括一种在非易失性存储器件中的后编程的擦除方法，该方法包括：后编程第一伪存储单元；使用第一电压验证所述第一伪存储单元的阈值电压；后编程第二伪存储单元；使用第二电压验证所述第二伪存储单元的阈值电压；后编程普通存储单元；和使用第三电压验证所述普通存储单元的阈值电压；其中，所述第三电压与所述第一电压和所述第二电压不同，其中，所述第一伪存储单元的阈值电压的验证包括：施加所述第一电压到所述第一伪字线；和施加第四电压到所述第二伪字线和所述多条普通字线；所述第二伪存储单元的阈值电压的验证包括：施加所述第二电压到所述第二伪字线；和施加所述第四电压到所述第一伪字线和所述多条普通字线；所述普通存储单元的阈值电压的验证包括：施加所述第三电压到所述多条普通字线；和施加所述第四电压到所述第一伪字线和所述第二伪字线；和所述第四电压比第一到第三电压高。

[0010] 附图说明

[0011] 通过参照附图详细描述实施例，上述和其他特征和优点将变得更加清楚，其中：

[0012] 图 1 是根据一实施例的非易失性半导体存储器件的电路图；

[0013] 图 2 是图解根据一实施例的在非易失性存储器件中的擦除方法的流程图；

[0014] 图 3 是图解在根据图 2 的方法执行后编程时的电压状态的表；

[0015] 图 4 是图解根据另一实施例的在非易失性存储器件中的擦除方法的流程图；

[0016] 图 5 是图解根据另一实施例的在非易失性存储器件中的擦除方法的流程图；

[0017] 图 6 是图解在根据图 5 的方法执行后编程时的电压状态的表；

[0018] 图 7 是图解根据另一实施例的在非易失性存储器件中的擦除方法的流程图；

[0019] 图 8 是图解根据另一实施例的在非易失性存储器件中的擦除方法的流程图；

[0020] 图 9A 是图解根据传统方法的存储单元的阈值电压的分布的曲线图；

[0021] 图 9B 是根据图 2、4 或 7 的方法的存储单元的阈值电压的分布的曲线图；以及

[0022] 图 9C 是根据图 5 或 8 的方法的存储单元的阈值电压的分布的曲线图。

具体实施方式

[0023] 现在将参照附图更充分地描述实施例。贯穿附图，相同的参考数字表示相同的元素。

[0024] 图 1 是根据一实施例的非易失性半导体存储器件的电路图。图 1 图解了非易失性半导体存储器件的一个串 100。非易失性半导体存储器件（并且具体地闪存存储器件）的串 100 包括第一选择晶体管 GST、第二选择晶体管 SST、第一伪存储单元 DC1、第二伪存储单元 DC2 和多个普通存储单元 C0、...、C30、C31。尽管图 1 图解了 32 个串联连接的存储单元，但是对于本领域普通技术人员来说很明显：在实施例中，可以串联连接任何数目的存储单元。

[0025] 第一选择晶体管 GST 的栅极线是第一选择线 GSL，第二选择晶体管 SST 的栅极线是第二选择线 SSL，以及普通存储单元 C0、...、C31 的栅极线分别是普通字线 WL0、...、WL31。第一伪存储单元 DC1 的栅极线是第一伪字线 DWL1，而第二伪存储单元 DC2 的栅极线是第二伪字线 DWL2。

[0026] 图 2 是图解根据一实施例的在非易失性存储器件中的擦除方法的流程图。更具体地,图 2 图解了对将参照图 1 描述的非易失性存储器件后编程的方法。首先,在 S210,对分别与伪字线 DWL1 和 DW2 连接的伪存储单元 DC1 和 DC2 执行后编程,而不后编程普通存储单元 C0、...、C31。在完成对伪存储单元 DC1 和 DC2 的后编程后,验证是否对伪存储器单元 DC1 和 DC2 成功地执行了后编程。例如,在 S220,验证伪存储单元 DC1 和 DC2 的阈值电压是否大于或等于第一电压。第一电压是通过对伪存储单元 DC1 和 DC2 后编程得到的阈值电压。

[0027] 如果在 S220 确定伪存储单元 DC1 和 DC2 的阈值电压小于第一电压,则在 S210,再次对伪存储单元 DC1 和 DC2 执行后编程。

[0028] 如果在 S220 确定伪存储单元 DC1 和 DC2 的阈值电压大于或等于第一电压,则在 S230,对普通存储单元 C0、...、C31 进行后编程。在完成对普通存储单元 C0、...、C31 的后编程后,在 S240 验证是否成功地执行了后编程。例如,在 S240,验证普通存储单元 C0、...、C31 的阈值电压是否大于或等于第二电压。第二电压是通过后编程普通存储单元 C0、...、C31 得到的阈值电压。在一个实施例中,第一电压比第二电压大。

[0029] 如果在 S240 确定普通存储单元 C0、...、C31 的阈值电压小于第二电压,则在 S230,再次对普通存储单元 C0、...、C31 后编程。

[0030] 尽管关于阈值电压的验证,使用措辞大于或等于,但是阈值电压也可以小于期望阈值电压。例如,如果当在相关字线上的信号比阈值电压小时,特定存储单元操作,则存储单元的阈值电压的验证可以包括验证其阈值电压是否小于或等于期望阈值电压。

[0031] 图 3 是图解在根据图 2 的方法执行后编程时的电压状态的示例。参考图 1 到 3,当在 S210 对伪存储单元 DC1 和 DC2 执行后编程时,编程电压 V_{pgm} 被施加到伪字线 DWL1 和 DWL2,而通过电压 V_{pass} 被施加到普通字线 WL0、...、WL31。该编程电压 V_{pgm} 是施加到连接将要后编程的存储单元的栅极的字线的电压(例如 25V)。通过电压 V_{pass} 是施加到连接不被后编程的存储单元的栅极的字线的电压(例如 8V)。

[0032] 当在 S220 确定伪存储单元 DC1 和 DC2 的阈值电压是否大于或等于第一电压时,第一电压 V_{r1} 被施加到伪字线 DWL1 和 DWL2,以及第三电压 V_{read} 被施加到普通字线 WL0、...、WL31。在一实施例中,第三电压 V_{read} 被施加到没有被验证为比第一电压 V_{r1} 高的字线。例如,第三电压 V_{read} 可以是 6.5V。

[0033] 在完成对伪存储单元 DC1、DC2 的验证后,在 S230,对普通存储单元 C0、...、C31 进行后编程。编程电压 V_{pgm} 被施加到连接普通存储单元 C0、...、C31 的普通字线 WL0、...、WL31,而通过电压 V_{pass} 被施加到伪字线 DWL1 和 DWL2。在一实施例中,第三电压 V_{read} 比第二电压 V_{r2} 高。

[0034] 图 4 是图解根据另一实施例的在非易失性存储器件中的擦除方法的流程图。参照图 1、2 和 4,以与执行图 2 的方法相反的顺序执行图 4 的方法。即在图 2 的方法中,伪存储单元 DC1 和 DC2 首先在 S210 被后编程,然后在 S220 被验证。其后,普通存储单元 C0、...、C31 在 S230 被后编程,然后在 S240 被验证。然而,在图 4 的方法中,普通存储单元 C0、...、C31 首先在 S410 被后编程,并且在 S420 验证普通存储单元 C0、...、C31 的阈值电压是否大于或等于第二电压。在普通存储单元 C0、...、C31 被后编程和验证后,在 S430,伪存储单元 DC1 和 DC2 被后编程,然后在 S440 验证伪存储单元 DC1 和 DC2 的阈值电压是否大于或等于

第一电压。图 4 的方法的操作与图 2 的方法的操作相同,因而在这里省略详细描述。

[0035] 图 5 是图解根据另一实施例的在非易失性存储器件中的擦除方法的流程图。图 6 是图解在根据图 5 的方法执行后编程时的电压状态的示例的表。参照图 1、5 和 6,在图 5 的实施例中,执行后编程以便每个伪存储单元 DC1 和 DC2 具有不同的阈值电压。即在 S510,连接到第一伪字线 DWL1 的第一伪存储单元 DC1 首先被后编程。编程电压 V_{pgm} 被施加到第一伪字线 DWL1,而通过电压 V_{pass} 被施加到第二伪字线 DWL2 和普通字线 WL0、...、WL31。在完成编程后,在 S520 验证第一伪存储单元 DC1 的阈值电压是否大于或等于第一电压 V_{r1}' 。也就是说,第一电压 V_{r1}' 被施加到第一伪字线 DWL1,而第四电压 V_{read} 被施加到第二伪字线 DWL2 和普通字线 WL0、...、WL31。在一实施例中,第四电压 V_{read} 可以与参照图 3 描述的第三电压 V_{read} 相等。

[0036] 如果在 S520 确定第一伪存储单元 DC1 的阈值电压小于第一电压 V_{r1}' ,则第一伪存储单元 DC1 在 S510 被再次后编程。如果在 S520 确定第一伪存储单元 DC1 的阈值电压大于或等于第一电压 V_{r1}' ,则在 S530,第二伪存储单元 DC2 被后编程。

[0037] 当在 S530 对第二伪存储单元 DC1 后编程时,编程电压 V_{pgm} 被施加到第二伪字线 DWL2,而通过电压 V_{pass} 被施加到第一伪字线 DWL1 和普通字线 WL0、...、WL31。在编程后,在 S540 验证第二伪存储单元 DC2 的阈值电压是否大于或等于第二电压 V_{r2}' 。在 S540,通过后编程第二伪存储单元 DC2 得到的第二电压 V_{r2}' 与第一电压 V_{r1}' 不同。第二电压 V_{r2}' 被施加到第二伪字线 DWL2,并且第四电压 V_{read} 被施加到第一伪字线 DWL1 和普通字线 WL0、...、WL31。

[0038] 如果在 S540 确定第二伪存储单元 DC2 的阈值电压小于第二电压 V_{r2}' ,则在 S530 第二伪存储单元 DC2 被再次后编程。如果在 S540 确定第二伪存储单元 DC2 的阈值电压大于或等于第二电压 V_{r2}' ,则在 S550 普通存储单元 C0、...、C31 被后编程。

[0039] 可以与图 2 方法相似的方式执行在 S550 对普通存储器单元 C0、...、C31 的后编程以及在 S560 对它们的验证,并且因此其描述被省略。在一实施例中,在图 6 中图解的第三电压 V_{r3}' 与图 2 中的第二电压 V_{r2} 相等。

[0040] 在图 5 的方法中,第一伪存储单元 DC1、第二伪存储单元 DC2 以及普通存储单元被顺序后编程和验证,但是对于本领域普通技术人员来说很明显即使后编程和验证的顺序被改变,也可以获得相同的效果。

[0041] 图 7 是图解根据另一实施例的在非易失性存储器件中的擦除方法的流程图。参照图 1、3 和 7,在图 7 的方法中,在 S710,普通存储单元 C0、...、C31 和伪存储单元 DC1、DC2 可以被同时后编程。例如,编程电压 V_{pgm} 被施加到伪字线 DWL1、DWL2 和普通字线 WL0、...、WL31。

[0042] 在后编程后,在 S720 验证是否成功地对伪存储单元 DC1、DC2 和普通存储单元 C0、...、C31 执行了编程。例如,验证伪存储单元 DC1、DC2 的阈值电压是否大于或等于第一电压 V_{r1} ,以及普通存储单元 C0、...、C31 的阈值电压是否大于或等于第二电压 V_{r2} 。为了验证伪存储单元 DC1、DC2,第一电压 V_{r1} 被施加到伪字线 DWL1、DWL2,而第三电压 V_{read} 被施加到普通字线 WL0、...、WL31。为了验证普通存储单元 C0、...、C31,第二电压 V_{r2} 被施加到普通字线 WL0、...、WL31,而第三电压 V_{read} 被施加到伪字线 DWL1、DWL2。

[0043] 如果在 S720 确定一些存储单元的阈值电压小于期望阈值电压,则这些存储单元

可以被再次后编程。即在 S730, 在 S720 未通过验证的存储单元被再次后编程。在 S740 中, 在 S730 中被后编程的存储单元被再次验证, 从而确定在 S730 后编程的存储单元的阈值电压是否大于或等于期望阈值电压。基于在 S740 的验证, 阈值电压小于期望阈值电压的存储单元可以在 S730 被再次后编程并且在 S740 中被验证。

[0044] 在一实施例中, 在 S730 被再次后编程的存储单元可以根据存储单元的类型而分组。例如, 如果在 S720 确定伪存储单元 DC1、DC2 的阈值电压大于或等于第一电压 V_{r1} , 但是至少一个普通存储单元 C0、...、C31 的阈值电压小于第二电压 V_{r2} , 则仅普通存储单元 C0、...、C31 在 S730 被再次后编程, 相似的, 如果仅伪存储单元 DC1 的阈值电压不大于第一电压 V_{r1} , 则仅伪存储单元 DC1 在 S730 被再次后编程。

[0045] 结果, 仅具有低阈值电压的存储单元将被再次后编程。此外, 在 S730 接下来被成功地后编程的存储单元不需要后编程。例如, 在 S730 的第一执行中, 伪存储单元 DC1 和普通存储单元 C0、...、C31 被后编程。然而, 如果普通存储单元 C0、...、C31 被成功地后编程, 而伪存储单元 DC1 没有被成功地后编程, 则仅伪存储单元 DC1 将要在 S730 的第二执行中被再次后编程。

[0046] 图 8 是图解根据另一实施例的在非易失性存储器件中的擦除方法的流程图。参考图 1 以及 6 到 8, 在图 8 的方法中, 执行后编程以便伪存储单元 DC1、DC2 的每一个能够具有不同的阈值电压。与上面参照图 7 描述的实施例相似, 在 S810, 普通存储单元 C0、...、C31、第一伪存储单元 DC1 和第二伪存储单元 DC2 同时被后编程。然而, 在这个实施例中, 第一伪存储单元 DC1 和第二伪存储单元 DC2 被后编程以分别具有大于或等于第一电压 V_{r1}' 和第二电压 V_{r2}' 的阈值电压。

[0047] 与 S720 相似, 在 S820, 验证是否成功地后编程了第一伪存储单元 DC1、第二伪存储单元 DC2 和普通存储单元 C0、...、C31。例如, 确定第一伪存储单元 DC1 的阈值电压是否大于或等于第一电压 V_{r1}' , 第二伪存储单元 DC2 的阈值电压是否大于或等于第二电压 V_{r2}' , 以及普通存储单元 C0、...、C31 的阈值电压是否大于或等于第三电压 V_{r3}' 。在一实施例中, 将通过后编程第二伪存储单元 DC2 得到的第二电压 V_{r2}' 与第一电压 V_{r1}' 不同。第三电压 V_{r3}' 可以与上面参照图 3 描述的第二电压 V_{r2} 相等。

[0048] 与 S730 相似, 如果在 S820 确定存储单元的阈值电压小于相关的第一、第二或第三电压 V_{r1}' 、 V_{r2}' 或 V_{r3}' , 则这些存储单元可以在 S830 被再次后编程。在 S830 后编程的存储单元可以在 S840 被验证。然而, 在 S830 的后编程和在 S840 的验证是不同的, 这是因为对于每一伪存储单元 DC1 和 DC2 可以使用不同的阈值电压。与 S730 和 S740 相似, 可以对没有被成功后编程的存储单元重复 S830 和 S840。

[0049] 图 9A 是图解根据传统方法的存储单元的阈值电压 V_{th} 的分布的曲线图。参照图 1 和 9A, 在主擦除之后, 普通存储单元 C0、...、C31 和伪存储单元 DC1、DC2 的阈值电压 V_{th} 有如 (a) 指示的分布。因为传统的, 不加区别地对普通存储单元 C0、...、C31 和伪存储单元 DC1、DC2 执行后编程, 所以在后编程后, 普通存储单元 C0、...、C31 和伪存储单元 DC1、DC2 的阈值电压 V_{th} 的分布如 (b) 指示的变化。

[0050] 图 9B 是图解根据一实施例的、按照图 2、4 或 7 的方法的存储单元的阈值电压 V_{th} 的分布示例的曲线图。在这种情况下, 参照图 1 和 9B, 在主擦除后, 普通存储单元 C0、...、C31 和伪存储单元 DC1、DC2 有如 (a) 指示的分布, 与图 9A 的 (a) 相似。然而, 在当前实施

例中,由于普通存储单元 C0、...、C31 和伪存储单元 DC1、DC2 被分别后编程,所以在后编程后,普通存储单元 C0、...、C31 的阈值电压 V_{th} 的分布如 (b) 指示的改变。同样,伪存储单元 DC1、DC2 的阈值电压 V_{th} 如 (c) 所指示的改变。

[0051] 图 9C 是图解根据另一实施例的、按照图 5 或 8 的方法的存储单元的阈值电压 V_{th} 的分布示例的曲线图。参照图 1 和 9C,在主擦除后,普通存储单元 C0、...、C31 和伪存储单元 DC1、DC2 有如 (a) 例示的分布,与图 9A 的 (a) 相似。然而,在这个实施例中,由于普通存储单元 C0、...、C31、第一伪存储单元 DC1 和第二伪存储单元 DC2 被分别后编程,所以在后编程后,普通存储单元 C0、...、C31 的阈值电压 V_{th} 的分布如 (b) 指示的改变。同样,第一伪存储单元 DC1 的阈值电压 V_{th} 的分布如 (c) 所指示的改变,而第二伪存储单元 DC2 的阈值电压 V_{th} 的分布如 (d) 所指示的改变。

[0052] 如上所述,在根据一实施例的非易失性存储器件中的擦除方法中,连接到普通字线的普通存储单元和连接到伪字线的伪存储单元被分别后编程。因此,结点电位增加由此提高单元的可靠性和防止普通存储单元由于伪存储单元的接通而被编程。

[0053] 另一个实施例包括在非易失性存储器件中的、通过分别执行对连接到普通字线的普通存储单元和连接到伪字线的伪存储单元的后编程的擦除方法。

[0054] 另一个实施例包括在具有多条普通字线和多条伪字线的非易失性存储器件中的后编程的擦除方法。该方法包括:后编程连接到所述多条伪字线的伪存储单元;验证所述伪存储单元的阈值电压是否大于或等于第一电压;后编程连接到所述多条普通字线的普通存储单元;并且验证所述普通存储单元的阈值电压是否大于或等于第二电压。所述第一电压与所述第二电压不同。在一实施例中,所述第一电压可以比所述第二电压高。

[0055] 如果确定所述伪存储单元的阈值电压小于所述第一电压,则所述伪存储单元可以被再次后编程。如果确定所述普通存储单元的阈值电压小于所述第二电压,则所述普通存储单元可以被再次后编程。

[0056] 所述伪存储单元的后编程可以包括:施加编程电压到所述多条伪字线,以便后编程所述伪存储单元;并且施加通过电压到所述多条普通字线,以便不对所述普通存储单元后编程。

[0057] 所述普通存储单元的后编程可以包括:施加编程电压到所述多条普通字线,以便后编程所述普通存储单元;并且施加通过电压到所述多条伪字线,以便不对所述伪存储单元后编程。

[0058] 验证所述伪存储单元的阈值电压是否大于或等于所述第一电压可以包括:施加所述第一电压到所述多条伪字线;并且施加第三电压到所述多条普通字线。所述第三电压比所述第一电压和第二电压高。

[0059] 验证所述普通存储单元的阈值电压是否大于或等于所述第二电压可以包括:施加所述第二电压到所述多条普通字线;并且施加第三电压到所述多条伪字线。其中,所述第三电压比所述第一电压和第二电压高。

[0060] 另一个实施例包括在具有多条普通字线和多条伪字线的非易失性存储器件中的后编程的擦除方法。该方法包括:后编程连接到所述多条普通字线的普通存储单元;验证所述普通存储单元的阈值电压是否大于或等于第二电压;后编程连接到所述多条伪字线的伪存储单元;并且验证所述伪存储单元的阈值电压是否大于或等于第一电压。其中,所述第

一电压与所述第二电压不同。

[0061] 另一实施例包括在具有多条普通字线、第一伪字线 and 第二伪字线的非易失性存储器件中的后编程的擦除方法。该方法包括：后编程连接到所述第一伪字线的第一伪存储单元；验证所述第一伪存储单元的阈值电压是否大于或等于第一电压；后编程连接到所述第二伪字线的第二伪存储单元；验证所述第二伪存储单元的阈值电压是否大于或等于第二电压；后编程连接到所述多条普通字线的普通存储单元；并且验证所述普通存储单元的阈值电压是否大于或等于第三电压。其中，所述第三电压与所述第一电压和第二电压不同。

[0062] 另一实施例包括在具有多条普通字线 and 多条伪字线的非易失性存储器件中的后编程的擦除方法。该方法包括：后编程连接到所述多条普通字线的普通存储单元和连接到所述多条伪字线的伪存储单元；验证所述伪存储单元的阈值电压是否大于或等于第一电压；并且验证所述普通存储单元的阈值电压是否大于或等于第二电压。其中，所述第一电压与所述第二电压不同。

[0063] 另一实施例包括在具有多条普通字线、第一伪字线 and 第二伪字线的非易失性存储器件中的后编程的擦除方法，该方法包括：后编程连接到所述多条普通字线的普通存储单元、连接到第一伪字线的第一伪存储单元和连接到第二伪字线的第二伪存储单元；验证所述第一伪存储单元的阈值电压是否大于或等于第一电压；验证所述第二伪存储单元的阈值电压是否大于或等于第二电压；并且验证所述普通存储单元的阈值电压是否大于或等于第三电压。所述第三电压与所述第一电压和所述第二电压不同。

[0064] 尽管上面已经描述了伪存储单元 DC1 和 DC2 和普通存储单元 C0、...、C31 的后编程以及阈值电压的验证的特定顺序，但是该顺序可以根据需要改变。例如，第一伪存储单元 DC1 可以被后编程，然后验证。接着，可以后编程第二伪存储单元 DC2 和普通存储单元 C0、...、C31，其后验证第二存储单元 CD2 和普通存储单元 C0、...、C31 的阈值电压。可以执行后编程和后续验证的任何组合。

[0065] 虽然已经参照附图具体展示和描述了多个实施例，但是本领域普通技术人员应当理解，在不背离随后的权利要求所限定的精神和范围的情况下，可以在其中进行形式和细节上的各种改变。

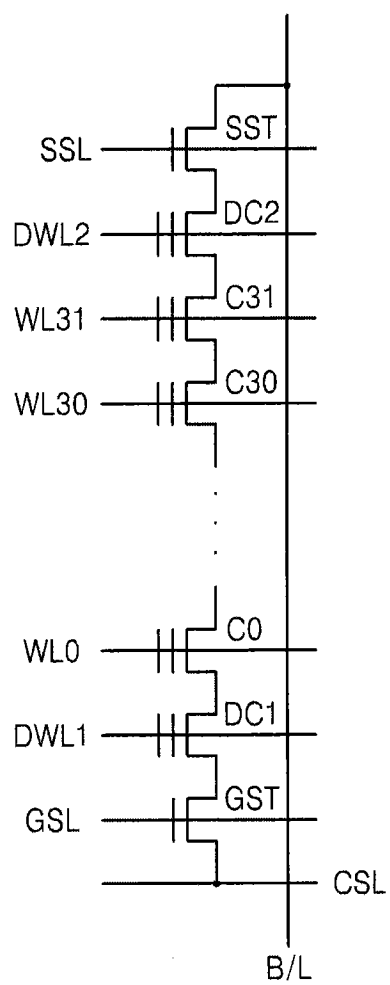


图 1

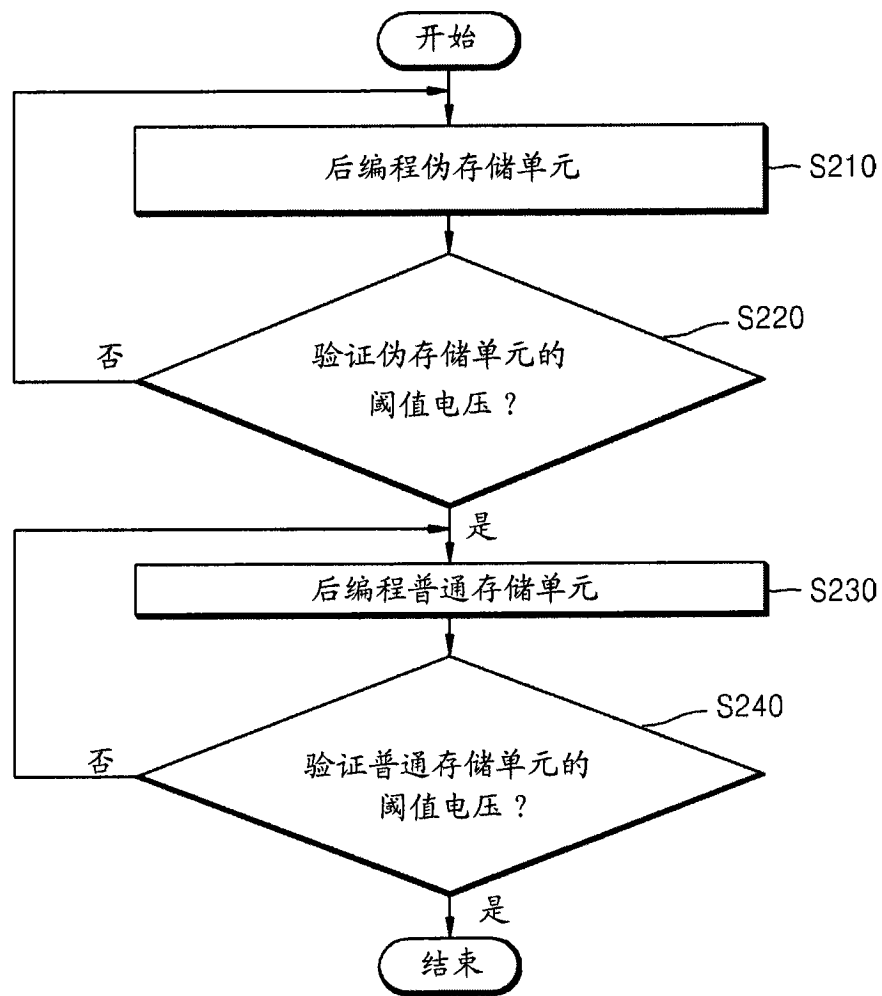


图 2

信号	DWL 后编程	WL[31:0] 后编程	DWL 验证	WL[31:0] 验证
DWL1,2	Vpgm	Vpass	Vr1	Vread
WL[31:0]	Vpass	Vpgm	Vread	Vr2

图 3

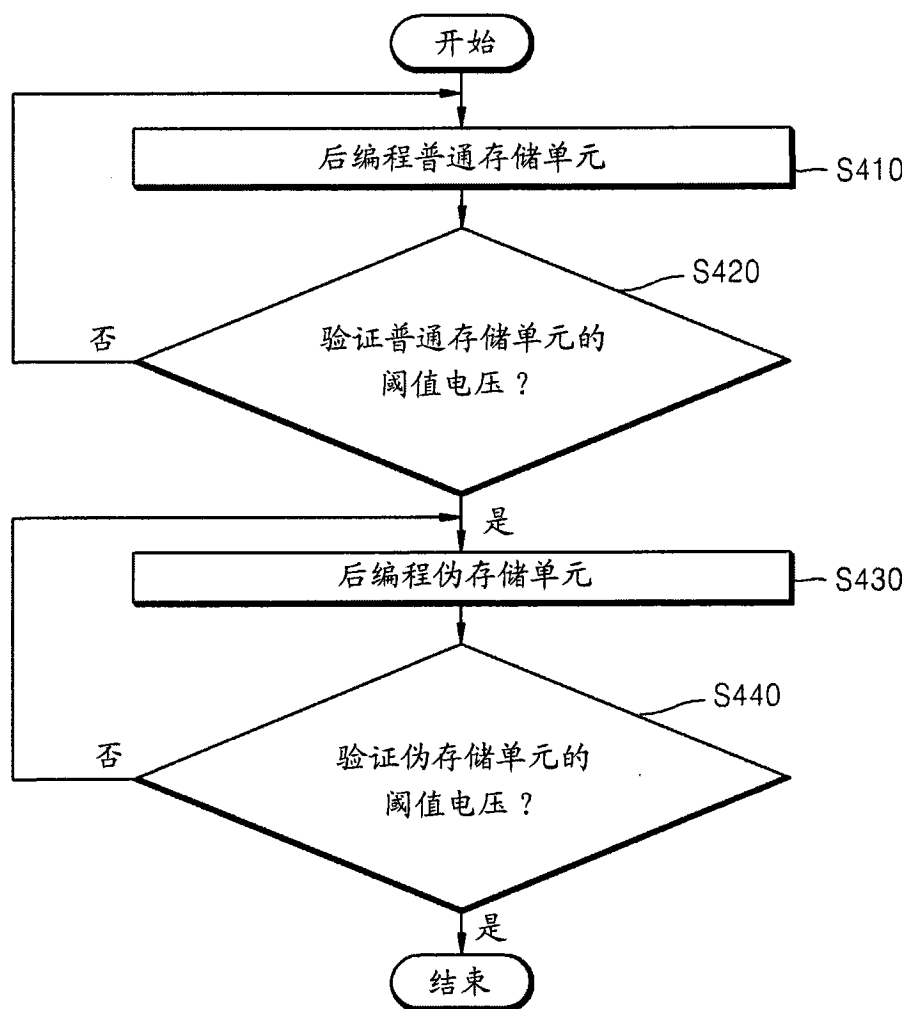


图 4

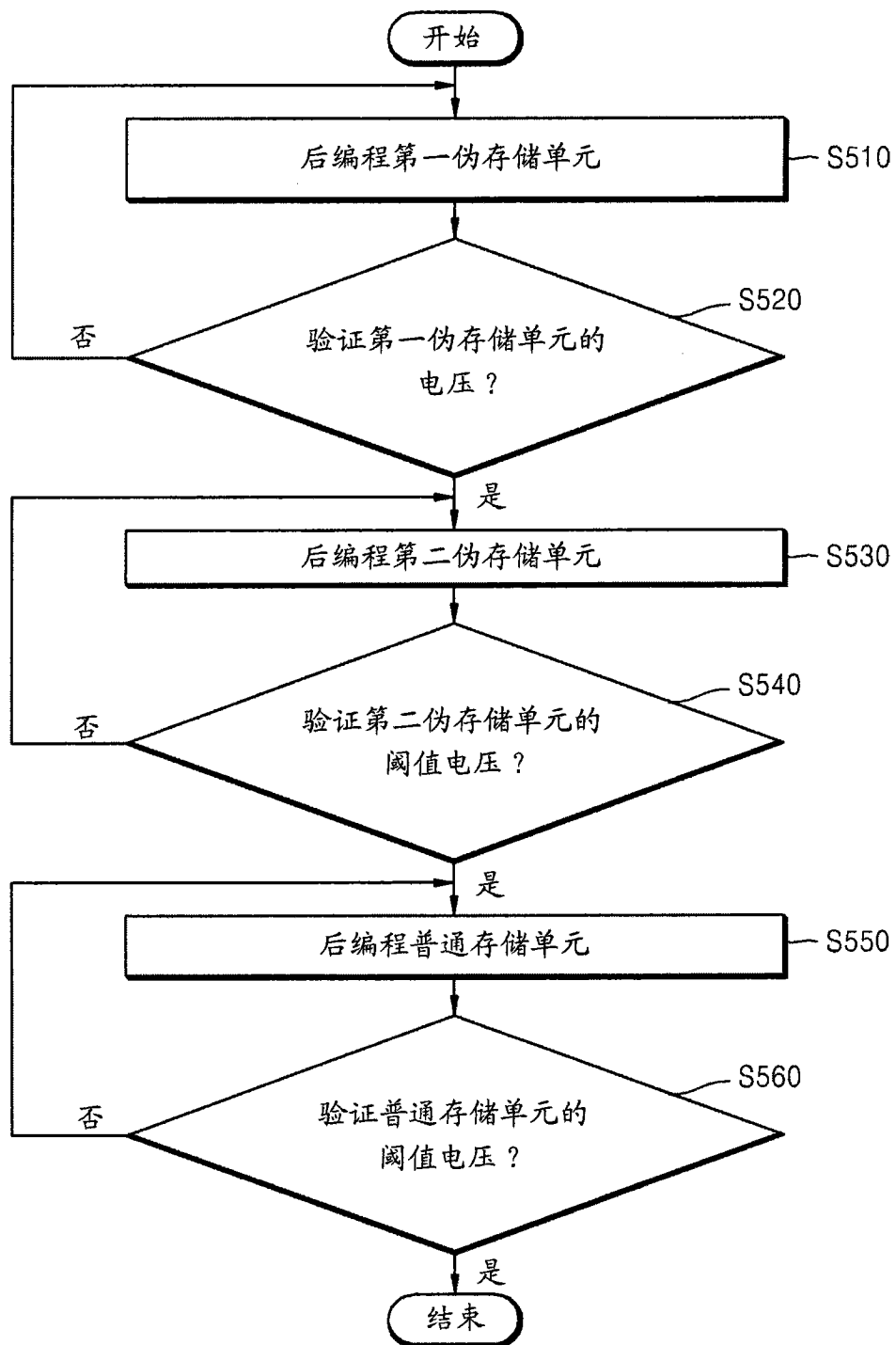


图 5

信号	DWL1 后编程	DWL2 后编程	WL[31:0] 后编程	DWL1 验证	DWL2 验证	WL [31:0] 验证
DWL1	Vpgm	Vpass	Vpass	Vr1'	Vread	Vread
DWL2	Vpass	Vpgm	Vpass	Vread	Vr2'	Vread
WL[31:0]	Vpass	Vpass	Vpgm	Vread	Vread	Vr3'

图 6

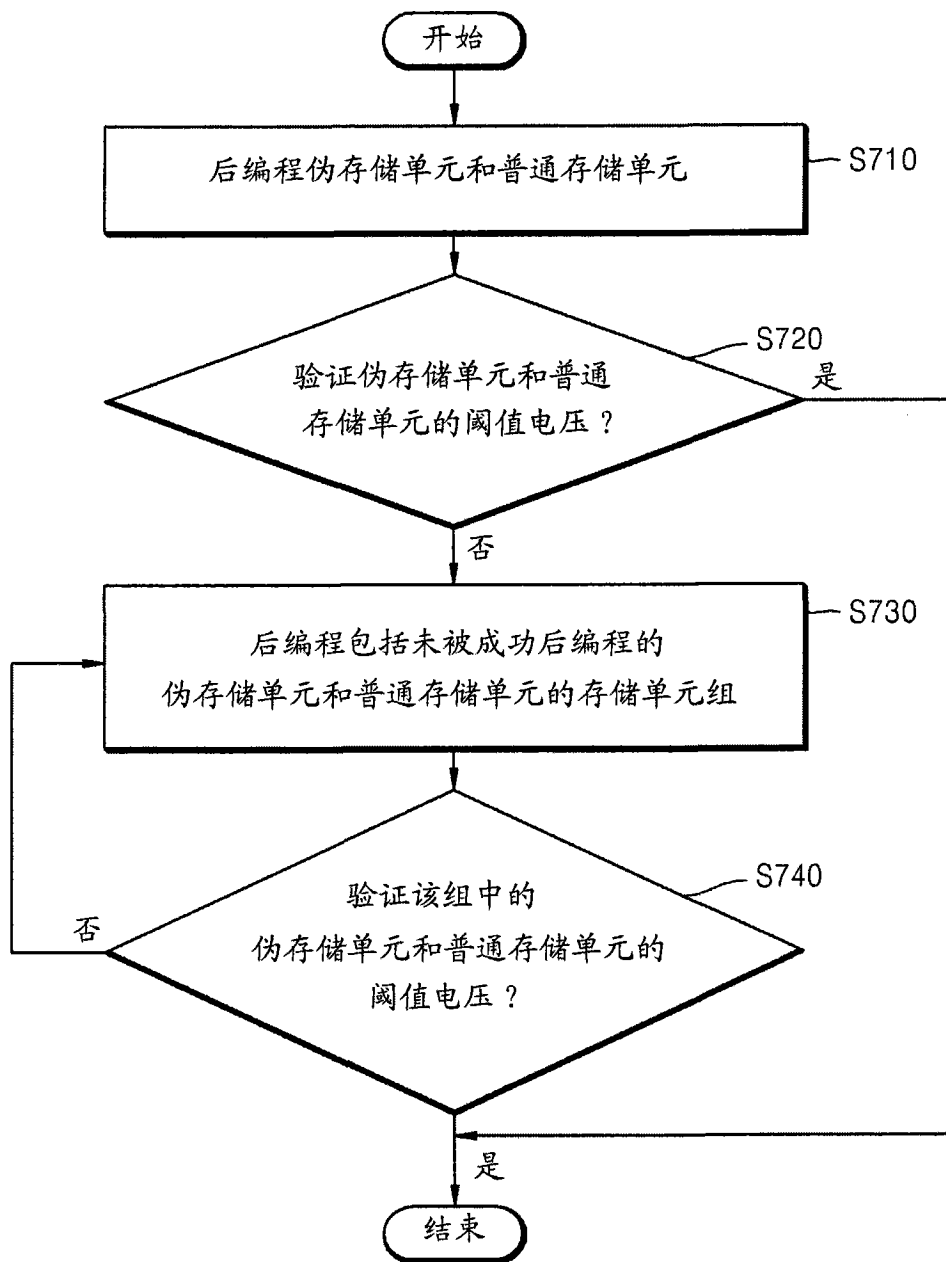


图 7

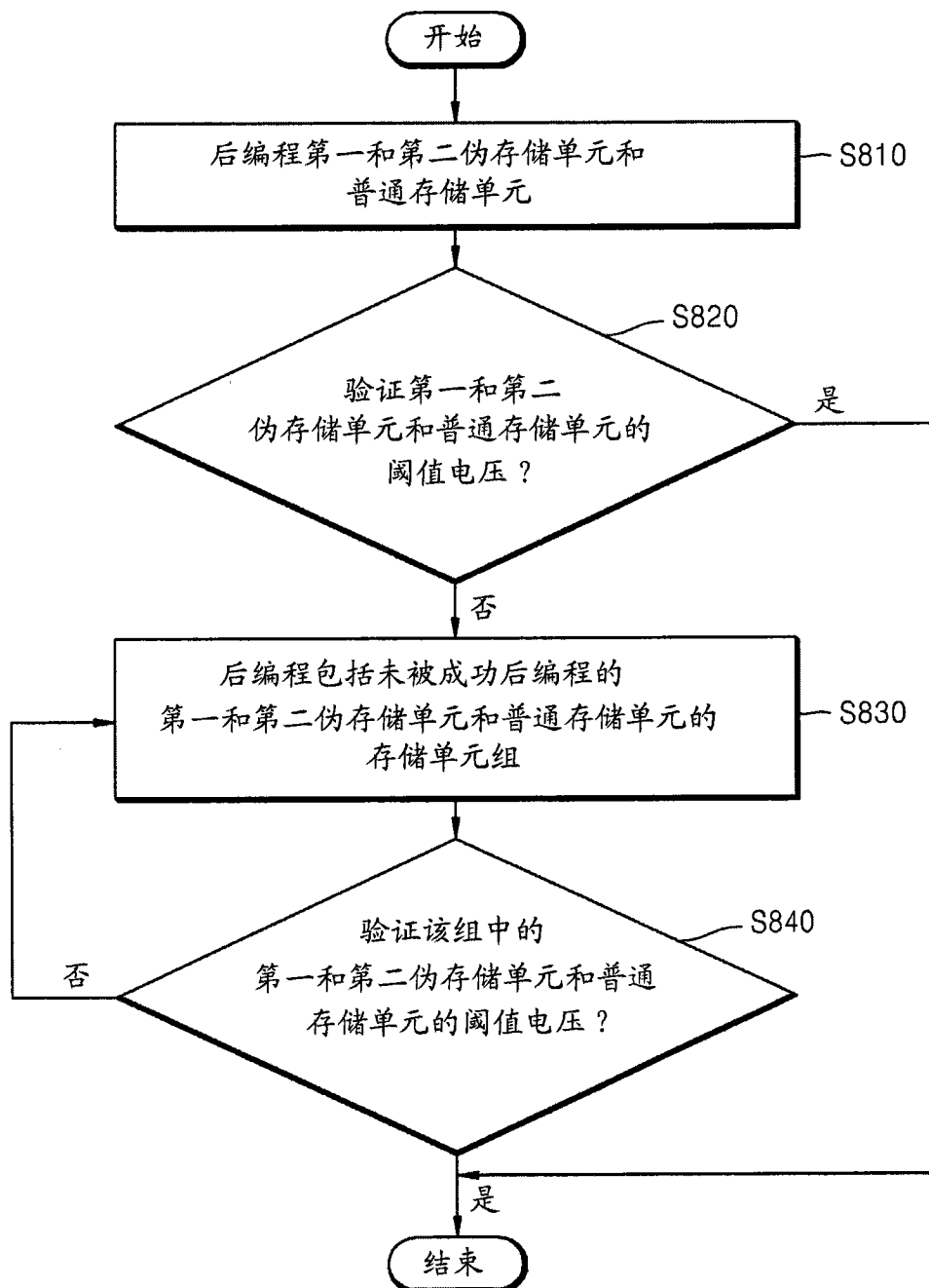


图 8

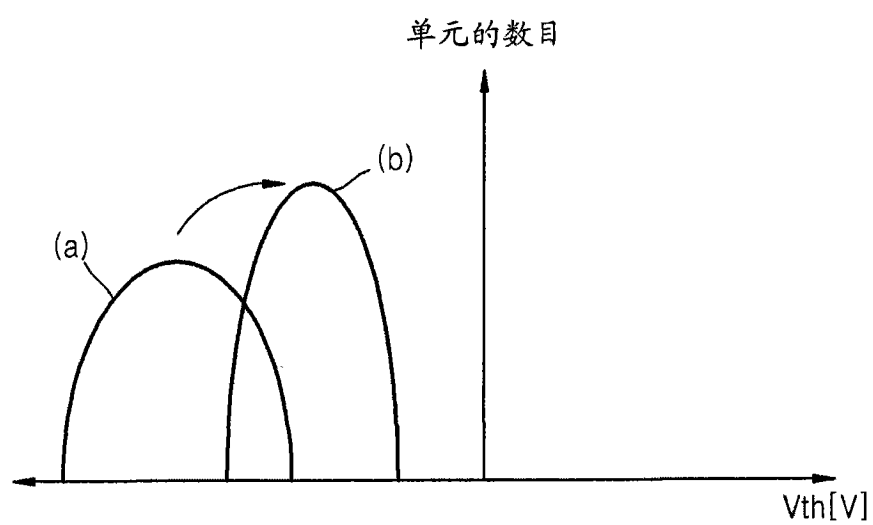


图 9A

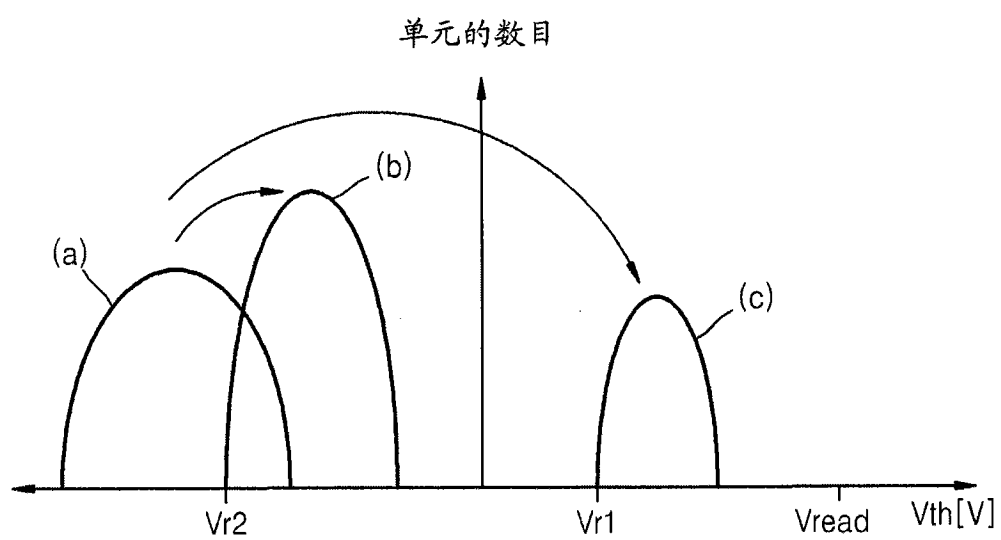


图 9B

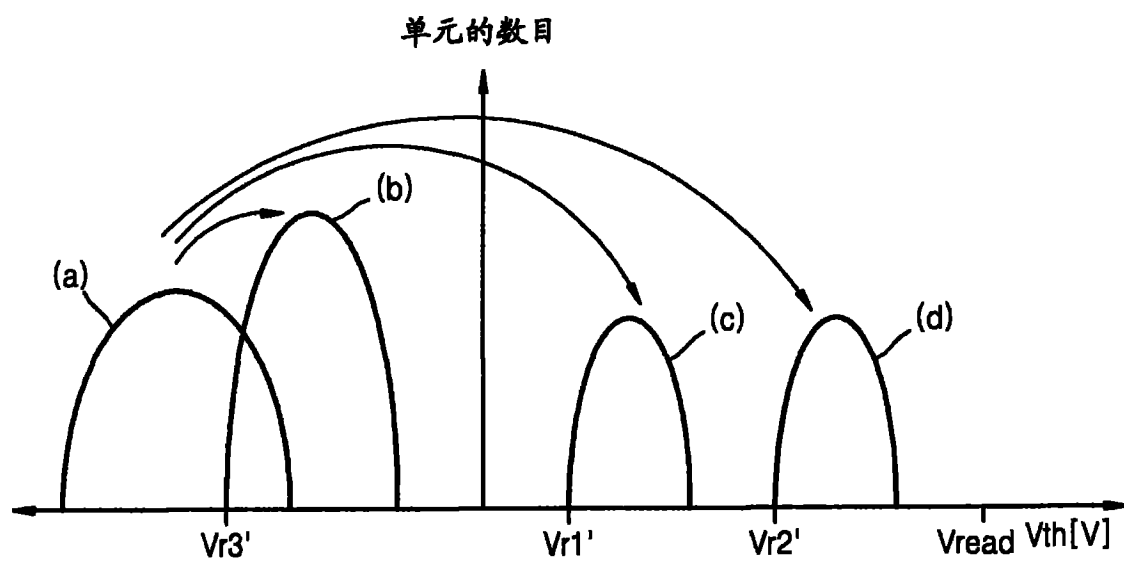


图 9C