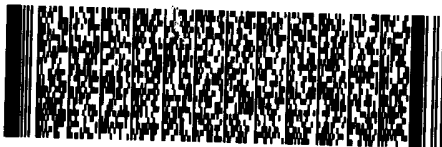


申請日期:	87.11.26	案號:	87119676
類別:	140/L 27/08		

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	溝槽電容製造方法
	英文	406405
二、 發明人	姓名 (中文)	1. 蔡幸川 2. 李培瑛
	姓名 (英文)	1. 2.
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北市永吉路30巷167弄28-1號 2. 台北縣林口長庚醫護社區401號4樓
三、 申請人	姓名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣蘆竹鄉南崁路一段336號
	代表人 姓名 (中文)	1. 王永慶
	代表人 姓名 (英文)	1.



五、發明說明 (1)

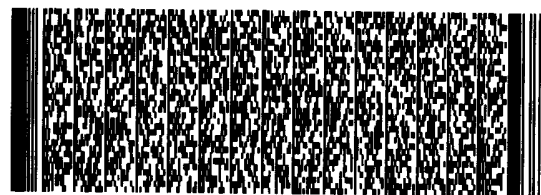
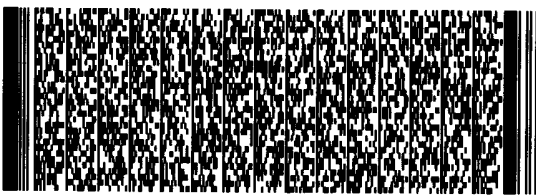
本發明係有關於電容之製造方法，特別是有關於用於動態隨機記憶單元之溝槽電容之製造方法。

隨積體電路被廣泛地運用，因應不同使用目的而相繼生產出更高效能與更低廉價格之各類半導體元件。其中，動態隨機存取記憶體 (Dynamic Random Access Memory) 在現今資訊電子業中具有不可或缺的地位。現今生產線上大多數動態隨機存取記憶單元 (Cell) 由一電晶體

(Transistor) 與一電容所組成。如第1圖所示為一動態存取記憶單元之結構圖，一NMOS電晶體10之汲極 (Drain) 與一電容20之一儲存電極 (Storage Electrode) 相連接，NMOS電晶體之閘極 (Gate) 連接至一字元線 (Word Line) WL，且其源極 (Source) 與一位元線 (Bit Line) BL相連接。此外，電容之一相對儲存電極 (Opposed Electrode) 與一固定電壓源相連接，而在儲存電極與相對電極間存在含介電材質 (Dielectric) 之一介電層。通常利用NMOS電晶體之開啟與關閉可以操作電容儲存或釋放電荷的狀態，以產生記憶單元的記憶邏輯準位的功能。

在記憶容量為一百萬位元 (1MB) 以下之動態隨機記憶存取記憶體之製程中，大都採用平坦型電容

(Planar-Type Capacitor) 以存取資料，因此類電容之結構為二度空間型態，必須大量地佔佈半導體基底面積形成儲存電容，以供給足夠電容量。但由於目前資訊電子市場對動態隨機存取記憶體之記憶容量與日遽增，在元件積集度激增的情況下需縮小記憶單元之尺寸。因此，記憶單



五、發明說明 (2)

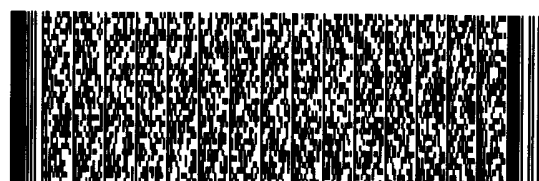
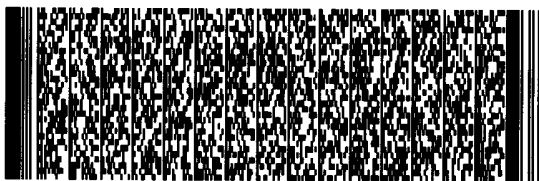
元中電容之儲存電極面積亦需隨之減小，此舉將會降低電容之電量儲存效能，故上述平坦型電容之結構型態並無法滿足日益趨向高度積集化之動態隨機存取記憶體之結構要求。

為解決上述高度積集化之製程所衍生之問題，三度空間佔佈型態之電容被提出。常見的有溝槽型電容

(Trench-Type Capacitor) 與堆疊型電容

(Stacked-Type Capacitor)。其中，溝槽型電容之相關習知技術已揭露於美國專利公報第5395786號、第5658816號以及L. Nesbit, et al., "A 0.6 μm 256Mb Trench DRAM Cell With Self-aligned Buried Strap (BEST)", 1993 IEDM, pp. 627-630, 1993. 等文獻中。利用此類電容之製程技術可大量地減少電容於半導體基底上所佔佈之面積，並達成高度積集化的目的。在溝槽電容之製程中，大多會採用絕緣體（如氧化矽/氧化氮層或氧化矽/氧化氮/氧化矽層等）與導體（如摻雜濃摻雜N型雜質之複晶矽等）以多次沈積與蝕刻的方式完成其結構。一般而言，首先會利用光阻劑於半導體基底表面上形成一罩幕，利用預定圖像蝕刻光阻劑層以及半導體基底，於其上產生溝槽。接著依序於溝槽中形成儲電電極層與介電層。最後，以導體材質填滿溝槽而形成溝槽電容。

在L. Nesbit, et al., "A 0.6 μm 256Mb Trench DRAM Cell With Self-aligned Buried Strap (BEST)", 1993 IEDM, pp. 627-630, 1993. 所述溝槽電容之製程技



五、發明說明 (3)

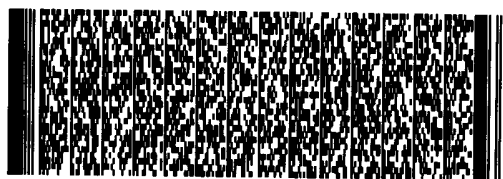
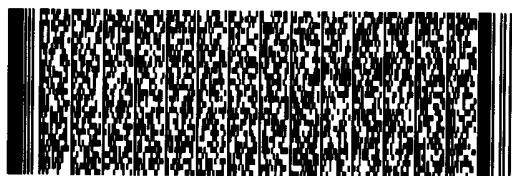
術中，請參照第2a~2f圖所示，為在半導體基底上形成一動態隨機存取記憶單元中一溝槽電容之製造流程。如第2a圖所示，在一P-型半導體基底200上有一磊晶層210形成，並於該磊晶層210上依序形成一氧化矽層220與一氮化矽層221。首先，利用光阻劑形成罩幕，並利用預定圖形蝕刻出一第一溝槽230，該溝槽230之底部深入至該P-半導體基底200中。

接著，如第2b所示，利用離子擴散方式將砷趨入該溝槽230底部之內壁中形成一儲存電極層240，其中該儲存電極層240將作為該溝槽電容之一電極板。然後沈積氧化矽/氮化矽(ON)形成一介電層250，並形成該介電層250中之一第二溝槽231。

然後，如第2c圖所示，將濃摻雜砷之複晶矽沈積於該溝槽231中，經由平坦化處理後進行蝕刻以形成一第一導電層260。接著，以該氮化層221為罩幕對該介電層250之裸露部分進行蝕刻形成一介電層250'，用以作為該溝槽電容其兩電極板間之絕緣體。在此同時形成一第三溝槽232。

第2d圖所示為於第2c圖中所示之該第三溝槽232中形成一環狀絕緣層270與一第二導電層261。該環狀絕緣層270為氧化矽沈積，用以作為絕緣隔離以防止漏電流產生。該第二導電層261則為濃摻雜砷之複晶矽之沈積。

接著分別對該環狀絕緣層270與該第二導電層261進行選擇性地蝕刻，結果如第2e圖所示，於部分該第三溝槽



五、發明說明 (4)

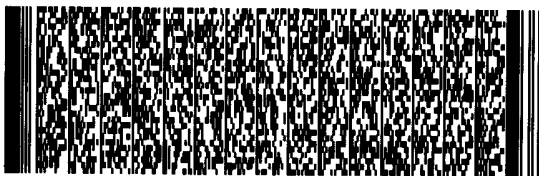
232 中形成一環狀絕緣層270' 與一部分第二導電層261'。

特別提出的是在此步驟中，由於需分別對兩種不同材質進行蝕刻，因此必須設定兩次適當的蝕刻深度以形成如第2e圖所示之一第四溝槽233。

最後，如第2f圖所示，將濃摻雜砷之複晶矽沈積於如第2e圖所示之該第四溝槽233中以形成一第三導電層262，然後完成該溝槽電容之結構。

然而在上述對第2d圖中所示之該環狀氧化層270與該導電層261分別進行選擇性蝕刻時，不論是利用等向性或非等向性蝕刻，在製程技術上需對上述兩次蝕刻分別進行蝕刻深度之預測，此將增加製程上的難度。同時，在執行蝕刻前需要附帶地利用兩次微影製程形成光阻罩幕層。此外，在蝕刻該環狀氧化層270時，若蝕刻深度越過該磊晶層210之深度而進入該半導體基底200，接著形成如第2f圖所示之該第四導電層262後，其會使該溝槽電容之兩電極板之間之儲存電荷越過該絕緣層270'而產生漏電流，對電容儲存電量之效能產生不利地影響。

因此，本發明之一目的，在於提供一種溝槽電容之製造方法，相較於上述習知技術可減少一次微影製程以及一次蝕刻深度之預測，降低製程生產成本，並可確保防止於溝槽電容中產生漏電流。本發明中關於製造溝槽電容方法之步驟包括：首先提供一半導體基底；形成一第一溝槽於該半導體基底，其中，此第一溝槽伸入該半導體基底至一既定深度；接著形成一電極層，其圍繞於第一溝槽內壁



五、發明說明 (5)

上；形成一介電層於電極層上；形成一第一導電層，其置於部分第一溝槽中，並於其上產生一第二溝槽；形成一絕緣層，其置於部分第二溝槽中，並於其上產生一第三溝槽；形成一第二導電層，其環繞於第三溝槽之內壁；以第二導電層為罩幕，選擇性地蝕刻絕緣層至該第一導電層之表面為止，並於第一導電層上形成一第四溝槽；最後形成一第三導電層於第四溝槽中，完成溝槽電容之製作。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖示之簡單說明：

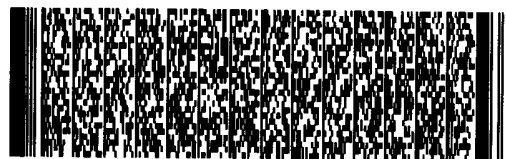
第1圖係顯示為一動態隨機存取記憶單元之電路結構圖。

第2a~2f圖係顯示習知技術中關於製造溝槽電容方法之步驟。

第3a~3k圖係顯示本發明中關於製造溝槽電容方法之步驟。

符號說明：

10~NMOS電晶體；20~電容；WL~字元線；BL~位元線；200、300~半導體基底；210、310~磊晶層；220、320~氧化矽層；221、330~氮化矽層；230、340~第一溝槽；231、341~第二溝槽；232、342~第三溝槽；233、343~第四溝槽；240、350~儲存電極層；250、360~介電層；250'~部分介電層；260、370~第一導電層；260'~部分第



五、發明說明 (6)

一導電層；261、371~第二導電層；261'~部分第二導電層；262、372~第三導電層；270~環狀絕緣層；270'~部分環狀絕緣層；341'~溝槽；360'~部分介電層；371'~第一間隙壁；380~絕緣層；380'~第二間隙壁。

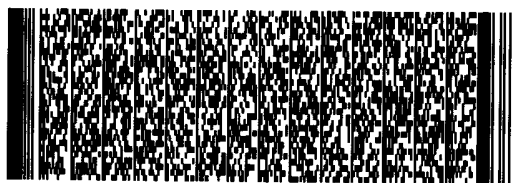
實施例

以下為根據本發明之製造方法於一半導體基底中形成一溝槽電容。

首先，請參照第3a圖，提供一半導體基底300，該半導體基底300可為濃摻雜形式之複晶矽基底。接著，依序在該半導體基底300上形成一磊晶層310、一氧化矽層320以及一氮化矽層330。

其次，如第3b圖所示，經微影與蝕刻製程後，在一預定溝槽處之基底表面上形成一蝕刻窗口，再以該氮化層330為蝕刻罩幕，利用如非等向性蝕刻等蝕刻技術去除裸露之該氧化層320之表面，並進一步地向下蝕刻該磊晶層310與該半導體基底300，形成一第一溝槽340。該溝槽之深度可依實際需求加以設計，一般此類蝕刻深度約在數 μm 之間，如16Mb DRAM約為6~7 μm 。

同樣地，如上述習知技術之接續步驟，請參照第3c圖所示，利用離子擴散製程將如砷之N型離子趨入該溝槽340底部之內壁中形成一電極層350，其目的係利用該電極層350形成一溝槽電容之一電極板以儲存電荷。第3d圖所示係為沈積一介電層360於該第一溝槽340之內壁上，該介電層360可使用如氧化矽/氮化矽(ON)或是氧化矽/氮化矽/



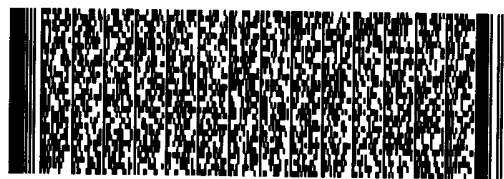
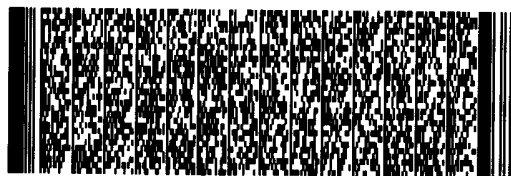
五、發明說明 (7)

氧化矽 (ON0) 等相似之介電材質加以形成，該介電層之 T_{ox} 厚度大約在40~60埃之間。

接著，於該基底表面沈積摻雜如砷之N型離子之複晶矽，並填滿該溝槽340。經由微影及蝕刻製程後，於部分該第一溝槽340中形成如第3e圖所示之一第一導電層370，該第一導電層厚度大約在2000~3000埃之間，並於該第一導電層上形成一第二溝槽341。然後如第3f圖所示，利用蝕刻製程將裸露於該基底表面之部分該介電層360移除而形成一介電層360'，同時產生一溝槽341'。

第3g圖所示係為在部分該溝槽341'中與該第一導電層370與該介電層360'上沈積並蝕刻成一絕緣層380。在此步驟中可採用如低壓/高密度之化學氣相沈積法將絕緣材質如氧化矽等沈積以形成該絕緣層380，並於其上形成一第三溝槽342。一般而言，該絕緣層380之厚度大約於5000~10000埃之間。然後，請參照第3h圖，將如摻雜N型複晶矽等導電材質沈積於該基底表面，並填滿該第三溝槽342，或亦可如第3h'圖所示部分填滿該第三溝槽342以於該第三溝槽342中形成一第二導電層371。

第3i圖與第3j圖係分別顯示對該第二導電層371與該絕緣層380進行蝕刻之結果。在第3i圖中，首先對該第二導電層371進行微影及非等向性蝕刻，接著產生環繞第3g圖中所示該第三溝槽342內壁之一第一間隙壁371'。然後，如第3j圖所示，以該間隙壁371'為罩幕對該絕緣層380進行蝕刻，產生環繞部分該溝槽341'之一第二間隙壁



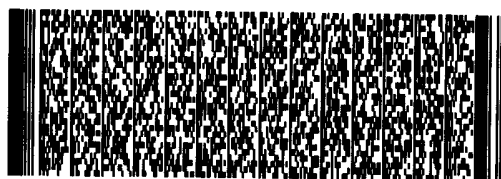
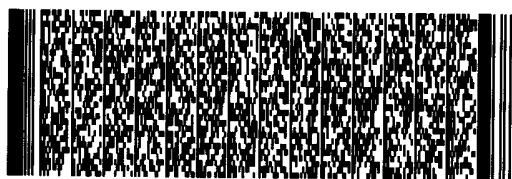
五、發明說明 (8)

380'，同時於兩間隙壁中產生一第四溝槽343。

最後，如第3k圖所示，沈積如摻雜N型雜質之複晶矽之導電物質於該基底表面並填滿該第四溝槽343，接著對該基底表面施行平坦化產生一第三導電層372而形成溝槽電容。

相對於前文所述習知技術中所採用的步驟，為形成與上述相同的兩間隙壁並以導電材質形成該第三導電層，除需施行與本發明相同的蝕刻步驟外，其仍需額外地判定對絕緣層與第二導電層之蝕刻深度以形成如第2c圖所示之該環狀絕緣層270'與該部分第二導電層261'，此將增加半導體製程之難度。但在本發明中，因形成上述兩間隙壁所欲蝕刻之材質並不相同，因此不論採取等向性或非等性蝕刻時，在蝕刻深度之判定上並無如習知技術所遭遇之困擾。此外，在本發明中，利用間隙壁蝕刻技術以該第一間隙壁371'對該絕緣層380進行蝕刻之技術亦較習知技術減少一次微影製程的步驟。因此本發明所揭示之方法相較於習知技術可減製程之困難度。

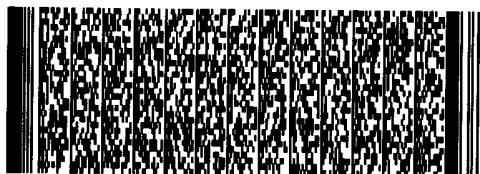
雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：溝槽電容製造方法)

一種溝槽電容之製造方法包括下列步驟：提供一半導體基底；形成至少一第一溝槽於該半導體基底，其中，第一溝槽伸入該半導體基底至既定深度；形成一電極層，其圍繞於第一溝槽內壁上；形成一介電層於電極層上；形成一第一導電層，其置於部分第一溝槽中，並於其上產生一第二溝槽；形成一絕緣層，其置於部分第二溝槽中，並於其上產生一第三溝槽；形成一第二導電層，其環繞於第三溝槽之內壁；以第二導電層為罩幕，選擇性地蝕刻絕緣層至第一導電層之表面為止，並於第一導電層上形成一第四溝槽；以及形成一第三導電層於第四溝槽中。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種溝槽電容之製造方法，其中包括下列步驟：

(a) 提供一半導體基底；

(b) 形成至少一第一溝槽於該半導體基底，其中，該第一溝槽伸入該半導體基底至既定深度；

(c) 形成一電極層，其圍繞於該第一溝槽內壁上；

(d) 形成一介電層於該電極層上；

(e) 形成一第一導電層，其置於部分該第一溝槽中，並於其上產生一第二溝槽；

(f) 形成一絕緣層，其置於部分該第二溝槽中，並於其上產生一第三溝槽；

(g) 形成一第二導電層，其環繞於該第三溝槽之內壁；

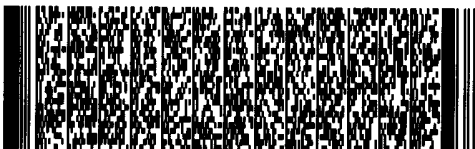
(h) 以該第二導電層為罩幕，選擇性地蝕刻該絕緣層至該第一導電層之表面為止，並於該第一導電層上形成一第四溝槽；以及

(i) 形成一第三導電層於該第四溝槽中。

2. 如申請專利範圍第1項所述之方法，其中步驟(c)該電極層係利用濃摻雜N型離子經由預置及熱趨入方法摻雜至該第一溝槽內壁所形成。

3. 如申請專利範圍第1項所述之方法，其中步驟(d)該介電層係由一氧化矽/氮化矽/氧化矽層(ONO)所構成，其 T_{ox} 厚度約為40~60埃。

4. 如申請專利範圍第1項所述之方法，其中步驟(e)該第一導電層之材質係由一濃摻雜N型複晶矽層所構成，其



六、申請專利範圍

濃度約為 $5E20$ per cm^3 。

5. 如申請專利範圍第1項所述之方法，其中該步驟(e)包括：

沈積一濃摻雜N型複晶矽層於該半導體基底表面，並填滿該第一溝槽；

平坦化該半導體基底表面；以及

蝕刻該濃摻雜N型複晶矽層至該第一溝槽之既定位置，形成一第二溝槽。

6. 如申請專利範圍第5項所述之方法，其中該平坦化步驟係為化學機械研磨法。

7. 如申請專利範圍第1項所述之方法，其中該步驟(f)之絕緣層係由至少一氧化矽層所構成。

8. 如申請專利範圍第1項中所述之方法，其中該步驟(f)包括：

沈積一氧化矽層於該半導體基底表面，並填滿該第二溝槽；

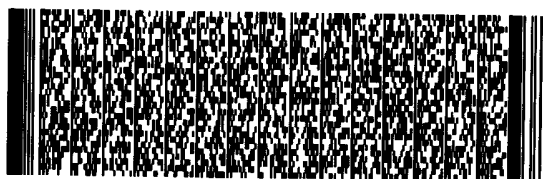
平坦化該半導體基底表面；以及

蝕刻該絕緣層至該第二溝槽之既定位置，形成一第三溝槽。

9. 如申請專利範圍第8項所述之方法，其中該氧化矽層係採用低壓/高密度之化學氣相沈積法形成。

10. 如申請專利範圍第8項所述之方法，其中該平坦化步驟係為化學機械研磨法。

11. 如申請專利範圍第8項所述之方法，其中係採用稀



六、申請專利範圍

釋氫氟酸進行蝕刻。

12. 如申請專利範圍第1項所述之該方法，其中該步驟(g)之該第二導電層之材質係由一濃摻雜N型複晶矽所構成。

13. 如申請專利範圍第1項所述之該方法，其中該第(i)步驟中所述之該第三導電層係由摻雜濃摻雜N型複晶矽所構成。

14. 一種溝槽電容之製造方法，其中包括下列步驟：

(a) 提供一半導體基底；

(b) 形成一第一絕緣層於該半導體基底上；

(c) 形成一第二絕緣層於該第一絕緣層上；

(d) 以微影製程與蝕刻定義該第二絕緣層，形成具有至少一溝狀開口之蝕刻罩幕，並裸露出預定形成至少一溝槽之基底表面；

(e) 以該步驟(d)所定義之該第二絕緣層為蝕刻罩幕對裸露之基底表面進行蝕刻，於該半導體基底形成至少一第一溝槽；

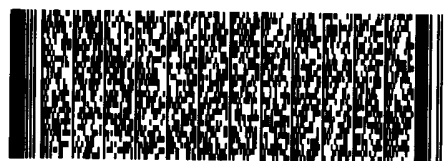
(f) 形成一電極層，其圍繞於該第一溝槽內壁上；

(g) 形成一介電層於該電極層上；

(h) 形成一第一導電層，其置於部分該第一溝槽中，並於其上產生一第二溝槽；

(i) 形成一絕緣層，其置於部分該第二溝槽中，並於其上產生一第三溝槽；

(j) 以一濃摻雜N型複晶矽填滿該第三溝槽，經微影及



六、申請專利範圍

蝕刻製程形成一間隙壁，其環繞於該第三溝槽之內壁；

(k) 以該間隙壁為罩幕蝕刻該絕緣層至該第一導電層之表面為止，並於該第一導電層上形成一第四溝槽；以及

(l) 形成一第三導電層於該第四溝槽中。

15. 如申請專利範圍第14項所述之方法，其中步驟(b)該第一絕緣層係由氧化矽所構成，其厚度約為100埃。

16. 如申請專利範圍第14項所述之方法，其中步驟(c)該第二絕緣層係由氮化矽所構成，其厚度約為2000埃。

17. 如申請專利範圍第14項所述之方法，其中步驟(f)該電極層係利用濃摻雜N型離子經由預置及熱趨入方法摻雜至該第一溝槽內壁所形成。

18. 如申請專利範圍第14項所述之方法，其中步驟(g)該介電層係由一氧化矽/氮化矽/氧化矽層(ON0)所構成，其 T_{ox} 厚度約為40~60埃。

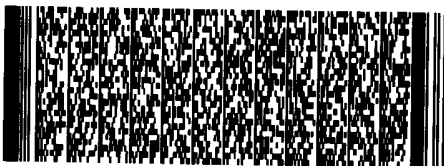
19. 如申請專利範圍第14項所述之方法，其中步驟(h)該第一導電層之材質係由一濃摻雜N型複晶矽層所構成，其濃度約為 $5E20 \text{ per cm}^3$ 。

20. 如申請專利範圍第14項所述之方法，其中該步驟(h)包括：

沈積一濃摻雜N型複晶矽層於該半導體基底表面，並填滿該第一溝槽；

平坦化該半導體基底表面；以及

蝕刻該濃摻雜N型複晶矽層至該第一溝槽之既定位置，形成一第二溝槽。



六、申請專利範圍

21. 如申請專利範圍第20項所述之方法，其中該平坦化步驟係為化學機械研磨法。

22. 如申請專利範圍第14項所述之方法，其中該步驟(i)之絕緣層係由至少一氧化矽層所構成。

23. 如申請專利範圍第14項中所述之方法，其中該步驟(i)包括：

沈積一氧化矽層於該半導體基底表面，並填滿該第二溝槽；

平坦化該半導體基底表面；以及

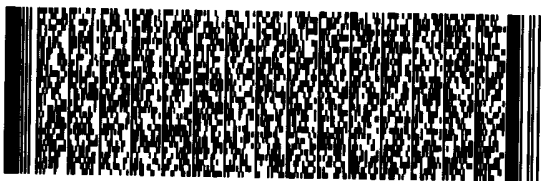
蝕刻該絕緣層至該第二溝槽之既定位置，形成一第三溝槽。

24. 如申請專利範圍第23項所述之方法，其中該氧化矽層係採用低壓/高密度之化學氣相沈積法形成。

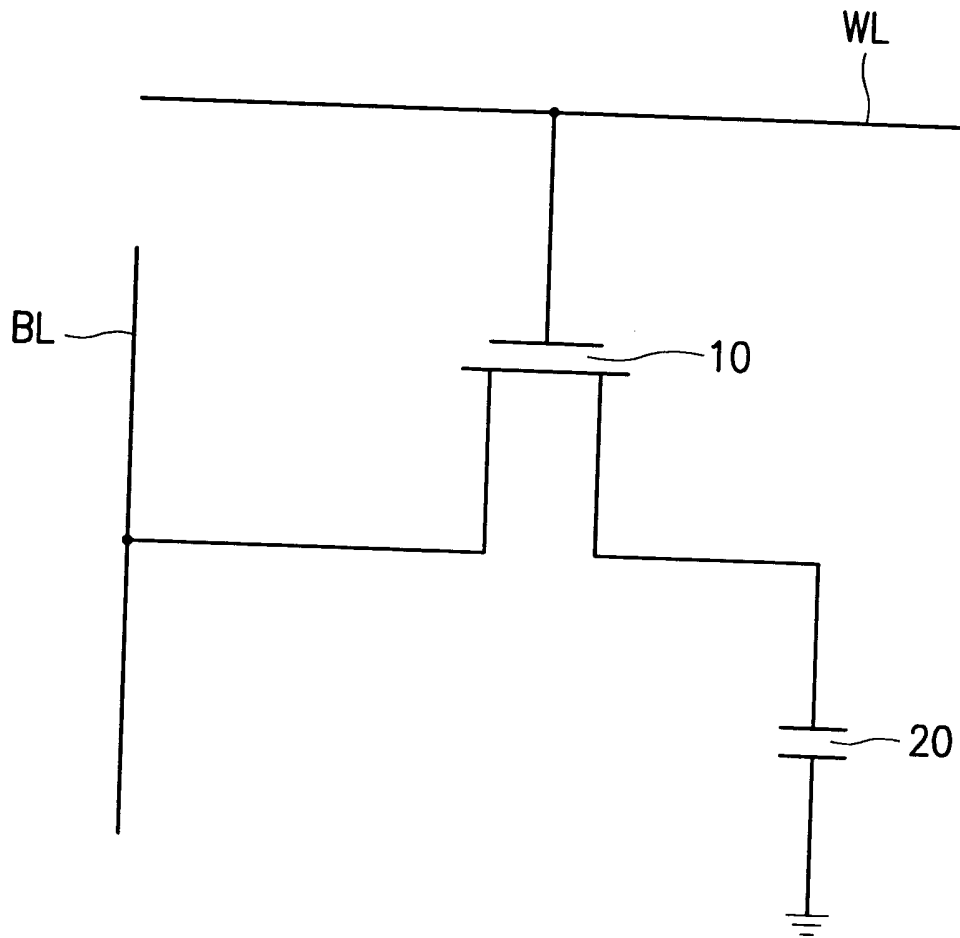
25. 如申請專利範圍第23項所述之方法，其中該平坦化步驟係為化學機械研磨法。

26. 如申請專利範圍第23項所述之方法，其中係採用稀釋氫氟酸進行蝕刻。

27. 如申請專利範圍第14項所述之~~該方法~~^{該方法}，其中該第(1)步驟中所述之該第三導電層係由摻雜濃摻雜N型複晶矽所構成。

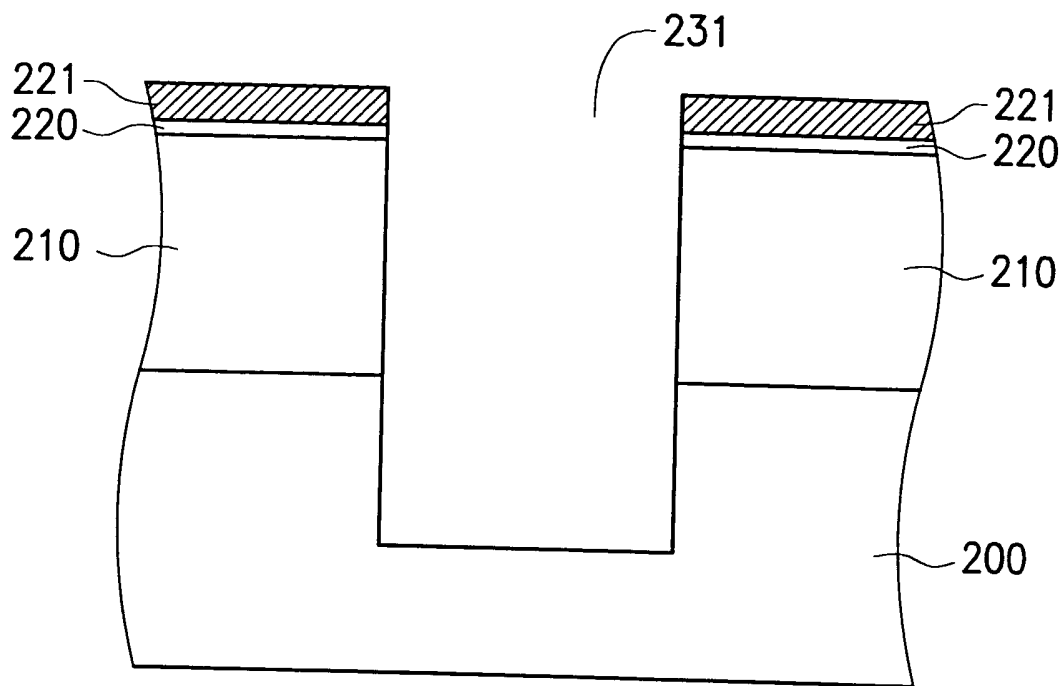


87119676

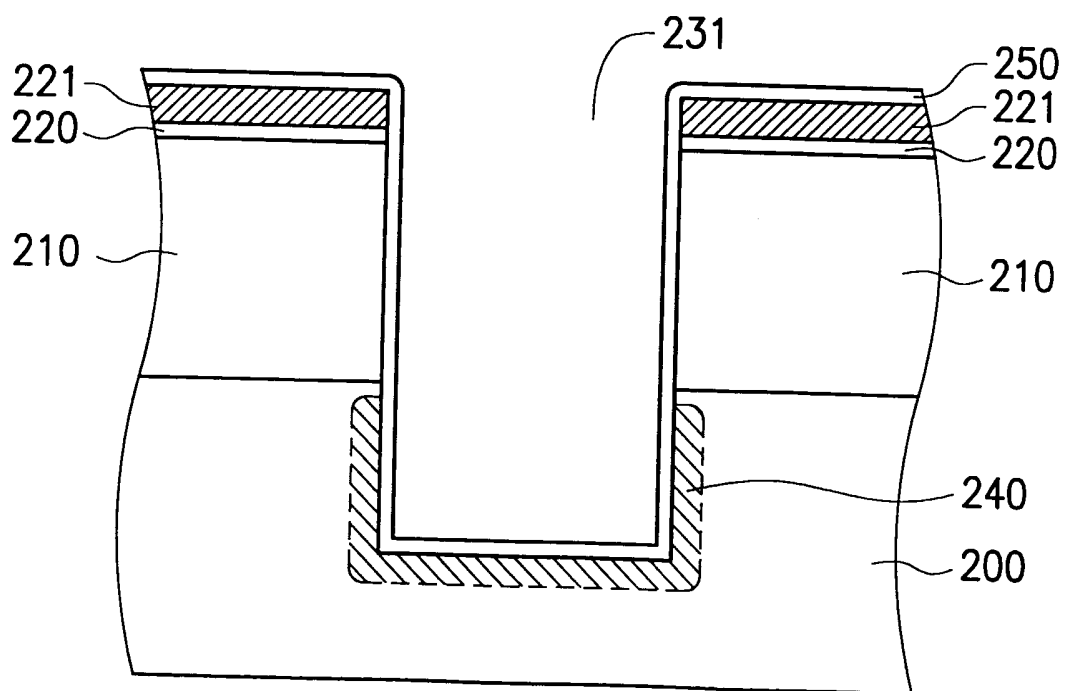


第 1 圖

圖式

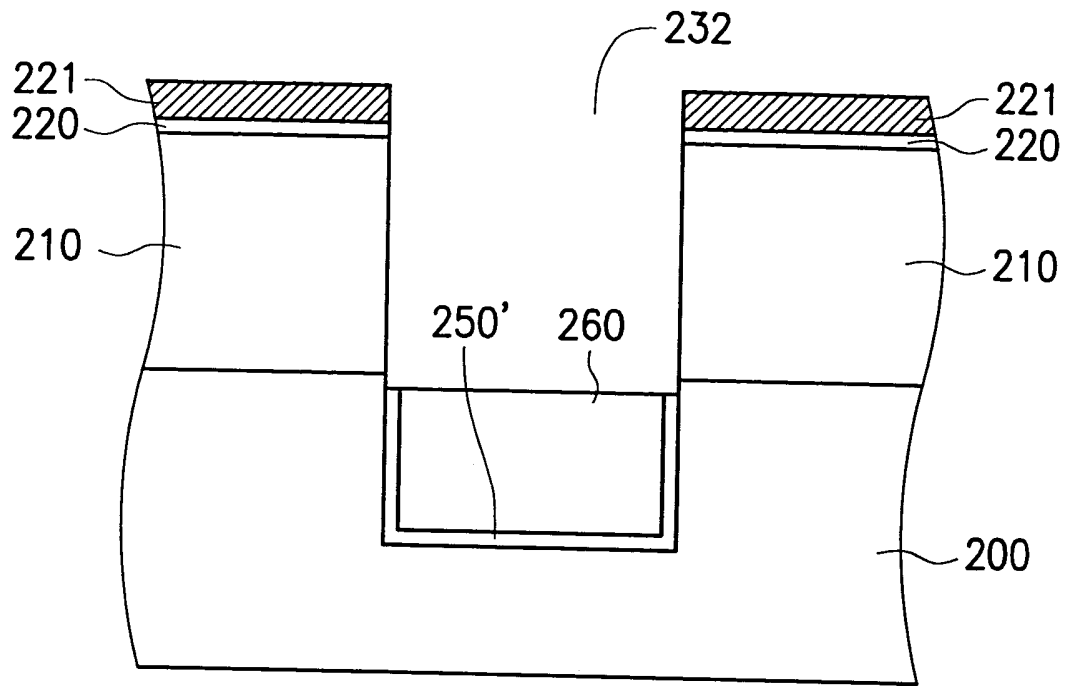


第2a圖

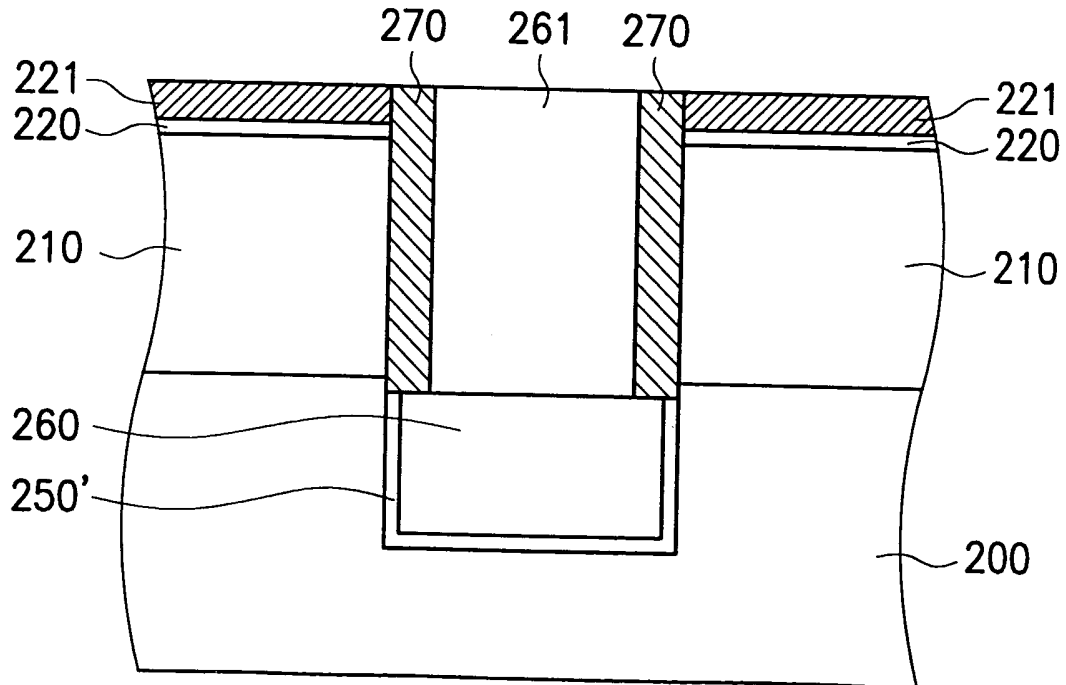


第2b圖

圖式

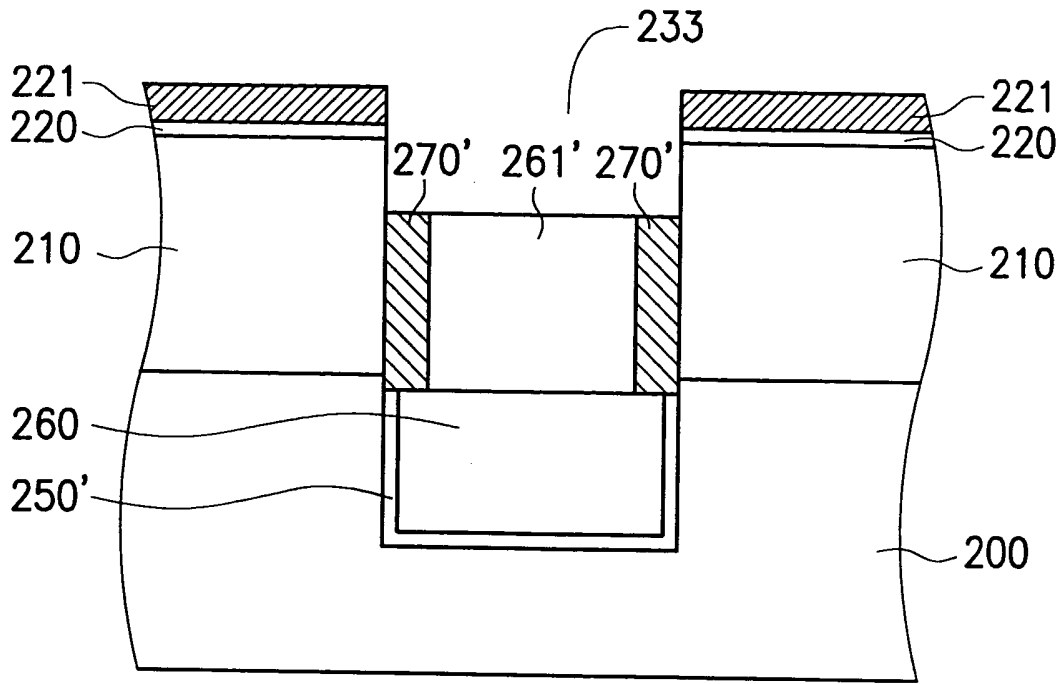


第 2c 圖

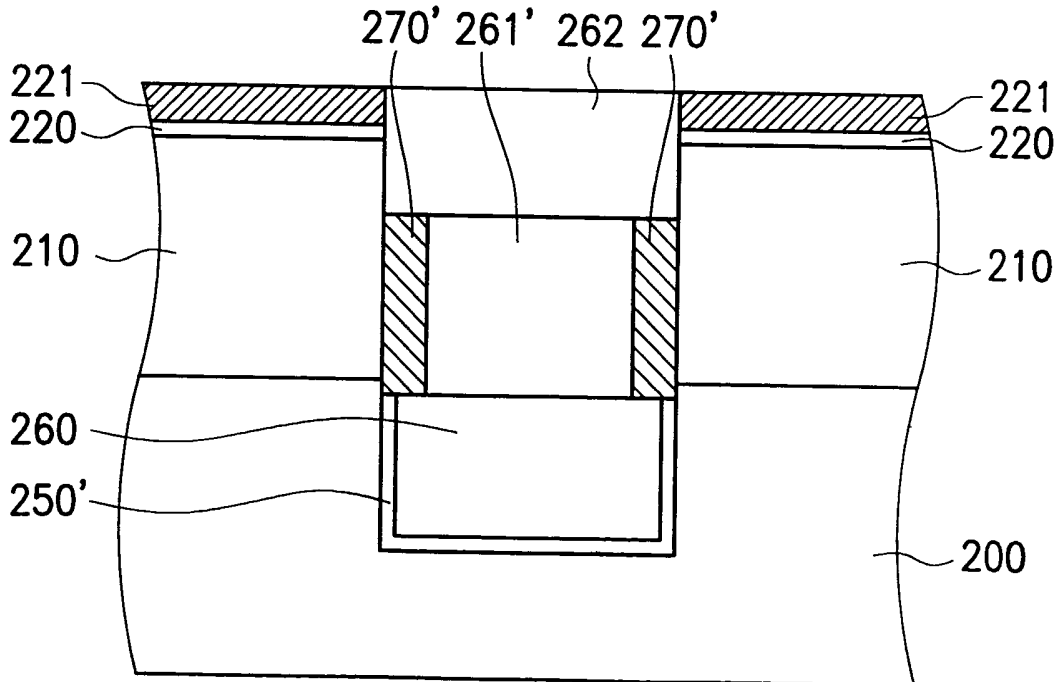


第 2d 圖

圖式

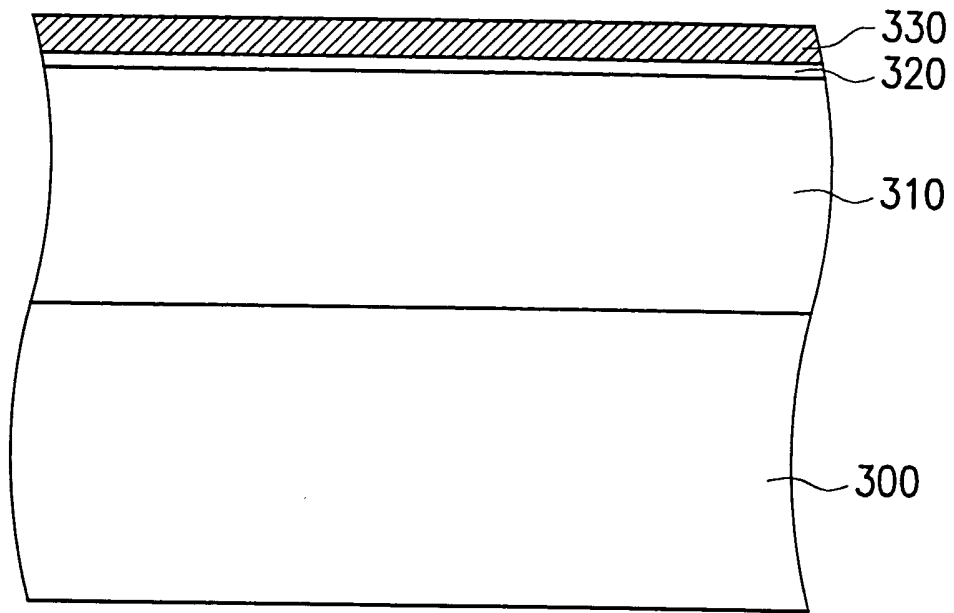


第2e圖

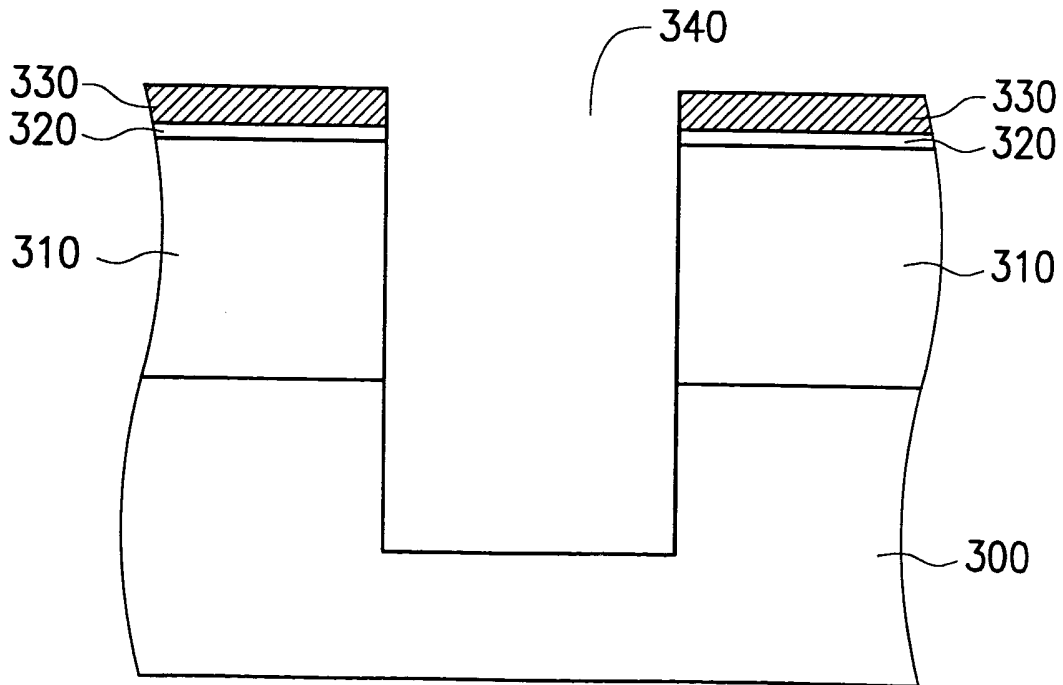


第2f圖

圖式

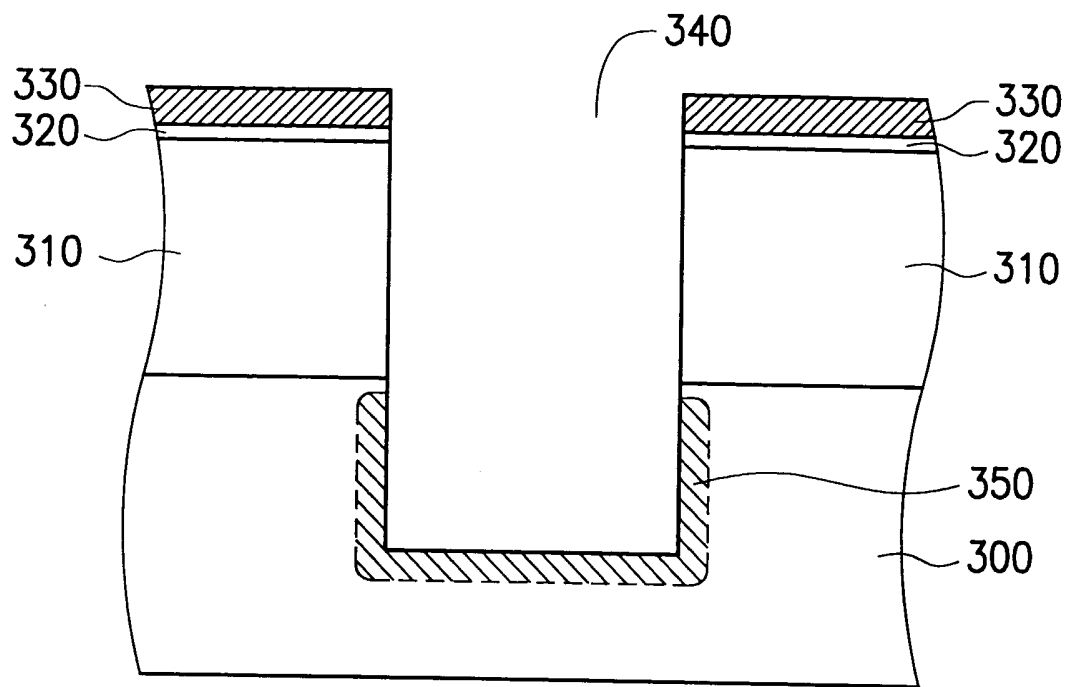


第3a圖

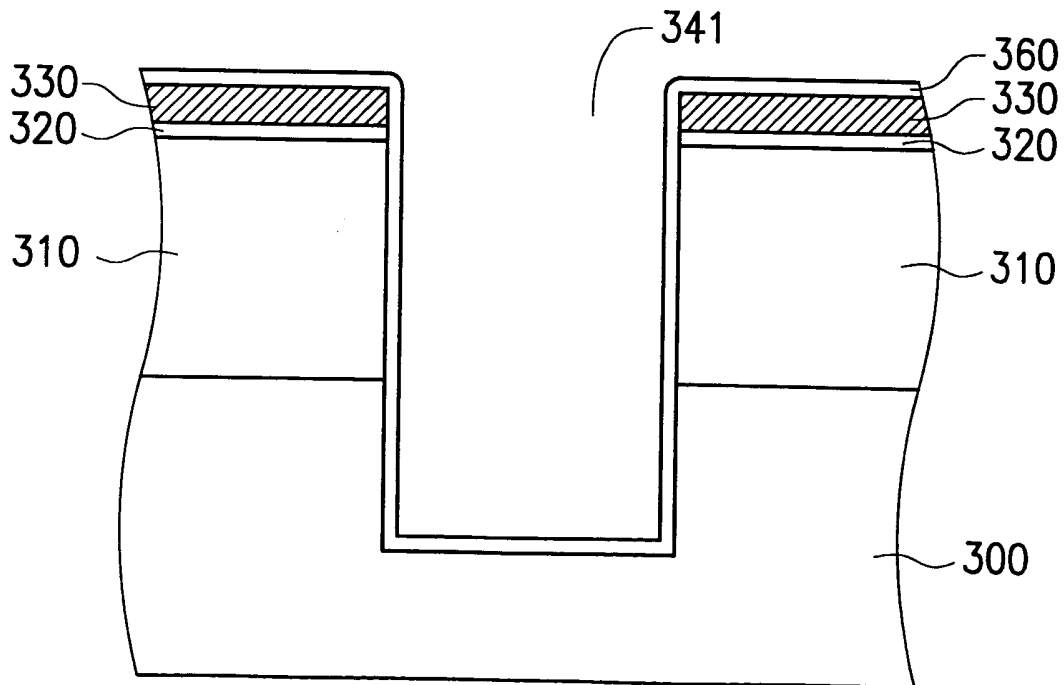


第3b圖

圖式

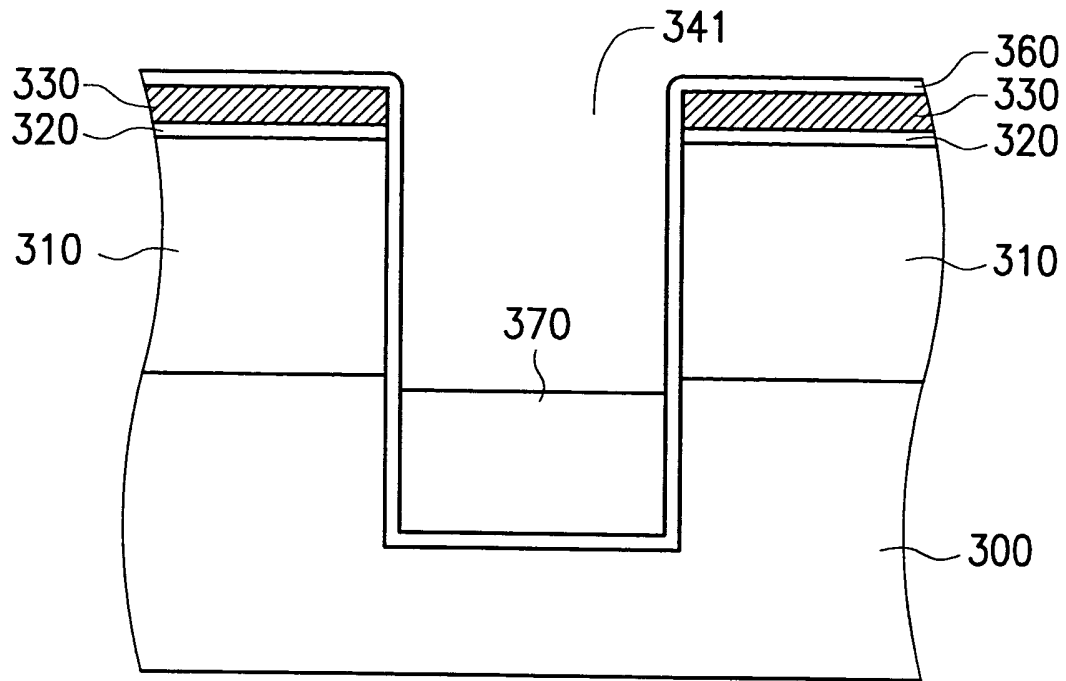


第 3c 圖

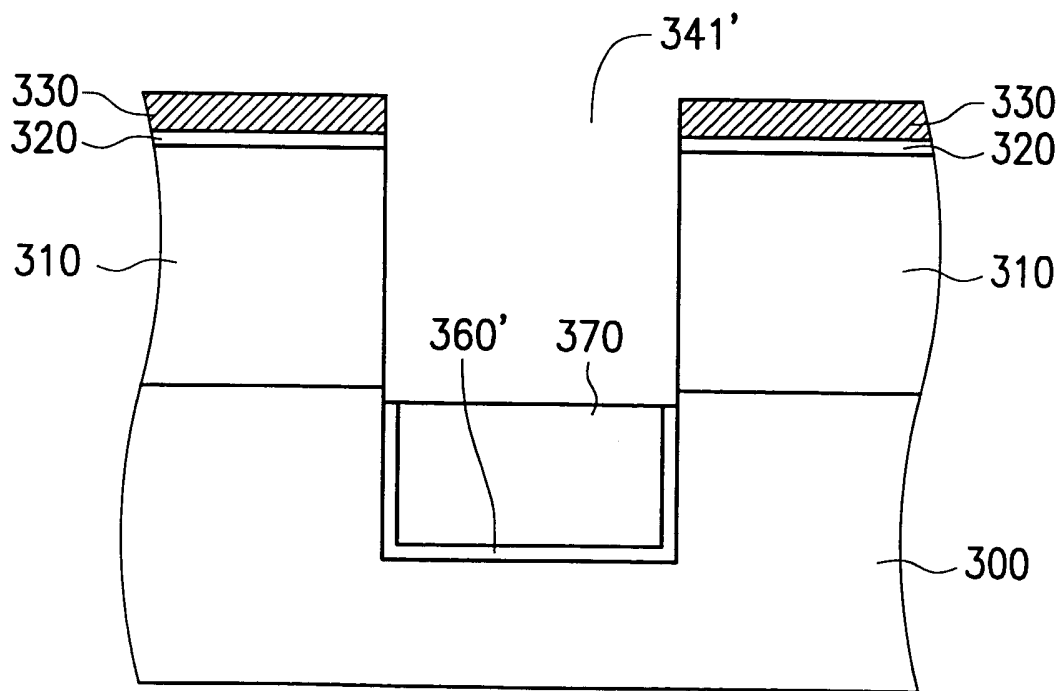


第 3d 圖

圖式

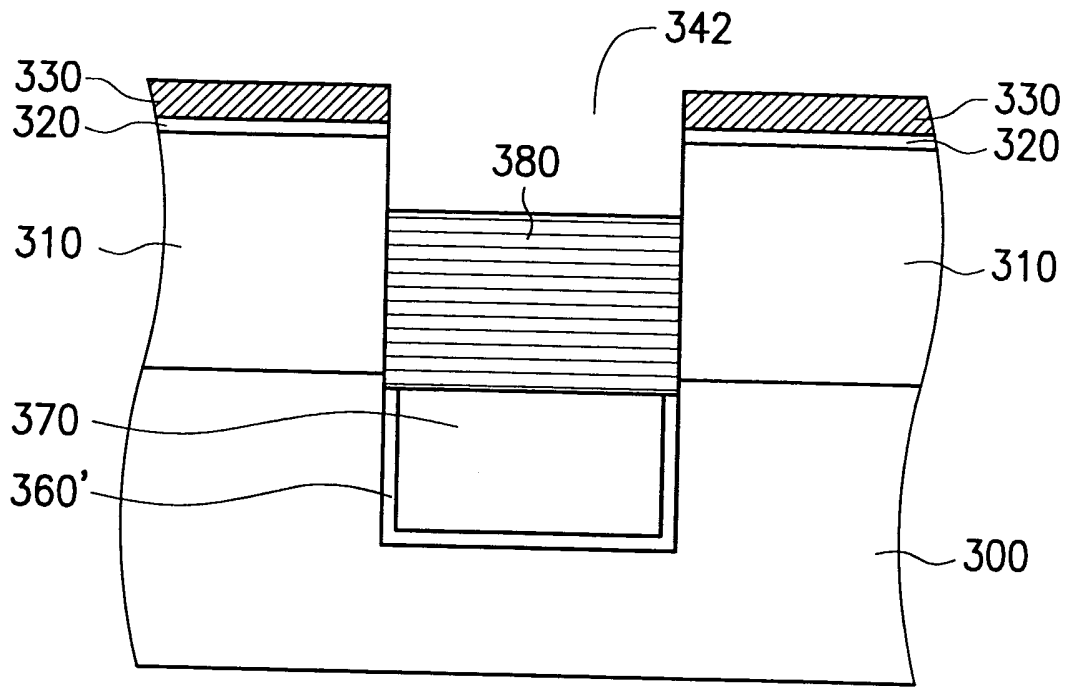


第 3e 圖

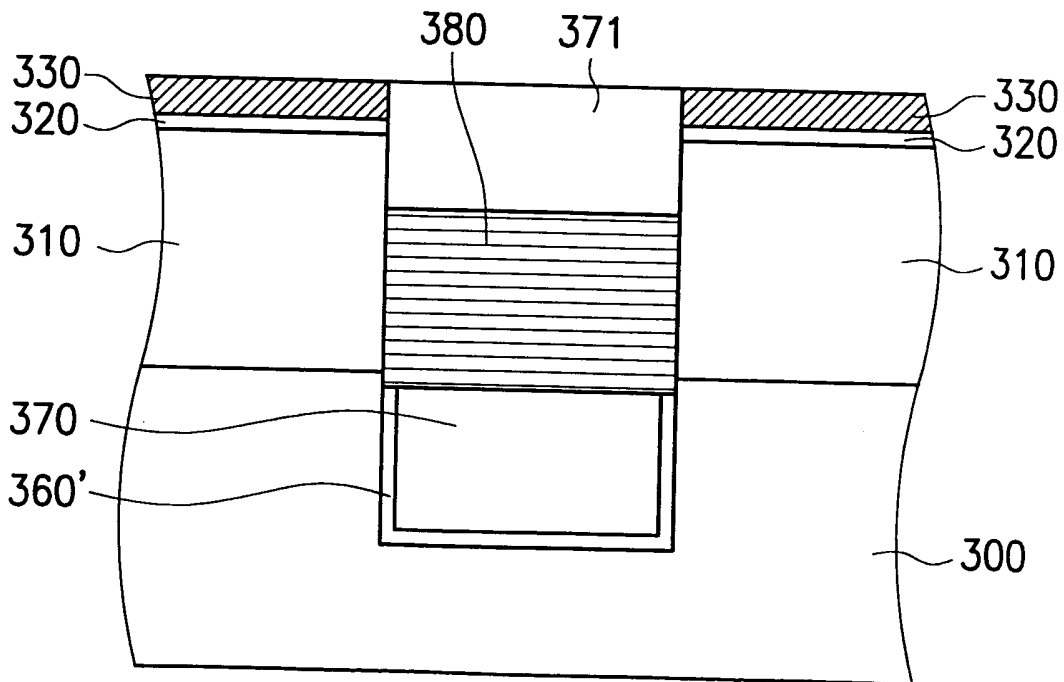


第 3f 圖

圖式

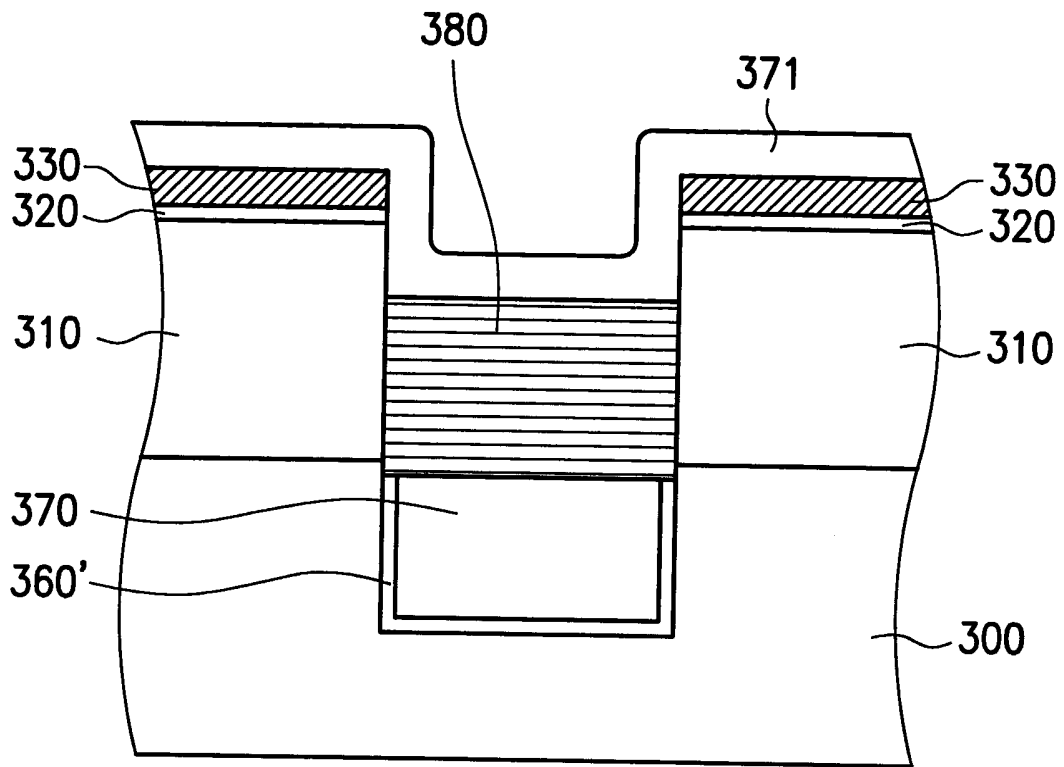


第3g圖



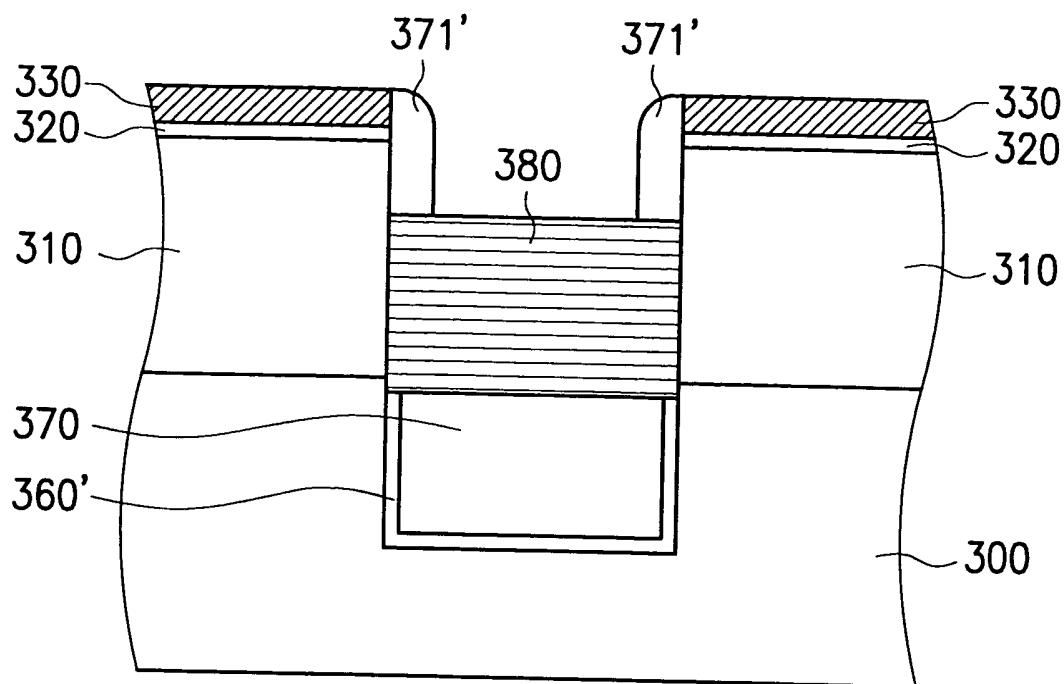
第3h圖

圖式

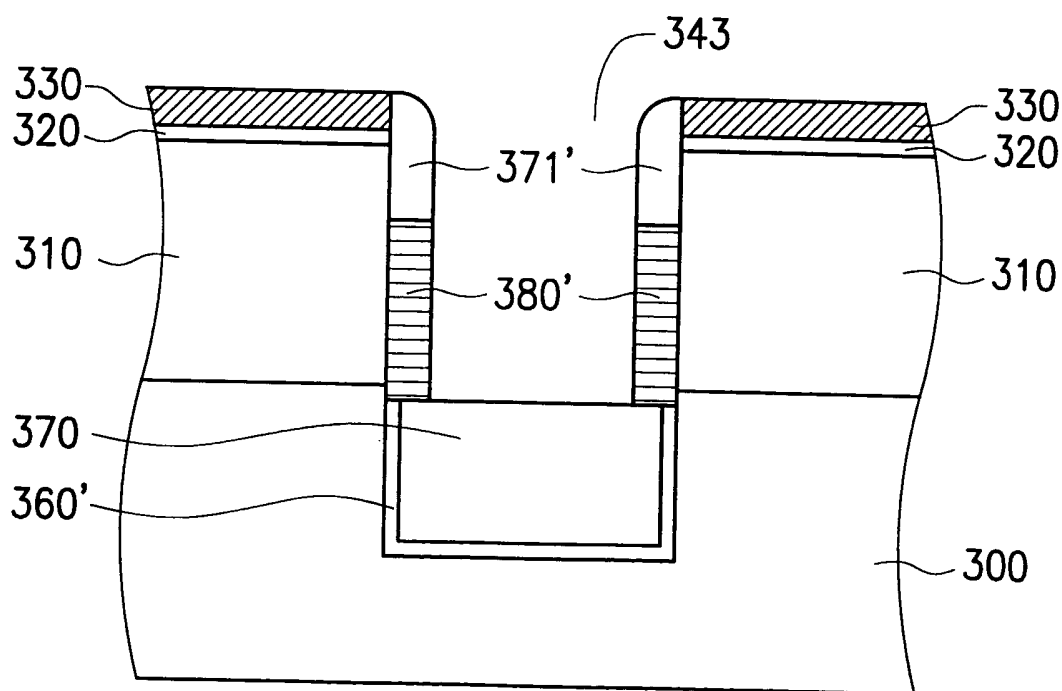


第 3h' 圖

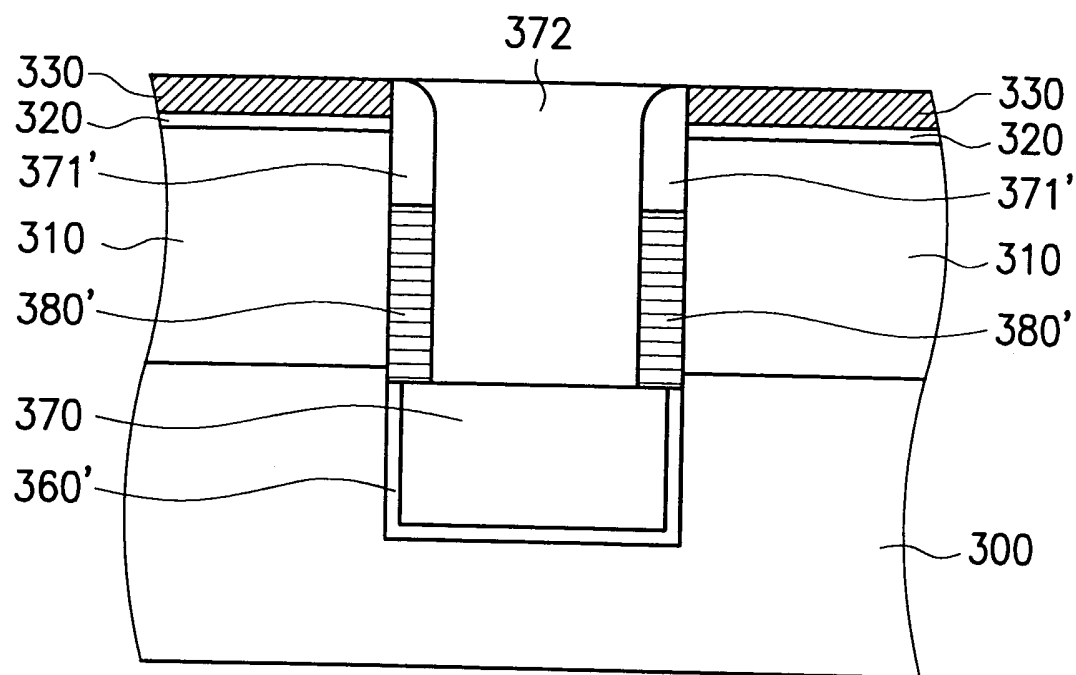
圖式



第3i圖



第3j圖



第3k圖