



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	102000900826899
Data Deposito	03/03/2000
Data Pubblicazione	03/09/2001

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	06	F		

Titolo

DISPOSITIVO INTEGRATO CON VERIFICA DI FUNZIONALITA'.
--

D E S C R I Z I O N E

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: ZANARDI Stefano, BRANCHETTI Maurizio,

MULATTI Jacopo, PICCA Massimiliano.

***** TO 2000A 000207

*** **

La presente invenzione si riferisce ad un dispositivo integrato con verifica di funzionalità.

Come è noto, alcuni dispositivi integrati sono dotati di una struttura di testing che consente di effettuare una operazione di verifica di funzionalità su particolari porzioni del dispositivo integrato stesso.

Per eseguire l'operazione di verifica sopra citata, la struttura di testing viene dotata di un dispositivo rivelatore di terzo livello avente la funzione di semplificare la commutazione del dispositivo integrato da una condizione di funzionamento standard ad una condizione di funzionamento di verifica. Inoltre, il dispositivo rivelatore di terzo livello ha la funzione di evitare il più possibile un accesso accidentale alla condizione di funzionamento di verifica quando il dispositivo integrato si trova nella condizione di fun-

CERBARO Elena
(Iscrizione Albo nr 426/DM)

zionamento standard.

In genere, la condizione di funzionamento di verifica viene attivata portando un determinato piedino del dispositivo integrato ad una tensione superiore rispetto ad un valore di tensione standard, riconosciuto dal dispositivo integrato come un segnale di livello logico alto.

Un dispositivo integrato con verifica di funzionalità, ad esempio una memoria non volatile, di tipo noto è mostrato in figura 1 ed è descritto qui in seguito.

In figura 1, una memoria 1 comprende uno stadio di ingresso 2 per l'indirizzamento di righe o colonne di una matrice di memoria (non mostrata) appartenente alla memoria 1 ed uno stadio rivelatore di terzo livello 3. Lo stadio di ingresso 2 e lo stadio rivelatore di terzo livello 3 presentano ciascuno un terminale di ingresso 2a, 3a collegati ad una piazzola di contatto 5. Lo stadio di ingresso 2 presenta inoltre un terminale di uscita 2b, sul quale è presente un segnale di indirizzamento ADD<N> per la matrice di memoria, mentre lo stadio rivelatore di terzo livello 3 presenta un primo ed un secondo terminale di uscita 3b, 3c sui quali è presente un segnale di terzo livello TL e rispettivamente un segnale di terzo livello invertito TL_N.

Lo stadio di ingresso 2 comprende un primo ed un

CERBARO Elena
Azzione Albo nr 426/EMJ

secondo invertitore 6 e 7 di tipo MOS. Il primo invertitore 6 comprende un transistor di pull-up 8, di tipo PMOS, ed un transistor di pull-down 9, di tipo NMOS collegati fra una linea di alimentazione 10 posta a tensione Vdd e una linea di massa 11. In dettaglio, il transistor di pull-up 8 ha terminale di sorgente collegato alla linea di alimentazione 10, terminale di pozzo collegato ad un primo nodo 12 e terminale di porta collegato al terminale di ingresso 2a dello stadio di ingresso 2. Il transistor di pull-down 9 ha terminale di porta collegato al terminale di ingresso 2a dello stadio di ingresso 2, terminale di sorgente collegato alla linea di massa 11 e terminale di pozzo collegato al primo nodo 12; l'invertitore 7 ha ingresso collegato al primo nodo 12 ed uscita definente il terminale di uscita 2b dello stadio di ingresso 2.

Lo stadio rivelatore di terzo livello 3 comprende tre transistori PMOS 15, configurati a diodo, un transistor NMOS 18 di tipo naturale, un terzo, un quarto ed un quinto invertitore 19, 20 e 21.

I transistori PMOS 15 sono collegati reciprocamente in serie fra il terminale di ingresso 3a dello stadio rivelatore di terzo livello 3 ed un secondo nodo intermedio 22.

Il transistor NMOS 18 ha terminale di sorgente

collegato alla linea di massa 11 e terminali di porta e pozzo collegati fra loro e al secondo nodo 22.

Il terzo, il quarto e il quinto invertitore 19, 20 e 21 sono collegati in cascata fra il secondo nodo 22 e il secondo terminale di uscita 3c dello stadio rivelatore di terzo livello 3. L'uscita dell'invertitore 20 definisce il primo terminale di uscita 3b dello stadio rivelatore di terzo livello 3.

Nella condizione di funzionamento standard della memoria 1, quando deve essere generato il segnale di indirizzamento ADD<N>, alla piazzola di contatto 5 viene fornito un segnale di ingresso S avente livello logico alto, il cui valore (ad esempio pari a 3 V) è inferiore alla tensione necessaria all'accensione dei transistori PMOS 15 e del transistor NMOS 18 e pari alla somma delle rispettive tensioni di soglia. In questa condizione, eventuali correnti di perdita fluiscono attraverso il transistor NMOS 18; quindi il secondo nodo 22 è a massa; il segnale di terzo livello TL è a livello logico basso e il segnale TL_N è a livello logico alto.

Quando deve essere eseguita una operazione di verifica, sulla piazzola di contatto 5 viene applicata una tensione di verifica VTL, ad esempio pari a 12V, superiore alla tensione corrispondente al livello logi-

CERBARO Elena
Iscrizione Albo nr 426/BW

co alto del segnale di ingresso S; perciò i transistori PMOS 15 e il transistorore NMOS 18 si accendono; di conseguenza la tensione sul secondo nodo 22 supera il livello di scatto del terzo invertitore 19 e i segnali TL e TL_N commutano a livello logico alto, rispettivamente basso.

Quando il segnale TL è a livello logico alto, la memoria 1 passa dalla condizione di funzionamento standard alla condizione di funzionamento di verifica ed esegue le operazioni di verifica previste, non descritte in seguito in quanto non oggetto della presente invenzione.

I dispositivi integrati del tipo sopra descritto presentano l'inconveniente che, quando la memoria 1 si porta nella condizione di funzionamento di verifica, tra il terminale di porta ed il terminale di sorgente del transistorore di pull-down 9 è presente una differenza di potenziale elevata, superiore a quella esistente nella condizione di funzionamento standard; di conseguenza, nella condizione di funzionamento di verifica, il transistorore di pull-down 9 è sottoposto ad un elevato stress che può danneggiare il transistorore di pull-down 9. Ciò vale soprattutto nel caso di dispositivi integrati concepiti per il funzionamento a bassa tensione, nei quali la differenza di potenziale tra il

terminale di porta ed il terminale di sorgente del transistor di pull-down 9 può superare la rigidità dielettrica dell'ossido di porta del transistor di pull-down 9 stesso.

Scopo della presente invenzione è realizzare un dispositivo integrato con verifica di funzionalità, che sia privo dell'inconveniente descritto.

Secondo la presente invenzione viene realizzato un dispositivo integrato con verifica di funzionalità, come definito nella rivendicazione 1.

Per una migliore comprensione dell'invenzione, ne viene ora descritta una forma di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 illustra uno schema circuitale di un dispositivo integrato con verifica di funzionalità di tipo noto;

- la figura 2 illustra uno schema semplificato di un dispositivo integrato con verifica di funzionalità secondo la presente invenzione; e

- la figura 3 mostra uno schema circuitale dettagliato del dispositivo di figura 2.

Nella figura 2 il dispositivo integrato, ad esempio una memoria non volatile, è indicato nel suo complesso con 23 e comprende uno stadio di ingresso 24 (ad

CERBARO Elena
(iscrizione Albo nr 426/BM)

esempio per l'indirizzamento di una riga di una matrice di memoria non mostrata) ed uno stadio rivelatore di terzo livello 3, il quale è simile allo stadio rivelatore di terzo livello 3 descritto con riferimento alla figura 1, e quindi non mostrato ulteriormente.

Lo stadio di ingresso 24 presenta un terminale di ingresso 24a collegato ad una piazzola di contatto 27 ed un terminale di uscita 24b su cui è presente un segnale di indirizzamento ADD<N>.

Lo stadio di ingresso 24 comprende un primo, un secondo ed un terzo invertitore 28, 29 e 30 collegati in cascata, ed un primo ed un secondo elemento interruttore 31 e 32.

Il primo invertitore 28 comprende un transistorore di pull-up 33, di tipo PMOS ed un transistorore di pull-down 34 di tipo NMOS collegati fra una linea di alimentazione 35 posta a tensione Vdd ed un terminale di uscita 31a del primo elemento interruttore 31. In dettaglio, il transistorore di pull-up 33 ha terminale di sorgente collegato alla linea di alimentazione 35, terminale di pozzo collegato ad un nodo intermedio 36 e terminale di porta collegato al terminale di ingresso 24a dello stadio di ingresso 24. Il transistorore di pull-down 34 ha terminale di porta collegato al terminale di ingresso 24a dello stadio di ingresso 24, il terminale

di pozzo collegato al nodo intermedio 36 e terminale di sorgente e di bulk collegati fra loro e al terminale di uscita 31a del primo elemento interruttore 31.

Il primo elemento interruttore 31, operante come selettore, presenta un primo ed un secondo terminale di ingresso 31b, 31c ed un terminale di controllo 31d. Il primo terminale di ingresso 31b del primo elemento interruttore 31 è posto ad una tensione di polarizzazione V_x , di valore opportuno, come spiegato in seguito; il secondo terminale di ingresso 31c del primo elemento interruttore 31 è collegato alla linea di massa 39 e il terminale di controllo 31d riceve il segnale di terzo livello invertito TL_N , fornito sul secondo terminale di uscita 3c dello stadio rivelatore di terzo livello 3.

Il secondo elemento interruttore 32 presenta un terminale di uscita 32a, collegato al nodo intermedio 36, un terminale di ingresso 32b, sui cui è presente la tensione di polarizzazione V_x , ed un terminale di controllo 32c, ricevente il segnale di terzo livello invertito TL_N .

Con riferimento alla figura 2, il funzionamento del dispositivo integrato 23 è il seguente. Durante la condizione di funzionamento standard, quando è necessario generare il segnale di indirizzamento $ADD<N>$, sulla

piazzola di contatto 27 viene fornito un segnale di ingresso S avente livello logico alto di, ad esempio, 3 V. In questa condizione, come in precedenza spiegato con riferimento alla figura 1, il segnale di terzo livello TL è a livello logico basso e il segnale di terzo livello invertito TL_N è a livello logico alto. Di conseguenza, il primo elemento interruttore 31 collega il suo terminale di uscita 31a e quindi il terminale di sorgente del transistor di pull-down 34 a massa; mentre il secondo elemento interruttore 32 mantiene il nodo intermedio 36 scollegato dalla tensione di polarizzazione Vx e quindi flottante.

Quando sulla piazzola di contatto 27 viene applicata una tensione di verifica VTL (ad esempio 12 V) di valore superiore alla tensione corrispondente al livello logico alto del segnale di ingresso S (ad esempio 3V), analogamente a quanto descritto con riferimento alla figura 1, il segnale di terzo livello TL commuta al livello logico alto e il segnale di terzo livello invertito TL_N commuta a livello logico basso. In questa condizione, il dispositivo integrato 1 passa dalla condizione di funzionamento standard alla condizione di funzionamento di verifica. In particolare, il primo e il secondo elemento interruttore 31 e 32 commutano, portando il terminale di sorgente del transistor di pull-

down 34 e il nodo intermedio 36 alla tensione di polarizzazione V_x .

In tal modo, la caduta di tensione fra i terminali di porta e sorgente del transistor di pull-down 34 è inferiore alla tensione di verifica VTL fornita sulla piazzola di contatto 27 e viene quindi ridotto lo stress sulla regione di ossido di porta del transistor di pull-down 34 stesso.

In figura 3 è riportato uno schema dettagliato del dispositivo integrato 23, nella quale la tensione di polarizzazione V_x è pari alla tensione di alimentazione V_{dd} .

In particolare, il primo elemento interruttore 31 comprende un invertitore di selezione 40, il cui ingresso (corrispondente al terminale di comando 31d di figura 2) riceve il segnale di terzo livello invertito TL_N e la cui uscita (corrispondente al terminale di uscita 31a) è collegata al terminale di sorgente del transistor di pull-down 34. L'invertitore di selezione 40 ha un ingresso di alimentazione (corrispondente al primo terminale di ingresso 31b del primo elemento interruttore 31) collegato alla linea di alimentazione 35 ed un ingresso di riferimento (corrispondente al secondo terminale di ingresso 31c del primo elemento interruttore 31) collegato alla linea di massa 39.

Il secondo elemento interruttore 32 comprende un transistor di polarizzazione 41, di tipo PMOS, il quale presenta terminale di sorgente (corrispondente al terminale di ingresso 32b in figura 2) collegato alla linea di alimentazione 35 posta alla tensione Vdd, terminale di pozzo (corrispondente al terminale di uscita 32a di figura 2) collegato al nodo intermedio 36 e terminale di porta (corrispondente al terminale di controllo 32c di figura 2) ricevente il segnale di terzo livello invertito TL_N dall'uscita 3c dello stadio rivelatore di terzo livello 3.

Il funzionamento del dispositivo integrato 23 di figura 3 è il seguente. Quando il segnale di terzo livello TL è a livello logico basso e il segnale di terzo livello invertito TL_N è a livello logico alto (funzionamento standard), l'invertitore di selezione 40 porta il terminale di sorgente del transistor di pull-down 34 a massa ed abilita il primo invertitore 28. Inoltre, il transistor di polarizzazione 41 è spento e non forza alcuna tensione sul nodo intermedio 36.

Quando sulla piazzola di contatto 27 viene fornita la tensione di verifica VTL e il segnale di terzo livello TL passa da basso ad alto ed il segnale di terzo livello invertito TL_N commuta da alto a basso (funzionamento di verifica), l'invertitore 40 porta il termi-

nale di sorgente del transistor di pull-down 34 alla tensione di alimentazione Vdd. Inoltre, il transistor 41 si accende e porta il nodo intermedio 36 (ed il terminale di pozzo ad esso collegato) alla tensione di alimentazione Vdd.

Di conseguenza, il dispositivo integrato 23 permette vantaggiosamente di ridurre, durante la condizione di funzionamento di verifica, la differenza di potenziale tra il terminale di porta ed il terminale di sorgente che diventa pari a $V_{TL}-V_{dd}$. Inoltre, non è presente alcuna caduta di tensione fra i terminali di pozzo e sorgente del transistor di pull-down 34. In tal modo, si ha una riduzione dello stress nel dispositivo integrato rispetto alle soluzioni note, e viene fortemente ridotta la probabilità di danneggiamento del transistor di pull-down 34.

Inoltre, il dispositivo integrato 23 è strutturalmente semplice ed è implementabile facilmente, a costi ridotti e con dispendio d'area paragonabile a quello dei dispositivi noti.

Risulta infine evidente che al dispositivo integrato descritto possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione. Ad esempio, nel caso sia presente una tensione intermedia fra la tensione di alimentazione e la

tensione di verifica VTL, è possibile disporre un elemento interruttore con funzione di selettore anche fra il terminale di sorgente del transistor di pull-up 33 e la linea di alimentazione 35, in modo da fornire tale tensione intermedia al terminale di sorgente stesso del transistor di pull-up 33 durante la fase di verifica.

Inoltre, la tensione di polarizzazione V_x può assumere qualunque valore appropriato, in particolare nel caso che il dispositivo integrato 23 preveda ulteriori tensioni di valore adatto.

CERBARO Elena
(iscrizione Albo nr 426/AM)

R I V E N D I C A Z I O N I

1. Dispositivo integrato (23), comprendente:

- una piazzola di contatto (27) ricevente, in una condizione di funzionamento standard, un segnale di ingresso (S) avente un primo ed un secondo valore, maggiore di detto primo valore e, in una condizione di funzionamento di verifica, una tensione di verifica (VTL) avente un terzo valore, maggiore di detto secondo valore;

- uno stadio di ingresso (24), avente un ingresso (24a) collegato a detta piazzola di contatto (27), detto stadio di ingresso (24) comprendendo un componente elettronico (34) avente almeno un primo ed un secondo terminale, detto primo terminale essendo collegato a detto ingresso (24a) di detto stadio di ingresso (24) e detto secondo terminale essendo collegato, in detta condizione di funzionamento standard, ad una linea (39) a potenziale di riferimento posta ad un potenziale di riferimento;

- uno stadio rivelatore di terzo livello (3) collegato a detta piazzola di contatto (27) ed avente un'uscita (3b) fornente un segnale di terzo livello (TL) di tipo logico avente un primo livello in presenza di detto segnale di ingresso (S) ed un secondo livello in presenza di detta tensione di verifica (VTL);

CERBARO Elena
Iscrizione Albo nr. 426/BM

caratterizzato dal fatto di comprendere mezzi di polarizzazione collegati a detto secondo terminale di detto componente elettronico (34) e fornenti una tensione di polarizzazione (V_x) in presenza di detto secondo livello di detto segnale di terzo livello (TL), detta tensione di polarizzazione (V_x) essendo maggiore di detto potenziale di riferimento e minore di detto terzo valore di detta tensione di verifica (VTL).

2. Dispositivo integrato (23) secondo la rivendicazione 1, caratterizzato dal fatto che detti mezzi di polarizzazione comprendono un elemento selettore (31) avente un primo ingresso (31c) posto a detto potenziale di riferimento, un secondo ingresso (31b) ricevente detto potenziale di polarizzazione (V_x), un ingresso di controllo (31d) ricevente detto segnale di terzo livello (TL) ed una uscita (31a) collegata a detto secondo terminale di detto componente elettronico (34), detta uscita (31a) di detto elemento selettore (31) essendo collegata a detto primo ingresso (31c) in presenza di detto primo livello di detto segnale di terzo livello (TL) ed essendo collegata a detto secondo ingresso (31b) in presenza di detto secondo livello di detto segnale di terzo livello (TL).

3. Dispositivo integrato secondo la rivendicazione 2, caratterizzato dal fatto che detto elemento seletto-

re (31) comprende un elemento invertitore (40) avente un primo ingresso (31d) collegato a detta uscita (3c) di detto stadio di terzo livello (3) e ricevente detto segnale di terzo livello (TL), un ingresso (31b) di alimentazione ricevente detto potenziale di polarizzazione (Vx), un ingresso di riferimento (31c) collegato a detta linea a potenziale di riferimento ed una uscita (31a) collegata a detto secondo terminale di detto componente elettronico (34).

4. Dispositivo integrato secondo una qualsiasi delle rivendicazioni 1-3, caratterizzato dal fatto che detti mezzi di polarizzazione comprendono un elemento interruttore (32) avente un primo ingresso (32b) ricevente detto potenziale di polarizzazione, un ingresso di controllo (32c) ricevente detto segnale di terzo livello (TL) ed una uscita (32a) collegata a detto secondo terminale di detto componente elettronico (34), detto elemento interruttore (32) essendo aperto in presenza di detto secondo livello di detto segnale di terzo livello (TL) ed essendo chiuso in presenza di detto primo livello di detto segnale di terzo livello (TL).

5. Dispositivo integrato secondo la rivendicazione 4, caratterizzato dal fatto che detto elemento interruttore (32) comprende un transistor (41) MOS avente un primo terminale di conduzione ricevente detto poten-

ziale di polarizzazione (V_x), un secondo terminale di conduzione collegato ad un terzo terminale di detto componente elettronico (34) e terminale di porta ricevente detto segnale di terzo livello (TL).

6. Dispositivo integrato secondo la rivendicazione 4, caratterizzato dal fatto che detto elemento interruttore (32) comprende un transistor (41) PMOS avente terminale di sorgente ricevente detto potenziale di polarizzazione (V_x) e terminale di pozzo collegato a detto terzo terminale di detto componente elettronico (34).

7. Dispositivo integrato secondo una qualsiasi delle rivendicazioni 1-6, caratterizzato dal fatto che detto componente elettronico (34) è un transistor MOS.

8. Dispositivo integrato secondo una qualsiasi delle rivendicazioni 1-7, caratterizzato dal fatto che detto componente elettronico (34) è un transistor NMOS e dal fatto che detto primo terminale è un terminale di porta e detto secondo terminale è un terminale di sorgente.

9. Dispositivo integrato secondo una qualsiasi delle rivendicazioni 1-8, caratterizzato dal fatto che detto potenziale di polarizzazione (V_x) è una tensione di alimentazione (V_{dd}).

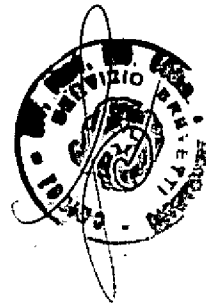
10. Dispositivo integrato, sostanzialmente come

descritto con riferimento alle figure annesse.

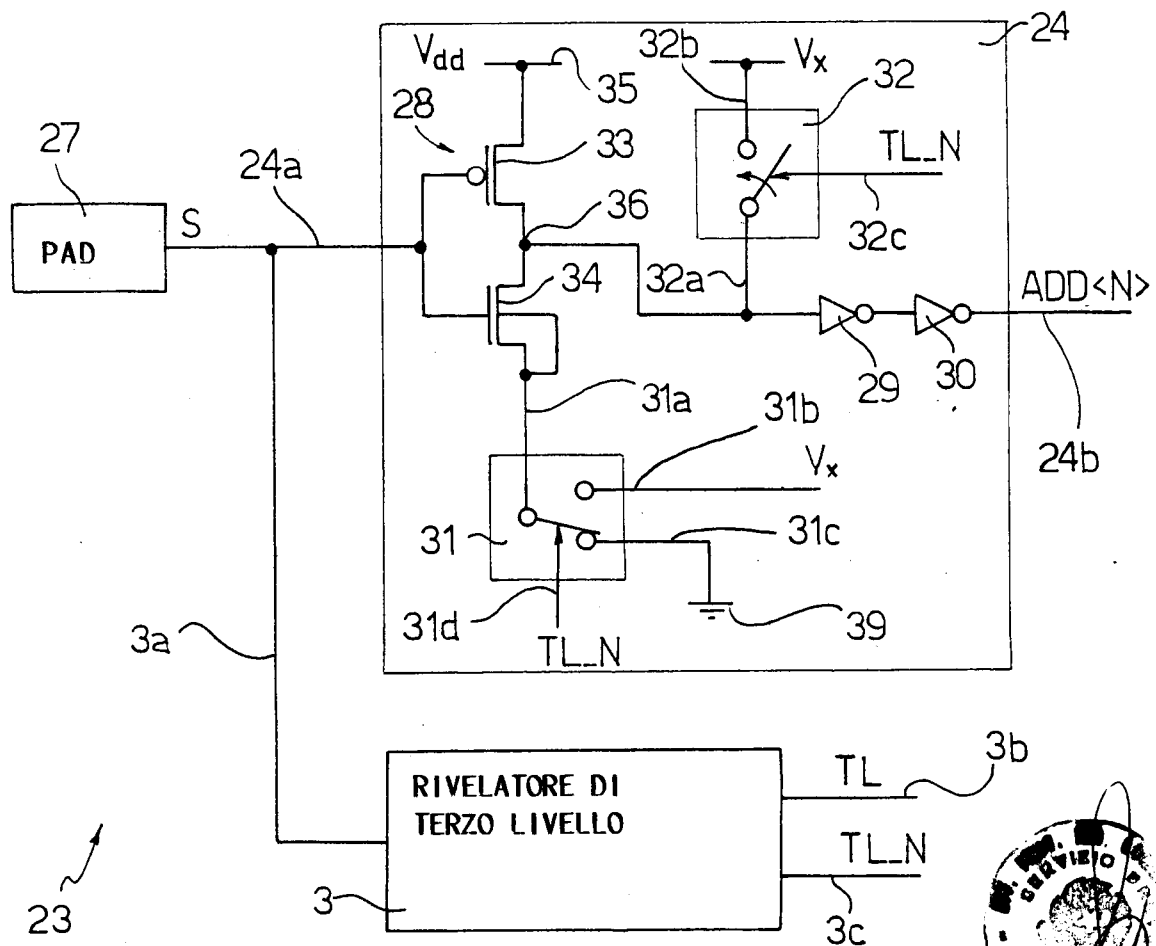
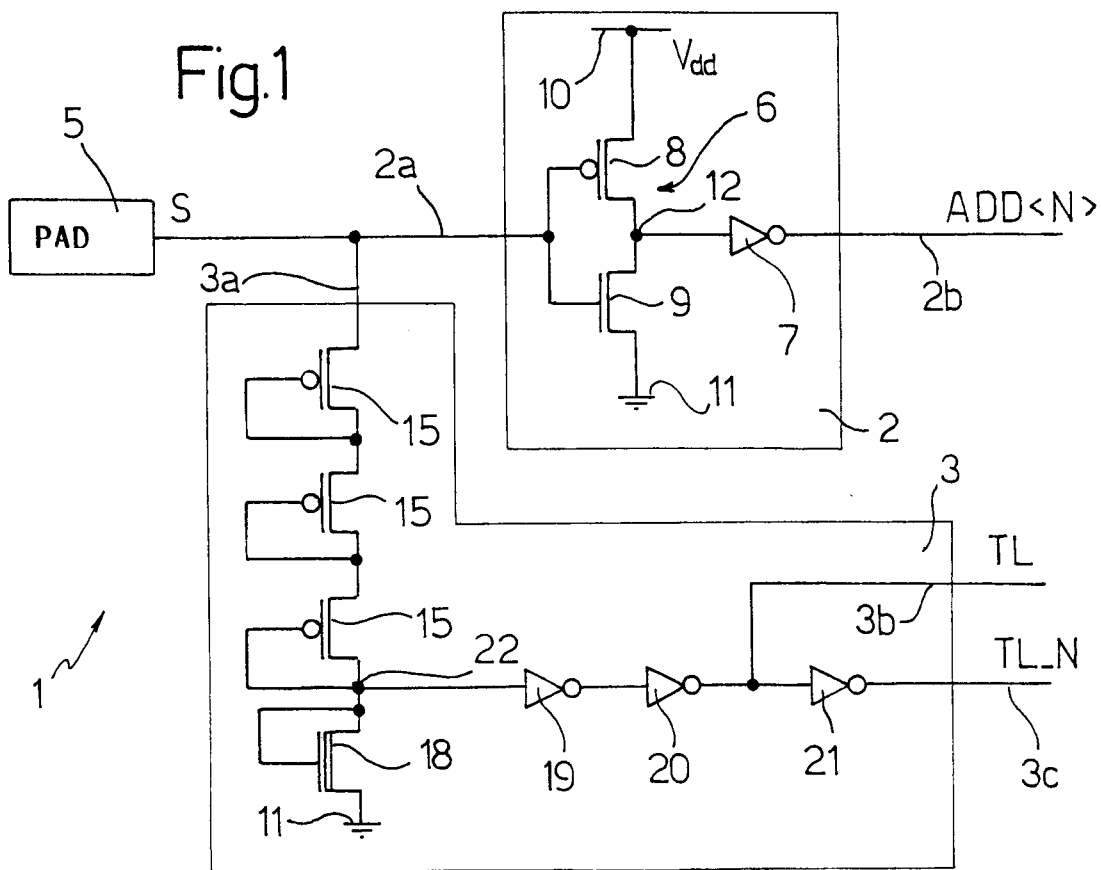
p.i.: STMICROELECTRONICS S.R.L.

CERBARO Elena
(iscrizione Albo nr 426/BM)

Elena Cerbaro



CERBARO Elena
(iscrizione Albo nr 426/BM)



p.i.: STMICROELECTRONICS S.R.L.

CERBARO Elena

(iscrizione Albo nr 426/MI)

Muse Auto



