



(12) 发明专利

(10) 授权公告号 CN 113169201 B

(45) 授权公告日 2024. 09. 24

(21) 申请号 201980079474.0
(22) 申请日 2019.12.11
(65) 同一申请的已公布的文献号
申请公布号 CN 113169201 A
(43) 申请公布日 2021.07.23
(30) 优先权数据
62/778,445 2018.12.12 US
16/562,396 2019.09.05 US
(85) PCT国际申请进入国家阶段日
2021.06.01
(86) PCT国际申请的申请数据
PCT/US2019/065575 2019.12.11
(87) PCT国际申请的公布数据
W02020/123571 EN 2020.06.18
(73) 专利权人 科磊股份有限公司
地址 美国加利福尼亚州

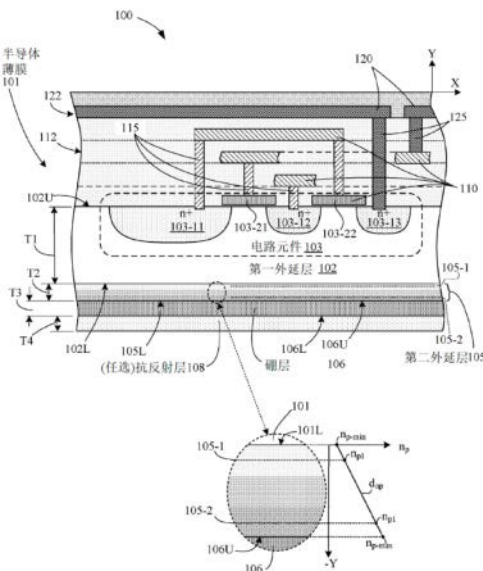
(72) 发明人 勇·霍·亚历克斯·庄
振·华·霍华德·陈
约翰·费尔登 张璟璟
戴维·L·布朗
西西尔·雅拉曼其里
(74) 专利代理机构 北京律盟知识产权代理有限公司 11287
专利代理师 刘丽楠
(51) Int.Cl.
H01L 27/146 (2006.01)
(56) 对比文件
EP 3358619 A1, 2018.08.08
US 2015200216 A1, 2015.07.16
审查员 陈艳萍

权利要求书2页 说明书10页 附图7页

(54) 发明名称
背照式传感器及制造传感器的方法

(57) 摘要

本发明揭示一种图像传感器,其利用纯硼层及具有p型掺杂剂浓度梯度的第二外延层以增强感测DUV、VUV或EUV辐射。在第一外延层的上表面上制造感测(电路)元件及相关联金属互连件,接着在所述第一外延层的下表面上形成所述第二外延层,且接着在所述第二外延层上形成纯硼层。通过系统地增加在所述第二外延层的沉积/生长期间使用的气体中的p型掺杂剂的浓度而产生所述p型掺杂剂浓度梯度,使得所述第二外延层的最低p型掺杂剂浓度紧邻于与所述第一外延层的界面而出现且使得所述第二外延层的最高p型掺杂剂浓度紧邻于与所述纯硼层的界面而出现。



1. 一种制造图像传感器的方法,所述方法包括:
在衬底上形成第一外延层;
在所述第一外延层的第一表面上形成电路元件;
薄化所述衬底以产生经薄化衬底,所述经薄化衬底暴露所述第一外延层的所述第一表面的至少一表面部分;
在所述第一外延层的第二表面的所述经暴露部分上形成第二外延层;及
在所述第二外延层的下表面上形成纯硼层,
其中形成所述第二外延层包含通过逐渐增加在所述第二外延层的形成期间使用的p型掺杂剂的浓度而在所述第二外延层中产生p型掺杂剂浓度梯度,使得所述第二外延层的第一中间层部分具有低于所述第二外延层的随后形成第二中间层部分的p型掺杂剂浓度,且所述第二外延层的最高p型掺杂剂浓度是邻近于所述纯硼层。
2. 根据权利要求1所述的方法,其中所述p型掺杂剂包括硼。
3. 根据权利要求1所述的方法,其中形成所述第二外延层包括在低于350°C的温度下利用含有元素硼的气体。
4. 根据权利要求3所述的方法,其中形成所述第二外延层包括使用分子束外延生长来生长所述第二外延层。
5. 根据权利要求1所述的方法,其中所述方法进一步包括在所述纯硼层的表面上沉积抗反射层。
6. 根据权利要求1所述的方法,其中所述方法进一步包括在所述纯硼层的所述表面上沉积金属保护层。
7. 根据权利要求1所述的方法,其中所述方法进一步包括在薄化所述衬底之前将处置晶片在所述电路元件上方附接到所述第一外延层。
8. 根据权利要求7所述的方法,其中所述方法进一步包括在薄化所述衬底之前在所述第一外延层及所述处置晶片中的至少一者中形成通孔。
9. 根据权利要求8所述的方法,其中所述方法进一步包括在形成所述纯硼层之后暴露所述通孔。
10. 根据权利要求1所述的方法,其中形成所述第二外延层包括在低于450°C的温度下利用等离子体增强化学气相沉积过程。
11. 一种用于感测深紫外线DUV辐射、真空紫外线VUV辐射、极紫外线EUV辐射及带电粒子中的至少一者的背照式图像传感器,所述图像传感器包括:
半导体薄膜,其包括第一外延层且包含形成于所述第一外延层的第一表面上的电路元件及金属互连件;
第二外延层,其形成于所述第一外延层的第二表面上;及
纯硼层,其形成于所述第二外延层的下表面上,
其中所述第二外延层包含增加的p型掺杂剂浓度梯度,其具有邻近于所述第一外延层的所述第二表面的最小p型掺杂浓度且具有邻近于所述纯硼层的最大p型掺杂浓度。
12. 根据权利要求11所述的图像传感器,其中所述第一外延层具有10 μm 到40 μm 的范围内的厚度。
13. 根据权利要求12所述的图像传感器,其中所述纯硼层具有2nm到20nm的范围内的厚

度。

14. 根据权利要求11所述的图像传感器,其进一步包括沉积于所述纯硼层上的抗反射涂层。

15. 根据权利要求11所述的图像传感器,其进一步包括在所述电路元件上方附接到所述第一外延层的处置晶片。

16. 根据权利要求11所述的图像传感器,其进一步包括在所述电路元件上方形成于所述第一外延层上的保护层。

17. 根据权利要求11所述的图像传感器,其中所述p型掺杂剂包括硼。

18. 根据权利要求13所述的图像传感器,其中所述图像传感器包括电荷耦合装置CCD或CMOS装置。

19. 一种用于感测深紫外线DUV辐射、真空紫外线VUV辐射、极紫外线EUV辐射及带电粒子中的至少一者的背照式图像传感器,所述图像传感器包括:

半导体薄膜,其包括第一外延层且包含形成于其的第一表面上的电路元件及连接到所述电路元件中的至少一者的金属互连件;

第二外延层,其形成于所述第一外延层的第二表面上;及

纯硼层,其形成于所述第二外延层的下表面上,

其中所述第二外延层包含p型掺杂剂浓度梯度,其经配置使得所述第二外延层的第一中间层部分具有低于所述第二外延层的第二中间层部分的p型掺杂剂浓度,且包含邻近于所述纯硼层的p型掺杂剂最大浓度,所述第二外延层经安置于所述第一外延层与所述纯硼层之间。

20. 根据权利要求19所述的图像传感器,

其中所述纯硼层具有2nm到20nm的范围内的厚度,且

其中所述半导体薄膜具有10 μ m到40 μ m的范围内的厚度。

21. 根据权利要求19所述的图像传感器,所述图像传感器进一步包括安置于所述纯硼层上的抗反射层及保护层中的一者,其中所述纯硼层具有在3nm到10nm之间的厚度。

22. 根据权利要求19所述的图像传感器,其中所述p型掺杂剂由硼构成。

背照式传感器及制造传感器的方法

[0001] 相关申请案/专利

[0002] 本申请案主张2018年12月12日申请且以引用的方式并入本文中的标题为“背照式传感器及制造传感器的方法 (BACK-ILLUMINATED SENSOR AND A METHOD OF MANUFACTURING A SENSOR)”的第62/778,445号美国临时专利申请案的优先权。本申请案还涉及全部属于彻恩 (Chern) 等人且全部标题为“具有硼层的背照式传感器 (Back-illuminated sensor with boron layer)”的第9,496,425号、第9,818,887号及第10,121,914号美国专利。这些专利及申请案以引用的方式并入本文中。

技术领域

[0003] 本申请案涉及适用于感测深UV (DUV) 及真空UV (VUV) 波长中的辐射的图像传感器及用于制作此类图像传感器的方法。这些传感器适用于光掩模、分划板或晶片检验系统及其它应用。

背景技术

[0004] 以下描述及实例不因其包含于此章节中而被认为是现有技术。

[0005] 集成电路产业需要具有越来越高分辨率的检验工具以解析集成电路、光掩模、分划板、太阳能电池、电荷耦合装置等的不断减小的特征以及检测大小约为所述特征大小或小于所述特征大小的缺陷。

[0006] 在许多情况中,在短波长 (例如,短于约250nm的波长) 操作的检验系统可提供此分辨率。特定来说,针对光掩模或分划板检验,可期望使用相同于或接近于将用于光刻的波长 (即,针对当代光刻,接近于193.4nm且针对未来EUV光刻,接近于13.5nm) 的波长进行检验,这是因为由图案引起的检验光的相移将相同于或非常类似于光刻期间引起的相移。针对检验半导体图案化晶片,在相对广泛波长范围 (例如包含近UV、DUV及/或VUV范围中的波长的波长范围) 内操作的检验系统可为有利的,这是因为广泛波长范围可降低对层厚度或图案尺寸的小改变 (其可在一个别波长引起反射率的大改变) 的敏感度。

[0007] 为检测光掩模、分划板及半导体晶片上的小缺陷或粒子,需要高信噪比。当以高速进行检验时,需要高光子通量密度以确保高信噪比,这是因为所检测的光子数目的统计波动 (帕松 (Poisson) 噪声) 是对信噪比的基本限制。在许多情况中,每像素需要约100,000个或更多光子。由于检验系统通常每天投入使用24小时且仅具有短暂停工,所以仅在操作几个月之后,检测器就被曝露于大剂量辐射。

[0008] 具有250nm的真空中波长的光子具有约5eV的能量。二氧化硅的带隙是约10eV。尽管此类波长光子可看似无法被二氧化硅吸收,但如生长在硅表面上的二氧化硅在与硅的界面处必须具有悬键,这是因为二氧化硅结构无法完美匹配硅晶体的结构。另外,由于单一二氧化物是非晶的,所以材料内将存在悬键。实践上,在氧化物内以及到可吸收具有DUV波长的光子 (尤其波长短于约220nm的光子) 的下层半导体的界面处将存在不可忽略密度的缺陷及杂质。此外,在高辐射通量密度下,两个高能光子可在非常短时间间隔 (纳米或皮秒) 内

到达相同位置附近,此可导致电子通过两个快速连续吸收事件或通过双光子吸收激发到二氧化硅的传导带。

[0009] 对用于检验、计量及相关应用的传感器的进一步要求是高敏感度。如上文说明,需要高信噪比。如果传感器未将入射光子的大部分转换为信号,那么将需要较高强度光源,以便维持相同于具有更高效传感器的检验或计量系统的检验或测量速度一较高强度光源将把仪器光学器件及所检验或测量的样本曝露于较高光强度,从而可能随时间引起损坏或降级。较高强度光源还将更昂贵或尤其在DUV及VUV波长可为不可用的。硅反射入射于其上的高百分比的DUV及VUV光。例如,在193nm波长附近,其表面上具有2nm氧化物层(例如原生氧化物层)的硅反射入射于其上的约65%的光。在硅表面上生长约21nm的氧化物层使对193nm附近的波长的反射率降低到接近于40%。具有40%反射率的检测器比具有65%反射率的检测器显著更高效,但可期望较低反射率及因此较高效率。

[0010] 通常在例如透镜及镜的光学元件上使用抗反射涂层。然而,常用于光学元件的许多涂层材料及过程通常与硅基传感器不相容。例如,电子及离子辅助沉积技术常用于光学涂层。此类涂层过程通常无法用于涂覆半导体装置,这是因为电子或离子可将足够电荷沉积于半导体装置的表面上以引起电崩溃,从而导致对制造于半导体上的电路的损坏。

[0011] DUV及VUV波长被硅强烈吸收。此类波长可主要在硅的表面的约10nm或几十nm内被吸收。在DUV或VUV波长操作的传感器的效率取决于在电子重组之前可收集由所吸收光子产生的电子的多大部分。二氧化硅可与具有低密度的缺陷的硅形成高质量界面。包含常用于抗反射涂层的许多材料的大多数其它材料(如果直接沉积于硅上)导致硅表面处的非常高密度的电缺陷。硅表面上的高密度的电缺陷可并非希望在可见波长操作的传感器的问题,这是因为此类波长在被吸收之前通常可在硅中行进约100nm或更多且因此可较少受到硅表面上的电缺陷的影响。然而,DUV及VUV波长在接近于硅表面处被吸收,使得表面上的电缺陷及/或表面上的层内的所捕获电荷可导致所产生电子的大部分在硅表面处或附近重组且丢失,从而导致低效率传感器。

[0012] 全部属于彻恩(Chern)等人的美国专利9,496,425、9,818,887及10,121,914描述图像传感器结构及制作图像传感器的方法,所述图像传感器包含沉积于图像传感器的至少一曝露背表面上的硼层。揭示用于沉积硼的不同温度范围,包含约400°C到450°C的范围及约700°C到800°C的范围。发明人已发现硼的较高沉积温度的一个优点(例如约600°C到约900°C之间的沉积温度)是硼在此类温度下扩散到硅中,从而在光敏背表面上提供一非常薄、重度p型掺杂硅层。此p型掺杂硅层对于确保DUV及VUV辐射的高量子效率是重要的,这是因为其在表面附近产生静态电场以使电子加速离开表面到硅层中。p型硅还增加硅的背表面的导电率,此对于图像传感器的高速操作是重要的,这是因为由传感器的正表面上的电极上的信号的切换引起的接地电流需要返回路径。

[0013] 然而,在包含常规CMOS电路的半导体晶片上无法使用高于450°C的处理温度,这是因为450°C接近于常用于制造CMOS装置的金属(例如铝及铜)的熔点。在高温(例如大于450°C的温度)下,这些金属膨胀,变软且可分层。此外,在高温下,铜可容易地扩散通过硅,此将修改CMOS电路的电性质。在将任何金属沉积于晶片上之前薄化晶片允许在600°C到900°C之间的温度下将硼层沉积于背表面上(如前述专利中描述),从而使硼能够在硼层的沉积期间或之后扩散到表面中。随后可在正表面上形成金属互连件。在已将晶片的图像传感器区域

薄化到例如约25 μm 或更薄的厚度之后,经薄化区域可显著翘曲且可具有几十微米或更多的峰谷不平整度。因此,需要使用相对宽金属互联线及通孔(例如几微米宽或更多)以确保线及通孔连接而不管由不平整度引起的任何错位。此类宽金属互连件及通孔增加与所述线及通孔相关联的每单位面积的电容。此外,宽互连件及通孔可难以或无法使具有约一百万个或更多像素的大面积传感器上的全部信号互连。在一些情况中,可需要多晶硅跳线器以将金属互连件连接在一起,但多晶硅具有远高于任何金属的电阻率,因此此类跳线器的使用可限制传感器的最大操作速度。

[0014] 洪(Hoenk)等人的美国专利5,376,810描述可在450°C或更低的温度下执行的图像传感器的增量掺杂技术。此技术包含标称无掺杂硅的1.5nm罩盖层。此罩盖层可刻意氧化或可归因于环境中的水及氧而氧化。此氧化物层将在高强度DUV、VUV、EUV或带电粒子辐射下降级且可引起传感器降级。

[0015] 因此,需要能够高效地检测高能光子而不降级且克服一些或全部上述缺点的图像传感器。特定来说,制造具有硼层且在其背表面上掺杂硼的背薄化图像传感器同时允许在相对平坦晶片(即,具有约10 μm 或更小的平整度)上形成金属互连件的方法将允许使用更精细设计规则(例如对应于0.35 μm 工艺或更精细的设计规则)。此方法将允许较窄金属线连接到关键特征(例如浮动扩散),从而实现较小浮动扩散电容及较高电荷对电压转换比。更精细设计还允许传感器的每单位面积的更多互联线且允许连接图像传感器上的电路的更多灵活性。

发明内容

[0016] 本发明描述图像传感器及制造图像传感器的方法,所述图像传感器以高量子效率对DUV、VUV、EUV、X射线及/或带电粒子成像。这些图像传感器能够在高辐射通量下长寿命操作。这些方法包含在半导体(优选地硅)晶片上的层中形成光敏有源及/或无源电路元件以及在所述传感器的所述电元件之间形成金属互连件的过程步骤。这些图像传感器可包含精细金属互连件及通孔(例如遵循约0.35 μm 或更精细设计规则的金属件互连件及通孔),同时具有涂覆有非晶硼层的背侧表面且具有紧邻于所述硼层的高度掺杂p型硅层。所述金属互连件可包括钨、铝、铜或用于在已知CMOS过程中制造互连件的其它金属。

[0017] 一种制造图像传感器的示范性方法包含:在衬底上形成第一外延硅层;在所述第一外延硅层上形成栅极层,所述栅极层包括例如二氧化硅及氮化硅的电介质材料的一或多个层;在包括多晶硅及电介质材料的所述栅极层上形成电路元件;形成金属通孔及金属互连件以将至少一些所述电路元件连接在一起;薄化所述衬底以曝露所述第一外延硅层的至少一部分(所述经曝露第一外延硅层在本文中被称作半导体薄膜);在所述第一外延层的所述经曝露部分上直接生长第二外延硅层,所述第二外延硅层并入例如硼的p型掺杂剂的浓度梯度;在所述第二外延硅层的表面上直接形成非晶纯硼层;及任选地在所述非晶硼层的表面上直接形成一或多个抗反射层。如本文中使用,词组“电路元件”指代光敏装置(例如电荷耦合装置及光电二极管)、其它半导体装置(例如晶体管、二极管、电阻器及电容器)及其之间的电互连件(通常称为金属互连件或互连件)。使用标准半导体制造过程形成这些电路元件,所述标准半导体制造过程包含(但不限于)光刻、沉积、蚀刻、离子植入及退火。所述第二外延硅层可包括外延硅层,其中所述p型掺杂剂的低浓度邻近于所述第一外延硅层的所

述表面且所述p型掺杂剂的高浓度邻近于所述纯硼层。所述第二外延硅层可通过分子束外延(MBE)形成。可使用反应离子蚀刻、化学蚀刻及/或抛光执行薄化所述衬底(例如,晶片)。可注意,此薄化可增加所述图像传感器对照射所述背表面的光的敏感度。可在所述硼层上形成抗反射涂层。替代地,可在所述硼层上沉积薄金属涂层。在所述传感器用于检测带电粒子(例如电子)、EUV或X射线时,所述薄金属涂层可尤其有用。此薄金属涂层可降低所述传感器对杂散光的敏感度,可保护所述传感器的表面,且可促进污染物(例如碳及来自所述传感器表面的有机分子)的原位清洁。

[0018] 制造图像传感器的另一方法包含在衬底上形成第一外延硅层,接着在所述第一外延硅层上形成电路元件。此步骤包含形成金属互连件。所述金属互连件可包括钨、钼、铝、铜或另一金属。可在所述电路元件上形成保护层。可将处置晶片接合到包含所述电路元件的所述表面。接着,薄化所述衬底以曝露所述第一外延硅层的至少部分。如上文指示,此薄化可增加所述图像传感器对照射在所述背表面上的光的敏感度。在所述半导体薄膜的所述经曝露表面上生长第二外延硅层。使所述第二外延层掺杂p型掺杂剂,例如硼。可在小于或约450°C的温度下生长所述第二外延硅层。可通过在生长过程期间将掺杂剂(例如硼)或掺杂剂前驱体(例如乙硼烷)包含于生长腔室中而在所述第二外延硅层的生长期间将所述p型掺杂剂并入到所述层中。随着所述第二外延硅层生长,所述掺杂剂或所述掺杂剂前驱体的分压可随时间增加,借此在所述第二外延硅层内形成在所述第二外延硅层的外表面处最高且在紧邻于所述第一外延硅层的表面处最低的掺杂剂浓度轮廓。在所述p型掺杂外延硅层的所述表面上形成纯硼层。可在约300°C到约450°C之间的温度下沉积所述纯硼层。可在所述硼层上形成抗反射涂层。所述抗反射涂层可通过原子层沉积(ALD)或其它过程形成。替代地,可将薄金属涂层沉积于所述硼层上。在所述传感器用于检测带电粒子(例如电子)、EUV或X射线时,所述薄金属涂层可尤其有用。此薄金属涂层可降低所述传感器对杂散光的敏感度,可保护所述传感器的表面,且可促进污染物(例如碳及来自所述传感器表面的有机分子)的原位清洁。

[0019] 本发明描述用于DUV、VUV、EUV及/或X射线辐射的具有高量子效率及长寿命操作的图像传感器。这些图像传感器从背侧薄化以曝露第一外延硅层的至少一部分,使得其对照射在所述图像传感器的所述背侧上的辐射高度敏感(其中这些图像传感器是背照式的)。在所述第一外延硅层的所述经曝露背表面上直接生长第二外延硅层。所述第二外延硅层在原位掺杂p型掺杂剂,使得所述p型掺杂剂的浓度远离于所述第一外延层的所述表面而增加。将薄(例如,在约2nm到约20nm之间厚)、高纯度非晶硼层沉积于所述第二外延硅层上。在一些实施例中,可在所述硼上涂覆一或多个额外材料层。可选择每一层的厚度及材料以增加所关注波长到所述图像传感器中的透射及/或保护所述硼层以防损坏。

[0020] 可使用CCD(电荷耦合装置)或CMOS(互补金属氧化物半导体)技术制造本文中描述的所述图像传感器。所述图像传感器可为二维区域传感器或一维阵列传感器。

附图说明

[0021] 图1是展示根据本发明产生的示范性图像传感器的横截面图。

[0022] 图2说明用于制造图像传感器的示范性技术。

[0023] 图3A、3B及3C说明用于制造图像传感器的示范性方法。

[0024] 图4A、4B、4C、4D、4E、4F、4G及4H说明经受参考图2描述的方法的晶片的一部分的示范性横截面。

[0025] 图5说明并入图像传感器、硅中介层及其它电子器件的示范性检测器组合件。

具体实施方式

[0026] 尽管将依据某些实施例描述所主张的标的物,但其它实施例(包含未提供本文中陈述的全部益处及特征的实施例)也在本发明的范围内。可在不脱离本发明的范围的情况下做出各种结构、逻辑、过程步骤及电子改变。因此,仅参考随附权利要求书定义本发明的范围。

[0027] 呈现下列描述以使所属领域的一般技术人员能够制作及使用如在特定应用及其要求的上下文中提供的本发明。如本文中使用的,例如“顶部”、“底部”、“前”、“后”、“在…上方”、“在…下方”、“上”、“朝上”、“下”、“向下”及“朝下”的方向性术语希望为描述的目的而提供相对位置,且不希望指定绝对参考架构。所属领域的技术人员将了解对优选实施例的各种修改,且本文中定义的一般原理可应用于其它实施例。因此,本发明并不希望限于所展示及描述的特定实施例,而应符合与本文中揭示的原理及新颖特征一致的最广泛范围。

[0028] 图1是描绘根据本发明的示范性实施例的经配置以感测深紫外线(DUV)辐射、真空紫外线(VUV)辐射、极紫外线(EUV)辐射或带电粒子的图像传感器100的一部分的横截面侧视图。图像传感器100包含:半导体薄膜101,其包含形成于第一外延层的上(第一)表面102U上的电路元件103及形成于电路元件103上的金属互连件110及120;第二外延层105,其安置于第一外延层102的下(第二)表面102L上;纯硼层106,其安置于第二外延层105的下表面105L上;及任选抗反射涂层108,其安置于纯硼层106的下(面向外)表面106L上。

[0029] 在一个实施例中,第一外延层102包括具有 $10\mu\text{m}$ 到 $40\mu\text{m}$ 的范围内的厚度 T_1 及约 10^{13}cm^{-3} 到 10^{14}cm^{-3} 的范围内的p型(例如,硼)掺杂剂浓度的轻度p掺杂外延硅层。

[0030] 电路元件103包含使用已知技术形成于第一外延层102的上(第一)表面102U上(即,形成到上表面102U中及上方)的传感器装置(例如,光敏装置,例如光电二极管)及相关联控制晶体管。在所描绘的示范性实施例中,电路元件103包含:隔开的n+掺杂扩散区域103-11、103-12及103-13,其从上表面102U延伸到外延层102的对应部分中;及多晶硅(polycrystalline silicon)(多晶硅(polysilicon))栅极结构103-21及103-22,其分别通过中介栅极氧化物层与上表面102U分离。第一金属互连件110及第二金属互连件120连同对应第一金属通孔115及第二金属通孔125一起形成于电路元件113上且使用已知技术可操作地电连接到电路元件113的相关联区域。在沉积于电路元件113上方的一或多个电介质层112中或其上形成第一金属互连件110,且第一金属通孔115使用已知通孔形成技术延伸穿过电介质层112。在沉积于第一金属互连件110上方的第二电介质层122中形成第二金属互连件120,且第二金属通孔125延伸穿过一或两个电介质层112及122。在一个实施例中,在第一金属互连件110与第二金属互连件120之间形成保护层(图1中未展示)且全部第二金属通孔125包括铝及铜中的至少一者且延伸穿过此保护层。形成图1中描绘的电路元件103的示范性扩散区域与栅极结构连同示范性金属互连件110及120以及金属通孔115及125一起针对说明性目的而任意地配置且仅为描述示范性电路元件结构的目的而提供且不希望表示功能传感器装置或限制随附权利要求书。

[0031] 第二外延层105经沉积于第一外延层102的下表面102L上且具有在1nm到100nm的范围内且更优选地在约2nm到约20nm的范围内的厚度T2。

[0032] 参考定位于图1的底部处的气泡,根据本发明的方面,使用下文描述的处理技术形成第二外延层105,使得第二外延层105具有p型掺杂剂浓度梯度 d_{np} ,其从下表面102L处的最小(最低)p型掺杂浓度 n_{p-min} 系统地增加到上表面106U处的最大(最高)p型掺杂浓度 n_{p-max} 。通过以此方式同时形成p型掺杂剂浓度梯度 d_{np} 及第二外延层105而获得的益处是能够在比在第一外延层102内形成类似p型掺杂剂浓度梯度所需的温度基本上更低的处理温度(即,约450°C或更低)下产生p型掺杂剂浓度梯度 d_{np} (即,通过将p型掺杂剂扩散到第一外延层中而形成类似梯度需要至少700°C的处理温度,优选地约800°C或更高),借此通过促进使用低成本金属化材料(例如,铝及铜)而保持热预算且减少总制造成本。另外,在第二外延层105内形成p型掺杂剂浓度梯度 d_{np} 极大增强对梯度 d_{np} 内的p型掺杂剂浓度改变速率的控制,此促进不同梯度图案(例如,线性或抛物线),其可用于进一步增强图像传感器高效地检测高能光子的能力。例如,图1的示范性实施例将p型掺杂剂浓度梯度 d_{np} 的系统增加描绘为根据负Y轴方向的函数的连续线性增加。在其它实施例中,通过在第二外延层形成过程期间使P型掺杂剂材料的引入变化,p型掺杂剂浓度梯度 d_{np} 的逐渐增加可由厚度(负Y轴)方向的任何函数定义,例如连续弯曲增加(例如,根据层厚度的函数的掺杂浓度改变遵循抛物曲线)或不连续(逐步)增加。在任何情况中,首先形成的层部分(即,在第二外延层形成过程中相对早发生的给定时间周期期间产生的增量层部分)具有低于至少一个随后形成层部分的p型掺杂浓度。例如,第二外延层105的(第一)中间层部分105-1的p型掺杂剂浓度 n_{p1} 等于或低于第二外延层105的(第二)中间层部分105-2的p型掺杂剂浓度 n_{p2} 。当p型掺杂剂浓度梯度 d_{np} 以连续增加方式相对于厚度变化(例如,与图1中展示的实例中描绘的线性函数一致或基于抛物线增加速率)时,中间层部分105-1的p型掺杂剂浓度 n_{p1} 高(大)于最小p型掺杂浓度 n_{p-min} 且中间层部分105-2的p型掺杂剂浓度 n_{p2} 低(小)于最大p型掺杂浓度 n_{p-max} 。然而,当p型掺杂剂浓度梯度 d_{np} 以逐步增加方式变化时,特定p型掺杂剂浓度可针对第二外延层105的厚度方向区域保持相同(例如,中间层部分105-1的p型掺杂剂浓度 n_{p1} 可等于最小p型掺杂浓度 n_{p-min})。在示范性实施例中,最大p型掺杂浓度 n_{p-max} 是约 10^{20} cm^{-3} ,且最小p型掺杂浓度 n_{p-min} 大于或约等于第一外延层102的掺杂剂浓度。

[0033] 在一个实施例中,使用下文描述的技术形成纯硼层106,使得纯硼层106具有2nm到10nm的范围内的厚度T3。在一个实施例中,纯硼层106包括80%或更高的硼浓度,其中内部扩散硅原子及氧原子主要构成其余20%或更少。

[0034] 在一个特定实施例中,纯硼层106的厚度T3在3nm到10nm的范围内,且任选抗反射涂层108包括沉积于纯硼层106的下(面向外)表面106L上的二氧化硅层。

[0035] 图2说明用于制造图像传感器的示范性技术200。在此实施例中,可在步骤201中使用包含光刻、沉积、离子植入、退火及蚀刻的标准半导体处理步骤产生电路元件。在一个实施例中,还可在步骤201中产生CCD及/或CMOS传感器元件及装置。在晶片的前侧表面上的第一外延(epi)层中产生这些电路元件。在优选实施例中,第一外延层是约10 μm 到40 μm 厚。第一外延层是轻度p(p-)掺杂的。在一个实施例中,第一外延层敏感度在约10 $\Omega \text{ cm}$ 到100 $\Omega \text{ cm}$ 之间。在步骤201中使用包含铝、铜、钨、钼或钴的任何适合金属产生金属互连件。使用例如钨或钼的耐火金属形成第一金属互连件及相关联金属通孔可允许随后步骤中(特定来说步

骤209及/或211中)的高温(例如大于约600°C的温度)。然而,当随后步骤中的温度限于约450°C或更低时,包含铜及铝的任何方便金属可用于形成第二金属互连件及相关联金属通孔。

[0036] 在步骤203中,可保护晶片的前侧表面。此保护可包含在步骤201期间形成的电路元件的顶部上沉积一或多个保护层。一或多个保护层可包括二氧化硅、氮化硅或其它材料。此保护可包含将晶片附接到处置晶片,例如硅晶片、石英晶片或由其它材料制成的晶片。处置晶片可包含用于连接到电路元件的晶片穿孔。

[0037] 步骤205涉及从背侧薄化晶片以便曝露(至少)有源传感器区域中的第一外延层。此步骤可涉及抛光、蚀刻或两者。在一些实施例中,背薄化整个晶片。在其它实施例中,仅有源传感器区域被薄化直到第一外延层。

[0038] 步骤207包含在沉积第二外延层之前清洁及制备背侧表面。在此清洁期间,应从背侧表面移除原生氧化物及任何污染物(包含有机物及金属)。在一个实施例中,此清洁可使用稀释HF溶液或使用RCA清洁过程执行。在清洁之后,可使用马兰哥尼(Marangoni)干燥技术或类似技术干燥晶片以使表面保持干燥且无水痕。

[0039] 在优选实施例中,在步骤207与208之间在受控环境中(例如,在真空环境中或在使用例如氮的干燥惰性气体冲洗的环境中)保护晶片以最小化清洗之后的原生氧化物再生长。

[0040] 在步骤208中,在第一外延层的至少经曝露部分上生长(沉积)第二外延硅层。在一个实施例中,通过分子束外延(MBE)或其它过程在约350°C或更低的温度下生长第二外延层。在另一实施例中,通过化学气相沉积(CVD)或等离子体增强CVD(PECVD)过程在约450°C或更低的温度下生长第二外延层。如图3A到3C中描绘,可在反应腔室中使用含有硅及p型掺杂剂(例如硼)的气体G生长第二外延层105A,以便产生p掺杂外延硅层。参考图3A,在沉积过程早期,气体G包含相对低量P0的p型掺杂剂,借此形成第一层部分105A0,使得邻近于第一外延层102的表面102L产生最小p型掺杂剂浓度 n_{p-min} 。随着沉积的进展,气体G中的p型掺杂剂的量(浓度)根据所选择的排程增加,同时维持相同量的硅,使得远离于第一外延层安置的第二外延层中的p型掺杂剂浓度增加。例如,如图3B中指示,在外延沉积过程的中间阶段期间,沉积过程气体G包含大于在图3A中指示的点处使用的量P0的中间量P1的p型掺杂剂,借此形成具有大于最小p型掺杂剂浓度 n_{p-min} 的中间p型掺杂剂浓度 n_{p-int} 的中间层部分105A1。类似地,如图3C中指示,在外延沉积过程的最终阶段期间,沉积过程气体G包含大于中间量P1的最终量P2的p型掺杂剂,借此形成具有大于中间p型掺杂剂浓度 n_{p-int} 的最大p型掺杂剂浓度 n_{p-max} 的最终层部分105A2。在替代实施例中,用于生长第二外延层的气体G可包含呈元素形式的硅或硼,或可包含前驱体,例如硅的硅烷或硼的乙硼烷。

[0041] 在步骤209中,在第二外延层的表面上沉积硼。在一个优选实施例中,此沉积可在约300°C到约450°C之间的温度下使用乙硼烷或乙硼烷-氢混合物(用氮稀释)完成,借此产生高纯度非晶硼层。在替代实施例中,沉积可在低于约350°C的温度下例如通过使用含有元素硼的气体完成。经沉积硼层的厚度取决于传感器的预期应用。通常,硼层厚度将在约2nm到20nm之间,优选地在约3nm到10nm之间。最小厚度通过对无针孔均匀膜的需要进行设置,而最大厚度取决于硼对所关注光子或带电粒子的吸收以及晶片可保持在沉积温度的最大时间长度。

[0042] 可在萨鲁比 (Sarubbi) 等人的“化学气相沉积硅上非晶硼层以控制纳米级深p+-n 结形成 (Chemical vapor deposition of a-boron layers on silicon for controlled nanometer-deep p+-n junction formation)” (J.电子材料 (J.Electron.Material), 第39 卷, 第162到173页, 2010年) 中找到关于从乙硼烷气体沉积硼的更多细节, 所述内容以引用的方式并入本文中。

[0043] 在步骤209之后, 可在硼层的顶部上沉积其它层。这些其它层可包含由一或多个材料组成的抗反射涂层, 例如二氧化硅、氮化硅、氧化铝、二氧化钪、氟化镁及氟化锂。这些其它层可包含包括例如铝、钪、钨或钼的的金属的薄保护层。可使用ALD沉积这些其它层的一或多者。使用ALD过程沉积这些层的优点是ALD过程通常允许对经沉积层的厚度的非常精确 (单个单层) 控制。在替代实施例中, 在步骤213之后, 可在硼层的顶部上沉积其它层。

[0044] 在一个实施例中, 可在步骤213中移除保护前侧层。在另一实施例中, 在步骤213 中, 可在处置晶片及/或保护前侧层中敞开或曝露孔或通孔, 或可曝露装置的边缘周围的硅穿孔, 借此允许连接到电路元件。

[0045] 在步骤215中, 可将所得结构包装在适合封装中。包装步骤可包括装置到衬底的覆晶接合或线接合。封装可包含透射所关注波长的窗, 或可包括界接到真空密封件的凸缘或密封件。

[0046] 图4A到4G说明经受方法200 (图2) 的晶片的示范性横截面。图4A说明形成于衬底 401的前侧上的第一外延 (epi) 层402。第一外延层402优选地是p-外延层。在一个实施例中, 第一外延层敏感度在约100 Ω cm到1000 Ω cm之间。

[0047] 图4B说明包含可形成于第一外延层402上的互连件的各种电路元件403 (如上文步骤201中描述)。由于在衬底仍是几百微米厚且因此未严重翘曲时在晶片上形成互连件, 所以这些互连件可使用正常亚微米CMOS处理技术形成且可包含高密度金属互连件的多个层。金属互连件包括金属, 例如铜、铝、钨、钼或钴。在一个实施例中, 金属互连件完全由耐火金属构成。在一个实施例中, 在图像传感器阵列的一或多个边缘周围产生多个硅穿孔 (TSV) 403A以便允许连接到电路元件403。

[0048] 图4C说明附接到电路元件403的上方的第一外延层402的顶面的处置晶片404 (步骤203)。应注意, 展示但并未标示硅穿孔以免过度复杂化图式。在替代实施例中, 可使用保护层代替处置晶片404或除处置晶片404以外还使用保护层。在一个实施例 (未展示) 中, 在处置晶片404中形成通孔以允许连接到电路元件403。

[0049] 图4D说明在衬底 (例如, 图4C中展示的衬底401) 经背薄化以形成上文提及的半导体薄膜或经移除以曝露第一外延层402的背侧 (下) 表面402L (即, 与电路元件403形成于其上且处置晶片404附接到其的表面相对) 之后的晶片。如图4D中描绘, 可在通过背薄化过程曝露的背侧表面402L上形成原生氧化物。

[0050] 图4E说明在背侧表面402L的清洁及制备完成 (步骤207) 以制备第一外延层402以形成第二外延 (epi) 层之后的晶片。

[0051] 图4F说明分别在第一外延层402的背侧表面402L上形成第二外延层405且在第二外延层405的下表面405L上形成纯硼层406之后的晶片 (步骤208及209)。第二外延层405在生长期间的原位p型掺杂 (如上文针对步骤208描述) 产生从第一外延层402的底 (背侧) 表面 402L增加到纯硼层406的下表面405L的掺杂剂浓度轮廓。

[0052] 图4G说明沉积于纯硼层406的底/下表面406L的一或多个任选抗反射或保护层408。可使用ALD过程沉积所述层中的至少一者。

[0053] 图4H说明在蚀刻及沉积步骤产生金属衬垫407以便允许电连接到TSV 403A之后的晶片(步骤213)。应注意,如果在处置晶片404中形成通孔,那么应在处置晶片404的顶面上形成金属衬垫407。

[0054] 上文实例不希望限制本文中揭示的本发明的范围。其仅希望作为如何可将p型掺杂第二外延层沉积于第一外延层的背侧表面上的说明。第二外延层随后在其光敏表面上涂覆硼层。由于第二外延层包含具有邻近于硼的其最大值的p型掺杂剂的浓度梯度,所以图像传感器甚至针对仅可穿透到外延层中达几nm或几十nm的短波长光或低能量带电粒子具有高效率。

[0055] 图5说明根据本发明的某些实施例的并入图像传感器504、硅中介层502及其它电子器件的示范性检测器组合件500。

[0056] 在本发明的一个方面中,检测器组合件500可包含安置于中介层502的表面上的一或多个图像传感器504。在一个实施例中,组合件500的一或多个中介层502可包含(但不限于)硅中介层。在本发明的另一方面中,组合件500的一或多个图像传感器504经背薄化且经进一步配置用于包含硼层及邻近于硼层的p型掺杂第二外延层的背照式,如上文描述。

[0057] 在本发明的另一方面中,可将组合件500的各种电路元件安置于中介层502上或内建于其中。在一个实施例中,可将一或多个放大电路(例如,电荷转换放大器)(未展示)安置于中介层502上或内建于其中。在另一实施例中,可将一或多个转换电路508(例如,模/数转换电路,即,数字化器)安置于中介层502上或内建于其中。在另一实施例中,可将一或多个驱动器电路506安置于中介层502上或内建于其中。例如,一或多个驱动器电路506可包含时序/串行驱动电路。例如,一或多个驱动器电路506可包含(但不限于)时钟驱动器电路系统或复位驱动器电路系统。在另一实施例中,可将一或多个解耦电容器(未展示)安置于中介层502上或内建于其中。在另一实施例中,可将一或多个串行传输器(图5中未展示)安置于中介层502上或内建于其中。在另一实施例中,放大电路、模/数转换器电路及驱动器电路的一或多者可包含于图像传感器504中,从而减少例如506及508的电路的数目(或消除对其的需求)。

[0058] 在本发明的另一方面中,可将一或多个支撑结构安置于图像传感器504的底面与中介层502的顶面之间,以便提供对传感器504的物理支撑。在一个实施例中,可将多个焊料球516安置于图像传感器504的底面与中介层502的顶面之间,以便提供对传感器504的物理支撑。本文中应认识到,虽然传感器504的成像区域可能不包含外部电连接,但传感器504的背薄化引起传感器504变得越来越柔性。因而,可利用焊料球516以依强化传感器504的成像部分的方式将传感器504连接到中介层502。在替代实施例中,可将底胶填充材料安置于图像传感器504的底面与中介层502的顶面之间,以便提供对传感器504的物理支撑。例如,可将环氧树脂安置于图像传感器504的底面与中介层502的顶面之间。

[0059] 在本发明的另一方面中,将中介层502及各种额外电路系统(例如,放大电路、驱动器电路506、数字化器电路508及类似物)安置于衬底510的表面上。在另一方面中,衬底510包含具有高导热性的衬底(例如,陶瓷衬底)。在此方面,衬底510经配置以提供对传感器504/中介层502组合件的物理支撑,同时还提供使组合件500高效地传导热远离图像传感器

504及各种其它电路系统(例如,数字化器508、驱动器电路系统506、放大器及类似物)的方法。本文中应认识到,衬底可包含所属领域中已知的任何刚性高度导热衬底材料。例如,衬底510可包含(但不限于)陶瓷衬底。例如,衬底510可包含(但不限于)氮化铝。

[0060] 在另一实施例中,衬底510可经配置以提供到插座或下层印刷电路板(PCB)的界面。例如,如图5中展示,衬底510可提供中介层502与插座或PCB通孔互连件512之间的互连。所属领域的技术人员将认识到,衬底510可操作地耦合到下层PCB且进一步以各种方式(其都被解释为在本发明的范围内)电耦合到插座或PCB。

[0061] 上文描述的本发明的结构及方法的各种实施例仅说明本发明的原理且不希望将本发明的范围限于所描述的特定实施例。例如,可将额外步骤添加到图2中描绘的流程图,或所展示的一些步骤可以不同于所展示的序列进行。因此,本发明仅受限于所附权利要求书及其等效物。

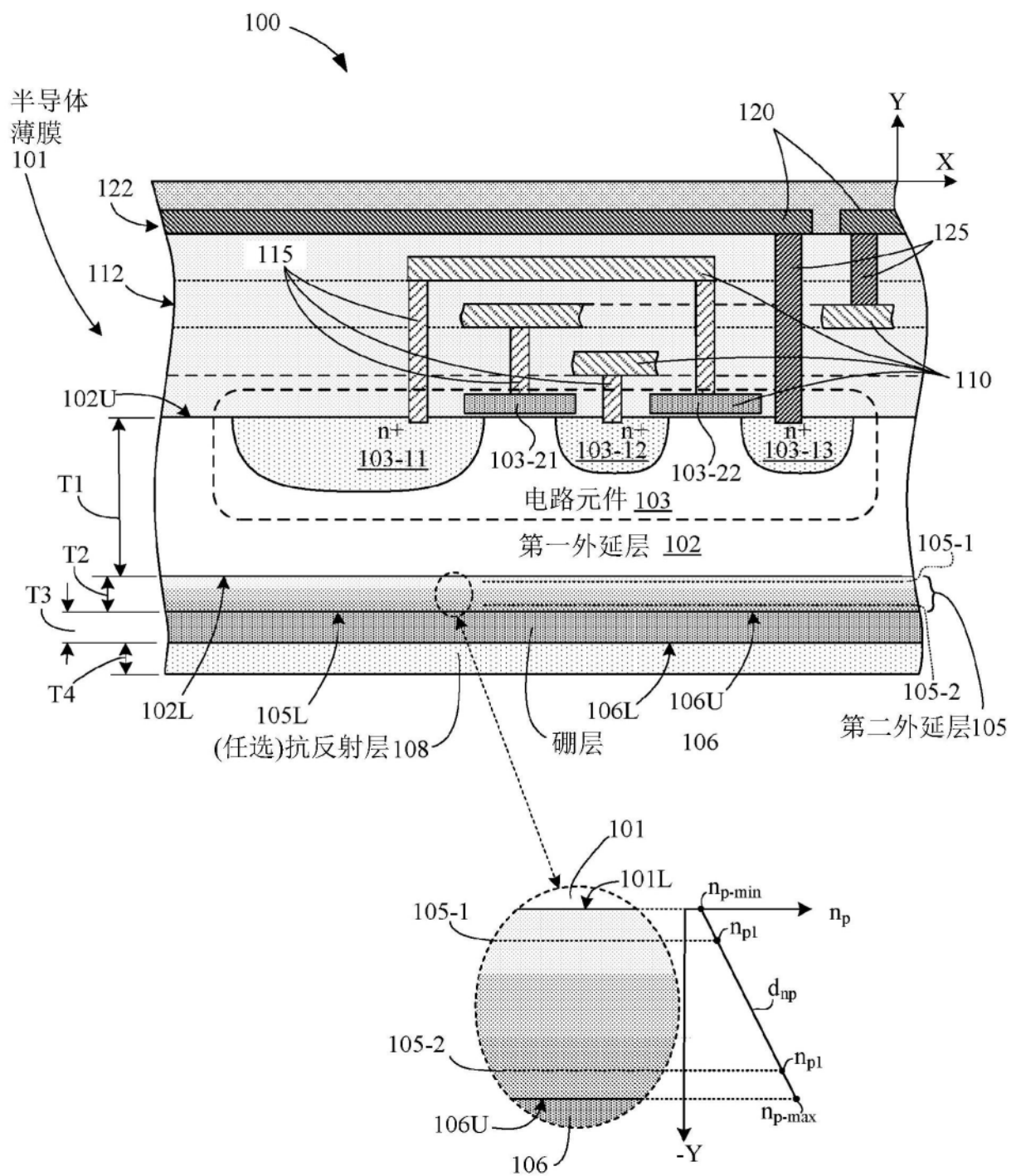


图1

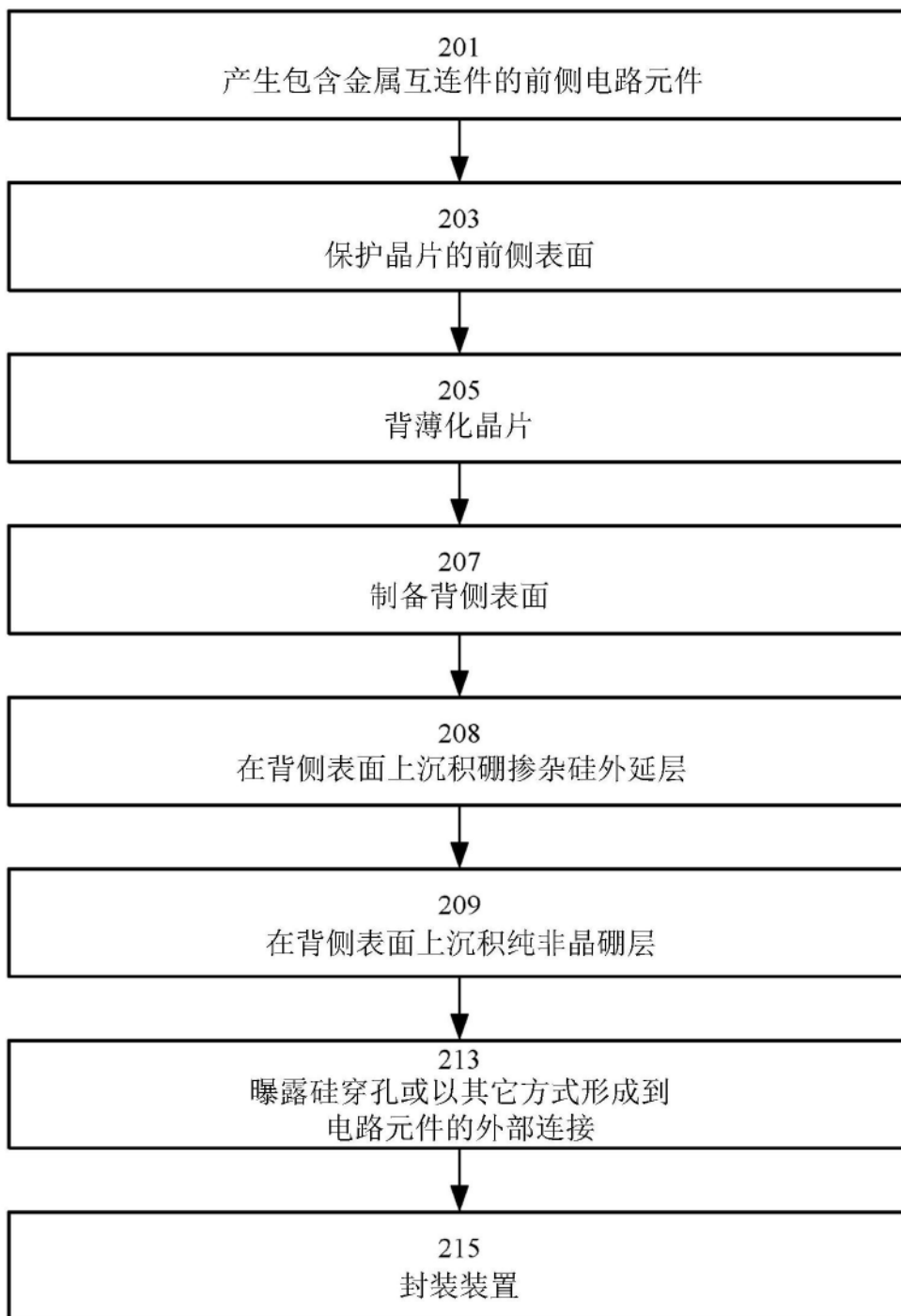
200

图2

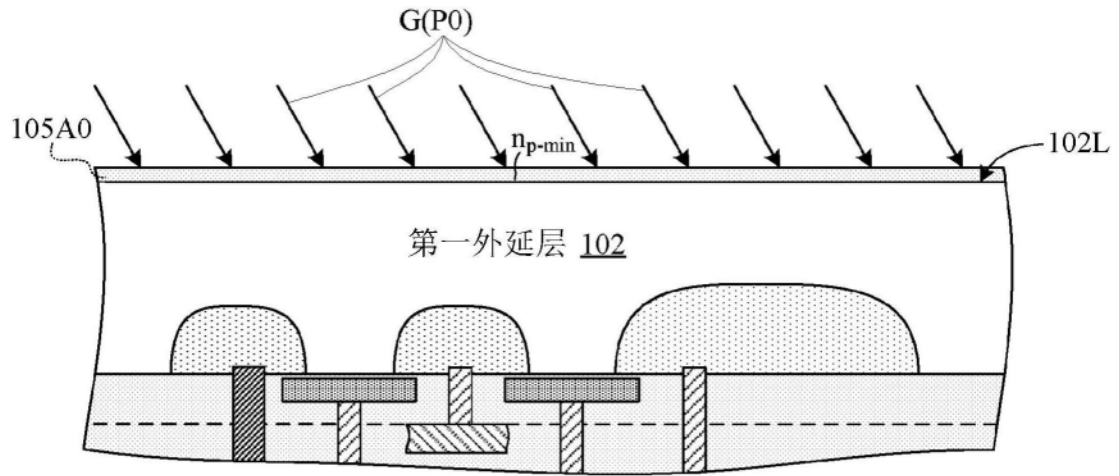


图3A

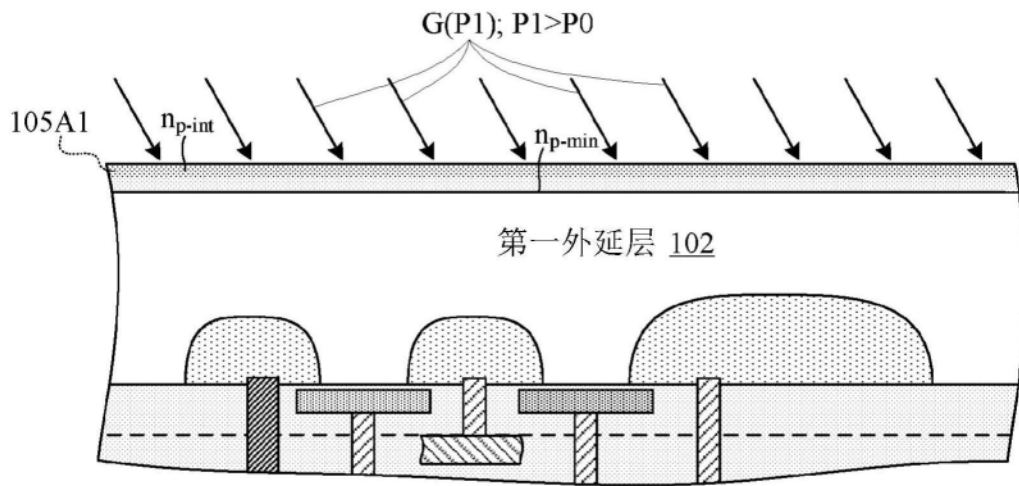


图3B

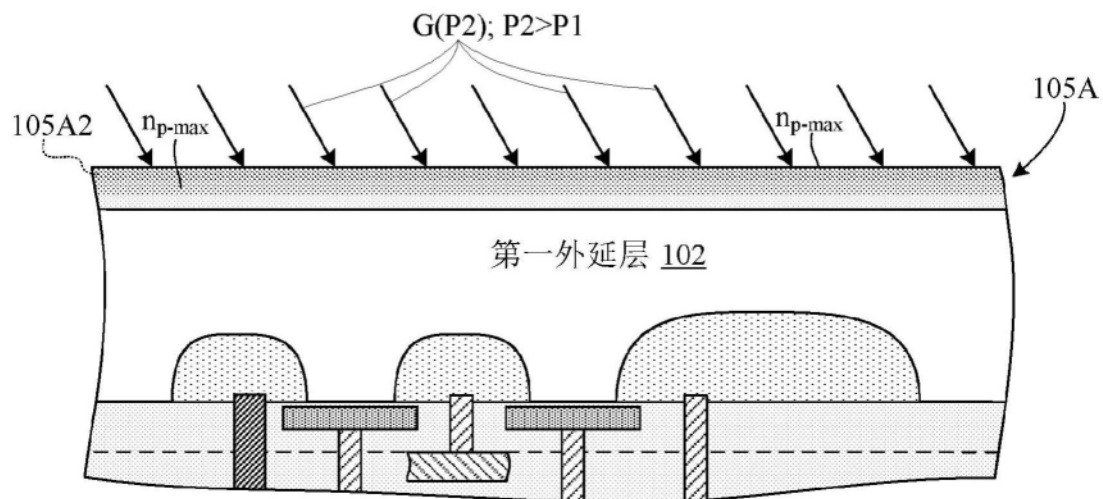


图3C

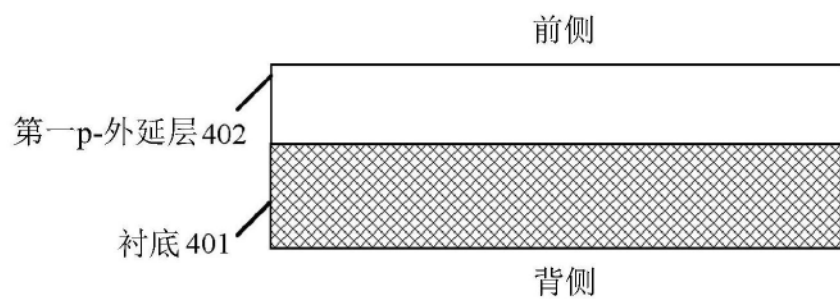


图4A

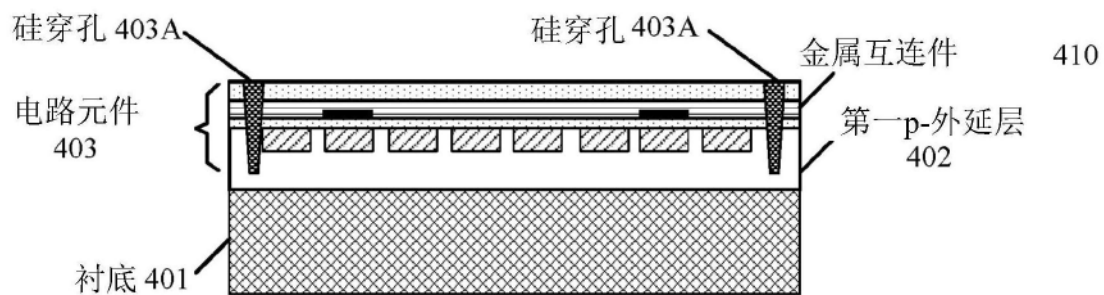


图4B

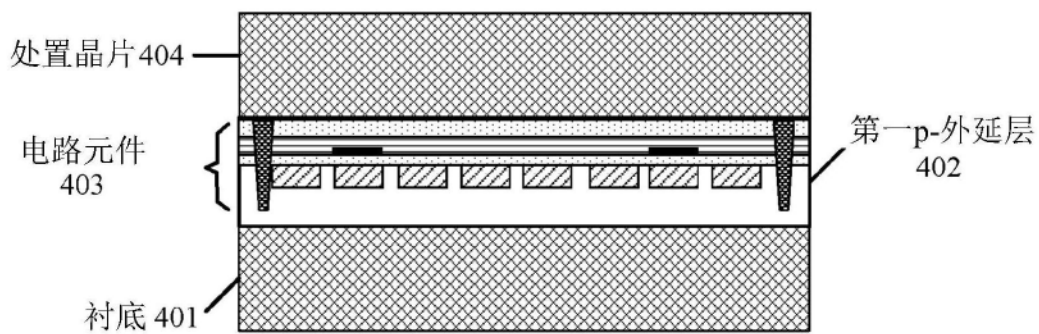


图4C

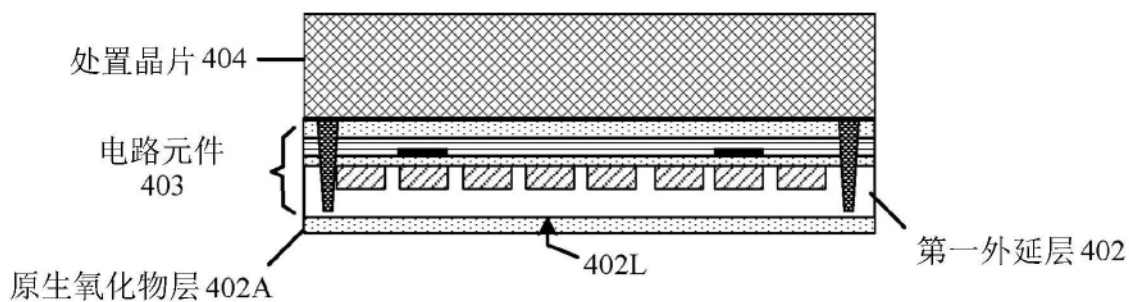


图4D

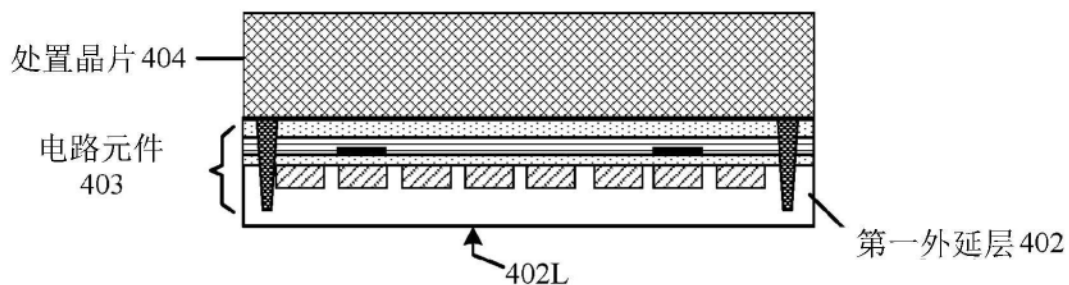


图4E

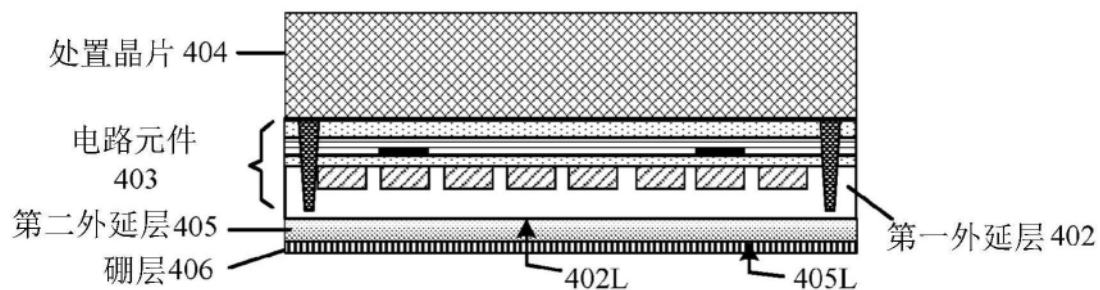


图4F

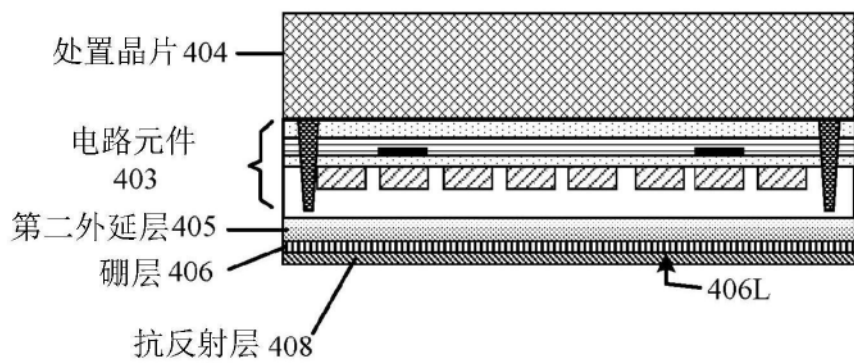


图4G

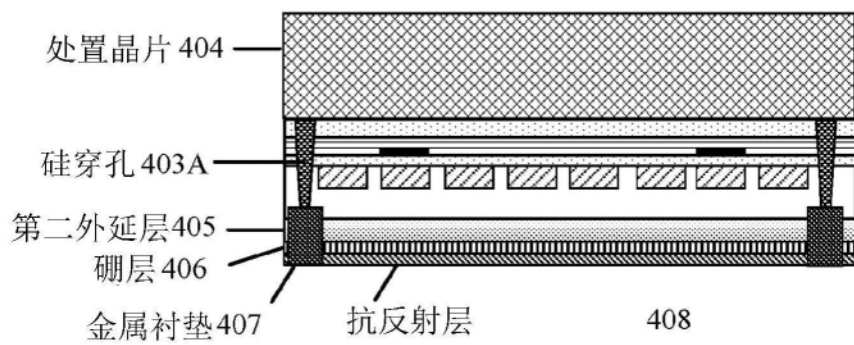


图4H

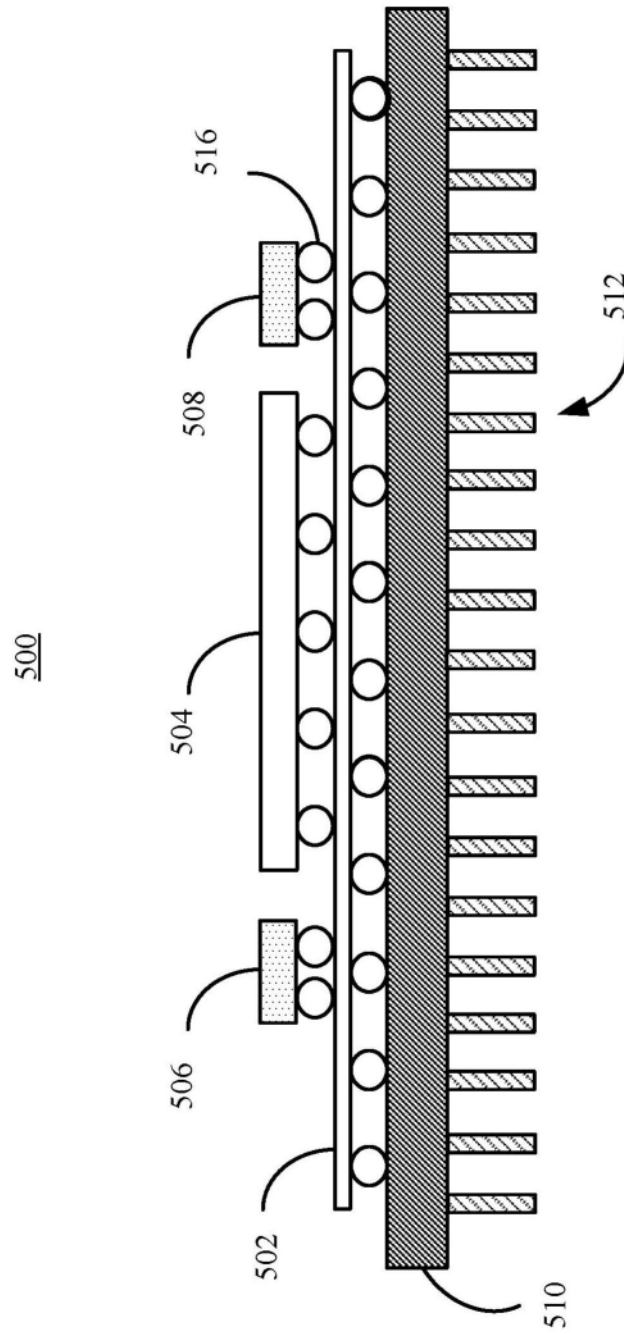


图5