



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I476895 B

(45)公告日：中華民國 104 (2015) 年 03 月 11 日

(21)申請案號：099112501

(22)申請日：中華民國 99 (2010) 年 04 月 21 日

(51)Int. Cl. : H01L27/04 (2006.01)

H01L21/70 (2006.01)

(30)優先權：2009/05/28 美國

12/455,117

(71)申請人：國際整流器股份有限公司 (美國) INTERNATIONAL RECTIFIER CORPORATION
(US)

美國

(72)發明人：布里爾 麥可 BRIERE, MICHAEL A. (US)

(74)代理人：林志剛

(56)參考文獻：

US 4278474

US 2003/0017683A1

US 2003/0022430A1

US 2003/0140317A1

US 2003/0207589A1

審查人員：許志豪

申請專利範圍項數：21 項 圖式數：3 共 26 頁

(54)名稱

單相垂直集成之複合三五族及四族半導體裝置及其製造方法

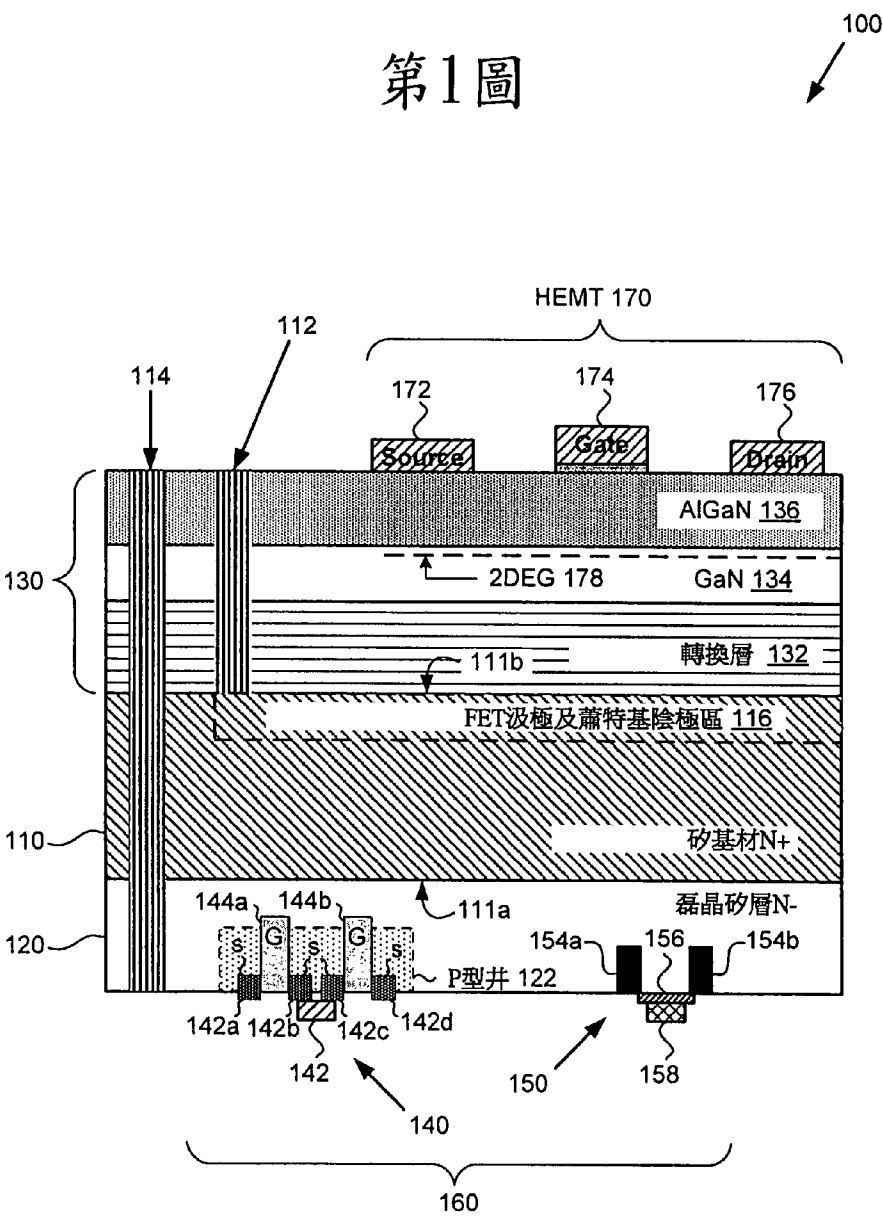
MONOLITHIC VERTICALLY INTEGRATED COMPOSITE GROUP III-V AND GROUP IV
SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING SAME

(57)摘要

根據一被揭示之實施例，一單石垂直積體化複合裝置包含：一個雙面半導體基材，該半導體基材具有第一及第二面；在該第一面之上形成的一個四族半導體層，且該四族半導體層包含至少一個四族半導體裝置；以及在該第二面之上形成的一個三五族半導體本體，且該三五族半導體本體包含在電氣上被耦合到該至少一個四族半導體裝置之至少一個三五族半導體裝置。該複合裝置可進一步包含用來提供電耦合之一基材通孔及(或)一晶圓通孔。在一實施例中，該四族半導體層可包含一磊晶矽層，且該至少一個四族半導體裝置可以是在該磊晶矽層上製造之一組合式場效電晶體及蕭特基二極體(FETKY)。在一實施例中，該至少一個三五族半導體裝置可以是一個三族氮化物高電子遷移率電晶體(HEMT)。

According to one disclosed embodiment, a monolithic vertically integrated composite device comprises a double sided semiconductor substrate having first and second sides, a group IV semiconductor layer formed over the first side and comprising at least one group IV semiconductor device, and a group III-V semiconductor body formed over the second side and comprising at least one group III-V semiconductor device electrically coupled to the at least one group IV semiconductor device. The composite device may further comprise a substrate via and/or a through-wafer via providing electric coupling. In one embodiment, the group IV semiconductor layer may comprise an epitaxial silicon layer, and the at least one group IV semiconductor device may be a combined FET and Schottky diode (FETKY) fabricated on the epitaxial silicon layer. In one embodiment, the at least one group III-V semiconductor device may be a III-nitride high electron mobility transistor (HEMT).

第1圖



- 100 . . . 複合結構
- 110 . . . 矽基材
- 111a . . . 第一面
- 111b . . . 第二面
- 120 . . . 磊晶矽層
- 160 . . . 組合場效電
晶體及蕭特基二極體
- 130 . . . 三族氮化物
半導體本體
- 170 . . . 高電子遷移
率電晶體
- 112 . . . 基材通孔
- 114 . . . 晶圓通孔
- 132 . . . 轉換層
- 134 . . . 氮化鎵層
- 136 . . . 氮化鋁鎵層
- 178 . . . 二維電子氣
- 140 . . . 場效電晶體
- 150 . . . 蕭特基二極
體
- 122 . . . P 型井
- 144a, 144b . . . 閘極
溝槽
- 142a, 142b, 142c,
142d . . . 源極區
- 116 . . . 場效電晶體
汲極區及蕭特基陰極
區
- 154a, 154b . . . 二極
體溝槽
- 156 . . . 蕭特基陽極
阻障層
- 172 . . . 高電子遷移
率電晶體源極接點
- 174 . . . 高電子遷移
率電晶體閘極接點
- 176 . . . 高電子遷移
率電晶體汲極接點

I476895

TW I476895 B

142 . . . 場效電晶體
源極接點
158 . . . 蕭特基陽極
接點

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：099112501

H01L 21/04 [2006.01]

※申請日：099年04月21日

※IPC分類：H01L 21/10 [2006.01]

一、發明名稱：(中文／英文)

單相垂直集成之複合三五族及四族半導體裝置及其製造方法

Monolithic vertically integrated composite group III-V and group IV semiconductor device and method for fabricating same

二、中文發明摘要：

根據一被揭示之實施例，一單石垂直積體化複合裝置包含：一個雙面半導體基材，該半導體基材具有第一及第二面；在該第一面之上形成的一個四族半導體層，且該四族半導體層包含至少一個四族半導體裝置；以及在該第二面之上形成的一個三五族半導體本體，且該三五族半導體本體包含在電氣上被耦合到該至少一個四族半導體裝置之至少一個三五族半導體裝置。該複合裝置可進一步包含用來提供電耦合之一基材通孔及(或)一晶圓通孔。在一實施例中，該四族半導體層可包含一磊晶矽層，且該至少一個四族半導體裝置可以是在該磊晶矽層上製造之一組合式場效電晶體及蕭特基二極體(FETKY)。在一實施例中，該至少一個三五族半導體裝置可以是一個三族氮化物高電子遷移率電晶體(HEMT)。

三、英文發明摘要：

According to one disclosed embodiment, a monolithic vertically integrated composite device comprises a double sided semiconductor substrate having first and second sides, a group IV semiconductor layer formed over the first side and comprising at least one group IV semiconductor device, and a group III-V semiconductor body formed over the second side and comprising at least one group III-V semiconductor device electrically coupled to the at least one group IV semiconductor device. The composite device may further comprise a substrate via and/or a through-wafer via providing electric coupling. In one embodiment, the group IV semiconductor layer may comprise an epitaxial silicon layer, and the at least one group IV semiconductor device may be a combined FET and Schottky diode (FETKY) fabricated on the epitaxial silicon layer. In one embodiment, the at least one group III-V semiconductor device may be a III-nitride high electron mobility transistor (HEMT).

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

- 100：複合結構
- 110：矽基材
- 111a：第一面
- 111b：第二面
- 120：磊晶矽層
- 160：組合場效電晶體及蕭特基二極體
- 130：三族氮化物半導體本體
- 170：高電子遷移率電晶體
- 112：基材通孔
- 114：晶圓通孔
- 132：轉換層
- 134：氮化鎵層
- 136：氮化鋁鎵層
- 178：二維電子氣
- 140：場效電晶體
- 150：蕭特基二極體
- 122：P型井
- 144a, 144b：閘極溝槽
- 142a, 142b, 142c, 142d：源極區
- 116：場效電晶體汲極區及蕭特基陰極區
- 154a, 154b：二極體溝槽
- 156：蕭特基陽極阻障層
- 172：高電子遷移率電晶體源極接點
- 174：高電子遷移率電晶體閘極接點
- 176：高電子遷移率電晶體汲極接點
- 142：場效電晶體源極接點
- 158：蕭特基陽極接點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本申請案係大致有關半導體之領域。更具體而言，本發明屬於化合物半導體裝置的製造之領域。

【先前技術】

定義

在本申請案中，"三五族半導體"意指包含至少一個三族元素及至少一個五族元素之化合物半導體，諸如（但不限於）氮化鎵（GaN）、砷化鎵（GaAs）、氮化銦鋁鎵（InAlGa₂N）、及氮化銦鎵（InGa₂N）等的化合物半導體。類似地，"三族氮化物半導體"意指一種包含氮及至少一個三族元素之化合物半導體，諸如（但不限於）氮化鎵（Ga₂N）、氮化鋁鎵（AlGa₂N）、氮化銦（In₂N）、氮化鋁（Al₂N）、氮化銦鎵（InGa₂N）、及氮化銦鋁鎵（InAlGa₂N）等的化合物半導體。

被用於半導體裝置製造的材料類型的多樣化已使得將傳統的矽裝置與較近世代的非矽高電壓裝置間之整合具有挑戰性。例如，雖然可能很希望將矽或其他傳統的四族半導體裝置用來控制三族氮化物電晶體，但是傳統的方法要執行此種步驟時，通常需要兩種不同的裝置類型，且要在不同的晶粒上使用不同的活性半導體材料製造每一半導體裝置，然後將這兩種半導體裝置封裝在一起，而無法共用單一晶粒。

但是很不幸，執行將四族半導體裝置與非四族半導體裝置結合的此類傳統方法有數項嚴重的缺點。例如，因為通常在不同的晶粒上分別製造各別的裝置，因而各別的裝置之結合需要更大的空間，且其成本高於單一晶粒上整合該等裝置之成本。此外，因為通常以打線接合（wire-bonding）之方式將該等晶粒接合在一起，而在封裝中於電性上耦合該等各別的晶粒，所以將因打線接合的實體耐久性、以及在高切換速度下可能有效地使該等各別的裝置去耦合的由導線本身引起之寄生電感而造成可靠性及性能的限制。此外，因為係在不同的晶粒上分別製造個別的裝置，所以用共同封裝之方式結合特定對或特定組的個別裝置時，可能無法理想地匹配，而導致複合裝置的非最佳性能。

因此，需要一種能克服本門技術中之缺點及不足之方法，因而提供了一種能夠在單一晶粒上將一個三五族半導體裝置與一個四族半導體裝置有效地且有效率地整合（亦即，這兩種半導體裝置之單石積體化（monolithic integration）之解決方案。

【發明內容】

參照至少一圖式而實質上示出且（或）說明了一種單石垂直積體化複合三五族及四族半導體裝置及其製造方法，且在申請專利範圍中更完整地述及此種半導體裝置及其製造方法。

【實施方式】

本發明係有關一種單石垂直積體化複合三五族及四族半導體裝置及其製造方法。雖然以與一些特定實施例有關之方式說明了本發明，但是可將本說明書最後的申請專利範圍界定的本發明之原理顯而易見地應用於本說明書所述的本發明的明確述及之實施例之外。此外，在本發明的說明中，省略了某些細節，以便不會模糊了本發明之創新觀點。省略的該等細節是在對本門技術具有一般知識者之知識範圍內。

本申請案之圖式及其伴隨的詳細說明只是有關本發明之實施例。爲了維持簡潔，本申請案中並未明確地說明且各圖式也並未明確地示出使用本發明原理的本發明之其他實施例。我們應記住：除非另行指出，否則可以類似的或對應的代號指示該等圖式中之類似的或對應的元件。

第1圖是根據本發明的一實施例的一單石垂直積體化複合三五族及四族半導體裝置之一方塊圖。第1圖中之複合結構100示出本發明原理的一特定實施例。我們應可了解：係爲了觀念的清晰而提供諸如被用來形成複合結構100之材料、被包含在複合結構100中之半導體裝置、被用來在電氣上耦合該等個別裝置之技術、以及該複合裝置之總體功能等的特定細節，且該等特定細節不應被詮釋爲限制。此外，請注意，並未按照比例繪製第1圖，因而所示出的某些特徵可能被示爲通常比實際上情形下的其他特徵

大或小。

在第1圖所示之該特定例子中，複合結構100包含一單石垂直積體化複合三族氮化物及矽半導體裝置。更具體而言，複合結構100包含有第一面111a及第二面111b之之雙面矽基材110。複合結構100進一步包含磊晶矽層120，且爲了示出本發明應用的一特定例子，將該磊晶矽層120示出爲具有在矽基材110的第一面111a之上形成的基於矽的組合場效電晶體（FET）及蕭特基二極體（在本申請案中也被稱爲"FETKY"）160。此外，複合結構100包含三族氮化物半導體本體130，而爲了解說一特定例子，該三族氮化物半導體本體130包含在矽基材110的第二面111b之上形成的一個三族氮化物高電子遷移率電晶體（High Electron Mobility Transistor；簡稱HEMT）170。

複合結構100中包含的一個或多個金屬層（第1圖中未示出）連同基材通孔112及晶圓通孔114將三族氮化物HEMT 170在電氣上耦合到矽FETKY 160。更一般性而言，可將複合結構100視爲對應於在電氣上被耦合到一個或多個諸如矽FETKY 160等的四族半導體裝置之一個或多個諸如三族氮化物HEMT 170等的三五族半導體裝置之一單石垂直積體化複合物，其中兩種類型的裝置共用矽基材110。

下文中將參照第2圖所示之流程圖200而進一步說明例示複合結構100，該流程圖200根據本發明的一實施例而描述用來製造單石垂直積體化複合三五族及四族半導體裝置

的一方法之步驟。請注意，流程圖 200 省略了對本門技術具有一般知識者顯而易見某些細節及特徵。例如，某一步驟可能包含一個或多個子步驟，或可能涉及本門技術中習知的專用設備或材料。雖然流程圖 200 所示之步驟 210 至 260 足以描述本發明之一實施例，但是本發明之其他實施例可利用與流程圖 200 所示的那些步驟不同之一些步驟。考慮到該例示方法之該等處理步驟發生在低於攝氏 950 度之溫度下，以便防止被用來製造該複合裝置的一些部分之諸如氮化鎵（GaN）及氮化鋁鎵（AlGaIn）等的三五族半導體材料之分解。

自流程圖 200 之步驟 210 開始，且參照第 1 圖，流程圖 200 之步驟 210 包含：提供雙面精磨或雙面研磨之矽基材 110，該矽基材 110 具有精磨的第一面 111a 及在第一面 111a 對向之精磨的第二面 111b。如第 1 圖所示，使用適於在第一面 111a 及第二面 111b 上處理的雙面矽基材時，將有助於實現在每一各別面之上形成的該等半導體裝置之單石垂直積體化。雖然在第 1 圖所示之實施例中，矽基材 110 被示為單一矽基材，但是在其他實施例中，矽基材 110 可以是包含諸如被一絕緣層相互接合的兩個矽基材層之一個雙面絕緣層上覆矽（Silicon On Insulator；簡稱 SOI）基材。

繼續進入第 2 圖所示之步驟 220，流程圖 200 之步驟 220 包含：在矽基材 110 的第一面 111a 之上形成磊晶矽層 120。可以諸如化學氣相沈積（Chemical Vapor Deposition；簡稱 CVD）或分子束磊晶（Molecular Beam Epitaxy；簡稱

MBE) 等的本門技術中習知之任何適用方法執行磊晶矽層 120 的形成。如第 1 圖所示，磊晶矽層 120 被示出具有 N-導電性，且將在具有 N+導電性的矽基材 110 之第一面 111a 之上形成磊晶矽層 120。

然而，更一般性而言，流程圖 200 的步驟 220 中之磊晶矽層 120 的形成對應於在第一面 111a 之上的任何適當的四族半導體活性層之形成。因此，在其他實施例中，層 120 不需要是矽，且（或）無須經由磊晶生長而形成該層 120。例如，在一實施例中，層 120 可包含在矽基材 110 的第一面 111a 上形成之有應變或無應變鍺層。此外，可根據半導體基材 110 以及被考慮在層 120 上形成的特定半導體裝置之導電性類型而適當地改變層 120 的導電性類型。

進入流程圖 200 之步驟 230，步驟 230 包含：在矽基材 110 的第二面 111b 之上形成三族氮化物半導體本體 130。如第 1 圖所示，三族氮化物半導體本體 130 包含複數個三族氮化物層，該複數個三族氮化物層可包括轉換層 132、氮化鎵層 134、以及氮化鋁鎵層 136。轉換層 132 本身可對應於複數個用來調解自矽基材 110 至氮化鎵層 134 的晶格轉換（lattice transition）之可區別的層。例如，轉換層 132 可包含在矽基材 110 上形成之一氮化鋁（AlN）層、以及其中包含逐漸減少的鋁及逐漸增加的鎵直到實現適當地轉換到氮化鎵（GaN）層 134 之一系列的氮化鋁鎵（AlGaN）層。

第 1 圖中以氮化鎵層 134 及氮化鋁鎵層 136 代表三族氮化物半導體本體 130 之活性區，其中氮化鎵層 134 及氮化鋁

銻層 136 通常並未被摻雜，且接觸而形成了一異質界面（heterojunction）界面，因而產生了二維電子氣（Two-Dimensional Electron Gas；簡稱 2DEG）178。於步驟 230 間可使用一些傳統方法中之任何方法形成氮化銻層 134 及氮化鋁銻層 136。例如，可使用 MBE、金屬有機化學氣相沈積（Metal-Organic Chemical Vapor Deposition；簡稱 MOCVD）、或氫化物氣相磊晶（Hydride Vapor Phase Epitaxy；HVPE）等的適當技術形成氮化銻層 134 及氮化鋁銻層 136。如前文所述，並未按照比例繪製第 1 圖。例如，雖然氮化銻層 134 及氮化鋁銻層 136 通常有明顯不同的各別厚度，例如，氮化銻層 134 的厚度大約為 1500 埃，且氮化鋁銻層 136 的厚度大約為 150 埃，但是第 1 圖中將那些層示出為具有類似的厚度。

雖然第 1 圖所示之實施例以及流程圖 200 參照到三族氮化物半導體本體 130，但是更一般性而言，如前文"定義"一節所述，可利用三五族半導體材形成本體 130。對本體 130 的成分之主要限制在於：層 136 包含具有比形成層 134 的三五族半導體的能帶間隙（band gap）寬的一能帶間隙之三五族半導體；選擇這兩種三五族半導體，以便產生 2DEG178；以及轉換層 132 提供了產生三五族半導體層 134 之一適當環境。

在某些實施例中，於步驟 230 中，在矽基材 110 的第二面 111b 之上形成諸如三族氮化物半導體本體 130 等的一個三五族半導體本體時，最後將以一覆蓋層（capping layer

)(第1圖中未示出)覆蓋三族氮化物半導體本體130。被施加為一覆蓋層的適當材料可以是諸如氮化矽，該氮化矽被提供，以便在後續之諸如矽等的四族半導體處理期間密封且保護氮化鋁鎵層136。

繼續進入流程圖200之步驟240，步驟240包含：處理磊晶矽層120，以便製造諸如矽"FETKY"160等的一半導體裝置。根據第1圖所示之實施例，步驟240對應於形成FET140及蕭特基二極體150，以上兩者結合而產生FETKY160。如第1圖所示，可將FET140及蕭特基二極體150實施為溝槽(trench)裝置。

諸如FET140等的溝槽FET之製造是本門技術中習知的。在不探究廣泛細節的情形下，請注意，FET140的製造可包含：在磊晶矽層120中形成P型井122；形成閘極溝槽144a、144b；以一適當的材料襯裏閘極溝槽144a、144b；以諸如多晶矽填充閘極溝槽144a、144b；摻雜該多晶矽填充物；以及植入源極區142a、142b、142c、及142d。如本門技術中習知的，且如第1圖所示，矽基材110中與第二面111b鄰接的一部分被用來作為FET140之汲極區116。

產生蕭特基二極體150之製造技術也是本門技術中習知的。例如，Andoh等人的美國專利申請案6,855,593及Chiola的美國專利申請案6,977,208中說明了這些技術，該等專利申請案目前已讓渡給本發明的受讓人，且本申請案特此引用這兩個專利申請案之全文以供參照。仍然在不探究廣泛細節的情形下，請注意，蕭特基二極體150的製造

可包含：在磊晶矽層 120 中形成二極體溝槽 154a 及 154b；以諸如襯墊氧化物層等的一適當之材料襯裏二極體溝槽 154a 及 154b；以諸如多晶矽填充二極體溝槽 154a 及 154b；摻雜該多晶矽填充物；以及使用諸如鈦或鈦鎢形成蕭特基陽極阻障層 156。如第 1 圖所示，矽基材 110 中與第二面 111b 鄰接且被用來作為 FET140 的汲極區 116 之相同部分也被用來作為蕭特基二極體 150 之陰極區 116。

在某些實施例中，於步驟 240 中，製造一個或多個矽或其他四族半導體裝置時，最後將以一覆蓋層（第 1 圖中未示出）覆蓋諸如磊晶矽層 120 等的四族半導體活性層。被施加為一覆蓋層的適當材料可以是諸如氧化物，該氧化物被提供，以便在後續之諸如三族氮化物半導體本體 130 等的三五族半導體本體處理期間密封且保護磊晶矽層 120。請注意，使針對用於保護各別的四族半導體活性層 120 及以氮化鋁鎵層 136 代表的三五族半導體層而選擇的該等覆蓋材料相互不同可能是有利。例如，使用不同的覆蓋材料時，可去除該等覆蓋層中之任一層而不會影響到另一層提供的保護。

流程圖 200 繼續進入步驟 250，步驟 250 包含：處理三族氮化物半導體本體 130，以便製造諸如三族氮化物 HEMT 170。在步驟 250 中，三族氮化物 HEMT 170 的製造可包含：首先剝離（stripping）或以其他方式修改在較早步驟 230 結束時形成的該保護氮化物覆蓋層。目前的步驟 250 然後可繼續進行：形成一電場絕緣或鈍化層（passivation

layer)；執行一氮化鎵隔離製程；開啓三族氮化物 HEMT 170 的活性及接觸區；以及執行本門技術中習知的其他此類製程。

在步驟 250 之後，於步驟 260 中形成複合結構 100 的電氣互連。在第 1 圖提供的該例子中，步驟 260 包含：將三族氮化物 HEMT 170 在電氣上耦合到矽 FETKY 160。根據第 1 圖所示之實施例，步驟 260 包含：形成基材通孔 112 及晶圓通孔 114；以及建構 HEMT 源極接點 172、HEMT 閘極接點 174、HEMT 汲極接點 176、FET 源極接點 142、以及蕭特基陽極接點 158。請注意，在本實施例中，HEMT 源極接點 172、HEMT 汲極接點 176、以及 FET 源極接點 142 被表現為歐姆接點，而蕭特基陽極接點 158 將一蕭特基接點提供給蕭特基二極體 150。此外，如第 1 圖所示，HEMT 閘極接點 174 可包含一絕緣體上之一閘極金屬，或可作出三族氮化物半導體本體 130 之一蕭特基接點。此外，除了將電接點提供給第 1 圖中明確地示出的 FET 源極區 142b 及 142c 之外，雖然第 1 圖並未示出，但是 FET 源極接點 142 或並未示出的一額外之 FET 源極接點可將電接點提供給 FET 源極區 142a 及 142d。

如前文所述，雖然第 1 圖並未明確地示出，但是可以第 1 圖中未示出之一些金屬層以及複合結構 100 中形成之該等通孔提供複合結構 100 中之電氣互連。那些通孔包括分別自三五族半導體及四族半磊晶層隔離之基材通孔 112 及晶圓通孔 114。雖然第 1 圖中只示出基材通孔 112 及晶圓通

孔 114 中之每一通孔的一代表，但是我們應可了解：複合結構 100 可包含基材通孔 112 及晶圓通孔 114 中之一通孔或兩通孔的多個實例，以便提供諸如額外的連接點及選項，改善電流載送能力，且減少與該等通孔相關聯的電感值及電阻值。

係經由 FET 140 及蕭特基二極體 150 之平行配置而形成 FETKY 160。第 1 圖中並未明確地示出之電氣互連提供了 FET 源極接點 142 與蕭特基陽極接點 158 間之電耦合。請注意，區 116 被用來作為 FET 140 之汲極區以及蕭特基二極體 150 之陰極區。在被示為複合結構 100 的該例示單石複合裝置中，HEMT 源極接點 172 經由基材通孔 112（且亦利用圖中未示出的一些典型金屬層中的一些額外的電氣互連）而在電氣上被耦合到 FETKY 160 之 FET 汲極區及蕭特基陰極區 116。此外，HEMT 閘極接點 174 利用晶圓通孔 114（且亦利用圖中未示出的一些典型金屬層中的一些額外的電氣互連）而在電氣上被耦合到 FET 源極接點 142 及蕭特基陽極接點 158，因而完成了第 1 圖所示的該例示單石垂直積體化複合結構 100 之製造。

可參照示出一對應的電路的一方塊圖之第 3 圖，而更清楚地了解該單石垂直積體化複合結構 100 之操作優點。第 3 圖中之電路 300 示出被耦合到三族氮化物 HEMT 370 之 FETKY 360。如第 3 圖所示，FETKY 360 包含其中包含源極 342 及閘極 344 之 FET 340、以及其中包含蕭特基陽極 358 之蕭特基二極體 350，而 FETKY 360 對應於第 1 圖所示之

FETKY 160，其中 FETKY 160 包含：其中包含 FET 源極區 142a、142b、142c、及 142d、以及閘極溝槽 144a 及 144b 之 FET140；以及其中包含蕭特基陽極接點 158 之蕭特基二極體 150。第 3 圖亦示出：FET 340 之汲極及蕭特基二極體 350 之陰極被耦合到對應於第 1 圖所示的共用 FET 汲極區及蕭特基陰極區 116 之節點 316。

第 3 圖所示之三族氮化物 HEMT 370 包含分別對應於第 1 圖所示 HEMT 源極接點 172、HEMT 閘極接點 174、及 HEMT 汲極接點 176 之 HEMT 源極 372、HEMT 閘極 374、及 HEMT 汲極 376。第 3 圖中之電路 300 進一步示出提供將三族氮化物 HEMT 370 在電氣上耦合到 FETKY 360 之互連 312 及 314，其中互連 312 及 314 對應於第 1 圖中在電氣上耦合三族氮化物 HEMT 170 及矽 FETKY 160 之各別的基材通孔 112 及晶圓通孔 114。在與前文中對第 1 圖所示各別的基材通孔 112 及晶圓通孔 114 提供的互連的說明一致之方式下，電路 300 示出被互連 312 耦合到 FET 汲極及蕭特基陰極節點 316 之 HEMT 源極 372，且示出被互連 314 耦合到 FET 源極 342 及蕭特基陽極 358 之 HEMT 閘極 374。

如第 1 圖所示，在 HEMT 閘極接點 174 之下的 2DEG 178 可以是連續的，因而顯示三族氮化物 HEMT 170 對應於係為具有一"正常開啓"狀態的空乏型 (depletion mode) 裝置之三族氮化物 HEMT 370。同時參照第 1 圖所示之複合結構 100 以及第 3 圖所示之電路 300 時，透露了：本實施例能夠使用一疊接式空乏型三族氮化物 HEMT 370 以及 FETKY

360，因而該等兩者之組合（亦即，空乏型三族氮化物 HEMT 370 以及 FETKY 360 之組合）表現像是一增強型（enhancement mode）裝置（亦即，表現像是一"正常關閉"開關），其中閘極 344、源極 342、及汲極 376 分別表現像是所形成的該增強型開關之閘極、源極、及汲極。此種配置的一優點在於：可將一低電壓矽 FETKY 裝置用於具有一功率 HEMT 裝置之高電壓應用，且同時保持了所需之諸如低電荷儲存及良好的反向恢復（reverse recovery）特性等的低電壓矽 FETKY 特性。

自前文中對本發明之說明顯然可知：可在不脫離本發明的範圍之情形下，將各種技術用於實施本發明之觀念。此外，雖然已特別參照某些實施例而說明了本發明，但是對本門技術具有一般知識者當可了解：可在不脫離本發明之精神及範圍下，對形式及細節作出一些改變。所述之該等實施例在各方面上都將被視為例示性而非限制性。我們亦應可了解：本發明不限於本說明書中述及的該等特定實施例，而是能夠在不脫離本發明之範圍下作出許多重新配置、修改、及替換。

【圖式簡單說明】

第 1 圖是根據本發明的一實施例的一單石垂直積體化複合三五族及四族半導體裝置之一方塊圖。

第 2 圖是用於根據本發明的一實施例而製造單石垂直積體化複合三五族及四族半導體裝置的一方法之一流程圖

第3圖是對應於第1圖所示單石垂直積體化複合三五族及四族半導體裝置的操作的一電路之一方塊圖。

【主要元件符號說明】

100：複合結構

110：矽基材

111a：第一面

111b：第二面

120：磊晶矽層

160：組合場效電晶體及蕭特基二極體

130：三族氮化物半導體本體

170：高電子遷移率電晶體

112：基材通孔

114：晶圓通孔

132：轉換層

134：氮化鎵層

136：氮化鋁鎵層

178：二維電子氣

140,340：場效電晶體

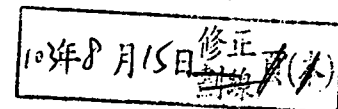
150,350：蕭特基二極體

122：P型井

144a,144b：閘極溝槽

142a,142b,142c,142d：源極區

- 116：場效電晶體汲極區及蕭特基陰極區
- 154a,154b：二極體溝槽
- 156：蕭特基陽極阻障層
- 172：高電子遷移率電晶體源極接點
- 174：高電子遷移率電晶體閘極接點
- 176：高電子遷移率電晶體汲極接點
- 142：場效電晶體源極接點
- 158：蕭特基陽極接點
- 300：電路
- 360：組合場效電晶體及蕭特基二極體
- 370：三族氮化物高電子遷移率電晶體
- 342：源極
- 344：閘極
- 358：蕭特基陽極
- 316：節點
- 372：高電子遷移率電晶體源極
- 374：高電子遷移率電晶體閘極
- 376：高電子遷移率電晶體汲極
- 312,314：互連



七、申請專利範圍：

1. 一種單石垂直積體化複合裝置，包含：

一個雙面精磨半導體基材，該半導體基材具有第一及第二精磨面；

在該第一精磨面之上形成的一個四族半導體層，且該四族半導體層包含至少一個四族半導體裝置；以及

在該第二精磨面之上形成的一個三五族半導體本體，且該三五族半導體本體包含在電氣上被耦合到該至少一個四族半導體裝置之至少一個三五族電晶體。

2. 如申請專利範圍第1項之單石垂直積體化複合裝置，其中該四族半導體層包含在該第一精磨面之上生長的一磊晶層。

3. 如申請專利範圍第1項之單石垂直積體化複合裝置，進一步包含一基材通孔，該基材通孔將該至少一個三五族電晶體在電氣上耦合到該至少一個四族半導體裝置。

4. 如申請專利範圍第1項之單石垂直積體化複合裝置，進一步包含一晶圓通孔，該晶圓通孔將該至少一個三五族電晶體在電氣上耦合到該至少一個四族半導體裝置。

5. 如申請專利範圍第1項之單石垂直積體化複合裝置，其中該四族半導體層包含矽。

6. 如申請專利範圍第1項之單石垂直積體化複合裝置，其中該三五族半導體本體包含至少一個三族氮化物層。

7. 如申請專利範圍第1項之單石垂直積體化複合裝

置，其中該三五族半導體本體包含在一氮化鎵（GaN）層及一氮化鋁鎵（AlGa_N）層的一界面上形成之一異質界面。

8. 如申請專利範圍第1項之單石垂直積體化複合裝置，其中該三五族電晶體包含一高電子遷移率電晶體（HEMT）。

9. 如申請專利範圍第1項之單石垂直積體化複合裝置，其中該四族半導體裝置包含一FETKY，該FETKY包含一場效電晶體（FET）及一蕭特基二極體。

10. 一種單石垂直積體化複合裝置，包含：

一個雙面半導體基材，該半導體基材具有第一及第二面；

在該第一面之上以磊晶方式生長之一個四族半導體層，且該四族半導體層包含至少一個四族半導體裝置；

在該第二面之上形成的一個三五族半導體本體，且該三五族半導體本體包含至少一個三五族半導體裝置；以及

一基材通孔，該基材通孔將該至少一個三五族半導體裝置在電氣上耦合到該至少一個四族半導體裝置。

11. 如申請專利範圍第10項之單石垂直積體化複合裝置，進一步包含一晶圓通孔，該晶圓通孔將該至少一個三五族半導體裝置在電氣上耦合到該至少一個四族半導體裝置。

12. 一種製造單石垂直積體化複合裝置之方法，該方法包含下列步驟：

提供具有第一及第二面之一個雙面半導體基材；

在該第一面之上形成一個四族半導體層；

在該第二面之上形成一個三五族半導體本體；

處理該四族半導體層，以便產生至少一個四族半導體裝置；

處理該三五族半導體本體，以便產生至少一個三五族半導體裝置；以及

將該至少一個三五族半導體裝置在電氣上耦合到該至少一個四族半導體裝置。

13. 如申請專利範圍第12項之方法，其中在該第一面之上形成該四族半導體層之該步驟包含下列步驟：以磊晶方式生長該四族半導體層。

14. 如申請專利範圍第12項之方法，其中將該至少一個三五族半導體裝置在電氣上耦合到該至少一個四族半導體裝置之該步驟包含下列步驟：在該單石垂直積體化複合裝置中形成一基材通孔。

15. 如申請專利範圍第12項之方法，其中將該至少一個三五族半導體裝置在電氣上耦合到該至少一個四族半導體裝置之該步驟包含下列步驟：在該單石垂直積體化複合裝置中形成一晶圓通孔。

16. 如申請專利範圍第12項之方法，其中在該第一面之上形成該四族半導體層之該步驟包含下列步驟：形成一矽層。

17. 如申請專利範圍第12項之方法，其中在該第二面

之上形成該三五族半導體本體之該步驟包含下列步驟：形成至少一個三族氮化物層。

18. 如申請專利範圍第 12 項之方法，其中在該第二面之上形成該三五族半導體本體之該步驟包含下列步驟：在一氮化鎵（GaN）層及一氮化鋁鎵（AlGa_N）層的一界面上形成一異質界面。

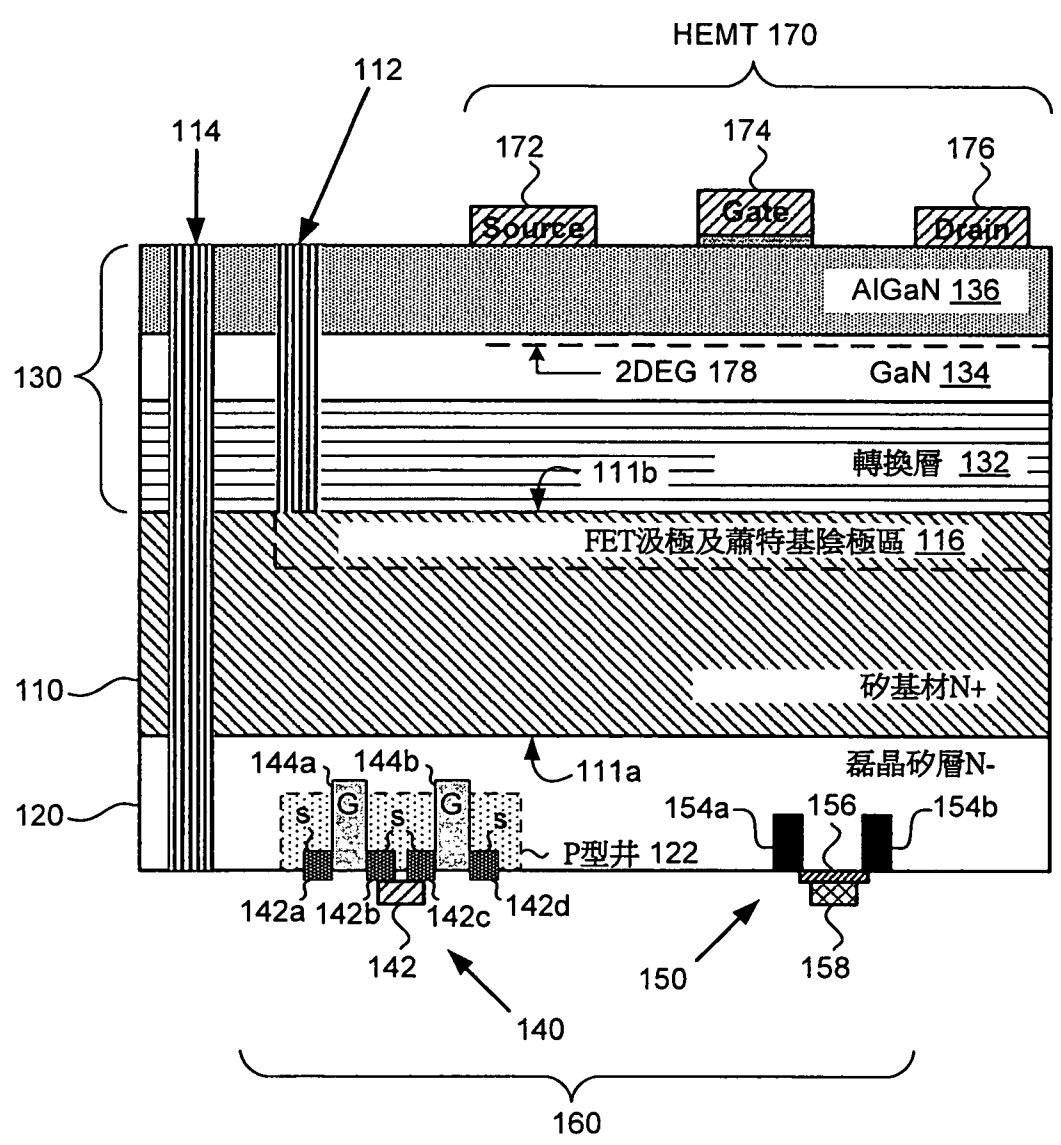
19. 如申請專利範圍第 12 項之方法，其中處理該三五族半導體本體以便產生該至少一個三五族半導體裝置之該步驟產生至少一個高電子遷移率電晶體（HEMT）。

20. 如申請專利範圍第 12 項之方法，其中處理該四族半導體層以便產生該至少一個四族半導體裝置之該步驟產生其中包含一場效電晶體（FET）及一蕭特基二極體之一 FETKY。

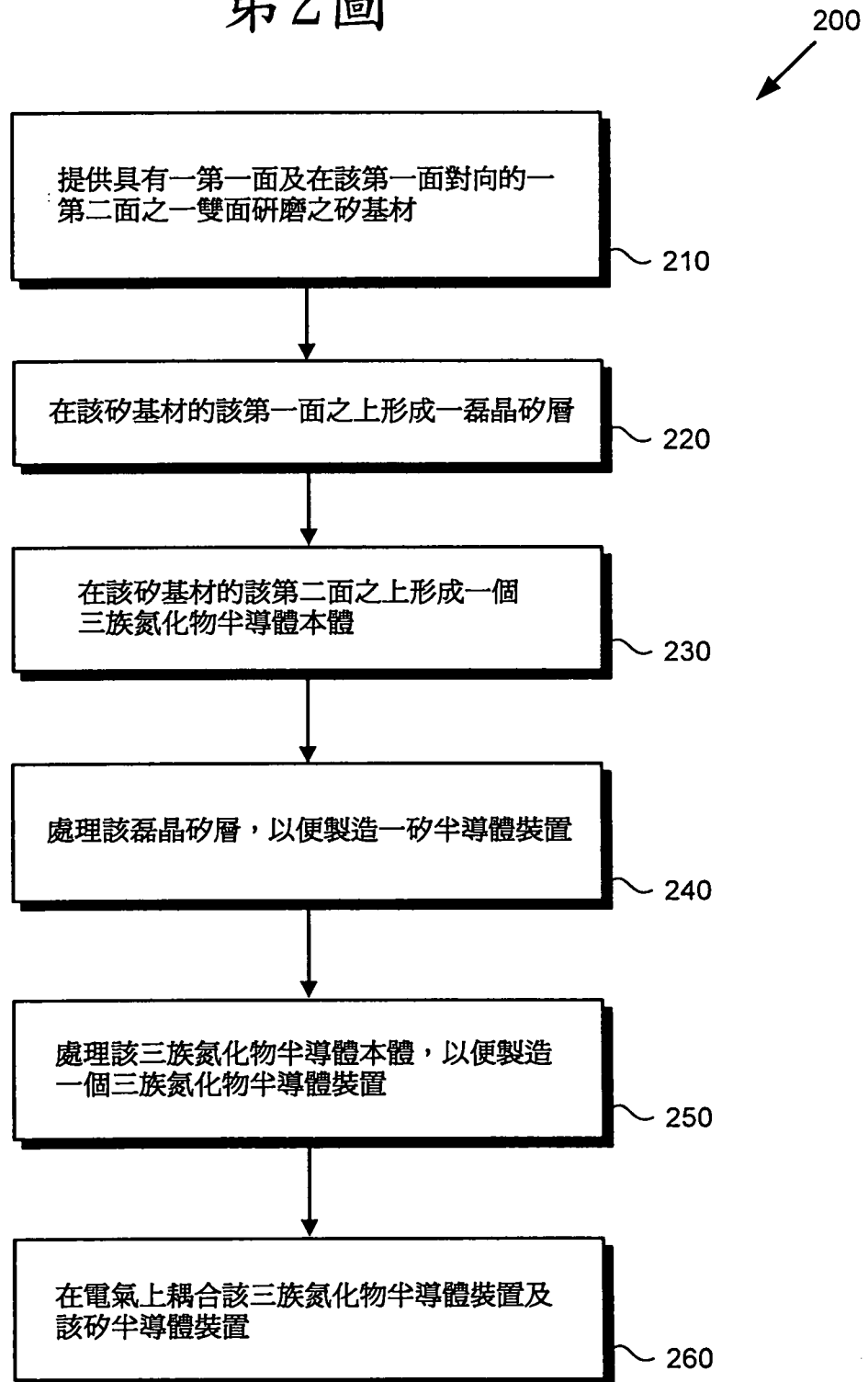
21. 如申請專利範圍第 12 項之方法，其中係在低於攝氏 950 度之溫度下實施該方法。

第1圖

100



第2圖



300

