

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4801262号
(P4801262)

(45) 発行日 平成23年10月26日(2011.10.26)

(24) 登録日 平成23年8月12日(2011.8.12)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)

H01L 29/78 619B

H01L 21/336 (2006.01)

H01L 29/78 612B

G02F 1/1368 (2006.01)

H01L 29/78 616A

G09F 9/30 (2006.01)

G02F 1/1368

G09F 9/30 338

請求項の数 8 (全 20 頁)

(21) 出願番号

特願2001-22480 (P2001-22480)

(22) 出願日

平成13年1月30日 (2001.1.30)

(65) 公開番号

特開2002-231953 (P2002-231953A)

(43) 公開日

平成14年8月16日 (2002.8.16)

審査請求日

平成19年10月19日 (2007.10.19)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 浅見 宗広

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 塩野入 豊

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 坂倉 真之

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

駆動回路に設けられる第1のトランジスタ及び第2のトランジスタと画素部に設けられる第3のトランジスタとを同一基板上に形成する半導体装置の作製方法であって、

前記基板上に遮光膜を形成し、

前記遮光膜上に絶縁膜を形成し、

前記絶縁膜上に、第1、第2、及び第3の半導体層を形成し、

前記第1、前記第2及び前記第3の半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第1の幅の第1の導電層と第2の幅の第2の導電層の積層からなる第1の形状の第1、第2及び第3の電極を形成し、

前記第1、前記第2及び前記第3の電極をマスクとして、n型を付与する不純物元素を添加して、前記第1、前記第2及び前記第3の半導体層のそれぞれに第1の不純物領域を形成し、

前記第1、前記第2及び前記第3の電極をエッチングして、第3の幅の前記第1の導電層と第4の幅の前記第2の導電層の積層からなる第2の形状の第4、第5及び第6の電極を形成し、

前記第4、前記第5及び前記第6の電極の前記第2の導電層をマスクとして、n型を付与する不純物元素を添加して、前記第1、前記第2及び前記第3の半導体層のそれぞれに第2の不純物領域を形成し、

前記第1の半導体層及び前記第4の電極を被覆するように第1のレジストマスクを形成

10

20

し、

前記第5及び前記第6の電極の前記第2の導電層をマスクとして、前記第5及び前記第6の電極の前記第1の導電層をエッティングして、第5の幅の前記第1の導電層と第6の幅の前記第2の導電層の積層からなる第3の形状の第7及び第8の電極を形成し、

前記第1の半導体層、前記第4の電極、前記第3の半導体層及び前記第8の電極を被覆するように第2のレジストマスクを形成し、

前記第7の電極をマスクとして、前記第2の半導体層にp型を付与する不純物元素を添加して第3の不純物領域を形成し、

前記第1のトランジスタは前記第1の半導体層と前記第4の電極を含み、前記第2のトランジスタは前記第2の半導体層と前記第7の電極を含み、前記第3のトランジスタは前記第3の半導体層と前記第8の電極を含み、

前記第1の半導体層の前記第2の不純物領域は前記第4の電極が含む前記第2の導電層に重なり、前記第2の半導体層の前記第3の不純物領域は前記第7の電極に重ならず、前記第3のトランジスタが含む前記第3の半導体層の前記第2の不純物領域は前記第8の電極に重ならず、

少なくとも前記第3のトランジスタのチャネル形成領域が、前記遮光膜と重なるように形成されることを特徴とする半導体装置の作製方法。

【請求項2】

請求項1において、

前記第7及び前記第8の電極をマスクとして、前記ゲート絶縁膜をエッティングすることを特徴とする半導体装置の作製方法。

【請求項3】

請求項1において、

前記第2及び前記第3の半導体層の前記第2の不純物領域は、チャネル形成領域と前記第1の不純物領域の間に形成されることを特徴とする半導体装置の作製方法。

【請求項4】

請求項1において、

前記遮光膜は、前記第3の半導体層のチャネル形成領域に入射する光を遮ることを特徴とする半導体装置の作製方法。

【請求項5】

請求項1において、

前記遮光膜は、前記第8の電極に電気的に接続され、ゲート信号線として機能することを特徴とする半導体装置の作製方法。

【請求項6】

駆動回路に設けられる第1のトランジスタ及び第2のトランジスタと画素部に設けられる第3のトランジスタとを同一基板上に形成し、

前記第1のトランジスタは、第1の領域と第2の領域とを有する第1の半導体層と、第1の電極と、を有し、

前記第2のトランジスタは、第3の領域と第4の領域とを有する第2の半導体層と、第2の電極と、を有し、

前記第3のトランジスタは、第1の領域と第2の領域とを有する第3の半導体層と、第3の電極と、を有する半導体装置の作製方法であって、

前記基板上に遮光膜を形成し、

前記遮光膜上に絶縁膜を形成し、

前記絶縁膜上に、前記第1の半導体層と、前記第2の半導体層と、前記第3の半導体層と、を形成し、

前記第1の半導体層上と、前記第2の半導体層上と、前記第3の半導体層上と、にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第1の導電層と、第2の導電層と、の積層構造で、且つ前記第2の導電層の端部がテーパー形状である第1の形状の第1の電極と、第1の形状の第2の

10

20

30

40

50

電極と、第1の形状の第3の電極と、を形成し、

前記第1の形状の第1の電極と、前記第1の形状の第2の電極と、前記第1の形状の第3の電極と、をマスクとし、前記第1の領域と、前記第3の領域と、にn型を付与する不純物元素を添加する第1のドーピング処理を行い、

前記第1の形状の第1の電極と、前記第1の形状の第2の電極と、前記第1の形状の第3の電極と、の前記第2の導電膜の幅が前記第1の導電膜の幅より狭くなるように前記第2の導電膜をエッチングし、第2の形状の第1の電極と、第2の形状の第2の電極と、第2の形状の第3の電極と、を形成し、

前記第2の形状の第1の電極の第1の導電層と、前記第2の形状の第2の電極の第1の導電層と、前記第2の形状の第3の電極の第1の導電層と、をマスクとし、前記第1の領域と、前記第2の領域と、前記第3の領域と、前記第4の領域と、にn型を付与する不純物元素を添加する第2のドーピング処理を行い、 10

前記第2の形状の第2の電極と、前記第2の形状の第3の電極と、の前記第2の導電膜の幅と前記第1の導電膜の幅とが同じになるように前記第1の導電膜をエッチングし、第3の形状の第2の電極と、第3の形状の第3の電極と、を形成し、

前記第3の形状の第2の電極をマスクとし、前記第3の領域と、前記第4の領域と、にp型を付与する不純物元素を添加する第3のドーピング処理を行い、

前記第1の半導体層の前記第2の領域は前記第1の電極が含む前記第1の導電層に重なり、前記第2の半導体層の前記第4の領域は前記第2の電極に重ならず、前記第3のトランジスタが含む前記第3の半導体層の前記第2の領域は前記第3の電極に重ならず、 20

少なくとも前記第3のトランジスタのチャネル形成領域が、前記遮光膜と重なるように形成されることを特徴とする半導体装置の作製方法。

【請求項7】

請求項6において、

前記遮光膜は、前記第3の電極に電気的に接続され、ゲート信号線として機能することを特徴とする半導体装置の作製方法。

【請求項8】

請求項1または請求項6において、

前記第1の導電層と前記第2の導電層は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)から選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料から形成されることを特徴とする半導体装置の作製方法。 30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成された結晶質半導体膜を用いた薄膜トランジスタ(Thin Film Transistor: TFT)等の半導体装置およびその作成方法に関するものである。本発明により作成される半導体装置は、TFTやMOSトランジスタ等の素子のみならず、これら絶縁ゲート型トランジスタを用いて構成された半導体回路(マイクロプロセッサ、信号処理回路または高周波回路等)を有する液晶表示装置等を含むものである。 40

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能する装置全般を指し、半導体回路、電子機器、電気光学装置は全て半導体装置であるとみなす。

【0003】

【従来の技術】

現在、半導体膜を用いた半導体素子として、TFTが各集積回路に用いられており、特に画像表示装置においては、駆動回路および画素部において、スイッチング素子として積極的に用いられている。さらに、非晶質半導体膜よりも移動度の高い結晶質半導体膜を活性層に用いたTFTは、その駆動能力の高さを活かし、画像表示装置の駆動回路を構成する素子としても用いられている。そのため、例えばアクティブラトリックス型液晶表示装置に 50

おいては、画像表示を行うための画素部と、画素部に入力される信号を制御するための駆動回路が同一基板上に一体形成されている。

【0004】

ここで、TFTには、高い駆動能力 (I_{ON} : オン電流の高さ) と共に、ホットキャリア効果による素子劣化を防ぎ、信頼性を向上させることが求められる。同時に、画素部を構成するTFTには、不必要的電流によって画素が駆動しないよう、オフ電流 (I_{OFF}) の低減が求められる。

【0005】

オフ電流を低減するためのTFT構造の一つに、低濃度ドレイン (Lightly Doped Drain : LDD) 領域を設ける構造が知られている。この構造は、チャネル形成領域と、高濃度に不純物元素を添加して形成したソース領域またはドレイン領域との間に、低濃度に不純物元素を添加して形成したLDD領域を設けたものである。また、ホットキャリア効果によるTFT素子の劣化を原因とするオン電流の低下を防ぐのに有効である構造として、LDD領域の一部分をゲート電極と重ねたGOLD (Gate Overlapped LDD) 構造がある。このようなLDD領域を、本明細書ではGOLD領域と表記する。

【0006】

【本発明以前の技術】

ここで、LDD領域やGOLD領域を有するTFTを形成しようとすると、一般のTFTよりも、その製造工程は複雑なものとならざるを得ない。そこで、前述のTFTを作成するにあたっては、可能な限り少ないマスク枚数で実現するために、特願2000-230401号に記載されている半導体装置の作成方法を開発し、これをもって、高い電流能力とオフ電流の低減を実現し、かつ駆動回路部のTFTの信頼性を向上させることが可能となった。

【発明が解決しようとする課題】

前述の方法により作成された半導体装置は、高精彩、高解像度の画像表示装置に用いられているが、中でも、画面をスクリーン上に投影することの出来るプロジェクタの需要増加に伴って、透過型の液晶表示装置が広く用いられるようになった。

【0007】

しかし、プロジェクタに用いる透過型の液晶表示装置は、その基板のTFTが作成された面の裏側（基板裏面）から入射する光や、基板上面から入射した後、基板中を乱反射した光が、TFTのチャネル形成領域に当たることによって、オフ電流のリークが生ずる。これによって、画素部においては、TFTがOFF状態となっているにもかかわらず、リーク電流によって液晶の光透過率が変化してしまうため、問題となっている。特に、プロジェクタに用いられる液晶表示装置においては、照射される光強度が大きいため、これによって生ずるオフ電流のリークも無視できないものとなっている。

【0008】

本発明は前述の問題を解決するための方法であり、従来技術よりも工程数を大きく増加させることなく、電流能力、信頼性ともに高いTFTの作成を実現し、さらに基板への光照射によるオフ電流のリークを低減することを可能とする液晶表示装置を実現することを課題とする。

【0009】

【課題を解決するための手段】

本発明においては、前述の課題を解決するために以下のようないくつかの手段を講じた。

【0010】

図1を参照して説明する。図1は、本発明の半導体装置の作成工程を示している。図1(F)において、Nチャネル型TFTおよびPチャネル型TFTは駆動回路を構成するTFT、画素TFTは画素部を構成するTFTである。駆動回路側のNチャネル型TFTは、ゲート電極が重なったGOLD領域を有しており、ホットキャリア劣化による特性変化を防ぐことが出来る。画素TFTはここではNチャネル型TFTを用いているが、こちらはゲート電極が重ならないLDD領域を有し、オフ電流の低減に寄与している。さらに画素

10

20

30

40

50

TFTのチャネル形成領域の下には、下部遮光膜を有し、光リーク電流を防ぐことが出来る。

【0011】

本発明の特徴は、TFTのチャネル部に光が当たるのを防止するために、チャネル形成領域の下に下部遮光膜を有する点と、作成工程を増加させないために、LDD領域およびGOLD領域の形成およびゲート電極の形成に、新規の方法を用いることによってマスク枚数を減らしている点に特徴がある。この下部遮光膜を設けることによって、マスク枚数や工程数を大きく増やすことなく、TFTのオフ電流リークを低減する構造を実現することが出来る。

【0012】

10

以下に本発明の半導体装置およびその作成方法に関する構成を示す。

【0013】

請求項1に記載の本発明の半導体装置は、

画素部に設けられた画素TFTと、前記画素部周辺に設けられた駆動回路のnチャネル型TFTおよびpチャネル型TFTとが同一基板上に形成された半導体装置であって、前記基板上には下部遮光膜を有し、

前記下部遮光膜上には下地絶縁膜を有し、

前記下地絶縁膜上に前記画素TFTと、前記駆動回路のnチャネル型TFTおよびpチャネル型TFTとが形成され、

前記nチャネル型TFTの不純物領域は、一部が前記nチャネル型TFTのゲート電極と重なるように形成され、

20

前記pチャネル型TFTの不純物領域は、前記pチャネル型TFTのゲート電極と重ならないように形成され、

前記画素TFTの不純物領域は、前記画素TFTのゲート電極と重ならないように形成され、

少なくとも前記画素TFTのチャネル形成領域が、前記下部遮光膜と重なるように形成されることを特徴としている。

【0014】

請求項2に記載の本発明の半導体装置は、

請求項1において、

30

前記nチャネル型TFTのゲート電極は、ゲート絶縁膜上に接した第1の導電層と、前記第1の導電層上に接した第2の導電層からなり、

且つ、前記第1の導電層のチャネル長方向の長さは、前記第2の導電層のチャネル長方向の長さよりも長く、

且つ、前記第1の導電層の一部が、前記nチャネル型TFTの不純物領域の一部と重なることを特徴としている。

【0015】

請求項3に記載の本発明の半導体装置は、

請求項1もしくは請求項2において、

前記pチャネル型TFTのゲート電極は、ゲート絶縁膜上に接した第1の導電層と、前記第1の導電層上に接した第2の導電層からなり、

40

且つ、前記第1の導電層のチャネル長方向の長さは、前記第2の導電層のチャネル長方向の長さと等しいことを特徴としている。

【0016】

請求項4に記載の本発明の半導体装置は、

請求項1乃至請求項3のいずれか1項において、

前記画素TFTのゲート電極は、ゲート絶縁膜上に接した第1の導電層と、前記第1の導電層上に接した第2の導電層からなり、

且つ、前記第1の導電層のチャネル長方向の長さは、前記第2の導電層のチャネル長方向の長さと等しいことを特徴としている。

50

【 0 0 1 7 】

請求項 5 に記載の本発明の半導体装置は、

請求項 1 乃至請求項 4 のいずれか 1 項において、

前記画素 T F T のゲート電極または n チャネル型 T F T のゲート電極または p チャネル型 T F T のゲート電極を形成する、前記第 1 の導電層または前記第 2 の導電層は、

T a、W、T i、M o、A l、C u から選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料からなることを特徴としている。

【 0 0 1 8 】

請求項 6 に記載の本発明の半導体装置は、

請求項 1 乃至請求項 5 のいずれか 1 項において、

10

前記下部遮光膜は、前記画素 T F T のチャネル形成領域に向かって入射する光を遮ることを特徴としている。

【 0 0 1 9 】

請求項 7 に記載の本発明の半導体装置は、

請求項 1 乃至請求項 6 のいずれか 1 項において、

前記下部遮光膜は、前記画素 T F T のゲート電極と電気的に接続され、ゲート信号線として機能することを特徴としている。

【 0 0 2 0 】

請求項 8 の記載によると、

請求項 1 乃至請求項 7 のいずれか 1 項に記載の半導体装置は、液晶表示装置への適用が可能である。

20

【 0 0 2 1 】

請求項 9 の記載によると、

請求項 1 乃至請求項 7 のいずれか 1 項に記載の半導体装置は、フロントプロジェクタ装置への適用が可能である。

【 0 0 2 2 】

請求項 10 の記載によると、

請求項 1 乃至請求項 7 のいずれか 1 項に記載の半導体装置は、リアプロジェクタ装置への適用が可能である。

【 0 0 2 3 】

30

請求項 11 の記載によると、

請求項 1 乃至請求項 7 のいずれか 1 項に記載の半導体装置は、ゴーグル型ディスプレイへの適用が可能である。

【 0 0 2 4 】

請求項 12 の記載によると、

請求項 1 乃至請求項 7 のいずれか 1 項に記載の半導体装置は、パーソナルコンピュータへの適用が可能である。

【 0 0 2 5 】

請求項 13 の記載によると、

請求項 1 乃至請求項 7 のいずれか 1 項に記載の半導体装置は、デジタルビデオディスクブルーレーヤーへの適用が可能である。

40

【 0 0 2 6 】

請求項 14 に記載の本発明の半導体装置の作成方法は、

基板上に、下部遮光膜を形成する第 1 の工程と、

前記下部遮光膜上に、下地絶縁膜を形成する第 2 の工程と、

前記下地絶縁膜上に、半導体層を形成する第 3 の工程と、

前記半導体層上に、絶縁膜を形成する第 4 の工程と、

前記絶縁膜上に、第 1 の幅を有する第 1 の導電層と第 1 の幅を有する第 2 の導電層の積層からなる第 1 の形状の電極を形成する第 5 の工程と、

前記第 1 の形状の電極をマスクとして、前記半導体層に一導電型を付与する不純物元素を

50

添加して第1の不純物領域を形成する第6の工程と、
前記第1の形状の電極をエッティングして、第2の幅を有する第1の導電層と第3の幅を有する第2の導電層からなる第2の形状の電極を形成する第7の工程と、

前記第2の導電層をマスクとして、前記第1の導電層を通過させて前記半導体層に一導電型を付与する不純物元素を添加して第2の不純物領域を形成する第8の工程と、

後に第2の不純物領域を有するTFTを形成する領域をレジストマスクで被覆する第9の工程と、

前記レジストマスクで被覆されていない領域において、前記第2の導電層をマスクとして、前記第1の導電層の一部をエッティングして第3の幅を有する第1の導電層と前記第3の幅を有する第2の導電層との積層からなる第3の形状の電極を形成し、前記第2の不純物領域を、前記第1の導電層の一部と重なっている第2の不純物領域と、前記第1の導電層と重なっていない第3の不純物領域とに作り分ける第10の工程と、

前記第3の形状の電極をマスクとして、ゲート絶縁膜の一部をエッティングして薄膜化する第11の工程とを有することを特徴としている。

【0027】

請求項15に記載の本発明の半導体装置の作成方法は、

請求項14において、

前記第1の幅は前記第2の幅よりも広く、かつ前記第2の幅は前記第3の幅よりも広いことを特徴としている。

【0028】

請求項16に記載の本発明の半導体装置の作成方法は、

請求項14もしくは請求項15において、

前記一導電型を付与する不純物元素とは、前記半導体層にn型もしくはp型を付与する不純物元素であることを特徴としている。

【0029】

【発明の実施の形態】

本発明の実施の形態について説明する。

【0030】

まず、図1(A)に示すように、基板101上に下部遮光膜102を形成し、下地絶縁膜103で被覆する。続いて、結晶質の半導体層104～106を形成する。この半導体層は、例としては非晶質の半導体層を形成したのち、公知の方法によって結晶化させたものを用いている。次いで、ゲート絶縁膜107を形成した後、後の工程でゲート電極を形成するための第1の導電膜108および第2の導電膜109を形成する。第1の導電膜、第2の導電膜の材質としては、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成すると良い。本実施形態では、第1の導電膜をTaN、第2の導電膜をWにて形成する。その上にフォトリソグラフィ法を用いて、レジストマスク110Aを形成する。

【0031】

次いで、図1(B)に示すように、第1のエッティング処理を行う。最初に第1のエッティング条件にてWをエッティングして端部をテーパー形状とし、次いで第2のエッティング条件にてWとTaNとを同時にエッティングし、111A～113Aおよび111B～113Bとなる第1の形状の導電層を形成する。その後、レジストマスクを除去せずに第1のドーピング処理を行い、島状半導体層にn型を付与する不純物元素を添加する。このとき、前記第1の形状の導電層が不純物元素に対するマスクとなり、自己整合的にn型不純物領域114～119が形成される。

【0032】

次に、図1(C)に示すように、レジストマスクを除去せずに第2のエッティング処理を行う。ここでは第2の導電膜のみが選択的にエッティングされて後退し、111C～113Cおよび111D～113Dとなる第2の形状の導電層が形成される。その後レジストマスクを除去し、第2のドーピング処理を行い、第1のドーピング時よりも低濃度で、n型を

10

20

30

40

50

付与する不純物元素を添加する。このとき、前記第2の形状の導電層111D～113Dが不純物元素に対するマスクとなり、自己整合的に低濃度のn型不純物領域120～125が形成される。

【0033】

次いで、図1(D)に示すように、レジストマスク110Bを新たに形成し、第3のエッチング処理を行う。ここでは、第1の導電膜の部分のみが、112E～113Eで示される部分を残してエッチングされる。ここで、n型の低濃度不純物領域のうち、122～125は、ゲート電極に重ならない形となる。

【0034】

続いて、図1(E)に示すように、新たにレジストマスク110Cを形成し、第3のドーピング処理によって、島状半導体層にp型を付与する不純物元素を添加する。このとき、第1の導電層112Eおよび第2の導電層112Dが不純物元素に対するマスクとなり、自己整合的に高濃度の不純物領域126～129が形成される。なお、不純物領域126～129にはそれぞれ、事前に異なる濃度でn型を付与する不純物元素が添加されているが、p型を付与する不純物はそれよりも十分に高い濃度で添加されるため、いずれも同様にp型の高濃度不純物領域として機能する。

【0035】

最後に、レジストマスク110Cを除去して、図1(F)に示す構造のTFTが完成する。ここに示した本発明の半導体装置の作成方法を用いることによって、ホットキャリア劣化による特性低下を防止し、かつ画素部でのオフ電流を十分に低減することが出来る。さらに画素TFTのチャネル領域の下に設けた下部遮光膜によって、基板中に入射する光による電流のリークも抑制することが出来る。

【0036】

さらに、ゲート電極のエッチング処理を前述のように行うことにより、マスク枚数を大幅に低減することが可能となる（実施形態の例では、下部遮光膜、半導体層、レジストマスク110A、110B、110Cの5枚）ため、半導体装置作成時のコスト低減に大きく寄与することが出来る。

【0037】

【実施例】

以下に本発明の実施例について記述する。

【0038】

[実施例1]

本実施例では、半導体装置の画素部のTFTとその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路）のTFTを同時に作成する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0039】

図4(A)を参照する。まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニノホウケイ酸ガラスなどのガラスからなる基板5001を用いる。なお、基板5001としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0040】

基板5001上に、P-Si膜およびWSi_x膜を積層し、これらの膜を所望の形状にパターニングして下部遮光膜5002を形成する。下部遮光膜5002を形成する膜の材質としては、P-Si膜、WSi_x膜（x=2.0～2.8）、Al、Ta、W、Cr、Mo等の導電性材料からなる膜のいずれか一種、または複数種を成膜すれば良い。本実施形態では、P-Si膜を50[nm]、WSi_x膜を100[nm]積層して下部遮光膜5002を形成した。

【0041】

10

20

30

40

50

次いで、下地絶縁膜 5003 を形成する。下地絶縁膜 5003 は、シリコンを含む絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等）を、プラズマ CVD 法またはスパッタ法にて形成する。

【0042】

次に、図 4 (B) に示すように、下地絶縁膜 5003 上に、非晶質半導体膜を 30 ~ 60 [nm] の厚さで形成する。非晶質半導体膜の材質は限定しないが、好ましくはシリコンまたはシリコングルマニウム ($\text{Si}_x\text{Ge}_{1-x}$: $0 < x < 1$ 、代表的には $x = 0.001 \sim 0.05$) 合金等で形成すると良い。続いて、前記非晶質半導体膜に公知の結晶化処理（レーザー結晶化法、熱結晶化法、または Ni 等の触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターニングし、島状の半導体層 5004 ~ 5007 を形成する。本実施例では、プラズマ CVD 法を用いて 55 [nm] の非晶質シリコン膜を成膜した後、Ni を含む溶液を非晶質シリコン上に保持させた。この非晶質シリコン膜に脱水素化（450 °C、1 時間）を行った後、熱結晶化（570 °C、14 時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成し、パターニング処理によって島状半導体層を形成した。10

【0043】

また、島状半導体層 5004 ~ 5007 を形成した後、n チャネル型 TFT のしきい値電圧 (V_{th}) を制御するために、p 型を付与する不純物元素を添加しても良い。p 型を付与する不純物元素としては、ボロン (B)、アルミニウム (Al)、ガリウム (Ga) 等の周期律第 13 族元素が知られている。20

【0044】

次いで、島状半導体層 5004 ~ 5007 を覆うゲート絶縁膜 5008 を形成する。ゲート絶縁膜 5008 の材質としてシリコンを含む絶縁膜を用い、プラズマ CVD 法やスパッタ法によって 40 ~ 150 [nm] の厚さで形成する。ここで、ゲート絶縁膜 5008 は、シリコンを含む絶縁膜を、単層あるいは積層構造として形成すれば良い。

【0045】

次に、ゲート絶縁膜 5008 上に、膜厚 20 ~ 100 [nm] の第 1 の導電膜 (TaN) 5009 と、膜厚 100 ~ 400 [nm] の第 2 の導電膜 (W) 5010 とを積層形成する。第 1 の導電膜 5009 および第 2 の導電膜 5010 は、Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。また、リン (P) 等の不純物元素を添加した P-Si 膜に代表される半導体膜を用いても良い。本実施例では、膜厚 30 [nm] の TaN 膜からなる第 1 の導電膜と、膜厚 370 [nm] の W 膜からなる第 2 の導電膜とを積層形成した。TaN 膜はスパッタ法により形成し、Ta をターゲットに用い、窒素を含む雰囲気内でスパッタした。W 膜は、W をターゲットに用いてスパッタ法により形成した。その他に六フッ化タンゲステン (WF_6) を用いる熱 CVD 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 [$\mu\Omega\text{cm}$] 以下とすることが望ましい。W 膜は結晶粒を大きくすることで低低効率化を図ることが出来るが、W 膜中に酸素等の不純物元素が多い場合には結晶化が阻害されて高抵抗化する。したがって、本実施例においては、高純度の W (純度 99.9999 [%]) をターゲットに用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 20 [$\mu\Omega\text{cm}$] を実現することが出来た。3040

【0046】

次いで、図 4 (C) に示すように、フォトリソグラフィ法を用いてレジストからなるマスク 210 ~ 215 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 及び第 2 のエッティング条件で行う。本実施例では第 1 のエッティング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッティング法を用い、エッティング用ガスに CF_4 と Cl_2 と O_2 を用い、それぞれのガス流量比を 25 / 25 / 10 [sccm] とし、1 [Pa] の圧力でコイル型の電極に 500 [W] の RF (13.56 [MHz]) 電力を投入してプラズマを生成してエッティングを行った。なお、エ50

ツチング用ガスとしては、 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などを代表とする塩素系ガスまたは CF_4 、 SF_6 、 NF_3 などを代表とするフッ素系ガス、または O_2 を適宜用いることができる。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645 - ICP)を用いた。基板側(試料ステージ)にも150[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパー形状とする。

【0047】

この後、レジストマスク5011を除去せずに第2のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を30/30[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第2のエッチング条件ではW膜及びTaN膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97[nm/min]、TaNに対するエッチング速度は66.43[nm/min]である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0048】

そして、レジストマスク5011を除去することなく第1のドーピング処理を行い、島状半導体層にn型を付与する不純物元素を添加する。ドーピング処理はイオンドーピング法もしくはイオン注入法で行えば良い。この場合、第1の形状の導電層5012~5016が不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5019が形成される。

【0049】

さらに、図5(A)に示すように、レジストマスク5011を除去することなく第2のエッチング処理を行う。ここでは、エッチング用ガスに SF_6 と Cl_2 と O_2 とを用い、それぞれのガス流量比を24/12/24[sccm]とし、1.3[Pa]の圧力でコイル型の電極に700[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを25秒行った。基板側(試料ステージ)にも10Wの[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は227.3[nm/min]、TaNに対するエッチング速度は32.[nm/min]であり、TaNに対するWの選択比は7.1であり、ゲート絶縁膜5008に対するエッチング速度は33.7[nm/min]であり、TaNに対するWの選択比は6.83である。このようにエッチングガス用ガスに SF_6 を用いた場合、ゲート絶縁膜5008との選択比が高いので膜減りを抑えることができる。また、駆動回路のTFTにおいては、テーパー部のチャネル長方向の幅が長ければ長いほど信頼性が高いため、テーパー部を形成する際、 SF_6 を含むエッチングガスでドライエッチングを行うことが有効である。

【0050】

また、上記第2のエッチング処理において、 CF_4 と Cl_2 と O_2 とをエッチングガスに用いることも可能である。その場合は、それぞれのガス流量比を25/25/10[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行えばよい。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 と O_2 とを用いる場合のWに対するエッチング速度は124.62[nm/min]、TaNに対するエッチング速度は20.67[nm/min]であり、TaNに対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。また、このとき、ゲート絶縁膜5008のうち、第1の形状の導電層5012~5016に覆われていない部分も同時にエッチングされて薄くなっている。

【0051】

10

20

30

40

50

次いで、レジストからなるマスクを除去した後、第2のドーピング処理を行う。ドーピングは第2の導電層5020b～5024bを不純物元素に対するマスクとして用い、第1の導電層のテーパー部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーピング条件をドーズ量 $1.5 \times 10^{14} [\text{cm}^2]$ 、加速電圧90[keV]、イオン電流密度 $0.5 [\mu\text{A}/\text{cm}^2]$ 、フォスフィン(PH_3)5[%]水素希釈ガス、ガス流量30[sccm]にてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域5025～5028を自己整合的に形成する。

【0052】

次いで、図5(B)に示すように、レジストマスク5029を形成して第3のエッチング処理を行う。この第3のエッチング処理では、後にpチャネル型TFTとなる部分と、画素TFTとなる部分において、第1の導電層のテーパー部を選択的にエッチングして半導体層と重なる領域をなくす。第3のエッチング処理は、エッチングガスに Cl_2 を用い、ICPエッチング装置を用いて行う。本実施例では、 Cl_2 のガス流量比を60[sccm]とし、1.0[Pa]の圧力でコイル型の電極に350[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを70秒行った。基板側(試料ステージ)にも[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。第3のエッチングにより、第3の形状の導電層5030a～5032aが形成される。

【0053】

次いで、ゲート絶縁膜のエッチングを行う。ここでは、後にp型の不純物の添加を容易にするために、第1の導電層と重ならないゲート絶縁膜の一部をエッチングして薄くする。その後、後にnチャネル型TFTの活性層となる半導体層をレジストマスク5035で覆い、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型(n型)とは逆の導電型(p型)を付与する不純物元素が添加されたp型の高濃度不純物領域5036を形成する。このとき、第1の導電層5030aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加してp型不純物領域を形成する。本実施例では、p型不純物領域5036はジボラン(B_2H_6)を用いたイオンドープ法で形成する。なお、第1のドーピング処理及び第2のドーピング処理によって、不純物領域5018、5033にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもボロンの濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{cm}^3]$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0054】

ここまで工程で、nチャネル型TFTおよびpチャネル型TFTがそれぞれ形成され、nチャネル型TFTにおいては、第1の導電層と重なる低濃度不純物領域(GOLD領域)5025と、第1の導電層と重ならない低濃度不純物領域(LDD領域)5034が形成される。このように、駆動回路部と画素部とでは、異なる構造のTFTを作り分けている。また本実施例では、半導体層5007と、第1、第2の導電層5024で形成される部分で画素の保持容量をとっている。図示していないが、半導体層5024は、画素TFTのソース領域もしくはドレイン領域と電気的に接続されている。

【0055】

次に、図6(B)に示すように、レジストマスク5035を除去して第1の層間絶縁膜5037を形成する。第1の層間絶縁膜5037としては、プラズマCVD法またはスパッタ法を用いて、膜厚 $10 \sim 200 [\text{nm}]$ としてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により、SiON膜を膜厚 $200 [\text{nm}]$ で成膜して形成した。

【0056】

その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この工程ではファーネスアニール炉を用いる熱アニール法にて行う。熱アニール法としては、酸素濃度が $1 [\text{ppm}]$ 以下、好ましくは $0.1 [\text{ppm}]$ 以下の窒素雰囲気中で $400 \sim 700 []$ 、代表的には $500 \sim 550 []$ で行えば良く、本実施例では $550 []$ 、4時間の

10

20

30

40

50

熱処理で活性化処理を行った。なお、この工程においては、熱アニール法の他に、レーザー・アニール法、ラピッドサーマルアニール法（R T A 法）等を適用することが出来る。

【 0 0 5 7 】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度の P を含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中の N i 濃度が低減される。このようにして作成したチャネル形成領域を有する T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【 0 0 5 8 】

本実施例においては、ソース領域およびドレイン領域に含まれるリンを利用してゲッタリングを行ったが、他の方法としては、島状の半導体層の形成前に、島状半導体層以外の場所に P または、A r 等の不活性ガスをドーピングにより添加して熱処理を行う方法がある。この方法ではマスクが 1 枚増加するが、良好にゲッタリングを行うことが出来る。

10

【 0 0 5 9 】

また、第 1 の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いる配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【 0 0 6 0 】

次いで、熱処理（300 ~ 550 [] で 1 ~ 12 時間）を行い、半導体層を水素化する工程を行う。本実施例では、窒素雰囲気中で 350 []、1 時間の熱処理を行った。この工程は第 1 の層間絶縁膜 5037 に含まれる水素によって、半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

20

【 0 0 6 1 】

また、活性化処理としてレーザー・アニール法を用いる場合には、上記水素化を行った後、エキシマレーザーや Y A G レーザー等のレーザー光を照射することが望ましい。

【 0 0 6 2 】

次いで、図 6 (B) に示すように、各不純物領域 5017、5018、5019、5036 に達するコントラクトホールを形成するためのパターニングを行い、前記各不純物領域を電気的に接続する配線 5038 ~ 5041、接続電極 5042、ソース信号線 5043 の形成を行う。これらの電極および配線の材料は、A1 または A g を主成分とする膜、またはそれらに準ずる材料を用いる。

30

【 0 0 6 3 】

次いで、シリコンを含む無機絶縁膜と、有機樹脂膜の積層でなる第 2 の層間絶縁膜 5044 を成膜する。第 2 の層間絶縁膜 5044 は、配線材料の絶縁に加え、表面の平坦化膜としての機能をも有している。本実施例では、S i N O でなる無機絶縁膜を膜厚 200 [nm] 、さらに有機樹脂膜にアクリルを用いて膜厚 500 [nm] の積層膜として形成した。

【 0 0 6 4 】

その後、画素 T F T の上面に遮光膜 5045 を形成する。遮光膜 5045 としては、A1 等の反射性の材料を用いる。本実施例においては、A1 - T i の積層膜を膜厚 200 [nm] で成膜後、パターニングを行って形成した。

40

【 0 0 6 5 】

さらに、図 6 (C) に示すように、有機樹脂膜でなる第 3 の層間絶縁膜 5046 を形成した後、第 2 の層間絶縁膜 5044、第 3 の層間絶縁膜 5046 に、接続配線 5042 に達するコントラクトホールの開口を行い、画素電極 5047 を形成する。画素電極の材質としては、透過型の半導体装置とする場合には透明導電膜を用い、反射型のとする場合には金属膜を用いれば良い。本実施例においては、透過型の半導体装置とするために、酸化インジウム・スズ (I T O) 膜を 100 [nm] の厚さにスパッタ法で成膜したのちパターニングを行い、画素電極 5047 を形成した。

50

【 0 0 6 6 】

以上のようにして、nチャネル型TFT及びpチャネル型TFTからなるCMOS回路部と、nチャネルTFTからなる画素TFT及び保持容量とを有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【 0 0 6 7 】**[実施例2]**

本実施例においては、実施例1で作成したアクティブマトリクス基板から、アクティブマトリクス型半導体装置を作成する工程を以下に説明する。説明には図7を用いる。

【 0 0 6 8 】

まず、実施例1に従い、図6(C)の状態のアクティブマトリクス基板を得た後、図6(C)のアクティブマトリクス基板上に、図7(A)に示すように配向膜5051を形成しラビング処理を行う。なお、本実施例では配向膜5051を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサ5050を所望の位置に形成した。また、柱状のスペーサ5050に代えて、球状のスペーサを基板全面に散布しても良い。

【 0 0 6 9 】

次いで、対向基板5048を用意する。対向基板5048には、透明導電膜でなる対向電極5049を形成し、さらに配光膜5051を形成しラビング処理を行う。

【 0 0 7 0 】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材(図示せず)で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料5052を注入し、封止剤(図示せず)によって完全に封止する。液晶材料5052には公知の液晶材料を用いれば良い。このようにして図7(A)に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼り付ける。

【 0 0 7 1 】**[実施例3]**

本実施例においては、本発明の半導体装置の作成方法を用いて作成したアクティブマトリクス型半導体装置の構成例について説明する。

【 0 0 7 2 】

図2は、本実施例にて説明する画素部の上面図(ただし対向基板側を省略する)を示しており、点線枠200で囲われた部分が1画素である。さらに図3(A)において、点線- -'、点線- -'で示される部分の断面図を図3(B)に点線- -'、点線- -'で示す。それぞれの画素は、半導体層201、下部遮光膜202、ソース信号線203、ゲート電極204、接続電極205、保持容量206、画素電極207を有する。画素の保持容量は、ここでは画素TFTの半導体層と電気的に接続された半導体層とゲート電極と同層に形成された配線との間に形成されている。

【 0 0 7 3 】

また、画素部の構成に際しては、開口率を高くすることが求められる。そこで本実施例においては、下部遮光膜202がゲート信号線を兼用しており、さらにソース信号線は保持容量と重なるように配置した。

【 0 0 7 4 】

さらに、アクティブマトリクス型半導体装置の一例を図8に示す。図8(A)は上面図、図8(B)は断面図である。基板801の中央には、画素部804が配置されている。画素部804の上側には、ソース信号線を駆動するための、ソース信号線駆動回路802が配置されている。画素部804の左右には、ゲート信号線を駆動するための、ゲート信号線駆動回路803が配置されている。本実施例に示した例では、ゲート信号線駆動回路8

10

20

30

40

50

03は画素部に対して左右対称配置をしているが、これは片側のみの配置でも良く、半導体装置の基板サイズ等を考慮して、設計者が適宜選択すれば良い。ただし、回路の動作信頼性や駆動効率等を考えると、図8(A)に示した左右対称配置が望ましい。各駆動回路への信号の入力は、フレキシブルプリント基板(Flexible Print Circuit: FPC)805から行われる。FPC805は、基板801の所定の場所まで配置された配線に達するように、層間絶縁膜および樹脂膜にコンタクトホールを開口し、接続電極809を形成した後、異方性導電膜等を介して圧着される。本実施例においては、接続電極はITOを用いて、画素電極と同時に形成した。

【0075】

駆動回路、画素部の周辺には、基板外周に沿ってシール剤807が塗布され、あらかじめアクティブマトリクス基板上に形成されたスペーサ810によって一定のギャップ(基板801と対向基板806との間隔)を保った状態で、対向基板806が貼り付けられる。その後、シール剤807が塗布されていない部分より液晶素子が注入され、封止剤808によって密閉される。以上の工程により、半導体装置が完成する。

10

【0076】

[実施例4]

実施例3にて示したように、下部遮光膜がゲート信号線を兼用する構造とした場合、通常の配線材料を用いるよりも配線抵抗が高くなるため、信号伝達時の遅延が大きくなるという問題点がある。そこで本実施例において、前述の問題点を解決する方法について説明する。説明に際し、図9を参照する。

20

【0077】

ここでは、フレーム周波数60[Hz]、画素数がXGA(1024×768画素)の半導体装置を例にとって説明する。一般に、液晶を用いた半導体装置においては、1秒間に60回前後、映像信号の書き込みが行われることによって映像の表示が行われる(図9(A))。この1画面あたりの書き込み期間をフレーム期間といい、図9(B)に示す。1フレーム期間内には、ゲート信号線が1行目から選択されてソース信号線から画素へと映像信号が書き込まれるという処理が順に行われ、最終行での書き込みが終了した後、再び1行目に戻って次のフレーム期間での書き込みを行う。ここで、最終行での書き込み(ゲート信号線の選択)が終了してから、次に1行目の書き込み(ゲート信号線の選択)が開始されるまでの間には、通常は帰線期間が設けてある。図9(B)において、このゲート帰線期間の長さをTr1とすると、図9(C)に示す1水平期間の長さTh1は、

$$Th1 = \{ (1/60) - Tr1 \} / 768 \quad [\text{秒}]$$

30

となる。つまり、ゲート帰線期間の長さTr1の値によっては、ゲート信号線の抵抗による信号遅延が生じた場合、画素への映像信号の書き込み時間が不足する可能性がある。

【0078】

そこで、このゲート帰線期間を通常よりも短く設定することによってこの問題を回避する。図9(D)に示すように、ゲート帰線期間Tr2は、Tr1よりも短く設定してある。このとき、1水平期間の長さTh2は、

$$Th2 = \{ (1/60) - Tr2 \} / 768 \quad [\text{秒}]$$

40

となり、図9(B)、(C)の場合よりも時間を長くとることが出来る。これによって、図9(D)、(E)に示すように、1画素あたりの映像信号の書き込み時間に余裕が出来るため、仮にゲート信号線の抵抗値が高くなつて、それにより信号遅延が大きくなつた場合にも、確実に画素への映像信号の書き込みを完了させることが出来る。

【0079】

[実施例5]

アクティブマトリクス型半導体装置には様々な用途がある。本実施例では、本発明の半導体装置の作成方法を用いて作成されたアクティブマトリクス型半導体装置(半導体装置と呼ぶ)を組み込んだ電子機器について、図10、図11に例を挙げて説明する。

【0080】

図10(A)はフロント型プロジェクタであり、投射装置本体1001、半導体装置10

50

02、光源1003、光学系1004、スクリーン1005で構成されている。なお、投射装置1001には単版式のものを用いても良いし、R、G、Bの光にそれぞれ対応した三板式のものを用いても良い。本発明はアクティブマトリクス基板を備えた半導体装置1002に適用することができる。

【0081】

図10(B)はリア型プロジェクタであり、本体1011、投射装置本体1012、半導体装置1013、光源1014、光学系1015、リフレクター1016、スクリーン1017で構成されている。なお、投射装置1013には単版式のものを用いても良いし、R、G、Bの光にそれぞれ対応した三板式のものを用いても良い。本発明はアクティブマトリクス基板を備えた半導体装置1013に適用することができる。

10

【0082】

なお、図10(C)は、図10(A)及び図10(B)中における投射装置本体1001、1012の構造の一例を示した図である。投射装置1001、1012は、光源光学系1021、ミラー1022、1024～1026、ダイクロイックミラー1023、プリズム1027、半導体装置1028、位相差板1029、投射光学系1030で構成される。投射光学系1030は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単版式であっても良い。また、図10(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けても良い。

【0083】

20

また、図10(D)は、図10(C)中における光源光学系1021の構造の一例を示した図である。本実施例では、図10(C)中における光源光学系1021は、図10(D)中におけるリフレクター1031、光源1032、レンズアレイ1033、偏光変換素子1034、集光レンズ1035で構成される。なお、図10(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けても良い。

【0084】

図11(A)は液晶表示装置であり、筐体1101、支持台1102、表示部1103、スピーカー部1104、ビデオ入力端子1105等を含む。本発明の半導体装置は表示部2003に用いることができる。なお、液晶表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

30

【0085】

図11(B)はデジタルスチルカメラであり、本体1111、表示部1112、受像部1113、操作キー1114、外部接続ポート1115、シャッター1116等を含む。本発明の半導体装置は表示部1112に用いることができる。

【0086】

図11(C)はノート型パーソナルコンピュータであり、本体1121、筐体1122、表示部1123、キーボード1124、外部接続ポート1125、ポインティングデバイス1126等を含む。本発明の半導体装置は表示部1123に用いることができる。

40

【0087】

図11(D)はモバイルコンピュータであり、本体1131、表示部1132、スイッチ1133、操作キー1134、赤外線ポート1135、スタイルスペン1136等を含む。本発明の半導体装置は表示部1132に用いることができる。

【0088】

図11(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体1141、筐体1142、表示部A1143、表示部B1144、記録媒体(DVD等)読み込み部1145、操作キー1146、スピーカー部1147等を含む。表示部A1143は主として画像情報を表示し、表示部B1144は主として文字情報を表示するが、本発明の半導体装置はこれら表示部A、B1143、1144に用いることが

50

できる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0089】

図11(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体1151、表示部1152、アーム部1153を含む。本発明の半導体装置は表示部2502に用いることができる。

【0090】

図11(G)はビデオカメラであり、本体1161、表示部1162、筐体1163、外部接続ポート1164、リモコン受信部1165、受像部1166、バッテリー1167、音声入力部1168、操作キー1169等を含む。本発明の半導体装置は表示部1162に用いることができる。

10

【0091】

図11(H)は携帯電話であり、本体1171、筐体1172、表示部1173、音声入力部1174、音声出力部1175、操作キー1176、外部接続ポート1177、アンテナ1178等を含む。本発明の半導体装置は表示部1173に用いることができる。

【発明の効果】

本発明の半導体装置の作成方法によると、駆動回路と画素部において、それぞれの動作環境に合わせて異なる構造を有するTFTを、マスクを追加することなく作り分けることが可能となる。結果、ホットキャリア劣化に強い駆動回路部のTFTと、オフ電流を大きく低減した画素部のTFTを有する半導体装置の実現が可能となる。

【0092】

20

さらに、半導体層の下層に形成された下部遮光膜によって、プロジェクタ等に半導体装置を用いる際にも、プロジェクタより発せられる光が基板中に入射し、TFTのチャネル領域に当たることによって生ずる光リーク電流の低減に大きく寄与することが可能となる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の作成方法の実施形態を示す図。

【図2】 実施例3に示した、本発明の半導体装置の作成方法により作成された半導体装置の画素部の構成を示す図。

【図3】 実施例3に示した、本発明の半導体装置の作成方法により作成された半導体装置の画素部の構成を示す図。

【図4】 実施例1に示した、半導体装置の作成工程例を示す図。

30

【図5】 実施例1に示した、半導体装置の作成工程例を示す図。

【図6】 実施例1に示した、半導体装置の作成工程例を示す図。

【図7】 実施例2に示した、半導体装置の作成工程例を示す図。

【図8】 実施例3に示した、本発明の半導体装置の作成方法により作成された半導体装置の全体概略図と断面図。

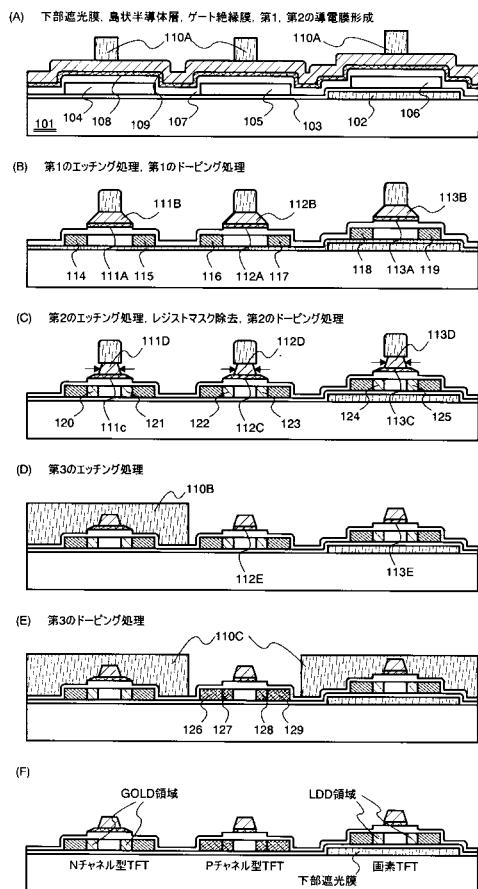
【図9】 実施例4に示した、半導体装置の駆動方法の一例を簡略に示したタイミングチャートを示す図。

【図10】 本発明の半導体装置の作成方法により作成された半導体装置の、電子機器への適用例を示す図。

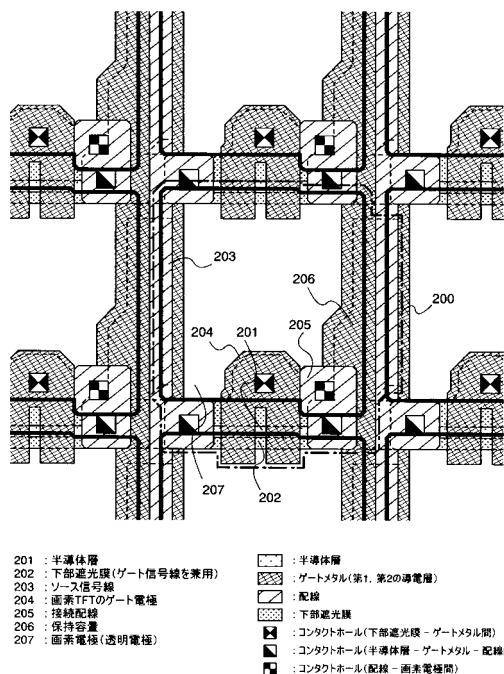
【図11】 本発明の半導体装置の作成方法により作成された半導体装置の、電子機器への適用例を示す図。

40

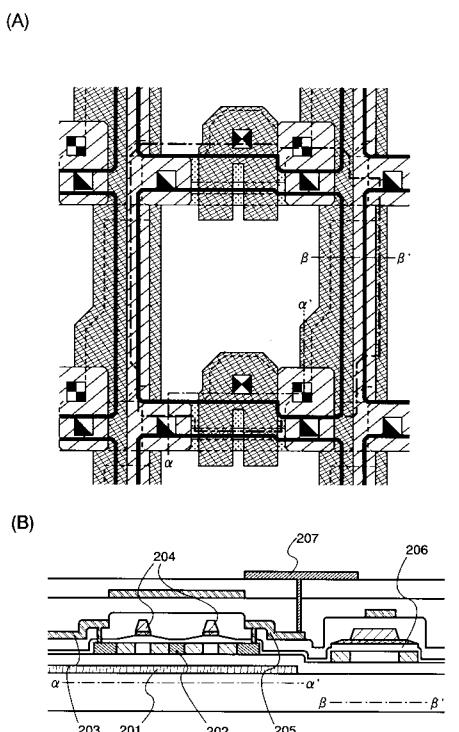
【図1】



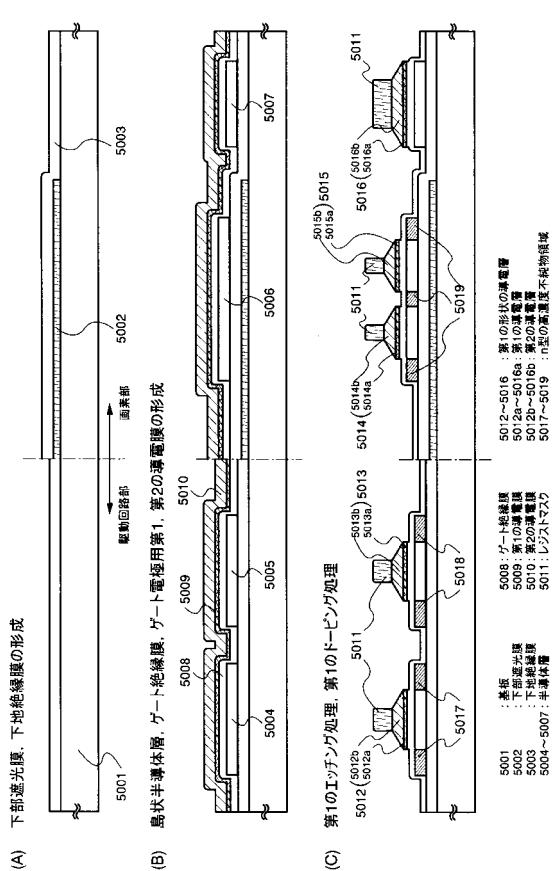
【図2】



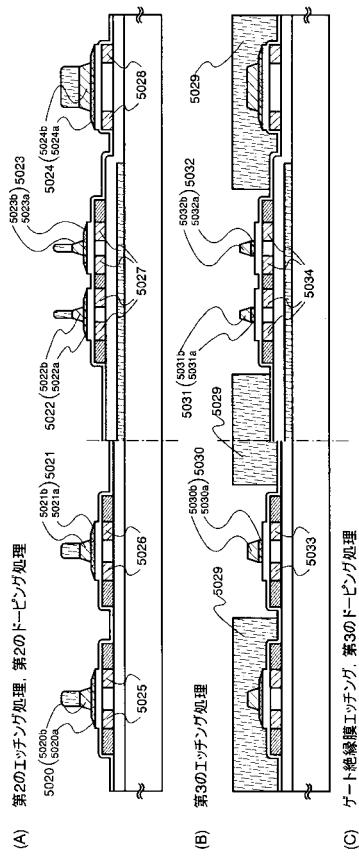
【図3】



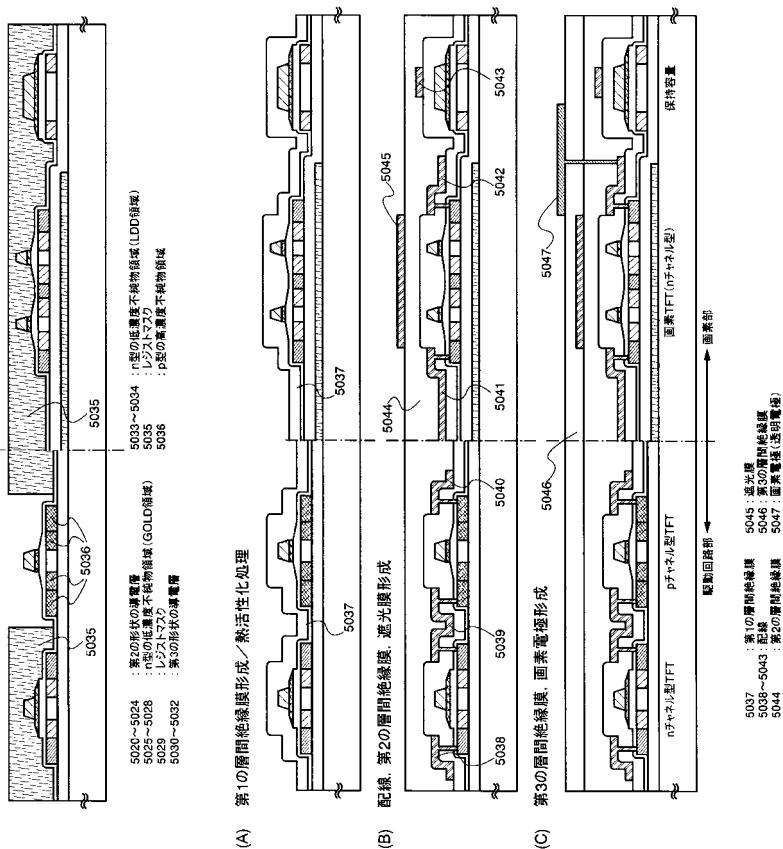
【 図 4 】



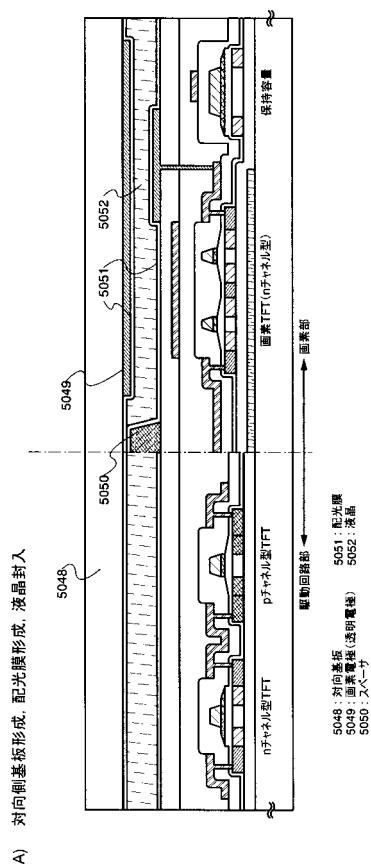
【 四 5 】



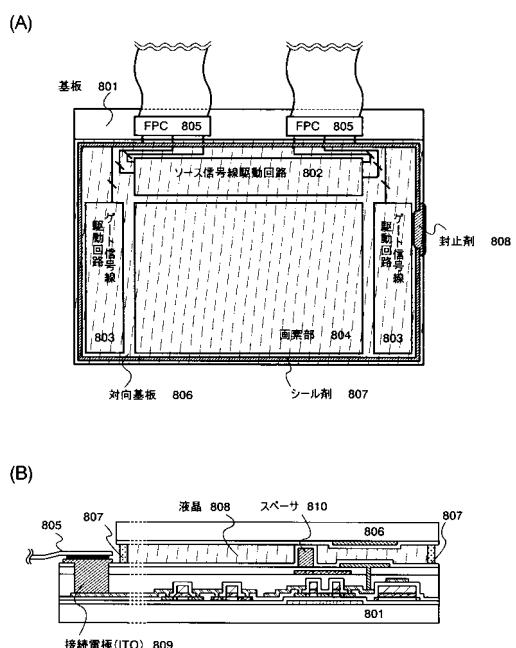
【 四 6 】



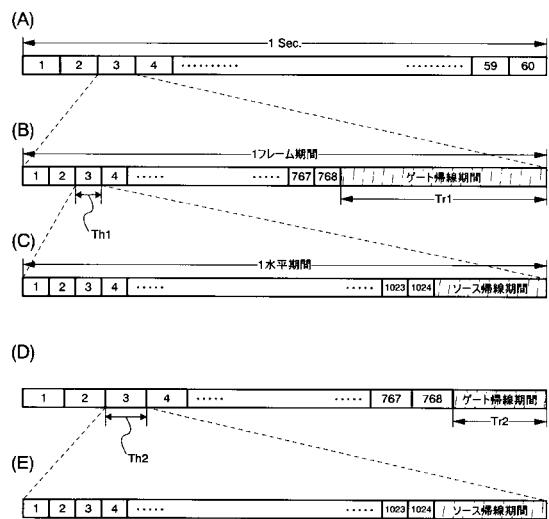
【 义 7 】



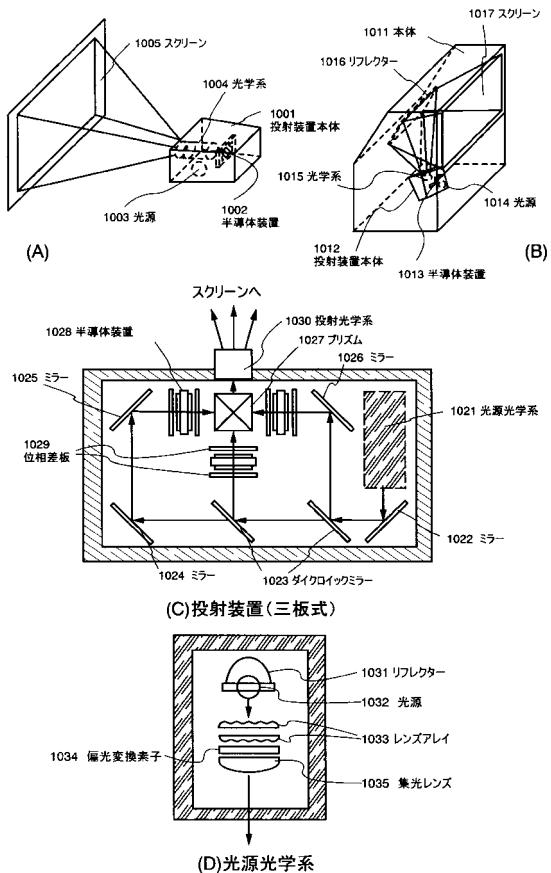
【図8】



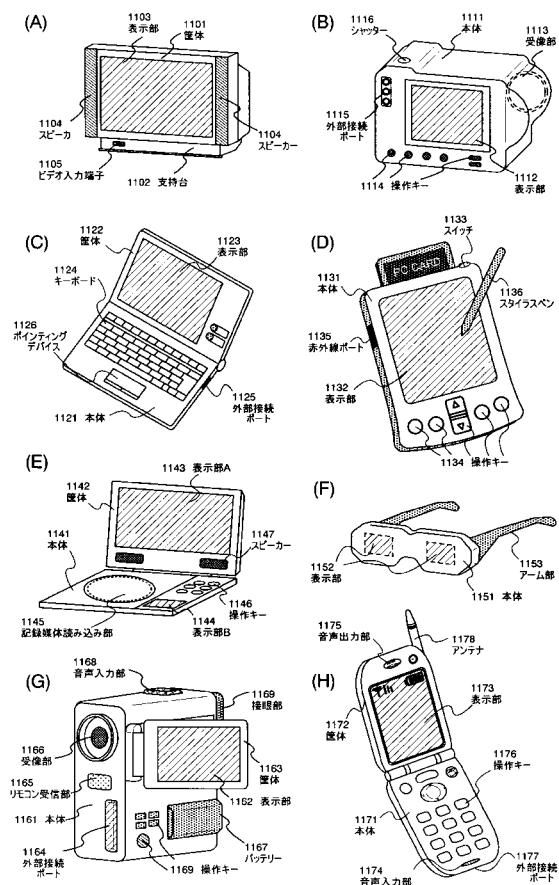
【図9】



【図10】



【図11】



フロントページの続き

(56)参考文献 特開2000-228527(JP,A)
特開2000-223714(JP,A)
特開平11-298002(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G09F 9/30

H01L 21/336

H01L 29/786