

公告本

466482

申請日期	89-3-7
案 號	89P104020
類 別	G11C11/00

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	同步型半導體記憶裝置
	日 文	“同期型半導体記憶装置”
二、發明 人	姓 名	1.大島 成夫 2.小澤 進
	國 籍	1.2. 均日本
	住、居所	1.日本國神奈川縣橫濱市金澤區並木2-12-12-401 2.日本國神奈川縣川崎市中原區木月住吉町1931 克雷亞雷東芝元住吉410號
三、申請人	姓 名 (名稱)	日商東芝股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市幸區堀川町72番地
	代 表 人 姓 名	西室 泰三

裝

訂

線

466482

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權
日本 1999年03月08日 特願平11-060440 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明所屬之技術領域】

本發明係關於與時鐘同步進行資料傳送之同步型半導體記憶裝置，特別是關於在使用多數位元資料之預取方式之同步DRAM之內部資料傳送系統。

【習知技術】

以往爲了實現DRAM之高速資料存取與高資料帶寬，研發出同步DRAM (SDRAM)。SDRAM係先由4M位元DRAM量產，而今則64M位元DRAM幾乎皆爲SDRAM。SDRAM之特徵在於藉由利用時鐘同步實現高速之存取時間及循環時間，但近來對該SDRAM之高速化之要求更加提高。

在決定SDRAM之動作速度上，係由下列一連串之資料傳送動作決定，即：將記憶胞陣列之位元線所讀出之資料，經由行選擇閘傳送至主資料線，以資料緩緩衝器放大，再經由周邊資料線送至輸出入端子。該資料傳送動作之高速化有其界限，故常見之使資料傳送速度提升之手法係使用：將行存取滙流排因應CAS (latency)之數分割爲2、3或4個管線階段(pipe line stage)，而使該等重疊動作(overlap)之方式。又，自記憶胞陣列，對每一I/O端子同時讀出複數位元之資料，將其在周邊電路進行平行/系列變換而取出。該手法係稱爲資料預取，在對每個I/O端子同時讀出2位元之資料之情況係稱爲2位元預取，而同時讀出4位元之資料之情況係稱爲4位元預取。

說明2位元預取之情況如下：依行選擇線平行傳送至資料之2位元資料，各由資料線緩衝器放大，傳送至不同之

五、發明說明(2)

周邊資料線。被並列傳送至周邊資料線之2位元資料，依最下位行位址A0決定取出順序，經平行/系列變換而取出。

現在之SDRAM之時鐘頻率主流為100 Mhz至133 MHz。於1時鐘周期進行1次行選擇，藉由在時鐘開始上升與開始下降之兩邊界(edge)時點使輸出資料同步，或在時鐘CLK與其互補時鐘/ $\overline{\text{CLK}}$ 之交叉時刻使輸出資料同步之手法，若採用上述資料預取方式，可實現時鐘頻率之2倍之200 MHz~266 MHz之資料傳送速度。

【發明所欲解決之課題】

惟，DRAM常有晶片尺寸之限制，特別是在採用預取方式之情況下有壓迫周邊之配線區域之問題。例如，2位元預取若與未採用預取方式之情況相比，周邊資料線之條數成為2倍。若為自16條輸出入端子進行並列讀出之SDRAM之情況，必需要有32條周邊資料線，若為32位元並列讀出之情況則必需要有64條。

若記憶體容量成為如256M位元般變成更大，則因記憶胞陣列之面積占有率上升，周邊資料線之條數增加所造成之影響相對變小。惟，64M、128M等之記憶體容量，則無法忽視周邊資料線之面積，對於未採用預取方式之習知DRAM成為預設(default)之過大(overhead)。

本發明係考量上述問題而研發者，其目的在提供一同步型半導體記憶裝置，其係一面採用使資料傳送循環高速化之預取方式，一面削減周邊資料線之條數，而可縮小晶體尺寸者。

五、發明說明(3)

【解決課題之方法】

本發明之同步型半導體記憶裝置，其特徵在於：

具備：記憶胞陣列；

譯碼電路，其係將與時鐘同步供給之位址予以譯碼，而選擇前述記憶胞陣列之記憶胞者；

多數之主資料線對，其係傳送前述記憶胞陣列之資料者；

資料線緩衝器，其係設於每一主資料線對，內藏閘鎖電路者；以及

多數之周邊資料線，其係用以將各資料線緩衝器之資料傳送至資料輸出入端子者；

由前述記憶胞陣列所讀出之每個資料輸出入端子之複數位元之資料，經由前述主資料線對並列傳送至前述資料線緩衝器，在該多數位元之資料中先頭資料通過前述閘鎖電路傳送至前述周邊資料線之時，後續資料暫時保存於前述閘鎖電路，然後與先頭資料相同傳送至周邊資料線者。

具體上，本發明之資料線緩衝器係例如具有資料線感測放大器，其係依時鐘所控制時序而產生之活性化信號，進行動作者；閘鎖電路係連接於資料線感測放大器，將前述活性化信號作為閘鎖信號，進行動作者。

又，資料線緩衝器內之閘鎖電路係例如具有：閘鎖電路本體，其係將前述資料線感測放大器之活性化信號作為閘鎖信號，進行動作者；及驅動器，其係為了將該閘鎖電路本體之保存資料傳送至前述周邊資料線，與最下位行位址同步而被控制資料輸出者。

五、發明說明(4)

又於本發明中，周邊資料線係：(a)對每一條位元資料以1條單線構成，每1個資料輸出入端子之2位元之資料被並列傳送至前述資料線緩衝器，該2位元之資料係以時分割傳送至1條周邊資料線；或(b)對每1位元資料以1對互補信號線構成，每1個資料輸出入端子之2位元之資料被並列傳送至前述資料線緩衝器，該2位元之資料係以時分割傳送至1對周邊資料線。

依本發明，將以複數位元同時並列傳送至主資料線之資料，於資料線緩衝器以時分割傳送至共同之周邊資料線而構成，可使資料傳送循環高速化，並可削減周邊資料線之條數，藉此可縮小晶片尺寸。

【發明之實施形態】

以下參照圖式說明本發明之實施形態。

圖1為本發明之一實施形態之SDRAM之方塊構造。DRAM核心1包含：記憶胞陣列2、進行該記憶胞陣列2之字元線及位元線選擇之列譯碼器3及行譯碼器4、及將位元線資料予以放大之感測放大器5。

外部時鐘CLK係由時鐘緩衝器11取入而產生內部時鐘。指令譯碼器6係將來自外部之指示進行資料之讀出/寫入之指令ACT予以譯碼，基於該譯碼器信號與內部時鐘，控制信號產生電路7產生由內部時鐘控制時序之感測放大器活性化信號等各種控制信號。位址緩衝器8係與內部時鐘同步將位址ADD取入，將列位址、行位址各送至列譯碼器3及行譯碼器4。由DRAM核心1讀出被傳送至主資料線MDQ

五、發明說明 (5)

之資料，係由資料線緩衝器9放大。由資料線緩衝器9所放大之資料，被傳送至周邊資料線RD，經由內部時鐘所控制之I/O緩衝器10由I/O端子取出。

圖2係對於採用2位元預取方式之情況，將自DRAM核心1至I/O端子為止之資料傳送相關之要部構造，著眼於1條周邊資料線RD而予以表示。I/O端子數為16之情況，周邊資料線RD亦在為單線構造之情況下為16。圖2中係表示以通常多數之胞區塊(cell block)構成之記憶胞陣列2中之1個胞區塊21。如圖所示，在胞區塊21中係將每複數條字元線WL與位元線對BL、bL交叉配設，於該交叉部配設動態型記憶胞MC。

在記憶胞陣列2之區域上，雖配設有多數之主資料線對MDQ、bMDQ，圖中僅表示出其中所並列讀出之2位元資料所對應之2對主資料線MDQ(E)、bMDQ(E)、MDQ(O)及bMDQ(O)。MDQ(E)、bMDQ(E)之對係例如對應於依最下位行位址CA0=0而選擇出之先頭資料，MDQ(O)、bMDQ(O)之對係對應於依CA0=1所選擇之後續資料。該等2對主資料線共同擁有1條周邊資料線RD。

胞區塊21之位元線資料，在由位元線感測放大器5放大後，經由行選擇信號CSL所驅動之行選擇閘22、23，傳送至主資料線對MDQ、bMDQ。在各主資料線對MDQ、bMDQ之端部，設有包含於圖1之資料線緩衝器9之資料線緩衝器DQB(E)、DQB(O)。

該實施形態中，圖2所示之2條行選擇線CSL(E)、CSL(O)

五、發明說明(6)

係與時鐘同步被同時選擇，2位元之位元線資料被同時傳送至主資料線對MDQ(E)、bMDQ(E)、MDQ(O)、bMDQ(O)，由資料線緩衝器DQB(E)、DQB(O)放大。即，雖進行2位元預取之動作，但該等2位元資料係與習知相異，乃係以時分割動作傳送至1條周邊資料線RD。因此，各資料線緩衝器DQB係具備感測放大器24，及將其所放大之資料暫時予以保存之作爲高速存儲器(cache)之閃鎖電路25。

被傳送至周邊資料線RD之資料，經由FIFO緩衝器26，經由I/O緩衝器10，自I/O端子取出。FIFO緩衝器26係如圖7所示之習知者。

圖3表示一個資料線緩衝器DQB之具體構造例。感測放大器24具有由PMDS電晶體QP4、PQ5及NMOS電晶體QN1、QN2所成之FIFO型感測放大器本體241。感測放大器本體241之電源側與接地側各具有活性化用PMOS電晶體QP6及活性化用NMOS電晶體PN5。該等活性化用NMOS電晶體QN5、PMOS電晶體QP6各由時鐘控制時序而產生之互補性活性化信號QSE、bQSE所驅動。主資料線對MDQ、bMDQ及感測節點N1、N2之間設有PMOS電晶體QP11、QP12所成之傳送閘。該傳送閘係由感測放大器活性化信號QSE所控制，在感測放大器24活性化時成爲"關"，資料線對MDQ、bMDQ被自感測節點N1、N2切離。

感測節點N1、N2上設有PMOS電晶體QP1、QP2、QP3所成之資料線等價電路242。一方之感測節點N1經由反相器11連接於虛的(dummy) MNOS電晶體QN6之閘極，該汲極係

五、發明說明(7)

於連接於由重設(reset)信號(預充電(pre-charge)信號)bRST所控制之預充電用PMOS電晶體QP9之連接狀態下終結。而另一方之感測節點N2則係經由反相器I2連接於輸出用NMOS電晶體QN3之閘極，該汲極係連接於預充電用PMOS電晶體QP7。

門鎖電路25具有門鎖電路本體251，其係有活性化信號QSE、bQSE被直接作為門鎖信號供給至其中者。門鎖電路本體251係將反相器I3、I4之輸出入交叉連接構成者。該門鎖電路本體251之資料係經由與最下位行位址CA0同步成為"H"、"L"之互補控制信號EOSW、bEOSW所控制之驅動器252，傳送至周邊資料線RD。驅動器252具有PMOS電晶體QP8，其係門鎖電路本體251之輸出以及被輸入控制信號EOSW之2輸入NANP閘G1之輸出所控制者；及NMOS電晶體QN4，其係由門鎖電路本體251之輸出以及被輸入控制信號bEOSW之2輸入NOR閘G2之輸出所控制者。

即，在由感測放大器24並列放大之主資料線對MDQ(E)、bMDQ(E)、MDQ(O)、bMDQ(O)之2位元資料予以感測之資料線緩衝器DQB(E)、DQB(O)中，例如由緩衝器DQB(E)側為A0="H"，即EOSW(E)="H"，bEOSW(E)="L"被判定為先頭資料，自門鎖電路本體251經由驅動器252以其原狀直接傳送至周邊資料線RD。在此期間，另一方之資料線緩衝器DQB(O)係為ESOW(O)="L"，bEOSW(O)="H"，驅動器252係保持為"關"。資料係被保存於門鎖電路本體251。接著藉由A0="L"，即

五、發明說明(8)

EOSW (O)="H"、bEOSW (O)="L"，驅動器252成為"開"，被作為後續資料傳送至周邊資料線RD。

圖4係本實施形態之資料傳送動作之時序圖，在時鐘CLK開始上升之時點之前之時刻t0時，重設信號bRST成為"H"，資料線緩衝器DQB之感測放大器24之預充電期間結束。在預充電期間，等價電路242之PMOS電晶體QP1、QP2、QP3係為"開"，感測節點N1、N2被預充電成VCC，又PMOS電晶體QP7、QP7為"開"，NMOS電晶體QN6、QN3之汲極節點被預充電成VCC。

其後，在時刻t1時，行選擇信號CSL上升。藉此，位元線資料被傳送至主資料線對MDQ、bMDQ，因應資料如圖所示發生電位差。此時如前述，每一個I/O端子，2位元資料被同時傳送至主資料線對。

接著在時刻t2時，資料線感測放大器之活性化信號QSE上升至"H"，其互補信號bQSE成為"L"。藉此，感測節點N1、N2因應資料，一方移至VCC，另一方移至VSS。節點N2之資料被反相器I2反轉，再由NMOS電晶體QN3再反轉，而被傳送至閘鎖電路本體251。閘鎖電路本體251被供給感測放大器活性化信號QSE、bQSE係為閘鎖信號，將被傳送之資料予以取入。

次之，與最下位行位址CA0同步產生之控制信號EOSW (E)在時刻t3上升。藉此，被預取之2位元資料中，被傳送至資料線對MDQ (E)、bMDQ (E)側之閘鎖電路本體251之資料，被作為先頭資料D (E)經由驅動器252傳送至周邊資料

五、發明說明(9)

線 RD 為止。於此期間，另一方之資料線對 MDQ(O)、bMDQ(O) 側之門鎖電路 25 中，控制信號 EOSW(O) 為 "L"、bEOSW(O) 為 "H"，驅動器 252 之閘 G1、G2 為關閉狀態。故，後續資料被暫時保存於門鎖電路本體 251。

感測放大器活性化信號 QSE 在感測節點 N1、N2 成為 VCC、VSS 後，於時刻 t4 成為 "L"，進而在時刻 t5 時，重設信號 bRST 成為 "L"，感測放大器 24 便進入預充電動作。其後，隨著在時刻 t6 時取下位行位址 CA0 之反轉，控制信號 EOSW(O) 成為 "H"、bEOSW(O) 成為 "L"，保存於門鎖電路本體 251 之後續資料 D(O) 通過驅動器 252 被傳送至周邊資料線 RD。在後續資料被傳送至周邊資料線 RD 之前，在時鐘 CLK 下降時先被傳送之先頭資料被取入至 FIFO 緩衝器 26。

其後，在時刻 t7 時重設信號 bSRT 成為 "H"，被預充電之感測放大器 24 進入下一個循環之準備動作狀態。

如此在本實施形態中，1 時鐘周期內，被預取至資料線緩衝器之 2 位元資料依時分割動作，被順序傳送至共同之周邊資料線 RD。後續資料被門鎖之時間係約為 1/2 時鐘周期。被以時分割系列傳送至周邊資料線 RD 之 2 位元資料，經由例如在時鐘 CLK 之兩邊界(edge)被啟動之 FIFO 緩衝器 26，經由 I/O 緩衝器 9，自同一 I/O 端子取出。

依上述本實施形態，被經由資料線緩衝器並列傳送至主資料線之每一個 I/O 端子之 2 位元資料，其先頭資料係通過資料線緩衝器，後續資料係暫時保存，稍遞再傳送至共同

五、發明說明(10)

之周邊資料線。故，與習知之預取方式相比，可將周邊資料線之數目減少1/2。特別是在I/O端子數為16個或32個之大數目，要進行16位元或32位元並列讀出之SDRAM之情況下，周邊資料線數之減少效果大，可縮小晶片尺寸。

又，本實施形態中，藉由依自資料線緩衝器至周邊資料線之資料傳送作而進行平行/系列變換，即不需要如習知之預取方式之平行/系列變換電路。

又，本實施形態中，門鎖電路25係將資料感測放大器24之活性化信號作為門鎖信號而動作。故在後續資料被保存於門鎖電路25之狀態下，作為門鎖信號之感測放大器活性化信號QSE係為"L"，於此狀態下感測放大器24進入準備好下一次循環之預充電動作。即，資料緩衝器之預充電動作與資料門鎖動作可在時間上重複之故，藉由追加門鎖電路，不必無謂的使用時鐘循環，不會使循環時間增大。

圖5係將本發明之其他實施形態之SDRAM之要部構造與圖2對應表示。該實施形態係將以2位元資料依時分割傳送之周邊資料線之構造，與主資料線同樣的，做成互補信號線RD、bRD。其他則與先前之實施形態相同。

在本實施形態之情下，與先前之實施形態相比，周邊資料線之條數成為2倍。然而即使如此，與將預取之2位元資料對互補信號機構成之周邊資料線予以並列傳送之情況相比，周邊資料線之條數仍減少1/2。

圖6係其他實施形態之資料線緩衝器之感測放大器電路之構造。該資料線感測放大器係以電流鏡型差動放大器

(請先閱讀背面之注意事項再填寫本頁)

衣
訂
線

五、發明說明 (11)

61、62為主體而構成。差動放大器61、62之一個輸入節點係為感測節點N1、N2，於其上連接有主資料線MDQ、bMDQ。感測節點N1、N2上，與圖3之情況相同設有等價電路63。

差動放大器61、62之輸出節點N11、N12連接至閘極，汲極連接至感測節點N2、N1之PMOS電晶體QP63、QP64，係用以將輸出節點N11、N12之電位變化歸還至感測節點N1、N2，加速感測動作。連接於輸出節點N11、N12之PMOS電晶體QP61、QP62係為預充電用。一方之輸出節點N11係經由PMOS電晶體QP65與NMDS電晶體QN62所成之輸出驅動器被終止，另一方之輸出節點N12係經由PMDS電晶體OP66與NMDS電晶體QN61所成之輸出驅動器，與先前之實施形態相同的連接至門鎖電路。

該資料線感測放大器在預充電時，控制信號bRST為"L"，控制信號RST為"H"。藉此，感測節點N1、N2及輸出節點N11、N12被預充電成VCC。此時輸出驅動器之輸出成為"L"。感測動作在輸出節點N12成為"L"後，輸出驅動器之PMOS電晶體QP66成為"開"，"H"位準輸出被送至門鎖電路。

上述實施形態中，雖每一I/O端子將2位元資料並列傳送至主資料線，將其以時分割傳送至共同之周邊資料線，然而較通常者係可進行控制，將複數位元資料並列傳送至主資料線，將該等以時分割傳送至共同之周邊資料線。藉此，可更進一步削減周邊資料線之條數。

五、發明說明(12)

【發明之效果】

依上述本發明，可一面採用將資料傳送循環予以高速化之預取方式，一面削減周邊資料線之條數，可縮小SDRAM之晶片尺寸。

【圖面之簡單說明】

圖1為本發明之一實施形態之SDRAM之方塊構造表示圖。

圖2為同實施形態之DRAM核心至輸出入端子為止之資料傳送路徑之要部構造表示圖。

圖3為圖2之資料線緩衝器之具體構造例表示圖。

圖4為同實施形態之資料傳送動作時序表示圖。

圖5為其他實施形態之周邊資料線構造表示圖。

圖6為其他實施形態之資料線感測放大器構造表示圖。

圖7為FIFO緩衝器之構造表示圖。

【元件符號說明】

1…DRAM核心、2…記憶胞陣列、3…列譯碼器、4…行譯碼器、5…位元線感測放大器、6…指令譯碼器、7…控制信號產生電路、8…位址緩衝器、9…資料線緩衝器、10…I/O緩衝器、11…時鐘緩衝器、24…資料線感測放大器、25…門鎖電路、26…FIFO緩衝器。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

四、中文發明摘要(發明之名稱： 同步型半導體記憶裝置)

本發明係考量習知技術之課題而研發者，其目的在提供一同步型半導體記憶裝置，其係可一面採用使資料傳送循環高速化之預取方式，一面削減周邊資料線之條數，而可縮小晶片尺寸者。

本發明之同步型半導體記憶裝置，其特徵在於：

具備：記憶胞陣列；

譯碼電路，其係將與時鐘同步供給之位址予以譯碼，而選擇前述記憶胞陣列之記憶胞者；

多數之主資料線對，其係傳送前述記憶胞陣列之資料者；

資料線緩衝器，其係設於每一主資料線對，內藏門鎖電路者；以及

日文發明摘要(發明之名稱：“同期型半導体記憶装置”)

この発明は、上記事情を考慮してなされたもので、データ転送サイクルを高速化するプリフェッチ方式を採用しながら、周辺データ線の本数を削減してチップサイズ縮小を実現できる同期型半導体記憶装置を提供することを目的としている。

この発明に係る同期型半導体記憶装置は、メモリセルアレイと、クロックに同期して供給されるアドレスをデコードして前記メモリセルアレイのメモリセルを選択するデコード回路と、前記メモリセルアレイのデータが転送される複数のメインデータ線対と、各メインデータ線対毎に設けられた、ラッチ回路を内蔵するデータ線バッファと、各データ線バッファのデータをデータ入出力端子に転送するための複数の周辺データ線とを備え、前記メモリセルアレイから読み出されたデータ入出力端子当たり複数ビットのデータが前記メインデータ線対を介して前

四、中文發明摘要（發明之名稱：_____）

多數之周邊資料線，其係用以將各資料線緩衝器之資料傳送至資料輸出入端子者；

由前述記憶胞陣列所讀出之每個資料輸出入端子之複數位元之資料，經由前述主資料線對並列傳送至前述資料線緩衝器，在該多數位元之資料中先頭資料通過前述門鎖電路傳送至前述周邊資料線之時，後續資料暫時保存於前述門鎖電路，然後與先頭資料相同傳送至周邊資料線者。

英文發明摘要（發明之名稱：_____）

記データ線バッファに並列転送され、その複数ビットのデータのうち先頭データが前記ラッチ回路をスルーして前記周辺データ線に転送される間、後続データが前記ラッチ回路に一時保持され、その後先頭データと同じ周辺データ線に転送されるようにしたことを特徴とする。

六、申請專利範圍

1. 同步型半導體記憶裝置，其特徵在於：

具備：記憶胞陣列；

譯碼電路，其係將與時鐘同步供給之位址予以譯碼，而選擇前述記憶胞陣列之記憶胞者；

多數之主資料線對，其係傳送前述記憶胞陣列之資料者；

資料線緩衝器，其係設於每一主資料線對，內藏門鎖電路者；以及

多數之周邊資料線，其係用以將各資料線緩衝器之資料傳送至資料輸出入端子者；

由前述記憶胞陣列所讀出之每個資料輸出入端子之複數位元之資料，經由前述主資料線對並列傳送至前述資料線緩衝器，在該多數位元之資料中先頭資料通過前述門鎖電路傳送至前述周邊資料線之時，後續資料暫時保存於前述門鎖電路，然後與先頭資料相同傳送至周邊資料線者。

2. 如申請專利範圍第1項之同步型半導體記憶裝置，其中前述資料線緩衝器具有資料線感測放大器，其係依前述時鐘所控制時序而產生之活性化信號，進行動作者；前述門鎖電路係連接於前述資料線感測放大器，將前述活性化信號作為門鎖信號，進行動作者。

3. 如申請專利範圍第2項之同步型半導體記憶裝置，其中前述門鎖電路具有：門鎖電路本體，其係將前述資料

(請先閱讀背面之注意事項再填寫本頁)

本

訂

六、申請專利範圍

線感測放大器之活性化信號作為門鎖信號，進行動作者；及驅動器，其係為了將該門鎖電路本體之保存資料傳送至前述周邊資料線，與最下位行位址同步而被控制資料輸出者。

4. 如申請專利範圍第1項之同步型半導體記憶裝置，其中前述周邊資料線係對每一條位元資料以1條單線構成，每1個資料輸出入端子之2位元之資料被並列傳送至前述資料線緩衝器，該2位元之資料係以時分割傳送至1條周邊資料線

5. 如申請專利範圍第1項之同步型半導體記憶裝置，其中前述周邊資料線係對每1位元資料以1對互補信號線構成，每1個資料輸出入端子之2位元之資料被並列傳送至前述資料線緩衝器，該2位元之資料係以時分割傳送至1對周邊資料線。

6. 一種同步型半導體記憶裝置，其特徵在於：具備

記憶胞陣列，其係將複數條之每一條位元線與字元線交叉配設，於該等交叉部上配置動態型記憶胞者；

譯碼電路，其係將與時鐘同步供給之位址予以譯碼，選擇記憶胞陣列之字元線及位元線者；

多數之主資料線對，其係將每一個由該譯碼電路選擇而自前述記憶胞陣列讀出之資料輸出入端子之多數位元之資料予以並列傳送者；

多數之資料線緩衝器，其係設於各主資料線對，其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

係感測在前述時鐘之1周期內並列傳送之多數位元之資料，並以時分割輸出之方式進行時序控制者；及

多數之周邊資料線，其係將該等資料線緩衝器所依時分割輸出之多數位元資料，予以系列的傳送至共同之資料輸出入端子者。

(請先閱讀背面之注意事項再填寫本頁)

宋

訂

線

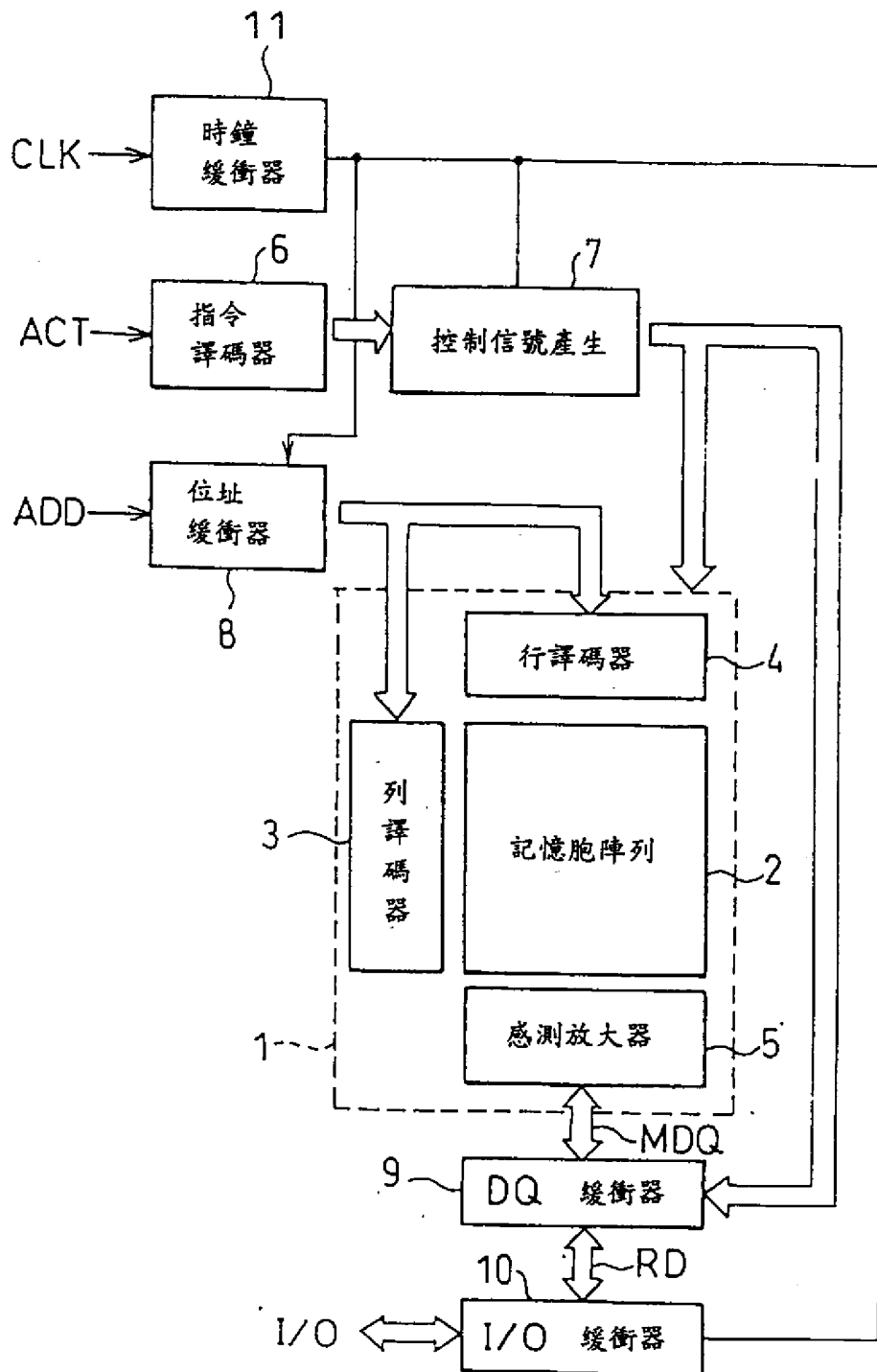


圖 1

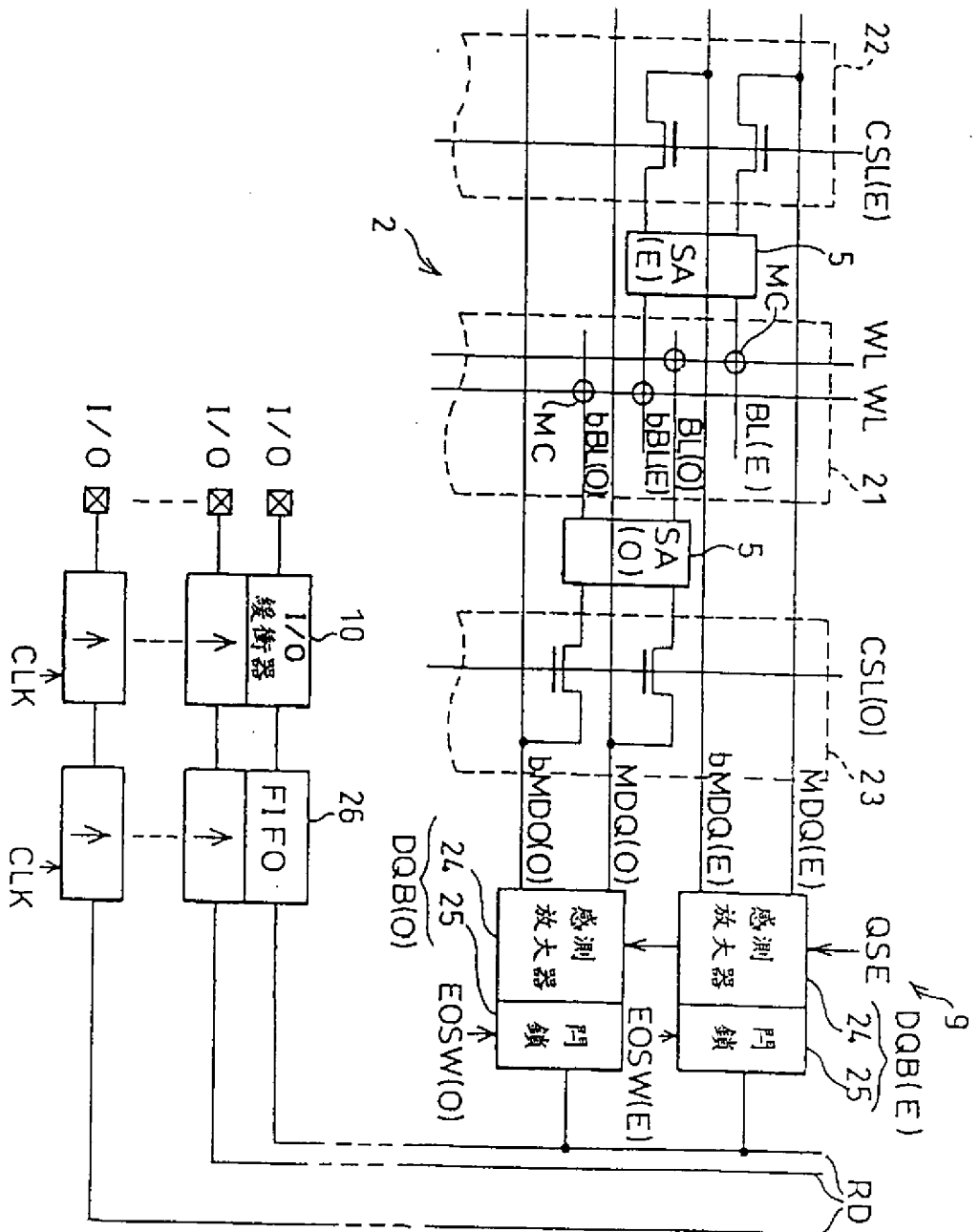


圖 2

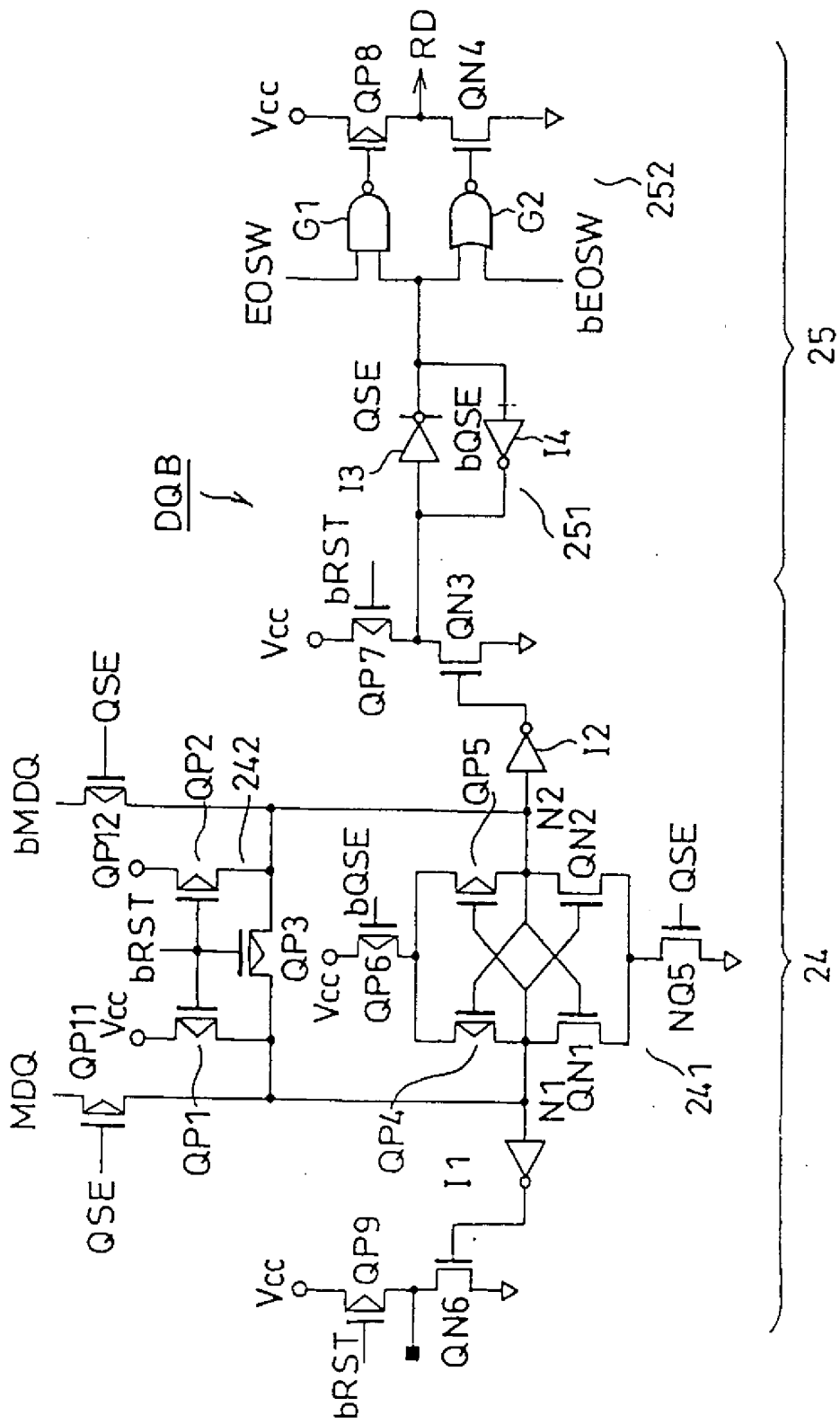


圖 3

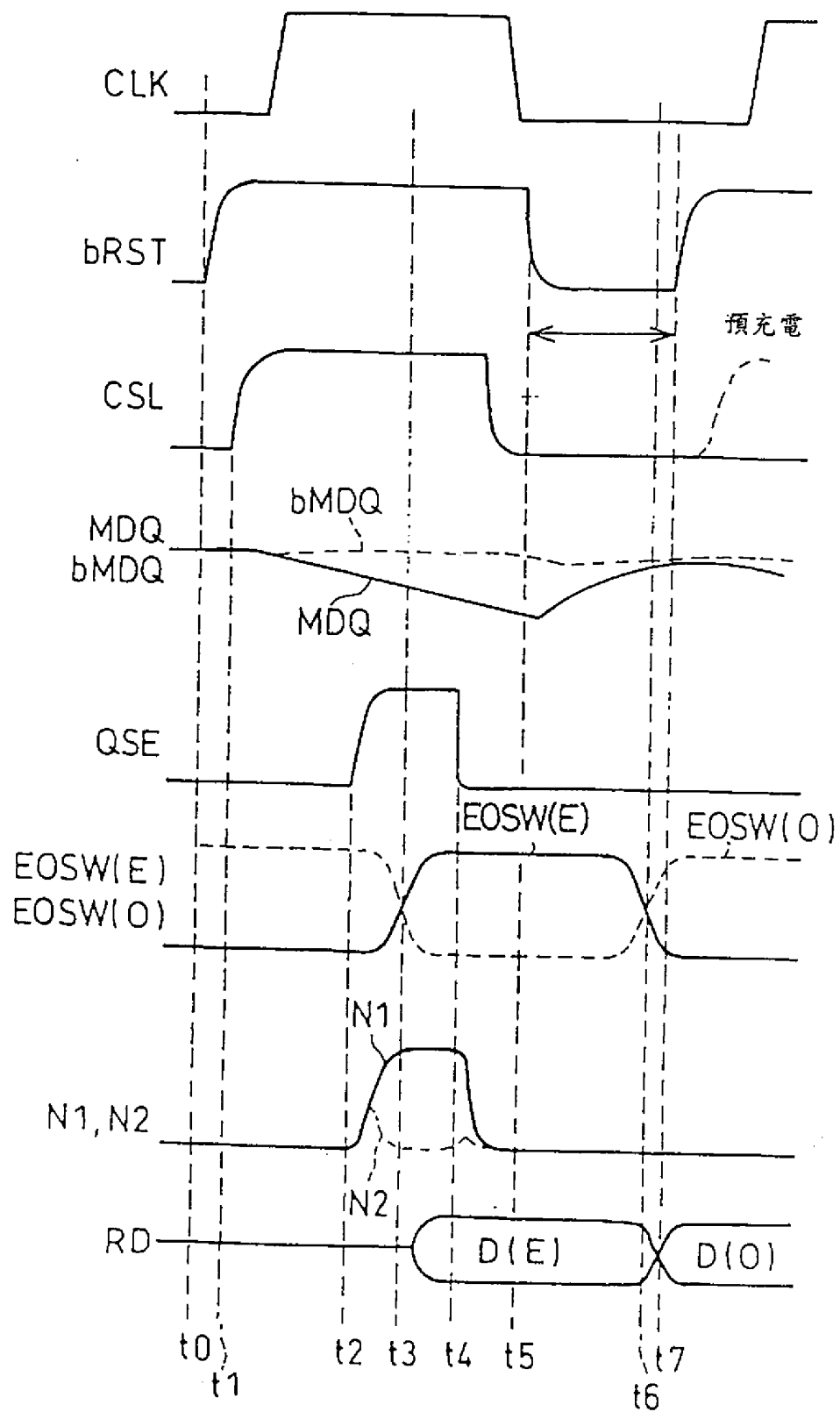


圖 4

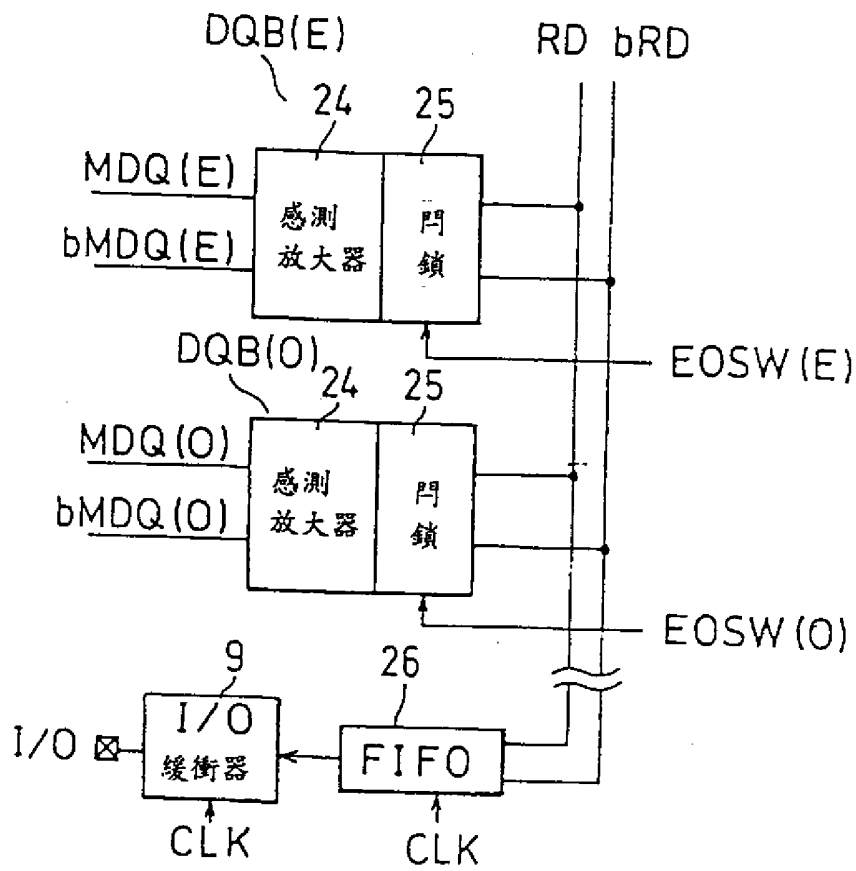


圖 5

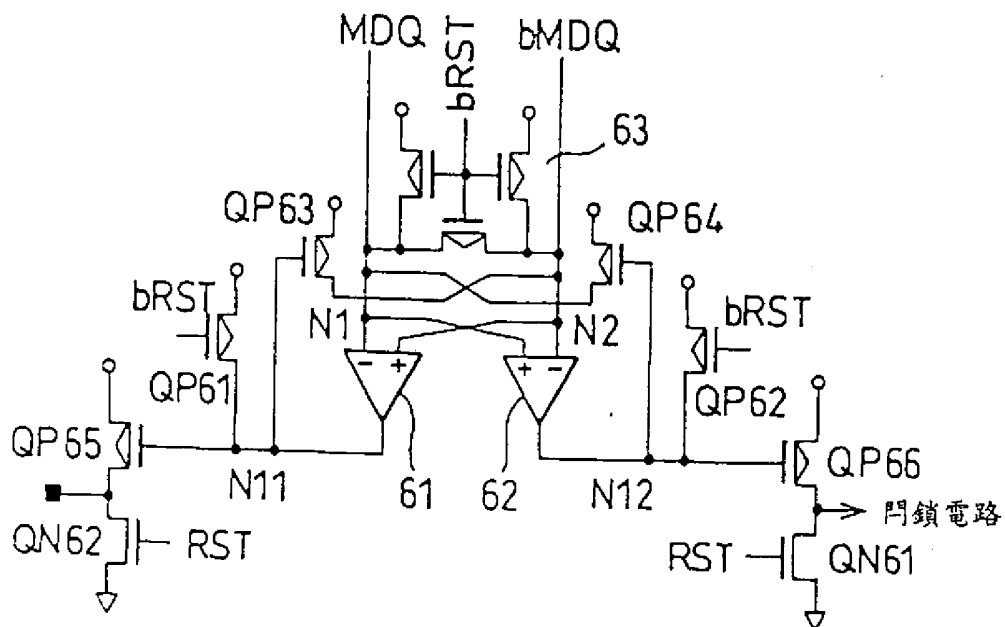


圖 6

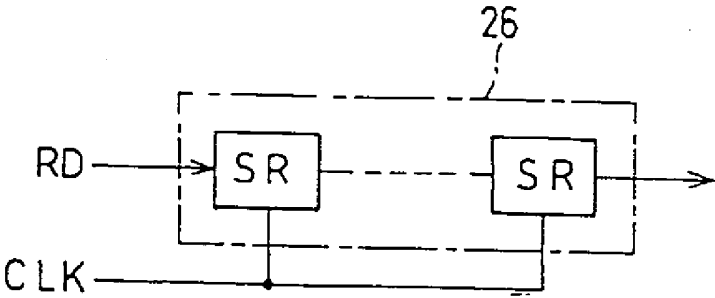


圖 7