(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 699 36 028 T2** 2008.01.10

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 986 067 B1**
(21) Deutsches Aktenzeichen: **699 36 028.5**
(96) Europäisches Aktenzeichen: **99 117 469.9**
(96) Europäischer Anmeldetag: **09.09.1999**
(97) Erstveröffentlichung durch das EPA: **15.03.2000**
(97) Veröffentlichungstag
der Patenterteilung beim EPA: **09.05.2007**
(47) Veröffentlichungstag im Patentblatt: **10.01.2008**

(51) Int Cl.[8]: ***G11C 16/04*** (2006.01)
G11C 16/10 (2006.01)

(30) Unionspriorität:

25673898	**10.09.1998**	**JP**
1067699	**19.01.1999**	**JP**

(73) Patentinhaber:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

(74) Vertreter:
HOFFMANN & EITLE, 81925 München

(84) Benannte Vertragsstaaten:
DE

(72) Erfinder:
Sakui, Koji, Tokyo 105-8001, JP; Miyamoto, Junichi, Tokyo 105-8001, JP

(54) Bezeichnung: **Nichtflüchtiger Halbleiterspeicher**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft einen nicht-flüchtigen Halbleiterspeicher, der imstande ist, Speicherzellendaten in Einheiten von Bytes zu ändern.

[0002] EEPROMs sind konventionell als nichtflüchtige Halbleiterspeicher zum Ändern von Speicherzellendaten in Einheiten von Bytes bekannt.

[0003] Referenz 1 (W. Johnson et al., "A 16kb Electrically Erasable Nonvolatile Memory," ISSCC Digest of Technical Papers, Seiten 152–153, Februar 1982) hat ein EEPROM vorgeschlagen, das Speicherzellendaten in Einheiten von Bytes unter Verwendung von FLOTOX-(Floating Gate Tunnel Oxide-)Zellen ändert.

[0004] Fig. 65 ist eine Draufsicht und zeigt ein Beispiel eines Speicherzellenabschnitts eines EEPROM, das zur Byte-Löschung imstande ist. Fig. 66 ist eine entlang einer Linie LXVI-LXVI in Fig. 65 betrachtete Schnittansicht.

[0005] Dieses EEPROM verwendet FLOTOX-Zellen in dem Speicherzellenabschnitt. Als ein charakteristisches Merkmal einer FLOTOX-Zelle ist eine 10-nm-Tunneloxidschicht **22a** zwischen einem N^+-Drain **20a** und einem schwebenden Gate bzw. Floating-Gate **21a**, und Ladungen werden zwischen dem N^+-Drain **20a** und dem schwebenden Gate **21a** durch Anlegen eines elektrischen Felds an die Tunneloxidschicht **22a** übertragen.

[0006] Ein zu der Tunneloxidschicht **22a** fließender Strom ist ein F-N-Tunnelstrom (Fowler-Nordheim-Tunnelstrom), der durch das F-N-Tunnelphänomen erzeugt wird.

[0007] Fig. 67 ist eine Ansicht zum zeigen des Energiebandes eines MOS-Kondensatorabschnitts.

[0008] Wenn ein elektrisches Feld an den MOS-Kondensator (N^+-Drain-Tunneloxidschicht – schwebendes Gate) angelegt wird, fließt ein F-N-Tunnelstrom zu der Tunneloxidschicht (SiO_2) auf der Basis der Gleichungen (1):

$$I = S \cdot \alpha \cdot E^2 \exp(-\beta/E) \qquad (1)$$

S: Bereich, E: elektrisches Feld
$\alpha = q^3/8\pi\Phi B = 6{,}94 \times 10^{-7}$ [A/V^2]
$\beta = -4(2m)^{0,5}\ \Phi B^{1,5}/3hq$
$= 2{,}54 \times 10^8$ [V/cm]

[0009] Wie aus Gleichung (1) ersichtlich ist, ist das elektrische Feld, bei dem der F-N-Tunnelstrom zu fließen beginnt, etwa 10 MV/cm. Dieses elektrische Feld entspricht theoretisch einem Fall, in dem eine Spannung von 10V an eine Tunneloxidschicht von 10 nm angelegt wird.

[0010] Es wird Bezug genommen auf Fig. 65 und Fig. 66, unter der Annahme, dass wenn eine Spannung zwischen dem N^+-Drain **20a** und einem Steuer-Gate **23a** angelegt wird, das Kapazitätsverhältnis (das Koppelverhältnis) zwischen dem Steuergate **23a** und dem schwebenden Gate **21a** 0,5 ist.

[0011] In diesem Fall muss zum Anlegen einer Spannung von 10V an die Tunneloxidschicht **22a** zwischen dem N^+-Drain **20a** und dem schwebenden Gate **21a** eine Spannung von 20V zwischen dem N^+-Drain **20a** und dem Steuer-Gate **23a** angelegt werden.

[0012] Beispielsweise wird im Löschmodus das N^+-Drain **20a** auf 0V festgelegt und das Steuergate **23a** auf 20V, um Elektronen von dem N^+-Drain **20a** zu dem schwebenden Gate (nachstehend auch Floating-Gate genannt) **21a** zu bewegen. In dem "1"-Programmmodus wird das N^+-Drain **20a** auf 20V festgelegt und das Steuergate **23a** auf 0V, um Elektronen von dem schwebenden Gate **21a** zu dem N^+-Drain **20a** zu bewegen.

[0013] Der Nachteil des Floating-Gate-Zellen verwendenden EEPROMs ist, dass zwei Elemente, eine Speicherzelle und ein Auswahltransistor, zum Speichern von 1-Bit-Daten erforderlich sind, wie in Fig. 65 und Fig. 66 gezeigt.

[0014] Fig. 68 zeigt ein anderes Beispiel des Speicherzellenabschnitts des zur Byte-Löschung fähigen EEPROMs.

[0015] Als charakteristisches Merkmal dieses EEPROMs werden FLOTOX-Zellen in dem Speicherzellenabschnitt verwendet und ein Byte-Steuertransistor Tr wird in Entsprechung zu den Speicherzellen von 8 Bit (1 Byte) vorbereitet.

[0016] Tabelle 1 zeigt die Vorspannungsbedingungen in jedem Modus dieses EEPROMs.

Tabelle 1

Modus		Ausgewähltes Byte	Mit derselben Wortleitung wie das ausgewählte Byte verbundenes nicht ausgewähltes Byte	Mit derselben Bitleitung wie das ausgewählte Byte verbundenes nicht ausgewähltes Byte
Löschen ("0"-Programmieren)	Wortleitung	Hoch	Hoch	Niedrig
	Byte-Steuerung	Hoch	Niedrig	Hoch
	Bitleitung	Niedrig	Niedrig	Niedrig
"1" Programmieren	Wortleitung	Hoch	Hoch	Niedrig
	Byte-Steuerung	Niedrig	Niedrig	Niedrig
	Bitleitung	Hoch oder Niedrig*1	Niedrig	Hoch oder Niedrig*2

*1 = Datenabhängig
*2 = Nicht beachten

[0017] Wenn ein solcher Speicherzellenabschnitt verwendet wird, können verschiedene Betriebsablauffehler (Störungen) vermieden werden. Jedoch, da 2 + (1/8) Transistoren zum Speichern von 1-Bit-Daten erforderlich sind, nimmt der Zellenbereich zu mit einem Ergebnis der Zunahme der Kosten.

[0018] Flash-EEPROMs streben an, dieses Problem zu eliminieren. Ein konventionelles EEPROM ist sehr komfortabel, weil Daten in Einheiten von 1-Bit-Daten gelöscht oder programmiert werden können.

[0019] Wenn jedoch eine Computerfestplatte, die eine große Speicherkapazität erfordert, in einem EEPROM auszubilden ist, benötigt das EEPROM keine Funktion des Löschens oder Programmierens von Daten in Einheiten von 1-Bit-Daten. In den meisten Festplatten werden Daten häufig in Einheiten von Sektoren (oder in Einheiten von Blöcken) gelöscht oder programmiert.

[0020] Es ist vorteilhafter, eine große Speicherkapazität durch eine Zellenbereichsreduzierung und eine Reduzierung der Produktkosten zu erzielen während des Weglassens der Funktion des Änderns von Daten in Einheiten von 1-Bit-Daten. Auf der Basis eines solchen Gedankens sind Flash-EEPROMs entwickelt worden.

[0021] Details eines Flash-EEPROMs werden beispielsweise in Referenz 2 (F. Masuoka et al., "A new Flash EEPROM cell using triple polysilicon technology", (eine neue Flash-EEPROM-Zelle unter Verwendung von Dreifach-Polysilizium-Technologie), IEDM Technical Digest, Seiten 464-467, Dezember 1984) beschrieben.

[0022] Fig. 69 zeigt die Struktur einer Speicherzelle eines Flash-EEPROM.

[0023] Die Speicherzelle des Flash-EEPROM hat ein Steuergate und ein schwebenden Gate wie eine Speicherzelle eines UV-löschbaren EPROM. In dem Flash-EEPROM werden Daten durch Injizieren heißer Elektronen in das schwebende Gate programmiert, wie in dem UV-löschbaren EPROM. Daten werden durch Entfernen von Elektronen aus dem schwebenden Gate unter Verwendung des F-N-Tunnelphänomens gelöscht, wie bei einem EEPROM.

[0024] In dem Flash-EEPROM ist der Löschbetrieb für die individuellen Speicherzellen derselbe wie in dem Byte-EEPROM. Jedoch ist der Betrieb für das gesamte Speicherzellen-Array vollständig unterschiedlich von dem in dem Byte-EEPROM. Spezieller, das Byte-EEPROM löscht Daten in Einheiten von Bytes während das Flash-EEPROM alle Bitdaten auf einmal löscht. Ein solches Betriebsverfahren verwendend realisiert das

Flash-EEPROM eine Speicherzellenabschnitt mit einem Transistor pro Bit und erzielt eine große Speicherkapazität.

[0025] In dem Flash-EEPROM können Daten in Einheiten von Bits wie bei dem UV-löschbaren EPROM programmiert werden. Spezieller, der Flash-EEPROM ist dasselbe wie das UV-löschbaren EPROM dahingehend, dass alle Bitdaten auf einmal gelöscht werden und Daten in Einheiten von Bits programmiert werden können.

[0026] Zum Realisieren eines Speicherchips mit einer großen Speicherkapazität ist ein NAND-Flash-EEPROM (Flash-EEPROM auf Basis von NICHT-UND-Logik) auf der Basis des oben beschriebenen Flash-EEPROM vorgeschlagen worden.

[0027] Referenz 3 (F. Masuoka et al., "New ultra high density EPROM and Flash EEPROM with NAND structured cell" (Neues ultrahochdichtes EPROM und Flash-EEPROM mit NICHT-UND-strukturierter Zelle), IEDM Technical Digest, Seiten 552-555, Dezember 1987) offenbart ein NAND-Flash-EEPROM.

[0028] Der Speicherzellenarray-Abschnitt eines NAND-EEPROM hat eine NICHT-UND- bzw. NAND-Einheit, in der eine Vielzahl von (z.B. 16) Speicherzellen seriell verbunden sind zum Bilden einer NAND-Reihe, jeweils mit Auswahltransistoren an ihren beiden Enden verbunden, wie in **Fig. 70** und **Fig. 71** gezeigt.

[0029] In dem NAND-EEPROM müssen ein Bitleitungskontaktabschnitt und eine Source-Leitung nicht für jede Speicherzelle, sondern für eine NAND-Einheit ausgebildet werden. Benachbarte zwei der Vielzahl von die NAND-Reihe bildenden Speicherzellen teilen eine Diffusionsschicht. Aus diesem Grund kann die Speicherzellengröße pro Bit stark reduziert werden und ein Speicherchip mit großer Speicherkapazität kann realisiert werden.

[0030] **Fig. 72** zeigt ein NOR-Flash-EEPROM (Flash-EEPROM auf der Basis von NICHT-ODER-Technologie). In dem NOR-Flash-EEPROM ist eine 1-Bit-Speicherzelle (Eins-Speicherzelle) zwischen einer Bitleitung und einer Source-Leitung ausgebildet.

[0031] Mit Bezug auf die Kosten hat das oben beschriebene NAND-Flash-EEPROM ein charakteristisches Merkmal, das für einen großkapazitiven Dateienspeicher geeignet ist: die Kosten pro Bit sind niedrig, weil die Zellengröße im Vergleich zu dem NAND-Flash-EEPROM reduziert werden kann. In Bezug auf die Funktion hat das NAND-Flash-EEPROM eine höhere Datenänderungsrate und einen geringeren Energieverbrauch als das NOR-Flash-EEPROM.

[0032] In Bezug auf die Funktion ist das NAND-Flash-EEPROM durch das Schema zum Ändern von Daten gekennzeichnet. Spezieller, das NAND-Flash-EEPROM erreicht das Programmieren und Löschen durch Ladungsübertragung zwischen dem Siliziumsubstrat (Kanal) und dem schwebenden Gate.

[0033] Um Ladungen zu übertragen, wird das F-N-Tunnelphänomen verwendet. Ein zum Programmieren erforderlicher Strom ist ein F-N-Tunnelstrom, der von dem Siliziumsubstrat (Kanal) zu dem schwebenden Gate fließt. Anders als das NOR-Flash-EEPROM, das heiße Elektronen zum Programmieren verwendet, hat das NAND-Flash-EEPROM einen sehr geringen Stromverbrauch.

[0034] In einem 64-M-Bit-NAND-Flash-EEPROM können Daten einer Seite (512 Byte) in 200μs programmiert werden. Diese Programmierzeit ist kürzer als die für einem Block in dem NOR-Flash-EEPROM.

[0035] Tabelle 2 zeigt den Vergleich zwischen den charakteristischen Merkmalen des NAND-Flash-EEPROM und jenen des NOR-Flash-EEPROM.

Tabelle 2

	NAND	NOR
Vorteil	① Programmierrate ist hoch ② Löschrate ist hoch ③ Blockgröße ist gering und Dateimanagement ist leicht	① Zufallszugriffsrate ist hoch ② Daten können in Einheiten von Bytes beliebig programmiert werden
Nachteil	① Zufallszugriffsrate ist niedrig ② Daten können nicht in Einheiten von Byte programmiert werden	① Zufallszugriffsrate ist niedrig ② Löschrate ist niedrig
Anwendungszweck	Ersatz für Festplatte und Floppy-Disk, und Datenaufzeichnet für tragbares Endgerät (Handa-Endgerät, Sprachaufzeichnung, elektronische Standbildkamera) und Fax/Modem	Ersatz für konventionelles EPROM und Steuerspeicher für eine Steuervorrichtung, BIOS eines PC, tragbares Telefon und Festplatte

[0036] Wie in Tabelle 2 gezeigt, sind die Vorteile und Nachteile jener Speicher komplementär zueinander.

[0037] Für den Anwendungszweck wird das NAND-Flash-EEPROM verwendet zum Anstreben der Änderung von Daten in Einheiten von Blöcken. Beispielsweise erfordert eine Digitalkamera mit 300.000 Bildpunkten eine Speicherkapazität von 0,5 M-Bit für das Aufnehmen eines Fotos. Wenn ein Block des NAND-Flash-EEPROM eine Speicherkapazität von etwa 0,5 M-Bits oder darüber hat, können Fotodaten einer Aufnahme in einem Block gespeichert werden. In diesem Fall werden Daten in Einheiten von Blöcken gelöscht. Spezieller werden Fotodaten einer Aufnahme durch Löschen von Daten von Speicherzellen in einem Block gelöscht.

[0038] Andererseits ist das NOR-Flash-EEPROM imstande, beliebig bei hoher Geschwindigkeit von 100ns zuzugreifen und wird weithin als Steuerprogrammspeicher verwendet, beispielsweise für ein tragbares Telefon.

[0039] In EP-A-0 704 852 wird ein nicht-flüchtiger Halbleiterspeicher mit einer NAND-Flash-EEPROM-Struktur offenbart, dem imstande ist, eine überschriebene Speicherzelle zu sichern.

[0040] In EP-A-0 797 212 wird eine Halbleiterspeichervorrichtung offenbart, die ein Speicherzellenarray mit elektrisch löschbaren und programmierbaren Speicherzellen in Zeilen und Spalten angeordnet umfasst und eine Datenschaltung mit Zwischenspeicherschaltungen zum Halten von Daten, die aus den Speicherzellen ausgelesen werden. Aus den Speicherzellen ausgelesene und in gewissen Halte-Schaltungen gehaltene Daten werden vor Daten aus der Speichervorrichtung ausgegeben, die aus den Speicherzellen ausgelesen werden und in den verbleibenden Zwischenspeicherschaltungen während einer Datenleseoperation gehalten werden.

[0041] Wie oben beschrieben, sind nichtflüchtige Halbleiterspeicher als EEPROM (konventioneller Typ) → Flash-EEPROM → NAND-Flash-EEPROM entwickelt worden. Die Speichergröße, d.h., die Kosten pro Bit (Bit-Kosten) sind durch Aufgeben der Funktion des Änderns von Daten in Einheiten von Bytes reduziert worden.

[0042] Jedoch beispielsweise für einen LSI-Chip (hochdicht integrierter Schaltungschip) mit eingebettetem nichtflüchtigem Speicher, der in jüngster Zeit eine hohe Aufmerksamkeit auf sich gezogen hat, ist die Funktion des Änderns von Daten in Einheiten von Bytes erforderlich. Wenn beispielsweise eine IC-Karte, die in einem System zum Managen von Einnahmen und Kosten verwendet wird, ein Flash-EEPROM als internen Speicher verwendet, müssen Daten in Einheiten von Blöcken gelöscht werden, selbst wenn die Daten nur eine teilweise Änderung erfordern. Aus diesem Grund ist die Funktion des Änderns von Daten in Einheiten von Bytes essentiell für ein solches System.

[0043] Um diese Situation zu handhaben, ist ein Byte-EEPROM, das imstande ist, Daten in Einheiten von Bytes zu ändern, erforderlich. Jedoch hat das Byte-EEPROM, wie oben beschrieben, die hohe Anzahl an Elementen pro Bit, und ist demnach nachteilig beim Erhöhen der Speicherkapazität oder beim Reduzieren der Bit-

kosten.

[0044] Nicht-flüchtige Halbleiterspeicher der derzeitigen Hauptausrichtung sind Flash-EEPROMs (z.B., NOR-Typ und NAND-Typ). Demnach ermöglicht das Entwickeln eines Byte-EEPROMs mit demselben Prozess und Schema zum Ändern von Daten wie jene eines Flash-EEPROMs das Erzeugen von EEPROMs, die die Erfordernisse des Marktes bei geringen Kosten erfüllen.

[0045] Die vorliegende Erfindung wurde unter Berücksichtigung der obigen Situation gemacht und hat als ihr Ziel, einen neuen nicht-flüchtigen Halbleiterspeicher bereitzustellen, der durch dieselbe Prozedur ausgebildet werden kann wie jener eines Flash-EEPROM, dasselbe Schema zum Ändern von Daten hat wie in dem Flash-EEPROM, und eine Funktion des Änderns von Daten in Einheiten von Bytes hat.

[0046] Gemäß der vorliegenden Erfindung wird ein nicht-flüchtiger Halbleiterspeicher bereitgestellt, der ein Speicherzellenarray umfasst; eine Bitleitung und einen Leseverstärker, der mit der Bitleitung verbunden ist und eine Halte- bzw. Latch-Funktion hat, wobei das Speicherzellenarray eine Speicherzelleneinheit hat, die aus einer Speicherzelle und zwei Auswahltransistoren gebildet wird, die die Speicherzelle zwischen sich eingelegt haben, wobei die Speicherzellen und die zwei Auswahltransistoren in Reihe verbunden sind und die Bitleitung mit einem der Auswahltransistoren verbunden ist und die Speicherzelle eine Stapelgatestruktur hat mit einem schwebenden Gate bzw. Floating-Gate und einem Steuergate, und ist gekennzeichnet durch
eine Einrichtung, um wenn Bytedaten in Speicherzellen einer Seite, die mit einer ausgewählten Steuergateleitung in dem Speicherzellenarray verbunden ist, zu ändern sind, die Seitendaten aus den mit der ausgewählten Steuergateleitung verbundenen Speicherzellen zu den Leseverstärkern auszulesen, Bytedaten in den Leseverstärkern zu überschreiben, Daten in den mit den ausgewählten Steuergateleitungen verbundenen Speicherzellen zu löschen, und Seitendaten von den Leseverstärkern zu den Speicherzellen einer Seite zu programmieren.

[0047] Die Speicherzelleneinheit kann eine erste Speicherzelleneinheit sein und das Speicherzellenarray kann eine erste Speicherzelleneinheit umfassen und eine zweite Speicherzelleneinheit, die aus einer Vielzahl von Speicherzellen gebildet werden mit der Bitleitung gemeinsam mit den ersten und zweiten Speicherzelleneinheiten verbunden, wobei die Speicherzellen der zweiten Speicherzelleneinheiten eine Steuergatestruktur haben mit einem schwebenden Gate und einen Steuergate.

[0048] Die zweite Speicherzelleneinheit kann eine NAND-Einheit umfassen, in der eine Vielzahl von Speicherzellen in Reihe verbunden sind oder eine AND- oder DINOR-Einheit, in der die Vielzahl von Speicherzellen parallel verbunden sind.

[0049] Jeder der beiden Auswahltransistoren hat dieselbe Struktur wie die der Speicherzelle. Das heißt, jeder der beiden Auswahltransistoren hat eine Steuergatestruktur. Tatsächlich funktioniert von den oberen und unteren Schichten der Stapelgatestruktur nur beispielsweise die untere Schicht als Gateelektrode.

[0050] Das Speicherzellenarray kann aus einer Vielzahl von Speicherzelleneinheiten gebildet werden, von denen jede eine Speicherzelle einschließt, wobei die Bitleitung mit den Speicherzelleneinheiten verbunden ist.

[0051] Das Speicherzellenarray kann erste und zweiten Speicherzelleneinheiten haben, von denen jede aus einer Speicherzelle gebildet ist, und zwei Auswahltransistoren, wobei eine erste der Bitleitungen mit einem der beiden Auswahltransistoren in der ersten Speicherzelleneinheit verbunden ist, eine zweite Bitleitung mit einem der beiden Auswahltransistoren in der zweiten Speicherzelleneinheit verbunden ist, und der Leseverstärker mit sowohl den ersten als auch den zweiten Bitleitungen verbunden ist.

[0052] Ein Betrieb des Änderns der Daten kann aus einer Löschoperation und einer Programmieroperation bestehen, wobei die Programmieroperation durch ein Heißelektronenphänomen oder ein F-N-Tunnelphänomen durchgeführt wird und die Löschoperation durch das F-N-Tunnelphänomen durchgeführt wird.

[0053] Die Erfindung kann vollständiger aus der folgenden detaillierten Beschreibung verstanden werden, wenn im Zusammenhang mit den beiliegenden Zeichnungen betrachtet, in denen zeigt:

[0054] Fig. 1A eine Ansicht der Speicherzelleneinheit eines Byte-EEPROM der vorliegenden Erfindung;

[0055] Fig. 13 eine Schnittansicht, betrachtet entlang der Linie I-I in Fig. 1A;

[0056] Fig. 2 eine Ansicht der Äquivalenzschaltung der in Fig. 1A gezeigten Struktur;

[0057] Fig. 3 eine Ansicht des Speicherzellenarrays des Byte-EEPROM der vorliegenden Erfindung;

[0058] Fig. 4 eine Graphik des Zusammenhangs zwischen einer Gatespannung und einem Zellenstrom in Entsprechung zu den Daten einer Speicherzelle;

[0059] Fig. 5A und Fig. 5B Ansichten von Potentialen, die an die Speicherzelleneinheit in einem Datenlesevorgang angelegt werden;

[0060] Fig. 6 eine Graphik eines Beispiels einer Schwellwertspannungsverteilung in Entsprechung zu den Daten der Speicherzelle;

[0061] Fig. 7 eine Graphik eines anderen Beispiels der Schwellwertspannungsverteilung in Entsprechung zu den Daten der Speicherzelle;

[0062] Fig. 8 ein Blockdiagramm des Hauptabschnittes des Byte-EEPROM der vorliegenden Erfindung;

[0063] Fig. 9 ein Schaltungsdiagramm eines in Fig. 8 gezeigten Leseverstärkers;

[0064] Fig. 10 ein Ablaufdiagramm des Datenänderungsbetriebsablaufs für Byte-Daten der vorliegenden Erfindung;

[0065] Fig. 11 eine Ansicht des Lesens von Daten in der in Fig. 10 gezeigten Abfolge;

[0066] Fig. 12 eine Ansicht des Überschreibens von Byte-Daten in der in Fig. 10 gezeigten Abfolge;

[0067] Fig. 13 eine Ansicht des Löschens von Seiten-Daten in der in Fig. 10 gezeigten Abfolge;

[0068] Fig. 14 eine Ansicht des Programmierens von Seiten-Daten in der in Fig. 10 gezeigten Abfolge;

[0069] Fig. 15 ein Zeitdiagramm des Datenänderungsbetriebs für Seitendaten der vorliegenden Erfindung;

[0070] Fig. 16 ein Zeitdiagramm des Datenänderungsbetriebs für Seitendaten der vorliegenden Erfindung;

[0071] Fig. 17 ein Zeitdiagramm des Datenänderungsbetriebs für Byte-Daten der vorliegenden Erfindung;

[0072] Fig. 18 eine Ansicht einer Modifikation des Speicherzellenarrays des Byte-EEPROM der vorliegenden Erfindung;

[0073] Fig. 19 eine Ansicht einer anderen Modifikation des Speicherzellenarrays des Byte-EEPROMs der vorliegenden Erfindung;

[0074] Fig. 20 eine Ansicht des Programmierbetriebs einer Stapelgate-Speicherzelle;

[0075] Fig. 21 eine Ansicht des Löschbetriebs einer Stapelgate-Speicherzelle;

[0076] Fig. 22 eine Ansicht noch einer anderen Modifikation des Speicherzellenarrays des Byte-EEPROM der vorliegenden Erfindung;

[0077] Fig. 23 ein Blockdiagramm eines Beispiels des Byte-EEPROMs der vorliegenden Erfindung;

[0078] Fig. 24 eine Ansicht des Speicherzellenarrays in Fig. 23;

[0079] Fig. 25 ein Blockdiagramm eines anderen Beispiels des Byte-EEPROMs der vorliegenden Erfindung;

[0080] Fig. 26 eine Ansicht des Speicherzellenarrays in Fig. 24;

[0081] Fig. 27 eine Ansicht des Datenänderungsbetriebs für Byte-Daten der vorliegenden Erfindung;

[0082] Fig. 28 ein Blockdiagramm einer Modifikation des in Fig. 23 gezeigten EEPROM;

[0083] Fig. 29 ein Schaltungsdiagramm eines Beispiels des in Fig. 28 gezeigten Vor-Dekoders;

[0084] Fig. 30 ein Schaltungsdiagramm der in Fig. 28 gezeigten Zeilendekoder und Treiber;

[0085] Fig. 31 eine Ansicht einer Zeile des in Fig. 28 gezeigten Speicherzellenarrays;

[0086] Fig. 32 eine Ansicht des Datenänderungsbetriebs für Byte-Daten der vorliegenden Erfindung;

[0087] Fig. 33 eine Ansicht des Datenänderungsbetriebs für Byte-Daten der vorliegenden Erfindung;

[0088] Fig. 34 eine Ansicht eines Beispiels des Wannen-Layouts in einem Speicherzellenarraybereich;

[0089] Fig. 35 eine Ansicht einer Modifikation des in Fig. 31 gezeigten Speicherzellenarrays;

[0090] Fig. 36 ein Blockdiagramm einer Modifikation des in Fig. 28 gezeigten EEPROM;

[0091] Fig. 37 eine Ansicht zueinander benachbarter Zeilen in einem in Fig. 36 gezeigten Speicherzellenarray;

[0092] Fig. 38 ein Schaltungsdiagramm eines einen differentiellen Leseverstärker verwendenden Systems;

[0093] Fig. 39 ein Blockdiagramm eines Systems mit einem Leseverstärker für mehrere Bitleitungen;

[0094] Fig. 40 ein Blockdiagramm einer anderen Modifikation des in Fig. 28 gezeigten EEPROM;

[0095] Fig. 41 ein Schaltungsdiagramm eines Beispiels des in Fig. 40 gezeigten Vor-Dekoders;

[0096] Fig. 42 ein Schaltungsdiagramm von Beispielen des in Fig. 40 gezeigten Zeilendekoders und Treiber;

[0097] Fig. 43 eine Ansicht zweier einander benachbarter Zeilen in dem in Fig. 40 gezeigten Speicherzellenarray;

[0098] Fig. 44 ein Blockdiagramm eines Layout-Beispiels eines Sub-Dekoders;

[0099] Fig. 45 ein Blockdiagramm eines Beispiels des EEPROM, auf das die vorliegende Erfindung angewendet wird;

[0100] Fig. 46 ein Blockdiagramm eines anderen Beispiels des EEPROM, auf das die vorliegende Erfindung angewendet wird;

[0101] Fig. 47 ein Blockdiagramm noch eines anderen Beispiels des EEPROM, auf das die vorliegende Erfindung angewendet wird;

[0102] Fig. 48 eine Ansicht einer Störung in dem NAND-EEPROM im Programmiermodus;

[0103] Fig. 49 ein Zeitdiagramm des Datenprogrammierbetriebs des NAND-EEPROM;

[0104] Fig. 50 eine Ansicht einer Speicherzelleneinheit des Byte-EEPROM der vorliegenden Erfindung;

[0105] Fig. 51 eine Ansicht der Äquivalenzschaltung der in Fig. 50 gezeigten Struktur;

[0106] Fig. 52 eine Ansicht eines an die Speicherzelleneinheit im Löschbetrieb angelegten Potentials;

[0107] Fig. 53 eine Ansicht eines an die Speicherzelleneinheit im Programmierbetrieb angelegten Potential;

[0108] Fig. 54 eine Ansicht eines an die Speicherzelleneinheit im Lesebetrieb angelegten Potentials;

[0109] Fig. 55 eine Graphik des Zusammenhangs zwischen einer Gatespannung und einem Zellenstrom in

Entsprechung zu den Daten einer Speicherzelle;

[0110] Fig. 56 ein Blockdiagramm des Hauptabschnitts des Byte-EEPROM der vorliegenden Erfindung;

[0111] Fig. 57 eine Ansicht der Schaltungsanordnung des in Fig. 56 gezeigten Speicherzellenarrays;

[0112] Fig. 58 ein Schaltungsdiagramm eines Beispiels des in Fig. 56 gezeigten Leseverstärkers;

[0113] Fig. 59 ein Ablaufdiagramm des Datenänderungsbetriebs für Byte-Daten der vorliegenden Erfindung;

[0114] Fig. 60 eine Ansicht der Zustände eines Knotens Qb des Leseverstärkers;

[0115] Fig. 61 ein Zeitdiagramm des Datenänderungsbetriebs für Seiten-Daten der vorliegenden Erfindung;

[0116] Fig. 62 ein Zeitdiagramm des Datenänderungsbetriebs für Seiten-Daten der vorliegenden Erfindung;

[0117] Fig. 63 ein Zeitdiagramm des Datenänderungsbetriebs für Byte-Daten der vorliegenden Erfindung;

[0118] Fig. 64 eine Ansicht einer Modifikation des Speicherzellenarrays des Byte-EEPROM der vorliegenden Erfindung;

[0119] Fig. 65 eine Ansicht einer Speicherzelle eines konventionellen Byte-EEPROM;

[0120] Fig. 66 eine Schnittansicht betrachtet entlang einer Linie LXVI-LXVI in Fig. 65;

[0121] Fig. 67 ein Energiebanddiagramm, das den Mechanismus des F-N-Tunnelstroms zeigt;

[0122] Fig. 68 eine Ansicht einer Speicherzelle des konventionellen Byte-EEPROM;

[0123] Fig. 69 eine Ansicht der Basisstruktur der Speicherzelle des konventionellen Byte-EEPROM;

[0124] Fig. 70 eine Ansicht der NAND-Einheit eines NAND-Flash-EEPROM;

[0125] Fig. 71 eine Ansicht einer Äquivalenzschaltung der in Fig. 70 gezeigten Struktur; und

[0126] Fig. 72 eine Ansicht einer Speicherzelle eines NOR-Flash-EEPROM.

[0127] Ein nicht-flüchtiger Halbleiterspeicher der vorliegenden Erfindung wird nachstehend detailliert unter Bezugnahme auf die beiliegenden Zeichnungen beschrieben.

[0128] Fig. 1A und Fig. 1B zeigen eine Speicherzelle eines Byte-EEPROM der vorliegenden Erfindung. Fig. 2 zeigt die Äquivalenzschaltung der in Fig. 1A und Fig. 1B gezeigten Speicherzelle. Fig. 3 zeigt die Gesamtschaltungsanordnung des Speicherzellenarrays.

[0129] Eine Speicherzelle MC hat ein Steuergate und ein Floating-Gate. Diese Struktur ist dieselbe wie die einer Speicherzelle eines Flash-EEPROM. Auswahltransistoren ST1 und ST2 sind mit den zwei Enden der Speicherzelle MD jeweils verbunden. Der Auswahltransistor ST1 ist mit einer Bitleitung über einen Bitleitungskontaktabschnitt BC verbunden. Der Auswahltransistor ST2 ist mit einer Source-Leitung SL verbunden.

[0130] Die Speicherzelle MC und die Auswahltransistoren ST1 und ST2 bilden eine Speicherzelleneinheit. Ein Speicherzellenarray wird durch Anordnen einer Vielzahl von Speicherzelleneinheiten aufgebaut.

[0131] Eine Vielzahl von Speicherzelleneinheiten in der Zeilenrichtung bilden einen Block. Eine Steuergateleitung CGL erstreckt sich in einem Block in der Zeilenrichtung. Mit der Steuergateleitung CGL verbundene Speicherzellen werden eine Seite genannt.

[0132] Ein Löschen kann in Einheiten von Seiten durchgeführt werden. Ein Programmieren und Lesen für die Speicherzellen kann auch in Einheiten von Seiten unter Verwendung eines Leseverstärkers mit einer Haltefunktion für jede Spalte durchgeführt werden. Jedoch werden Daten seriell in Einheiten von Bits ein- bzw. ausgegeben.

[0133] Diese Anordnung ermöglicht einen Datenänderungsbetrieb für Byte-Daten.

[0134] In Hinblick auf die Struktur kann das Byte-EEPROM der vorliegenden Erfindung als ein NAND-Flash-EEPROM mit einer Speicherzelle in einer NAND-Einheit betrachtet werden. In Hinblick auf die Funktion unterscheidet sich jedoch das Byte-EEPROM der vorliegenden Erfindung stark von dem NAND-Flash-EEPROM. Dies wird später in Zusammenhang mit dem Betrieb beschrieben.

[0135] Die Vorteile der Struktur des Byte-EEPROM der vorliegenden Erfindung werden beschrieben.

[0136] Der Speicherzellenabschnitt des Byte-EEPROM der vorliegenden Erfindung unterscheidet sich von dem NAND-Flash-EEPROM nur in der Anzahl der eine Einheit bildenden Speicherzellen. Demnach kann das Byte-EEPROM der vorliegenden Erfindung direkt den Prozess des NAND-Flash-EEPROM verwenden. Aus diesem Grund kann die Speicherkapazität erhöht werden und die Produktionskosten können reduziert werden, obwohl Daten in Einheiten von Bytes gelöscht werden können.

[0137] Wenn beispielsweise die Design-Regel 0,4 μm ist, ist eine kurzseitige Länge a 1,2 μm und eine langseitige Länge b ist 3,2 μm. Der Bereich (kurzseitige Länge a × langseitige Länge b) pro Speicherzelle beträgt 3,84 μm^2. In dem konventionellen Byte-EEPROM, wie es in **Fig. 65** und **Fig. 66** gezeigt wird, ist der Bereich pro Speicherzelle, wenn die Designregel 0,4 μm ist, 36 μm^2.

[0138] Das heißt, für den Speicherzellenarrayabschnitt kann das Byte-EEPROM der vorliegenden Erfindung durch einfache Rechnung eine Speicherkapazität realisieren, die 10-mal größer ist als die des konventionellen Byte-EEPROM.

[0139] Da das Byte-EEPROM der vorliegenden Erfindung durch denselben Prozess hergestellt werden kann wie das NAND-Flash-EEPROM, kann das EEPROM leicht auf einen logisch eingebetteten nichtflüchtigen Speicher angewendet werden.

[0140] Da die Speicherzelle des Byte-EEPROM der vorliegenden Erfindung denselben Aufbau hat wie die des NAND-Flash-EEPROM, kann das Datenänderungsschema für das Flash-EEPROM, d.h., das Datenänderungsschema unter Verwendung des F-N-Tunnelphänomens direkt für eine Speicherzelle verwendet werden.

[0141] Für das gesamte Speicherzellenarray unterscheidet sich das Byte-EEPROM der vorliegenden Erfindung von dem NAND-Flash-EEPROM dahingehend, dass der Datenänderungsbetrieb für Byte-Daten, d.h., Byte-Löschen, möglich ist.

[0142] Die Lösch-, Programmier- und Leseoperationen des Byte-EEPROM der vorliegenden Erfindung werden nachstehend aufeinanderfolgend beschrieben.

[0143] In dem Löschbetrieb wird ein Bezugspotential (Massepotential bzw. Ground) an das Steuergate (Wortleitung) CGL eines ausgewählten Blocks angelegt. Das Steuergate CGL eines nicht ausgewählten Blocks wird in einen schwebenden Zustand versetzt.

[0144] Danach wird ein Löschimpuls von beispielsweise 21V und 3ms an das Bulk angelegt. Ein Bulk bedeutet eine in einem Siliziumsubstrat ausgebildete Wanne. Die Speicherzelle MC und die Auswahltransistoren ST1 und ST2 sind in dieser Wanne ausgebildet.

[0145] Wenn der Löschimpuls an das Bulk angelegt wird, wird in der Speicherzelle MC des ausgewählten Blocks eine Löschspannung (**21V**) zwischen dem Bulk und dem Steuergate angelegt, und Elektronen in dem Floating-Gate bewegen sich zu der Wanne bedingt durch das F-N-(Fowler-Nordheim)-Tunnelphänomen. Als ein Ergebnis ist die Schwellwertspannung der Speicherzelle etwa –3V.

[0146] In dem Byte-EEPROM der vorliegenden Erfindung braucht ein Über-Löschen, bei dem der Absolutwert der Schwellwertspannung einer Speicherzelle beim Löschbetrieb extrem zunimmt, nicht berücksichtigt zu werden. Wenn demnach der Löschbetrieb unter der Bedingung, dass die Schwellwertspannung auf etwa –3V festgelegt wird, durch den Löschimpuls eines Zyklus ausgeführt wird, kann die Löschzeit abgekürzt werden (wenn ein Verifizieren durchgeführt wird zum Bestätigen, ob die Schwellwertspannung einen Wert hat, der kleiner ist als ein vorbestimmter Wert, schließt die Löschzeit die Zeit ein, die für das Verifizieren benötigt wird).

[0147] Das Byte-EEPROM der vorliegenden Erfindung braucht das Über-Löschen nicht zu berücksichtigen,

weil die Auswahltransistoren ST1 und ST2 jeweils mit den beiden Enden einer Speicherzelle MC verbunden sind. Spezieller, bei einem Datenlesevorgang muss eine nicht ausgewählte Speicherzelle immer AUS-geschaltet sein und eine ausgewählte Speicherzelle muss abhängig von den Daten EIN- oder AUS-geschaltet sein. Das Überlöschen schaltet die nicht ausgewählte Speicherzelle ein. Die Auswahltransistoren ST1 und ST2 verhindern, dass Daten der nicht ausgewählten Speicherzelle der Bitleitung zugeführt werden, selbst wenn die nicht ausgewählte Speicherzelle EIN ist. Daher hat der Betrieb des Speichers kein Problem.

[0148] In der Löschoperation wird das Steuergate CGL des nicht ausgewählten Blocks ein den schwebenden Zustand versetzt. In jeder Speicherzelle MC des nicht ausgewählten Blocks werden, selbst wenn das Potential auf dem Bulk (der Wanne) ansteigt, keine Daten gelöscht, weil das Potential des Steuergates CGL bedingt durch die kapazitive Kopplung zwischen dem Steuergate CGL und dem Bulk ebenfalls ansteigt.

[0149] Das Steuergate CGL wird beispielsweise aus Polysilizium oder einer mehrschichtigen Struktur aus Polysilizium und einem Metallsilizid gebildet. Das Steuergate CGL ist über eine Metallzwischenverbindung mit der Source eines Wortleitungstreiber-MOS-Transistors verbunden. Demnach ist das Steuergate mit der Übergangskapazität der Source des Wortleitungstreiber-Transistors verbunden, der überlappenden Kapazität zwischen Gate und Source, der Kapazität zwischen dem Steuergate und der Metallzwischenverbindung, der Kapazität zwischen dem Steuergate und dem Bulk (Wanne) und Ähnlichem.

[0150] Von diesen Kapazitäten sind die Kapazität zwischen dem Steuergate und dem Bulk besonders groß. Da das Koppelverhältnis zwischen dem Steuergate und dem Bulk groß ist wie etwa 0,9, kann das Fließen des F-N-Tunnelstroms zu der Speicherzelle MC des nicht ausgewählten Blockes durch die kapazitive Kopplung zwischen dem Steuergate CGL und dem Bulk verhindert werden.

[0151] In einer Löschverifizierung wird verifiziert, ob beispielsweise die Schwellwertspannungen aller Speicherzellen in dem ausgewählten Block –1V oder niedriger sind. In der vorliegenden Erfindung stellt das Über-Löschen keinerlei Problem dar, wie oben beschrieben. Aus diesem Grund braucht das Über-Löschen nicht verifiziert zu werden. Zudem, wenn das Löschen unter einer Bitdaten durchgeführt wird, die ein Absenken der Schwellwertspannung auf etwa –3V zulässt, kann das Verifizieren weggelassen werden.

[0152] In dem "0"-Programmiermodus wird der Bit-leitungsseitige Auswahltransistor ST1 des ausgewählten Blocks EIN-geschaltet und der Source-leitungsseitige Auswahltransistor ST2 wird AUS-geschaltet. Für eine Speicherzelle, für die das Programmieren auszuführen ist ("0"-Programmierung), wird eine Bitleitung BLi auf 0V festgelegt. Für eine Speicherzelle, für die das Programmieren zu verhindern ist ("1"-Programmierung) wird die Bitleitung BLi auf ein Energieversorgungspotential VCC (z.B. 3,3V) festgelegt.

[0153] Ein Potential von 0V wird von der Bitleitung BLi an den Kanal der Speicherzelle über den Auswahltransistor ST1 für das Ausführen des Programmierens angelegt. Demnach ist das Kanalpotential der Speicherzelle für das Ausführen des Programmierens das Masse-Potential.

[0154] Ein Programmierpotential wird an die ausgewählte Wortleitung (Steuergate) angelegt. Zu dieser Zeit erzeugt von den mit der ausgewählten Wortleitung verbundenen ausgewählten Speicherzellen eine Speicherzelle für das Programmierausführen eine große Potentialdifferenz zwischen dem Floating-Gate und dem Kanal. In der Speicherzelle für das Programmierausführen bewegen sich Elektronen von dem Kanal zu dem Floating-Gate bedingt durch das F-N-Tunnelphänomen.

[0155] Andererseits wird in Programmierverhinderungs-Speicherzellen der Kanal auf das Energieversorgungspotential VCC aufgeladen und auch in den schwebenden Zustand versetzt. Wenn das Programmierpotential an die ausgewählte Wortleitung (Steuergate) angelegt wird, wird das Kanalpotential ebenfalls automatisch durch die kapazitive Reihenkopplung zwischen dem Steuergate, dem Floating-Gate, dem Kanal und dem Bulk (der Wanne) angehoben.

[0156] Es wird keine große Potentialdifferenz zwischen dem Floating-Gate und dem Kanal der Programmierverhinderungsspeicherzelle erzeugt, die mit der ausgewählten Wortleitung verbunden ist, und es bewegen sich keine Elektronen von dem Kanal zu dem Floating-Gate.

[0157] Für die Programmierverhinderungsspeicherzelle wird das Koppelverhältnis zwischen dem Steuergate und dem Kanal erhöht und der Kanal ist ausreichend aufgeladen. Mit dieser Technik kann das Kanalpotential (Programmierverhinderungspotential), wenn das Programmierpotential an die ausgewählte Wortleitung angelegt wird, hoch genug gemacht werden.

[0158] Ein Koppelverhältnis B zwischen dem Steuergate und dem Kanal wird berechnet durch

B = Cox/(Cox + Cj)

wobei Cox die Summe der Gatekapazitäten des Steuergates und des Kanals ist, und Cj die Summe der Übergangskapazitäten von Source und Drain der Speicherzelle.

[0159] Die Kanalkapazität der Speicherzelle ist gleich der Summe der Summe Cox der Gatekapazitäten und der Summe Cj der Übergangskapazitäten.

[0160] Die überlappende Kapazität zwischen Gate und Source des Auswahltransistors und die Kapazität zwischen der Bitleitung und Source/Drain sind viel geringer als die Kanalkapazität und werden daher vernachlässigt.

[0161] Im Lesebetrieb wird nachdem die Bitleitung auf das Voraufladepotential aufgeladen ist, ein Potential von 0V an das Steuergate (ausgewählte Wortleitung) der ausgewählten Speicherzelle angelegt. Das Energieversorgungspotential VCC wird an die Gates der Auswahltransistoren auf beiden Seiten einer ausgewählten Speicherzelle angelegt. Ein Potential von 0V wird an die Gates der Auswahltransistoren auf beiden Seiten einer nicht ausgewählten Speicherzelle angelegt. Zu diesem Zeitpunkt werden die Auswahltransistoren auf beiden Seiten der ausgewählten Speicherzelle EIN-geschaltet und die Auswahltransistoren auf beiden Seiten der nicht ausgewählten Speicherzelle werden AUS-geschaltet.

[0162] In den ausgewählten Speicherzellen hat eine Speicherzelle mit dem Datenwert "1", d.h., eine Speicherzelle im Löschzustand, eine Schwellwertspannung in einem negativen Verarmungsmodus und ist demnach EIN, so dass das Potential der Bitleitung abnimmt. Demgegenüber hat ein Speicherzelle mit dem Datenwert "0" eine Schwellwertspannung in einem positiven Anreicherungsmodus und ist demnach AUS. Das Potential der Bitleitung wird bei dem Voraufladepotential beibehalten.

[0163] Auf diese Weise werden Datenwerte "0" oder "1" auf der Basis bestimmt, ob ein Zellenstrom von der Bitleitung zur Source-Leitung fließt. Eine Änderung im Potential der Bitleitung wird durch einen Leseverstärker verstärkt (erfasst).

[0164] Gemäß dem Byte-EEPROM der vorliegenden Erfindung hat die Speicherzelle MC, die eingelegt ist zwischen die Auswahltransistoren, die folgenden Vorteile.

[0165] Als der erste Vorteil braucht, wenn das Lesepotential 0V ist, die Schwellwertspannungsverteilung nach dem Löschen oder Programmieren nur einen negativen Wert (Datenwert "1") oder einen positiven Wert (Datenwert "0") zu haben, wie in Fig. 6 gezeigt. Spezieller, nur eine Verifizierungsfunktion der Unterscheidung zwischen "1" und "0" ist notwendig, und eine Verifizierungsfunktion des Erfassens eines Über-Löschens oder Über-Programmierens kann weggelassen werden. Daher ist eine komplexe Verifizierung nicht notwendig im Gegensatz zu dem konventionellen Flash-EEPROM. In der vorliegenden Erfindung ist ein Normallesebetrieb möglich selbst wenn der Absolutwert einer negativen Schwellwertspannung durch das Über-Löschen erhöht ist, oder der Absolutwert einer positiven Schwellwertspannung durch das Über-Programmieren verringert ist. Aus diesem Grund kann das an die Gateoxidschicht (Tunneloxidschicht) anzulegende elektrische Feld hoch festgelegt werden und die Löschzeit oder Programmierzeit können verkürzt werden.

[0166] Als der zweite Vorteil werden sowohl Löschen als auch Programmieren durch Übertragen von Ladungen zwischen dem Floating-Gate und dem Kanal unter Verwendung des F-N-Tunnelphänomens durchgeführt wie bei dem NAND-Flash-EEPROM. Aus diesem Grund kann der Stromverbrauch der Datenänderungsoperation minimiert werden. Als eine Folge davon kann die Anzahl von Speicherzellen, in denen Datenwerte simultan durch einmalige Datenänderungsoperation geändert werden können, erhöht werden.

[0167] Als der dritte Vorteil ist in dem Byte-EEPROM der vorliegenden Erfindung nur eine Speicherzelle zwischen zwei Auswahltransistoren eingelegt im Gegensatz zu dem NAND-Flash-EEPROM. Das heißt, ausgewählte Speicherzellen und nicht ausgewählte Speicherzellen liegen nicht zwischen den Auswahltransistoren gleichzeitig vor. Aus diesem Grund braucht im Lesemodus die ausgewählte Speicherzelle nicht immer eingeschaltet zu sein und als ein Durchlasstransistor in Funktion versetzt zu werden. Daher ist keine Einrichtung zum Vermeiden der Über-Programmierung erforderlich.

[0168] Im Lesemodus muss nicht immer die nicht ausgewählte Speicherzelle EIN sein. Aus diesem Grund

kann, wenn das Lesen durch Festlegen des Steuergates der ausgewählten Speicherzelle auf 0V vorgenommen wird, das Steuergate der nicht ausgewählten Speicherzelle ebenfalls auf 0V festgelegt werden weil die Lesedauer nicht berücksichtigt werden muss.

[0169] In dem konventionellen NAND-Flash-EEPROM sind eine Vielzahl von Speicherzellen in Serie zwischen Auswahltransistoren verbunden. Im Lesemodus wird das Steuergate einer ausgewählten Speicherzelle auf 0V festgelegt und das Steuergate einer nicht ausgewählten Speicherzelle wird auf eine Lesespannung Vread (= 4,5V) festgelegt. Dies kürzt die Lesedauer ab.

[0170] In der vorliegenden Erfindung ist nur eine Speicherzelle zwischen Auswahltransistoren verbunden. Im Lesemodus kann, wenn die Steuergates aller Speicherzellen auf 0V festgelegt sind, das Auswählen/Nichtauswählen einer Speicherzelle durch lediglich EIN-/AUS-Schalten der Auswahltransistoren an den beiden Enden der Speicherzelle bestimmt werden.

[0171] Da Auswahltransistoren zwischen einer Bitleitung und Speicherzellen verbunden sind, brauchen nicht ausgewählte Speicherzellen im Lesemodus nicht immer AUS zu sein. Demnach ist auch keine Einrichtung zum Verhindern des Über-Löschens erforderlich.

[0172] In dem "0"-Programmiermodus braucht das Zwischenpotential (das Potential von etwa 1/2 des Programmierpotentials) nicht an eine nicht ausgewählte Wortleitung (Steuergate) angelegt zu werden. Dies ist, weil Auswahltransistoren zwischen Speicherzellen und einer Bitleitung vorhanden sind und nur eine Speicherzelle zwischen Auswahltransistoren verbunden ist.

[0173] Da irgendein Programmierfehler vermieden werden kann ohne Anlegen des Zwischenpotentials an die nicht ausgewählte Wortleitung ist die Zuverlässigkeit des Programmierens hoch. Zudem können Daten in Einheiten von Seiten (oder Einheiten von Bits) geändert werden. Auch im Lesemodus kann der Zellenstrom groß gemacht werden wegen des Fehlens von Durchlasstransistoren. Dies erhöht die Leserate und verbessert die Daten-Halteeigenschaft beim Lesen.

[0174] Tabelle 3 zeigt die Potentiale von Auswahlgateleitungen SSL und GSL, von einer Steuergateleitung (Wortleitung) CGL, von einer Bitleitung BLi, von einer Zellen-Source-Leitung SL und von einer Zellen-P-Wanne in den oben beschriebenen Lösch-, Programmier- und Lesebetriebsabläufen.

Tabelle 3

		Löschen	Programmieren	Lesen
Ausgewählter Block	Gateleitung SSL auf Bitleitungsseite auswählten	Vera×β	VCC	VCC
	Steuergateleitung CGL	0V	Vprog	0V
	Gateleitung GSL auf Source-Leitungsseite auswählten	Vera×β	0V	VCC
Nicht ausgewählter Block	Gateleitung SSL auf Bitleitungsseite auswählen	Vera×β	0V	0V
	Steuergateleitung CGL	Vera×β	0V	0V
	Gateleitung GSL auf Source-Leitungsseite auswählen	Vera×β	0V	0V
Bitleitung	"1"-Datenwert	Vera-Vb	VCC	VBL → 0V
	"0"-Datenwert	Vera-Vb	0V	VBL
Zellen-Source-Leitung		Vera-Vb	VCC	0V
Zellen-P-Wanne		Vera	0V	0V

[0175] Im Löschbetrieb wird das Steuergate CGL des ausgewählten Blocks auf 0V festgelegt. Die Steuergateleitung CGl und alle Auswahlgateleitungen SSL und GSL eines nicht ausgewählten Blocks werden in den schwebenden Zustand versetzt.

[0176] In diesem Zustand ergeben sich, wenn ein Löschpotential Vera von z.B. 21V an die Zellen-P-Wanne angelegt wird, die Potentiale aller Auswahlgateleitungen SSL und GSL im schwebenden Zustand und das Potential der Steuergateleitung CGL des unausgewählten Blocks durch Vera × β (β ist das Koppelverhältnis) wegen der kapazitiven Kopplung mit der Zellen-P-Wanne.

[0177] Wenn das Koppelverhältnis β 0,8 ist, steigen die Potentiale aller Auswahlgateleitungen SSL und GSL in dem schwebenden Zustand und das Potential der Steuergateleitung CGL des nicht ausgewählten Blocks auf 16,8V an.

[0178] Im Löschbetrieb wird der p-n-Übergang, der aus der N^+-Diffusionsschicht und der Zellen-P-Wanne gebildet wird, die mit der Bitleitung BLi und der Zellen-Source-Leitung SL verbunden sind, in Vorwärtsrichtung vorgespannt. Aus diesem Grund werden die Bitleitung BLi und die Zellen-Source-Leitung SL auf Vera-Vb aufgeladen. Vb ist das inhärente Potential des p-n-Übergangs.

[0179] In dem Programmierbetrieb wird die Bitleitung BLi, die mit einer ausgewählten Zelle, in die ein "1"-Datenwert zu programmieren ist, verbunden ist, d.h., die Bitleitung BLi, die mit einer ausgewählten Speicherzelle verbunden ist, die den Löschzustand aufrecht erhält, auf das Energieversorgungs-Potential VCC (z.B. 3,3V) festgelegt. Die mit einer mit einem "0"-Datenwert zu programmierenden ausgewählten Speicherzelle verbundene Bitleitung BLi wird auf 0V festgelegt.

[0180] Die Auswahlgateleitung SSL eines ausgewählten Blocks auf der Bitleitungsseite wird bei dem Energieversorgungspotential VCC festgelegt. Die Auswahlgateleitung GSL auf der Zellen-Source-Leitungsseite wird auf 0V festgelegt. Die Steuergateleitung CGL wird bei einer Programmierspannung Vprog (z.B., 18V) festgelegt.

[0181] Die Auswahlgateleitungen SSL und GSL, die Steuergateleitung CGL und die Zellen-P-Wanne eines

unausgewählten Blocks werden auf 0V festgelegt.

[0182] Die Zellen-Source-Leitung wird auf 0V festgelegt. Wenn jedoch das Kanalpotential einer Speicherzelle in dem ausgewählten Block, in den ein "1"-Datenwert zu programmieren ist, durch kapazitive Kopplung mit der Steuergateleitung CGL angehoben wird und der Leckstrom durch ein Durchschlagen ein Problem darstellt, wird das Potential der Zellen-Source-Leitung vorzugsweise bei dem Energieversorgungspotential VCC festgelegt.

[0183] Im Lesebetrieb werden die Auswahlgateleitungen SSL und GSL eines ausgewählten Blocks auf das Energieversorgungspotential VCC festgelegt und die Steuergateleitung CGL wird auf 0V festgelegt. Wenn die Bitleitung vor dem Datenlesen voraufzuladen ist, wird die Bitleitung BLi auf ein Voraufladepotential (z.B. 1,2V) VBL festgelegt.

[0184] Von ausgewählten Speicherzellen wird eine einen "1"-Datenwert speichernde Speicherzelle eingeschaltet, um einen Strom fließen zu lassen, so dass die Bitleitung BLi auf 0V entladen wird. Von den ausgewählten Speicherzellen wird eine Speicherzelle, die einen "0"-Datenwert speichert, AUS-geschaltet und es fließt kein Zellenstrom. Demnach behält die Bitleitung BLi das Voraufladepotential VBL.

[0185] Wenn der Lesebetrieb durch Anlegen des Energieversorgungspotentials VCC (z.B. 3,3V) an die Steuergateleitung CGL des ausgewählten Blocks auszuführen ist, wird die Schwellwert-Verteilung von Speicherzellen festgelegt, wie in Fig. 7 gezeigt.

[0186] Tabelle 4 zeigt die Potentiale der Auswahlgateleitungen SSL und GSL, der Steuergateleitung (Wortleitung) CGL, der Bitleitung BLi, der Zellen-Source-Leitung SL und der Zellen-P-Wanne in den oben beschriebenen Lösch-, Programmier- und Lese-Betriebsabläufen, wenn die in Fig. 7 gezeigte Schwellwertverteilung festgelegt ist.

Tabelle 4

		Löschen	Programmieren	Lesen
Ausgewählte Block	Gateleitung SSL auf Bitleitungsseite auswählten	Vera×β	VCC	VCC
	Steuergateleitung CGL	0V	Vprog	VCC
	Gateleitung GSL auf Source-Leitungsseite auswählten	Vera×β	0V	VCC
Nicht ausgewählter Block	Gateleitung SSL auf Bitleitungsseite auswählen	Vera×β	0V	0V
	Steuergate-Leitung CGL	Vera×β	0V	0V
	Gateleitung GSL auf Source-Leitungsseite auswählen	Vera×β	0V	0V
Bitleitung	"1"-Datenwert	Vera-Vb	VCC	VBL → 0V
	"0"-Datenwert	Vera-Vb	0V	VBL
Zellen-Source-Leitung		Vera-Vb	VCC	0V
Zellen-P-Wanne		Vera	0V	0V

[0187] Da die Auswahltransistoren wie oben beschrieben in der vorliegenden Erfindung an den beiden Enden einer Speicherzelle verbunden sind, kann der Schweif der Schwellwertverteilung einer Speicherzelle nach dem Löschen ("1"-Datenwert) sich von der positiven zur negativen Seite erstrecken.

[0188] Fig. 8 ist ein Blockdiagramm und zeigt den Hauptabschnitt des Byte-EEPROM der vorliegenden Erfindung.

[0189] Dieses EEPROM hat ein Speicherzellenarray **11**, in welchem Speicherzelleneinheiten, jeweils aus drei Elementen gebildet werden, d.h., einer zwischen zwei Auswahltransistoren eingelegten Speicherzelle, einer Vielzahl von Steuergateleitungen **10a**, die sich in der Zeilenrichtung des Speicherzellenarrays **11** erstrecken, und einer Vielzahl von Bitleitungen **10b**, die sich in der Spaltenrichtung des Speicherzellenarrays **11** erstrecken.

[0190] Ein Zeilendekoder **12** wählt eine Zeile, d.h., eine der Steuergateleitungen **10a**, aus. Daten von mit der ausgewählten Steuergateleitung **10a** verbundenen Speicherzellen werden in Leseverstärker **13** eingegeben, die jeweils aus einem Leseverstärker mit einer Datenhaltefunktion gebildet werden und in Einheiten von Spalten angeordnet sind. Ein Spaltendekoder **14** wählt eine Spalte, d.h., eine Bitleitung BLi, aus.

[0191] Daten des Leseverstärkers der ausgewählten Spalte werden von dem Speicherchip über einen Daten-Ein-/Ausgabepuffer **18** ausgegeben. In den Speicherchip eingegebene Daten werden durch den Leseverstärker der ausgewählten Spalte, der eine Latch- bzw. Haltefunktion hat, zwischengespeichert über den Daten-Ein-/Ausgabepuffer **18**.

[0192] Ein Spannungsanheber (Booster) **16** erzeugt eine über den Programmierbetrieb oder Löschbetrieb erforderliche hohe Spannung. Eine Steuerschaltung **17** steuert den Betrieb jeder Schaltung in dem Speicherchip und dient auch als eine Schnittstelle zwischen den internen und externen Schaltungen des Speicherchips. Die Steuerschaltung **17** schließt eine Abfolge-Steuereinrichtung ein (d.h., ein programmierbares logisches Array) zum Steuern der Lösch-, Programmier- und Lese-Betriebsabläufe für eine Speicherzelle.

[0193] Fig. 9 zeigt einen der in Fig. 8 gezeigten Leseverstärker **13**, der mit einer Bitleitung BLi verbunden ist und die Haltefunktion hat.

[0194] Der Leseverstärker ist hauptsächlich durch eine Halteschaltung (Latch-Schaltung) **21** mit zwei CMOS-Invertierern I1 und I2 aufgebaut. Der Ausgang des einen Invertierers wird in den anderen Invertierer eingegeben. Ein Halteknoten Q der Halteschaltung **21** ist mit der I/O- bzw. Ein-/Ausgabeleitung über deinen Spaltenauswahl-NMOS-Transistor M8 verbunden. Der Halteknoten Q ist auch mit der Bitleitung BLi über einen Leseverstärker-Trenn-NMOS-Transistor M4 und den Bitleitungspotential-Klemm-NMOS-Transistor M1 verbunden.

[0195] Der Verbindungsknoten zwischen den NMOS-Transistoren M1 und M4 ist ein Leseknoten Nsense. Der Leseknoten Nsense ist mit einem Vorauflade-PMOS-Transistor M2 und einem Entladungs-NMOS-Transistor M3 verbunden. Der Vorauflade-PMOS-Transistor M2 lädt den Leseknoten Nsense in einer vorbestimmten Dauer auf der Basis eines Voraufladesteuersignals Load auf. Der Entlade-NMOS-Transistor M3 entlädt den Leseknoten Nsense auf der Basis eines Entladungssteuersignals DCB.

[0196] Ein Halteknoten Qb der Halteschaltung **21** ist mit einem Rückstell-NMOS-Transistor M5 zum zwangsweise gegen Masse schalten des Halteknotens Qb auf der Basis eines Steuersignals ϕL1 verbunden. Der Halteknoten Q der Halteschaltung **21** ist mit einem Rückstell-NMOS-Transistor M6 zum zwangsweise gegen Masse schalten des Halteknotens Q auf der Basis eines Steuersignals ϕL2 verbunden.

[0197] Das gemeinsame Source (common source) der Rückstell-NMOS-Transistoren M5 und M6 ist mit Masse über einen Lese-NMOS-Transistor M7 verbunden, der durch das Potential des Leseknoten Nsense gesteuert wird. Der Lese-NMOS-Transistor M7 wird auch verwendet zum Rückstellen der Halteschaltung **21** gemeinsam mit den NMOS-Transistoren M5 und M6.

[0198] Fig. 10 ist ein schematisches Ablaufdiagramm zum Zeigen des Datenänderungsbetriebs für Byte-Daten des Byte-EEPROM der vorliegenden Erfindung.

[0199] Der Abfolgebetrieb, der in diesem Ablaufdiagramm gezeigt wird, wird durch die in Fig. 8 gezeigte Steuerschaltung **17** gesteuert. Der Datenänderungsbetrieb für Byte-Daten wird unter Bezugnahme auf dieses Ablaufdiagramm beschrieben.

[0200] In dem Byte-Daten-Änderungsmodus werden Daten von einer Seite von mit einer ausgewählten Steuergateleitung (Wortleitung) verbundenen Speicherzellen zu dem Leseverstärker ausgelesen (Seitenlesen).

Der Leseverstärker hält die Daten einer Seite (Schritt ST1).

[0201] Byte-Daten in Entsprechung zu durch Adressen ausersehenen Spalten werden geladen. Die geladenen Byte-Daten werden auf Byte-Daten in den Daten einer durch den Leseverstärker gehaltenen Seite überschrieben, welche der Datenänderung unterzogen werden (Schritt ST2).

[0202] Die Daten einer Seite der Speicherzellen, die mit der ausgewählten Steuergateleitung verbunden sind, werden simultan gelöscht (Seitenlöschen) (Schritt ST3). Nach dem Löschen wird ein Löschverifizieren durchgeführt zum Verifizieren, ob alle mit der ausgewählten Steuergateleitung verbundenen Speicherzellen vollständig gelöscht sind oder über-gelöscht (Schritte ST4 und ST5).

[0203] Das Seitenlöschen und das Löschverifizieren werden wiederholt durchgeführt bis die Schwellwerte aller Speicherzellen der Seite in einem vorbestimmten Bereich fallen. Wenn die Schwellwerte aller Speicherzellen der Seite in den vorbestimmten Bereich fallen (Abschluss des Löschens), schreitet der Ablauf fort zu der nächsten Operation (Schritte ST3 bis ST5).

[0204] Wenn nur ein Leseverstärker mit der Haltefunktion mit einer Bitleitung verbunden ist (nur eine Seite liegt vor), können die Daten in dem Leseverstärker abhängig von dem Ergebnis der Löschverifizierung zerstört werden. In diesem Fall wird das Löschen nur einmal ohne eine Löschverifizierung durchgeführt.

[0205] Danach werden Daten einer Seite, die durch die Leseverstärker gehalten werden, simultan in den Speicherzellen, die mit der ausgewählten Steuergateleitung verbunden sind, programmiert (Schritt ST6). Nach dem Programmieren wird eine Programmverifizierung durchgeführt zum Verifizieren, ob die Daten in den mit der ausgewählten Steuergateleitung verbundenen Speicherzellen vollständig programmiert oder über-programmiert worden sind (Schritte ST7 und ST8).

[0206] Das Seitenprogrammieren und das Programmierverifizieren werden wiederholt bis die Schwellwerte aller Speicherzellen der Seite in einem vorbestimmten Bereich fallen. Wenn die Schwellwerte aller Speicherzellen der Seite in den vorbestimmten Bereich fallen (Abschluss des Programmierens) ist die Änderungsoperation für Byte-Daten beendet.

[0207] Wenn Daten nur einmal unter Verwendung eines hohen Programmierpotentials in Übereinstimmung mit einem Programmimpuls zum programmieren sind, kann das Programmierverifizieren weggelassen werden.

[0208] Fig. 11 bis Fig. 14 zeigen die Daten der ausgewählten Speicherzellen und die Zustände des Knotens Qb (Fig. 9) in den Hauptprozessen in Fig. 10.

[0209] Fig. 11 zeigt einen Zustand, bei dem Daten einer Seite der mit der ausgewählten Steuergateleitung (Wortleitung) verbundenen Speicherzellen zu den Leseverstärkern gelesen werden (in Entsprechung zu Schritt ST1).

[0210] Wenn der Datenwert einer Speicherzelle bei "0" ist (die Schwellwertspannung ist positiv), wird die Bitleitung BLi nicht entladen und behält das Voraufladepotential. Der Leseknoten Nsense, der in Fig. 9 gezeigt ist, hat das Energieversorgungspotential VCC. Wenn das Steuersignal ϕL2 bei dem Energieversorgungspotential VCC liegt, ist der Knoten Q bei einem Massepotential VSS, d.h., "0".

[0211] Wenn der Datenwert einer Speicherzelle bei "1" (die Schwellwertspannung ist negativ), wird die Bitleitung BLi entladen. Der Leseknoten Nsense, der in Fig. 9 gezeigt ist, hat das Massepotential VSS. Wenn das Steuersignal ϕL2 bei dem Energieversorgungspotential VCC ist, ist der Knoten Q bei dem Energieversorgungspotential VCC, d.h., "1".

[0212] Fig. 12 zeigt einen Zustand, bei dem Daten auf Byte-Daten (8-Bit-Daten), die durch Adressen in den Daten einer durch die Leseverstärker gehaltenen Seite ausersehen sind, überschrieben werden (in Entsprechung zu Schritt ST2).

[0213] Fig. 13 zeigt einen Zustand, wobei die Daten der Speicherzellen, die mit der ausgewählten Steuergateleitung (Wortleitung) verbunden sind, gelöscht werden (Seitenlöschen) (entsprechend Schritt ST3). Die Daten der mit der ausgewählten Steuergateleitung verbundenen Speicherzellen werden bei "1" durch das Seitenlöschen festgelegt.

[0214] Fig. 14 zeigt einen Zustand, wobei die Daten einer durch die Leseverstärker gehaltenen Seite in den mit der ausgewählten Steuergate-Leitung (Wortleitung) verbundenen Speicherzellen programmiert werden (in Entsprechung zu Schritt ST6).

[0215] In dem Speicherzellen_array **11** wird die datenänderungs-Operation für Seitendaten ausgeführt. Tatsächlich wird die Datenänderungsoperation für Byte-Daten ausgeführt.

[0216] Der Lesebetrieb für das Seitenprogrammieren und das Programmierverifizieren wird als Nächstes detailliert unter Bezugnahme auf die in Fig. 15 und Fig. 16 gezeigten Zeitdiagramme beschrieben unter Betonung des Betriebs des in Fig. 9 gezeigten Leseverstärkers.

[0217] Fig. 15 und Fig. 16 zeigen zwei Teile eines Zeitdiagramms und t5 in Fig. 15 und t5 in Fig. 6 repräsentieren denselben Zeitpunkt. Das heißt, die Schwingungsform bei der zweiten Hälfte der Fig. 15 überlappt teilweise jene der ersten Hälfte der Fig. 16.

[0218] Wenn ein Befehl zum Anweisen des Programmierens von einer externen Schaltung zu einer internen Schaltung des Chips eingegeben wird, wird der Programmierbetrieb gestartet.

[0219] Um den Leseknoten Nsense zurückzusetzen, wird das Steuersignal DCB bei dem Energieversorgungspotential VCC festgelegt. Der MOS-Transistor M3 wird eingeschaltet, um den Leseknoten Nsense gegen Masse zu schalten (t1).

[0220] Ein Steuersignal BLSHF wird ebenfalls bei dem Energieversorgungspotential VCC festgelegt gemeinsam mit dem Steuersignal DCB. Der MOS-Transistor M1 wird eingeschaltet, um die Bitleitung BLi gegen Masse zu schalten.

[0221] Bevor die Programmierdaten in die Leseverstärker geladen werden, wird das Datenhaltesteuersignal ϕL1 bei dem Energieversorgungspotential VCC festgelegt und das Voraufladesteuersignal Load wird bei dem Massepotential VSS festgelegt. Die MOS-Transistoren M5 und M7 werden eingeschaltet, um den Halteknoten Qb der Halteschaltung **21** zwangsweise gegen Masse zu schalten und Daten rückzustellen. Spezieller, in jedem von allen Leseverstärkern **20** wird der Halteknoten Q der Halteschaltung **21** bei dem Energieversorgungspotential VCC festgelegt und der Halteknoten Qb wird bei dem Massepotential VSS festgelegt (t2).

[0222] Die Programmierdaten werden von der I/O- bzw. Ein-/Ausgabe-Leitung geladen und durch die Halteschaltungen **21** der Leseverstärker **20** gehalten. die Knoten Q und Qb werden bei "H"- oder "L"-Pegel in Übereinstimmung mit den geladenen Daten festgelegt (t3).

[0223] Spezieller, in der Halteschaltung **21** eines einer Speicherzelle für eine "0"-Programmierung entsprechenden Leseverstärkers wird ein "L"-Pegel (= VSS) an den Halteknoten Q angelegt. In der Halteschaltung **21** eines einer Speicherzelle für "1"-Programmierung (Programmierverhinderung) entsprechenden Leseverstärkers wird der "H"-Pegel (= VCC) an den Halteknoten Q angelegt.

[0224] Wenn die Steuersignale BLSHF und SBL bei "H"-Pegel sind, wird das Laden jeder Bitleitung auf der Basis der durch die Halteschaltung **21** eines entsprechenden Leseverstärkers **20** gehaltenen Daten gestartet (t4).

[0225] Spezieller, die mit einer Speicherzelle für "0"-Programmierung verbundene Bitleitung BLi wird auf das Massepotential VSS festgelegt. Die Bitleitung, die mit einer Speicherzelle für "1"-Programmierung (Programmierverhinderung) verbunden ist, wird auf das Energieversorgungspotential VCC aufgeladen. Die ausgewählte Steuergateleitung (Wortleitung) wird bei der Programmierspannung Vprog festgelegt (etwa 20V).

[0226] Mit diesem Betrieb werden die Speicherzellen einer Seite programmiert.

[0227] Nachdem das Datenprogrammieren beendet ist, wird das Programmierverifizieren begonnen zum Verifizieren, ob das Datenprogrammieren vollständig durchgeführt worden ist.

[0228] Das Programmierverifizierungslesen wird ausgeführt. Dieser Verifizierungslesebetrieb ist derselbe wie der normale Lesebetrieb.

[0229] Wenn das Steuersignal DCB bei dem Energieversorgungspotential VCC festgelegt wird, wird der

MOS-Transistor M3 eingeschaltet, um den Leseknoten Nsense zwangsweise gegen Masse zu schalten (t5).

[0230] Wenn eine Referenzpotential Vref (etwa 0,5V) an die ausgewählte Steuergateleitung CGL angelegt wird und das Energieversorgungspotential VCC an die Auswahlgateleitungen SSL und GSL angelegt wird, wird das Verifizierungslesen ausgeführt (t6).

[0231] Für das Lesen kann ein Bitleitungsvorauflade-Leseschema oder ein Stromerfassungs-Leseschema verwendet werden. In dem Bitleitungsvorauflade-Leseschema wird die Bitleitung BLi voraufgeladen und in einen schwebenden Zustand versetzt und dann wird das Potential der Bitleitung in Übereinstimmung mit dem Datenwert einer Speicherzelle beibehalten oder fallen lassen. Das Stromerfassungs-Leseschema wird nachstehend detailliert beschrieben.

[0232] Zur Zeit t6 wird das Steuersignal BLSHF von dem angehobenen Potential VCC + α zu einem Potential VCC – α geklemmt. Ein Datenwert wird auf der Basis des Ausgleichs zwischen dem zu dem MOS-Transistor M1 fließenden Speicherzellenstrom und dem Stromdes MOS-Transistors M2 zum Laden des Leseknotens Nsense gelesen. Wenn das Potential der Bitleitung BLi auf beispielsweise 0,9 V ansteigt, wird der MOS-Transistor M1 abgeschaltet und der Leseknoten Nsense wird auf ein Energieversorgungspotential VCC festgelegt.

[0233] Nachdem der Leseknoten Nsense bei "H"-Pegel (= VCC) ist, wird das Haltesteuersignal ϕL1 festgelegt bei dem Energieversorgungspotential VCC zum Einschalten des MOS-Transistors M5 (t7). Wenn der Leseknoten Nsense sich bei dem Energieversorgungspotential VCC befindet (in einem Leseverstärker, der mit einer Speicherzelle mit einer Schwellwertspannung verbunden ist, die höher ist als das Verifizierungspotential Vref), wird der MOS-Transistor M7 eingeschaltet, um den Halteknoten Qb auf das Massepotential VSS festzulegen und den Halteknoten Q auf das Energieversorgungspotential VCC.

[0234] Wenn das Massepotential VSS zu dem Halteknoten Q geladen wird, und ein Programmieren in geeigneter Weise durchgeführt wird, werden die Haltedaten der Halteschaltung **21** invertiert. Wenn das Programmieren in der Speicherzelle nicht ausreicht, verbleibt der Leseknoten Nsense bei "L"-Pegel (= VSS) in dem Verifizierungslesen. Aus diesem Grund werden die Daten der Halteschaltung **21** nicht invertiert und der Halteknoten Q behält das Massepotential VSS. In einem Leseverstärker, der mit einer Programmierverhinderungsspeicherzelle verbunden ist, ist der Halteknoten Q bei dem Energieversorgungs-Potential VCC und keine Dateninversion tritt auf.

[0235] Wenn eine Speicherzelle in nicht ausreichender Weise programmiert ist, d.h., wenn der Datenwert der Halteschaltung **21** eines Leseverstärkers nicht invertiert wird, wird das Programmieren und Verifizierungslesen wiederholt. Wenn die Potentiale der Halteknoten Q aller Leseverstärker einer Seite bei dem Energieversorgungspotential VCC festgelegt sind, ist das Programmieren beendet.

[0236] Der Datenänderungsbetrieb für Byte-Daten wird als Nächstes detailliert unter Bezugnahme auf das in Fig. 17 gezeigte Zeitdiagramm beschrieben mit Betonung des Betriebs des in Fig. 9 gezeigten Leseverstärkers.

[0237] Wenn ein Befehl zum Anweisen des Byte-Daten-Änderungsmodus von einer externen Schaltung zu einer internen Schaltung des Chips eingegeben wird, beginnt der Datenänderungsbetrieb für Byte-Daten.

[0238] Ein Lesen von Daten, die bereits in Speicherzellen auf einer Seite, die mit der Auswahlsteuergateleitung (der Wortleitung) verbunden sind, programmiert worden sind, wird begonnen.

[0239] Das Datenhaltesteuersignal ϕL1 wird bei dem Energieversorgungspotential VCC festgelegt und das Voraufladesteuersignal Load wird bei dem Massepotential VSS festgelegt. Die MOS-Transistoren M5 und M7 werden eingeschaltet, um den Halteknoten Qb jeder Halteschaltung **21** zwangsweise gegen Masse zu schalten und die Daten zurück zu setzen. Spezieller, in dem jeweiligen Leseverstärker wird der Halteknoten Q der Halteschaltung **21** festgelegt auf das Energieversorgungspotential VCC und der Halteknoten Qb wird auf das Massepotential VSS festgelegt (t1).

[0240] Das Steuersignal DCB wird bei dem Energieversorgungspotential VCC festgelegt. Der MOS-Transistor M3 wird eingeschaltet zum zwangsweise gegen Masse schalten des Leseknotens Nsense (t2). Wenn das Massepotential VSS (= 0V) an die ausgewählte Steuergateleitung CGL angelegt wird, und das Energieversorgungspotential VCC an die Auswahlgateleitungen SSL und GSL angelegt wird, wird das Lesen ausgeführt (t3).

[0241] Nachdem der Leseknoten Nsense bei "H"-Pegel (= VCC) ist, wird das Haltesteuersignal ϕL2 bei dem Energieversorgungspotential VCC festgelegt, um den MOS-Transistor M6 einzuschalten (t4). Wenn der Leseknoten Nsense sich bei dem Energieversorgungspotential VCC befindet (d.h., in einem mit einer Speicherzelle mit einem Datenwert von "0" und einer Schwellwertspannung, die höher ist als das Massepotential VSS), wird der MOS-Transistor M7 eingeschaltet zum Festlegen des Halteknotens Q auf das Massepotential VSS und des Halteknotens Qb auf das Energieversorgungspotential VCC.

[0242] Als Nächstes wird das Steuersignal DCB bei dem Energieversorgungspotential VCC festgelegt und das Steuersignal BLSHF wird bei dem Energieversorgungspotential VCC oder dem Potential VCC + α festgelegt, um die Bitleitung BLi und den Leseknoten Nsense zurückzustellen (t5).

[0243] Danach werden Byte-Daten in die Halteschaltung **21** des Leseverstärkers **20** geladen, der durch eine Spaltenadresse ausersehen ist. Die Knoten Q und Qb werden bei "H"- oder "L"-Pegel in Übereinstimmung mit den geladenen Daten festgelegt (t6).

[0244] Die Byte-Daten, die von einer in Bezug auf den Chip externen Schaltung eingegeben werden, werden überschrieben auf vorbestimmten Daten von in der Halteschaltung **21** programmierten Seitendaten.

[0245] Danach wird der Seitenlöschbetrieb für die Speicherzellen durchgeführt die mit der ausgewählten Steuergateleitung verbunden sind.

[0246] Die Steuergateleitung des ausgewählten Blocks wird bei dem Massepotential VSS festgelegt. Die Steuergateleitungen der nicht ausgewählten Blöcke und alle Auswahlgateleitungen werden in den schwebenden Zustand versetzt. Wenn die Löschspannung Vera an die Zellen-P-Wanne angelegt wird, werden die ausgewählten Gateleitungen und die Steuergateleitungen der nicht ausgewählten Blöcke, die sich im schwebenden Zustand befinden, angehoben auf Vera × β (β ist das Koppelverhältnis) durch die kapazitive Kopplung mit der Zellen-P-Wanne.

[0247] Die Bitleitung BLi und die Zellen-Source-Leitung SL werden mit der N^+-Schicht in der Zellen-P-Wanne verbunden. Der p-n-Übergang zwischen der N^+-Schicht und der Zellen-P-Wanne in vorwärtsrichtung vorgespannt wird, werden die Bitleitung BLi und die Zellen-Source-Leitung SL auf Vera – Vb geladen (t7). Vb ist das inhärente Potential des p-n-Übergangs.

[0248] Daraufhin wird das Löschverifizieren ausgeführt zum Bestätigen, dass alle Speicherzellen der ausgewählten Seite sich im gelöschten Zustand befinden, d.h., die Schwellwertspannung jeder Speicherzelle negativ wird. Auf der Basis der in der Halteschaltung **21** gespeicherten Daten werden der Programmierbetrieb und der Programmierverifizierbetrieb für jede Speicherzelle der ausgewählten Seite ausgeführt.

[0249] Der Betrieb nach dem Löschverifizieren wird in Fig. 17 nicht illustriert.

[0250] Fig. 18 zeigt ein Beispiel, in dem ein NAND-Flash-EEPROM partiell das Speicherzellenarray des Byte-EEPROM der vorliegenden Erfindung hat.

[0251] Das Byte-EEPROM der vorliegenden Erfindung kann als ein NAND-Flash-EEPROM angesehen werden, dessen Speicherzellenarray nur eine Speicherzelle zwischen zwei Auswahltransistoren hat. Demnach kann das EEPROM dieses Beispiels leicht realisiert werden.

[0252] In dem EEPROM dieses Beispiel sind Speicherzelleneinheiten von zwei Typen mit unterschiedlichen Strukturen mit einer Bitleitung BLi verbunden. Spezieller, die erste Speicherzelleneinheit hat eine Vielzahl von (z.B. 4, 8, 16 oder 32) Speicherzellen zwischen zwei Auswahltransistoren verbunden. Die zweite Speicherzelleneinheit hat eine Speicherzelle zwischen zwei Auswahltransistoren verbunden.

[0253] Zum Auswählen einer Steuergateleitung (Wortleitung) kann eine Treiberschaltung vorbereitet sein für die ersten und zweiten Speicherzelleneinheitsregionen. Wenn möglich, können die beiden Regionen eine Treiberschaltung teilen.

[0254] Das folgende Speicherzellenarray anstelle des Speicherzellenarrays des NAND-Flash-EEPROMs verwendet werden, das in Fig. 18 gezeigt wird.

[0255] Fig. 19 zeigt das Speicherzellenarray eines AND-Flash-EEPROM. Fig. 22 zeigt das Speicherzellenar-

ray eines DINOR-Flash-EEPROM.

[0256] Die UND-Einheit des AND-Flash-EEPROM, das in Fig. 19 gezeigt ist, hat eine Vielzahl von Speicherzellen parallel zwischen einer Sub-Bit-Leitung und einer Sub-Source-Leitung verbunden. Die Sub-Bit-Leitung ist mit einer Haupt-Bit-Leitung über einen Drain-seitigen Auswahltransistor verbunden. Die Sub-Source-Leitung ist mit einer Haupt-Source-Leitung über einen Source-seitigen Auswahltransistor verbunden.

[0257] Beispielsweise wird in einem 64-Mbit-NAND-Flash-EEPROM eine UND-Einheit aus 128 Speicherzellen (m = 128) und zwei Auswahltransistoren gebildet.

[0258] Als das charakteristische Merkmal des Speicherzellenarrays haben Bitleitungen (Datenleitungen) und Source-Leitungen eine hierarchische Struktur. Die Bitleitungen und Source-Leitung sind jeweils aus Haupt-Leitungen und Sub-Leitungen gebildet. Die Sub-Leitungen haben eine pseudo-kontaktlose Struktur aus Diffusionsschichten gebildet.

[0259] Daten werden in die Speicherzelle programmiert bzw. daraus gelöscht durch den F-N-(Fowler-Nordheim)-Tunnelstrom.

[0260] Wie in Fig. 20 gezeigt, werden Daten durch Entfernen von Elektronen von dem schwebenden Gate zu dem Drain unter Verwendung des F-N-Tunnelstroms programmiert. Wie in Fig. 21 gezeigt, werden Daten durch Injizieren von Elektronen von dem Substrat (der gesamten Kanaloberfläche) zu dem schwebenden Gate unter Verwendung des F-N-Tunnelstroms gelöscht.

[0261] Die kennzeichnenden Merkmal des DINOR-Flash-EEPROM (Divided Bit Line NOR-Flash-EEPROM), das in Fig. 22 gezeigt ist, sind die folgenden. Dieses EEPROM kann unter Verwendung einer einzelnen Energieversorgung betrieben werden wie z.B. ein NAND-Flash-EEPROM. Die Änderungsrate ist hoch und die Speichergröße ist klein. Wahlfreier Zugriff mit hoher Geschwindigkeit ist wie in dem NAND-Flash-EEPROM möglich.

[0262] Eine Speicherzelleneinheit des DINOR-Flash-EEPROM hat die hierarchische Struktur eine Hauptbitleitung und eine Sub-Bitleitung in dem Speicherzellenarray und in Hinblick auf die Größe ist es weitgehend gleich der UND-Einheit des AND-Flash-EEPROM. Die Speicherzelle hat eine gestapelte Gate-Struktur, wie in den NOR-Flash-EEPROM oder dem NAND-Flash-EEPROM. Das Drain der Speicherzelle ist mit einer Sub-Bitleitung, die aus Polysilizium gebildet wird, verbunden.

[0263] Beispielsweise werden in einem 16-Mbit-DINOR-Flash-EEPROM 64 Speicherzellen mit einer Sub-Bitleitung verbunden. Wenn ein Kontakt zu jeder der Speicherzellen erreicht wird durch einen sogenannten vergrabenen Kontakt zwischen Polysilizium und der Diffusionsschicht, kann die Speicherzellengröße reduziert werden.

[0264] Der Datenprogrammier-/Löschmechanismus in der Speicherzelle ist derselbe wie der des AND-Flash-EEPROM und verwendet den F-N-Tunnelstrom.

[0265] Spezieller, Daten werden in die Speicherzelle durch Entfernen von Elektronen von dem schwebenden Gate zu dem Drain und Verwendung des F-N-Tunnelstroms programmiert. Daten werden durch Injizieren von Elektronen von dem Substrat (gesamte Kanalfläche) zu dem schwebenden Gate unter Verwendung des F-N-Tunnelstroms gelöscht.

[0266] Der in Fig. 9 gezeigte Leseverstärker ist mit der in Fig. 19 oder Fig. 22 gezeigten Haupt-Bitleitung verbunden. Der Datenänderungsbetrieb für Byte-Daten wird auf der Basis des in Fig. 10 gezeigten Ablaufdiagramms ausgeführt.

[0267] Wie oben beschrieben, kann selbst in dem EEPROM mit einem Speicherzellenarray, wie in Fig. 18, Fig. 19 oder Fig. 22 gezeigt, der Datenänderungsbetrieb für Byte-Daten für jede Speicherzelleneinheit des Speicherzellenarrays durch Verwenden des in dem Ablaufdiagramm der Fig. 10 gezeigte Datenänderungsschemas durchgeführt werden.

[0268] In der Speicherzelle des Byte-EEPROM der vorliegenden Erfindung kann der Auswahltransistor der Bitleitungsseite weggelassen werden und die Speicherzelleneinheit kann aus einem Speicherzellentransistor und einem Source-seitigen Auswahltransistor gebildet werden. In diesem Fall wird in dem Datenprogrammier-

modus eine mittlere Spannung Vm für das Programmierverhindern welche etwa 1/2 der Programmierspannung Vprog ist, an die Programmierverhinderungs-Bitleitung auf der Basis des Datenwerts des Leseverstärkers angelegt.

[0269] Konventionell ist eine Speicherzelle bekannt, die SONOS-Zelle (Silicon-Oxide-Nitride-Oxide-Silicon- bzw. Siliziumoxid-Nitrid-Oxidsilizium-Zelle) bekannt. Als das kennzeichnende Merkmal dieser Speicherzelle wird der Datenwert ("0" oder "1") auf der Basis der Menge an durch die Siliziumnitridschicht unmittelbar unter der Gate-Elektrode (Wortleitung) eingefangenen Elektronen spezifiziert.

[0270] Eine SONOS-Zelle ist zum Beispiel offenbart in Referenz 4 (A. Lancaster et al., "A 5V-Only EEPROM with Internal Program/Erase Control" (ein nur 5V-EEPROM mit internen Programmier-/Löschsteuerung), IEEE International Solid-State Circuits Conference, Seiten 164-165, Februar 1983).

[0271] Die Speicherzelleneinheit in Referenz 4 wird durch eine Speicherzelle und zwei Auswahltransistoren gebildet, zwischen denen die Speicherzelle eingelegt ist. Referenz 4 gibt auch an, dass der Datenänderungsbetrieb für Byte-Daten in der SONOS-Zelle durchgeführt werden kann ("LOAD-LATCHES-ROW-ERASE Operation", Zeilen 31 bis 40, linke Spalte, S. 164).

[0272] Jedoch hat Referenz 4 nicht speziell den Datenänderungsbetrieb für Byte-Daten offenbart. Das heißt, das tatsächliche Verfahren des Datenänderungsbetriebs für Byte-Daten ist nicht klar. Zudem ist die in Referenz 4 offenbarte Speicherzelle keine Stapel-Gate-Struktur vom Flash-EEPROM, sondern eine Struktur, in der das Gate der Speicherzelle und die Gates der Auswahltransistoren einander überlappen.

[0273] Die vorliegende Erfindung kann eine bemerkenswerte Wirkung abweichend von jener des konventionellen NAND-Flash-EEPROM und der Speicherzelle in Referenz 4 bereitstellen.

[0274] Spezieller, wie oben beschrieben, hat nach dem Programmieren oder Löschen eine Speicherzelle die in Fig. 6 oder Fig. 7 gezeigte Schwellwertspannungsverteilung. In dem konventionellen NAND-Flash-EEPROM sind die oberen und unteren Grenzwerte der Schwellwertspannungsverteilung von Datenwerten "0" oder "1" vorbestimmt. Die Schwellwertspannung jedes Datenwertes muss innerhalb eines vorbestimmten Bereichs durch das Verifizieren vorbestimmt werden. Die Speicherzelle in Referenz 4 hat eine SONOS-Struktur. Da die Elektroneneinfangmenge der Siliziumnitridschicht immer vorbestimmt ist, ist es schwierig, die Schwellwertspannungsverteilung der Speicherzelle frei zu verschieben (siehe z.B. W.D. Brown et al, "Nonvolatile Semiconductor Memory Technology" (Technologie nicht-flüchtiger Halbleiterspeicher), IEEE Press Series in Microelectronic Systems Stu Tewksbury, Series Editor, S. 70, S. 212, S. 316, S. 326, S. 327, und S. 344).

[0275] Gemäß der vorliegenden Erfindung kann durch beispielsweise das Abstimmen der Programmier- oder Löschzeit oder der Spannung die Schwellwertspannungsverteilung von Datenwerten "1" und die von Datenwerten "0" in ausreichender Weise voneinander getrennt werden in Fig. 6 oder Fig. 7. Spezieller, der Spielraum (Abstand) zwischen der Schwellwertspannungsverteilung des Datenwertes "1" und der des Datenwertes "0" kann erhöht werden, um Daten in ausreichender Weise zu programmieren oder zu löschen, hierdurch irgendeinen Lesefehler verhindernd. Da es keine oberen und unteren Grenzen der Schwellwertspannungsverteilung der jeweiligen Datenwerte gibt, ist zudem kein Verifizieren erforderlich und ein sogenanntes "nur einmal Programmieren" und "nur einmal Löschen" kann ausgeführt werden.

[0276] Fig. 23 zeigt ein Beispiel des Schaltungsblocks des Byte-EEPROM der vorliegenden Erfindung. Fig. 24 zeigt ein Teil des Speicherzellenarrays **11** in Fig. 23. Der Schaltungsblock dieses Beispiels wird auf ein EEPROM mit einem in Fig. 3 gezeigten Speicherzellenarray verwendet und ist ähnlich dem Schaltungsblock des NAND-EEPROM.

[0277] In der vorliegenden Erfindung wird eine Speicherzelleneinheit aus drei Elementen gebildet, d.h., einer Speicherzelle und zwei Auswahltransistoren, zwischen denen die Speicherzelle eingelegt ist. Ein Block BLKi (i = 0, 1, ..., n) hat mit einer Steuergateleitung CGL verbundene Speicherzellen, d.h., Speicherzellen einer Seite.

[0278] Ein Steuergate/Auswahlgatetreiber **12c** ist in Entsprechung zu einem Block BLKi (i = 0, 1, ..., n) vorbereitet, d.h, ein Steuergateleitung CGL (eine Seite). Jeder Treiber **12c** hat einen Spannungsanheber (Booster). Ein Vordekoder **12a** und ein Zeilendekoder **12b** sind ebenfalls in Entsprechung zu einem Block BLKi vorbereitet, d.h., eine Steuergateleitung CGL (eine Seite).

[0279] Ein Zeilenadressensignal wird in den Vordekoder **12a** über ein Adressenregister **19** eingegeben. Der Vordekoder **12a** und der Zeilendekoder **12b** wählen eine Zeile (oder einen Block) aus. Wenn der Block BLKi ausgewählt ist, legt der Treiber **12c** vorbestimmte Potentiale in Entsprechung zu dem Betriebsmodus der Steuergateleitung CGL und der Auswahlgateleitungen SSL und GSL in dem ausgewählten Block BLKi an (Tabelle 3 und 4).

[0280] Der Leseverstärker **13** mit der Haltefunktion hält gelesene Daten oder programmierte Daten. Gelesene Daten (Ausgabedaten) werden von dem Speicherchip über eine Spaltenauswahlschaltung **15** und den Daten-Eingabe-/Ausgabepuffer **18** ausgegeben. Programmierdaten (Eingabedaten) werden durch den Leseverstärker **13** mit der Haltefunktion über den Eingabe-/Ausgabepuffer **18** und die Spaltenauswahlschaltung **15** gehalten.

[0281] Ein Befehlssignal wird in einen Befehlsdekoder **26** über den Daten-Eingabe-/Ausgabepuffer **18** und ein Befehlsregister **25** eingegeben. Das Ausgabesignal von dem Befehlsdekoder **26**, ein Befehlhaltebefähigungssignal (command latch enable) CLE, ein Chip-Befähigungssignal (chip enable) $\overline{CE}$ oder ein Schreibbefähigungssignal (write enable) $\overline{WE}$ werden in die Steuerschaltung **17** eingegeben.

[0282] Eine Signalerzeugungsschaltung (Spannungsanheber bzw. Booster) **27** erzeugt Potentiale, die an die Steuergateleitung CGL, die Auswahlgateleitungen SSL und GSL anzulegen sind und führt Potentiale zu dem Steuergate-/Auswahlgatetreiber **12c** gesteuert durch die Steuerschaltung **17**.

[0283] Fig. 25 zeigt ein anderes Beispiel des Schaltungsblocks des Byte-EEPROM der vorliegenden Erfindung. Fig. 26 zeigt Teile des Speicherzellenarrays **11** in Fig. 25.

[0284] Der Schaltungsblock dieses Beispiels wird auf ein EEPROM mit dem in Fig. 18 gezeigten Speicherzellenarray angewendet.

[0285] Das Speicherzellenarray umfasst einen 3-tr Zellenabschnitt **11-0** mit Speicherzelleneinheiten der vorliegenden Erfindung und eine NAND-Zellenauswahl **11-1** mit NAND-Zelleneinheiten.

[0286] Der 3-tr-Zellenabschnitt **11-0** hat Speicherzelleneinheiten, die jeweils drei Elemente haben, d.h., eine Speicherzelle und zwei die Speicherzelle zwischen sich eingelegt habende Auswahltransistoren, und ist aufgeteilt in n Blöcke BLK0, BLK1, ..., BLKn. Der NAND-Zellenabschnitt **11-1** hat NAND-Zelleneinheiten (NICHT-UND-Zelleneinheiten), die jeweils eine Vielzahl von (z.B. 4, 8 oder 16) Speicherzellen seriell verbunden haben und zwei Auswahltransistoren zwischen denen die Speicherzellen eingelegt sind, und ist aufgeteilt in m Blöcken BLK0, BLK1, ..., BLKm.

[0287] Jeder Block BLKi (i = 0, 1, ..., n) des 3-tr-Zellenabschnitts **11-0** hat Speicherzellen mit einer Steuergateleitung CGL verbunden, d.h., Speicherzellen einer Seite. Jeder Block BLKi (i = 0, 1, ..., m) des NAND-Zellenabschnitts **11-1** hat Speicherzellen mit mehreren Steuergateleitungen CGL verbunden, d.h., Speicherzellen mehrerer Seiten.

[0288] In dem 3-tr-Zellenabschnitt **11-0** ist der Steuergate-/Auswahlgate-Treiber **12c** in Entsprechung zu einem Block BLi vorbereitet, d.h., einer Steuergateleitung CGL (einer Seite). Jeder Treiber **12c** hat einen Spannungsanheber. Der Vordekoder **12a** und der Zeilendekoder **12b** sind ebenfalls in Entsprechung zu einem Block BLKi vorbereitet, d.h., einer Steuergateleitung CGL (einer Seite).

[0289] In dem NAND-Zellenabschnitt **11-1** ist der Steuergate-/Auswahlgate-Treiber **12c** in Entsprechung zu einem Block BLKi einschließlich mehrerer Steuergateleitungen CGL0, ..., CGL7 vorbereitet (mehrerer Seiten). Jeder Treiber **12c** hat einen Spannungsanheber. Der Vordekoder **12a** und der Zeilendekoder **12b** sind ebenfalls vorbereitet in Entsprechung zu einem Block BLKi einschließlich mehrerer Steuergateleitungen CGL0, ..., CGL7 (mehrerer Seiten).

[0290] Das Zeilenadressensignal wird in den Vordekoder **12a** über das Adressenregister **19** eingegeben. Der Vordekoder **12a** und der Zeilendekoder **12b** wählen eine Zeile (oder einen Block) des 3-tr-Zellenabschnitts **11-0** oder des NAND-Zellenabschnitts **11-1** aus.

[0291] Der Leseverstärker **13** mit Haltefunktion hält Lesedaten oder Programmierdaten. Lesedaten (Ausgabedaten) werden von dem Speicherchip über die Spaltenauswahlschaltung **15** und den Daten-Eingabe-/Ausgabepuffer **18** ausgegeben. Programmierdaten (Eingabedaten) werden durch den Leseverstärker **13** mit der

Haltefunktion über den Daten-Eingabe-/Ausgabepuffer **18** und die Spaltenauswahlschaltung **15** gehalten.

[0292] Das Befehlssignal wird in den Befehlsdekoder **26** über den Daten-Eingabe-/Ausgabepuffer **18** und das Befehlsregister **25** eingegeben. Das Ausgabesignal des Befehlsdekoders **26**, das Befehlshalteschaltungs-Zulassungssignal CLE (command latch enable), das Chip-Zulassungssignal (Chip-Enable) $\overline{CE}$ oder das Schreibzulassungssignal (Write-Enable) $\overline{WE}$ werden in die Steuerschaltung **17** eingegeben.

[0293] Die Signalerzeugungsschaltung (Spannungsanheber bzw. Booster) **27** erzeugt Potentiale, die an die Steuergateleitung CGL und die Auswahlgateleitungen SSL und GSL anzulegen sind und führt die Potentiale dem Steuergate-/Auswahlgate-Treiber **12c** gesteuert durch die Steuerschaltung **17** zu.

[0294] Fig. 27 zeigt den Datenänderungsbetrieb für Byte-Daten, angewendet auf die in Fig. 23 bis Fig. 26 gezeigten EEPROMs.

[0295] Fig. 27 zeigt die in Fig. 11 bis Fig. 14 gezeigten Datenänderungsbetriebsabläufe gemeinsam zum Unterstützen des Verständnisses.

[0296] Der Datenänderungsbetrieb für Byte-Daten der vorliegenden Erfindung hat die folgenden vier Hauptprozesse.

① Daten werden aus Speicherzellen einer Seite in dem ausgewählten Block ausgelesen und durch Leseverstärker mit der Haltefunktion gehalten.
② Byte-Daten werden auf den durch die Leseverstärker mit der Haltefunktion gehaltenen Daten überschrieben.
③ Daten der Speicherzellen einer Seite in dem ausgewählten Block werden gelöscht.
④ Die von den Leseverstärkern mit der Haltefunktion gehaltenen Daten werden in die Speicherzellen der einen Seite in dem ausgewählten Block programmiert.

[0297] Mit diesen Prozessen kann ein nichtflüchtiger Halbleiterspeicher bereitgestellt werden, der durch denselben Prozess gebildet werden kann wie jenem eines Flash-EEPROM, und kann einen Datenänderungsbetrieb für Byte-Daten durchführen obwohl dasselbe Datenänderungsverfahren angewendet wird wie für das Flash-EEPROM. (Ein Flash-EEPROM löscht gewöhnlich Daten von Speicherzellen auf einmal in Einheiten von Blöckenen ohne den Prozess ① und kann nicht den Datenänderungsbetrieb für Byte-Daten vornehmen. Jedoch können Daten in Einheiten von Bytes programmiert werden, nachdem die Daten von allen Speicherzellen in dem Block gelöscht sind)

[0298] Für das EEPROM, auf das die in Fig. 27 gezeigte Datenänderungsoperation für Byte-Daten angewendet wird, wird die Anzahl der Datenänderungsoperationen der Speicherzelle, d.h., der Maximalwert der Anzahl an Programmier-/Löschzyklen geprüft.

[0299] Wenn 1-Byte-Daten durch das in Fig. 27 gezeigte Verfahren zu ändern sind, werden die Lese-, Lösch- und Programmier-Operationen einmal für Daten einer Seite in dem ausgewählten Block ausgeführt. In dem ausgewählten Block werden die Lese-, Lösch- und Programmieroperationen einmal ausgeführt selbst für eine Speicherzelle, deren Daten nicht zu ändern sind.

[0300] Beispielsweise, wenn alle Daten in einer Seite durch das in Fig. 27 gezeigte Verfahren zu ändern sind in Einheiten von Bytes, ist die Anzahl an Seitenlese-, Lösch- und Programmieroperationen im Wesentlichen größer als die bei dem Ändern von Daten einer Seite auf einmal durch ein Mehrfaches der Anzahl von Bytes, die in einer Seite enthalten sind.

[0301] Wenn eine Seite beispielsweise 64 Bytes hat und die Daten einer Seite auf einmal zu ändern sind, müssen die Seiten- Lese-, Lösch- und Programmieroperationen einmal ausgeführt werden. Jedoch sind die Daten einer Seite in Einheiten von Bytes zu ändern und die Seitenlese-, Lösch- und Programmieroperationen müssen 64 Mal ausgeführt werden.

[0302] In der Datenänderungsoperation für Byte-Daten, die in Fig. 27 gezeigt ist, werden die Lese-, Lösch- und Programmier-Operationen einmal für Daten einer Seite in dem ausgewählten Block ausgeführt, hierdurch 1-Byte-Daten ändernd. Demnach ist die Anzahl von Seitenlese-, Lösch- und Programmieroperationen beim Ändern von Daten einer Seite durch das Verfahren der vorliegenden Erfindung größer als die beim Ändern der Daten einer Seite auf einmal durch ein Mehrfaches der Anzahl von Bytes, die in einer Seite maximal enthalten sind.

[0303] Um die Zunahme der Anzahl an Seitenlese-, Lösch- und Programmieroperationen zu vermeiden, kann die Anzahl der Seitenlese-, Lösch- und Programmieroperationen durch Überschreiben mehrerer Byte-Daten nach einem in Fig. 27 gezeigten Seitenlesezyklus verringert werden.

[0304] Ein nichtflüchtiger Halbleiterspeicher, der die Anzahl an Seitenlese-, Lösch- und Programmieroperationen während des Beibehaltens der Datenänderungsoperation für Byte-Daten verringern kann durch eine Maßnahme, die sich von dem Überschreiben mehrerer Byte-Daten unterscheidet, nachstehend beschrieben.

[0305] Fig. 28 zeigt ein verbessertes Beispiel des in Fig. 23 gezeigten Byte-EEPROM.

[0306] In der vorliegenden Erfindung wird das Speicherzellenarray **11** aus einer Vielzahl von Blöckenn BLKi-j (i = 0, 1, ..., n; j = 0, 1, 2, 3) gebildet, die in einer Matrix in Zeilen- und Spaltenrichtungen angeordnet sind.

[0307] In den oben beschriebenen Beispielen, wie in Fig. 23 und Fig. 25 gezeigt, werden Blöcke BLKi nur in der Spaltenrichtung angeordnet und Speicherzellen einer Seite, die mit einer Steuergateleitung CGL verbunden sind, sind immer in einem Block BLKi. In diesem Beispiel sind jedoch Speicherzellen einer Seite in mehrere Blöcke in Einheiten von ganzzahligen Vielfachen von einem Byte (8 Bit) aufgeteilt, und eine Vielzahl von Blöcken sind auch in der Zeilenrichtung angeordnet.

[0308] Spezieller, wenn eine Seite der Zellen von k Byte hat (k ist eine positive ganze Zahl) und Speicherzellen von r Bytes (r ist eine positive ganze Zahl, r < k) einen Block bilden, ist die Anzahl an Blöcken in der Zeilenrichtung k/r. In diesem Beispiel ist die Anzahl der Blöcke in der Zeilenrichtung vier. In diesem Fall hat ein Block Zellen von 16 Bytes und eine Seite hat Speicherzellen von 64 Bytes.

[0309] Der Steuergate-/Auswahlgate-Treiber **12c** ist in Entsprechung zu vier Blöcken BLKi-j in der Zeilenrichtung vorbereitet, d.h., eine Steuergateleitung CGL (eine Seite). Jeder Treiber **12c** hat einen Spannungsanheber (Booster). Der Vordekoder **12a** und der Zeilendekoder **12b** sind ebenfalls vorbereitet in Entsprechung zu vier Blöcken BLKi-j, d.h., eine Steuergateleitung CGL (eine Seite).

[0310] Ein Sub-Steuergatetreiber **28** ist in Entsprechung zu einem Block BLKi-j vorbereitet.

[0311] Das Zeilenadressensignal wird in den Vordekoder **12a** und einen Sub-Dekoder **29** über das Adressenregister **19** eingegeben. Der Vordekoder **12a** und der Zeilendekoder **12b** wählen vier Blöcken BLKi-j in einer Zeile aus. Der Sub-Dekoder **29** wählt einen der vier ausgewählten Blöcke BLKi-j aus.

[0312] Der Sub-Dekoder **29** kann eine Funktion des Auswählens einer Vielzahl von Blöcken in einer ausgewählten Zeile oder allen Blöcken (in diesem Beispiel vier Blöcken) in einer ausgewählten Zeile haben.

[0313] In der vorliegenden Erfindung können Datenlese-, Lösch- und Programmieroperationen in Einheiten Blöcken ausgeführt werden. Das heißt, in der Datenänderungsoperation für Byte-Daten brauchen Daten einer Seite nicht zu den Leseverstärkern mit der Haltefunktion ausgelesen zu werden. Gemäß der vorliegenden Erfindung kann in der Datenänderungsoperation für Byte-Daten die Anzahl von Lese-, Lösch- und Programmieroperationen verringert werden verglichen mit den in Fig. 23 und Fig. 25 gezeigten Beispielen, so dass die wesentliche Programmier-/Lösch-Dauerhaftigkeitscharakteristika verbessert können.

[0314] Unter der Annahme, dass die Programmier-/Lösch-Dauerhaftigkeitscharakteristika, d.h., der Maximalwert der Anzahl an Datenänderungsoperationen eines EEPROM, in welchem eine Seite Speicherzellen von k Byte hat (k ist eine ganze Zahl), ist 1×10^6.

[0315] In den in den Fig. 23 und Fig. 25 gezeigten Beispielen zum Ändern von Daten einer Seite, sind die Lese-, Lösch- und Programmieroperationen k mal erforderlich. Die Programmier-/Lösch-Dauerhaftigkeitscharakteristika verringern sich im Wesentlichen auf $(1/k) \times 10^6$ mal.

[0316] In der vorliegenden Erfindung wird eine Seite aufgeteilt in k/r-Blöcken (r ist eine positive ganze Zahl, r ≤ k). Jeder Block hat Speicherzellen von r Byte. Die Lese-, Lösch- und Programmieroperationen können in Einheiten von Blöcken ausgeführt werden. Aus diesem Grund ist die Anzahl der Lese-, Lösch- und Programmieroperationen zum Ändern von Daten einer Seite im Wesentlichen so klein wie $(1/r) \times 10^6$.

[0317] Spezieller, wenn eine Seite aus 64 Byte besteht, sind die Programmier-/Lösch-Dauerhaftigkeitscharakteristika der in Fig. 23 und Fig. 25 gezeigten Beispiele $1{,}7 \times 10^4$. Andererseits, wenn eine Seite von acht

Blöcken gebildet wird und jeder Block 8 Byte hat, werden die Programmier-/Lösch-Dauerhaftigkeitscharakteristika der vorliegenden Erfindung gegeben durch $1{,}3 \times 10^5$ Mal. Die wesentlichen Programmier-/Lösch-Dauerhaftigkeitscharakteristika werden um eine Größenordnung oder Größe verbessert verglichen mit den in Fig. 23 und Fig. 25 gezeigten Beispielen.

[0318] In der vorliegenden Erfindung können durch Bilden eines Blocks von 1 Byte die wesentlichen Programmier-/Lösch-Dauerhaftigkeitscharakteristika maximiert werden auf 1×10^6 mal.

[0319] Wenn der Block BLKi-j ausgewählt wird, liegt ein Steuergate-/Auswahlgate-Treiber i vorbestimmte Potentiale in Entsprechung zu den Betriebsmodi an die Steuergateleitung CGL und die Auswahlgateleitungen SSL und GSL in dem ausgewählten Block BLKi-j an (Tabellen 3 und 4).

[0320] Der Leseverstärker **13** mit der Haltefunktion hält Lesedaten oder Programmierdaten. Lesedaten (Ausgabedaten) werden von dem Speicherchip über die Spaltenauswahlschaltung **15** und den Daten-Eingabe-/Ausgabepuffer **18** ausgegeben. Programmierdaten (Eingabedaten) werden durch den Leseverstärker **13** mit der Haltefunktion über den Daten-Eingabe-/Ausgabepuffer **18** und die Spaltenauswahlschaltung **15** gehalten.

[0321] Das Befehlssignal wird in den Befehlsdekoder **26** über den Daten-Eingabe-/Ausgabepuffer **18** und das Befehlsregister **25** eingegeben. Das Ausgabesignal von dem Befehlsdekoder **26**, das Befehlshalteermöglichungssignal CLE, das Chipauswahlsignal $\overline{CE}$, oder das Schreibermöglichungssignal $\overline{WE}$ werden in die Steuerschaltung **17** eingegeben.

[0322] Die Signalerzeugungsschaltung (Booster) **27** erzeugt Potentiale, die an die Steuergateleitung CGL und die Auswahlgateleitung SSL und GSL anzulegen sind und führt die Potentiale zu dem Steuergate-/Auswahlgate-Treiber **12c** gesteuert durch die Steuerschaltung **17**.

[0323] Fig. 29 zeigt ein Beispiel eines Vordekoders PDi.

[0324] In diesem Beispiel ist die Anzahl der Zeilen, d.h, die Anzahl an Steuergateleitungen CGL (die Anzahl an Blöcken) als 1,024 (2^{10}) angenommen. In diesem Fall kann eine Steuergateleitung CGL ausgewählt werden durch 10 Zeilenadresssignalbits a1, a2, ..., a10.

[0325] Die Zeilenadresssignalbits a1, a2 und a3 werden in eine Nicht-und- bzw. NAND-Schaltung **30-1** eingegeben. Die Zeilenadresssignalbits a4, a5 und a6 werden in eine NAND-Schaltung **30-2** eingegeben. Die Zeilenadresssignalbits a7, a8, a9 und a10 werden in eine NAND-Schaltung **30-3** eingegeben. Das Ausgangssignal von der NAND-Schaltung **30-1** wird als ein Signal D über einen Invertierer **31-1** ausgegeben. Das Ausgangssignal von der NAND-Schaltung **30-2** wird als ein Signal E über einen Invertierer **31-2** ausgegeben. Das Ausgangssignal von der NAND-Schaltung **30-3** wird als ein Signal F über einen Invertierer **31-3** ausgegeben.

[0326] Die Vordekoder PDi empfangen jeweils die unterschiedlichen Zeilenadresssignalbits a1, a2, ..., a10. Nur die Ausgangssignale D, E und F von dem Vordekoder PDi, der zu einer ausgewählten Zeile gehört, sind bei "1".

[0327] Fig. 30 zeigt Beispiele eines Zeilendekoders RDi und Hauptsteuergate-/Auswahlgate-Treiber i.

[0328] Der Zeilendekoder RDi wird aus einer NAND-Schaltung **32** und einem Invertierer **33** gebildet. Die Ausgangssignale D, E und F von dem Vordekoder PDi werden in die NAND-Schaltung eingegeben.

[0329] Der Hauptsteuergate-/Auswahlgate-Treiber i hat einen Booster (Spannungsanheber) **34** und NMOS-Transistoren **35-1**, **35-2** und **35-3** als Treiberschaltungen.

[0330] In dem zu der ausgewählten Zeile gehörenden Hauptsteuer-Gate-/Auswahlgate-Treiber i wird den Gate-Anschlüssen der NMOS-Transistoren **35-1**, **35-2** und **35-3** das Energieversorgungs-Potential VCC oder das angehobene Potential zugeführt.

[0331] Beispielsweise, wenn zu programmierende Daten in den Treiber i zu der ausgewählten Zeile gehören, ist das Ausgangspotential VB des Boosters **34** bei dem angehobenen Potential Vprog zum Einschalten der NMOS-Transistoren **35-1**, **35-2** und **35-3**. Die Signalerzeugungsschaltung **27** erzeugt Potentiale SS (= VCC), CG (= Vprog), und GS (= 0V). Diese Potentiale SS, CG und GS werden an eine Hauptsteuergateleitung CGLi

und Auswahlgateleitungen SSLi und GSLi in der ausgewählten Zeile über die NMOS-Transistoren **35-1**, **35-2** und **35-3** jeweils angelegt.

[0332] Wenn ein Datenwert zu löschen ist, ist in dem Treiber i, der zu der ausgewählten Zeile gehört, das Ausgangspotential VB des Boosters **34** bei dem Energieversorgungspotential VCC zum Einschalten der NMOS-Transistoren **35-1**, **35-2** und **35-3**. Die Signalerzeugungsschaltung **27** erzeugt Potentiale SS (= VCC), CG (= 0V) und GS (= VCC). Jene Potentiale SS, CG und GS werden an die Hauptsteuergateleitung CGLi und die Auswahlgateleitungen SSLi und GSLi in der ausgewählten Zeile über die NMOS-Transistoren **35-1**, **35-2** und **35-3** jeweils angelegt.

[0333] Danach werden die Auswahlgateleitungen SSLi und GSLi in den schwebenden Zustand versetzt. Aus diesem Grund nehmen die Potentiale der Auswahlgateleitungen SSLi und GSLi, wenn das Löschpotential Vera an die P-Wanne angelegt wird, zu auf Vera + α bedingt durch die kapazitive Kopplung zwischen der P-Wanne und den Auswahlgateleitungen SSLi und GSLi.

[0334] Wenn zu lesende Daten in dem Treiber i zu der ausgewählten Zeile gehören, ist das Ausgangspotential VB des Boosters **34** bei dem Energieversorgungspotential VCC oder VCC + α (α ist ein Wert gleich oder größer als die Schwellwertspannung des N-Kanal-Transistors), um die NMOS-Transistoren **35-1**, **35-2** und **35-3** einzuschalten. Die Signalerzeugungsschaltung **27** erzeugt Potentiale SS (= VCC), CG (= 0V oder VCC) und GS (= VCC). Jene Potentiale SS, CG und GS werden an die Hauptsteuergateleitung CGLi und die Auswahlgateleitungen SSLi und GSLi in der ausgewählten Zeile über die NMOS-Transistoren **35-1**, **35-2** und **35-3** jeweils angelegt.

[0335] In dem Hauptsteuergate-/Auswahlgate-Treiber i, der zu einer nicht ausgewählten Zeile gehört, wird das Massepotential an die Gateanschlüsse der NMOS-Transistoren **35-1**, **35-2** und **35-3** angelegt, so dass die NMOS-Transistoren **35-1**, **35-2** und **35-3** AUS-geschaltet werden. Demnach befinden sich die Hauptsteuergateleitung CGLi und die Auswahlgateleitungen SSLi und GSLi in der nicht ausgewählten Zeile im schwebenden Zustand.

[0336] In dem Datenlesemodus kann das Massepotential VSS (0V) an die Auswahlgateleitungen SSLi und GSLi in der nicht ausgewählten Zeile angelegt werden. In diesem Fall werden die Masse-MOS-Transistoren mit allen ausgewählten Gateleitungen SSLi und GSLi jeweils verbunden und durch das Vorhandensein/Fehlen von Zeilenauswahl (Blockauswahl) EIN/AUS-gesteuert.

[0337] Fig. 31 zeigt ein Beispiel einer Vielzahl von Blöcken und Sub-Steuergate-Treibern, die in einer Zeile angeordnet sind.

[0338] In diesem Beispiel sind vier Blöcken BLKi-0, BLKi-1, BLKi-2 und BLKi-3 in einer Zeile in Entsprechung zu dem in Fig. 28 gezeigten Schaltungsblock angeordnet.

[0339] Die Blöcke BLKi-j (j = 0, 1, 2, 3) haben Sub-Steuergate-Leitungen CGLi-0, CGLi-1, CGLi-2 bzw. CGLi-3. Jede Sub-Steuergate-Leitung CGLi-j (j = 0, 1, 2, 3) ist mit Speicherzellen eines ganzzahligen Mehrfachen von 1 Byte (z.B. 16 Byte) verbunden, die in dem entsprechenden Block BLKi-j angeordnet sind.

[0340] Die Sub-Steuergateleitung CGLi-j ist mit der Hauptsteuergateleitung CGLi über einen NMOS-Transistor **36-j** verbunden, der als Treiberschaltung dient, die den Sub-Steuergatetreiber **28** bildet.

[0341] Der NMOS-Transistor **36-j** wird durch den Sub-Dekoder **29** (EIN/AUS-gesteuert). Der Sub-Dekoder **29** hat eine Funktion des Auswählens eines NMOS-Transistors **36-j** (ein Block).

[0342] Der Sub-Dekoder **29** kann eine Funktion des Auswählens mehrerer oder aller der NMOS-Transistoren **36-j** haben (mehrere oder alle Blöcke).

[0343] Wenn Daten zu programmieren sind, wird in dem ausgewählten Block BLKi-j in der ausgewählten Zeile die Programmierspannung Vprog an das Gate des NMOS-Transistors **36-j** angelegt, um den NMOS-Transistor **36-j** einzuschalten. Demnach wird das hohe Programmierpotential Vprog von der Hauptsteuergateleitung CGLi zu der Sub-Steuergateleitung CGLi-j in dem ausgewählten Block BLKi-j angelegt.

[0344] Wenn Daten zu löschen sind, wird in dem ausgewählten Block BLKi-j in der ausgewählten Zeile das Energieversorgungspotential VCC an das Gate des NMOS-Transistors **36-j** angelegt, um den NMOS-Transis-

tor **36-j** einzuschalten. Demnach wird das Massepotential von der Hauptsteuergateleitung CGLi an die Sub-Steuergateleitung CGLi-j in dem ausgewählten Block BLKi-j angelegt.

[0345] Wenn Daten zu lesen sind, wird in dem ausgewählten Block BLKi-j in der ausgewählten Zeile das Energieversorgungspotential VCC an das Gate des NMOS-Transistors **36-j** angelegt, um den NMOS-Transistor **36-j** einzuschalten. Demnach wird das Massepotential oder das Energieversorgungspotential VCC von der Hauptsteuergateleitung CGLi an die Sub-Steuergateleitung CGLi-j in dem ausgewählten Block BLKi-j angelegt (Tabellen 3 und 4).

[0346] Andererseits wird in dem nicht ausgewählten Block BLKi-j in der ausgewählten Zeile das Massepotential an das Gate des NMOS-Transistors **36-j** angelegt, um den NMOS-Transistor **36-j** einzuschalten. Das heißt, die Sub-Steuergateleitung CGLi-j in dem nicht ausgewählten Block BLKi-j befindet sich im schwebenden Zustand.

[0347] In der ausgewählten Zeile werden die mehreren Sub-Steuergateleitungen CGLi-j unmittelbar unter der Hauptsteuergateleitung CGLi angeordnet. Wenn ein vorbestimmtes Potential an die Hauptsteuergateleitung CGLi angelegt wird, kann sich beim Programmier-, Lösch- oder Lesemodus das Potential der Sub-Steuergateleitung CGLi-j in dem nicht ausgewählten Block BLKi-j bedingt durch die kapazitive Kopplung ändern.

[0348] Jedoch beeinträchtigt die Änderung im Potential der Sub-Steuergateleitung CGLi-j in dem nicht ausgewählten Block BLKi-j nicht nachteilig den Lese-, Lösch- und Programmierbetrieb.

[0349] Die Auswahlgateleitungen SSLi und GSLi in der ausgewählten Zeile sind gemeinsam für alle der Blöcken BLKi-j in der ausgewählten Zeile.

[0350] In dem Datenprogrammiermodus wird das Massepotential oder das Energieversorgungspotential VCC an die Auswahlgateleitungen SSLi und GSLi aller Blöcken BLKi-j in der ausgewählten Zeile über die NMOS-Transistoren **35-1** und **35-3** angelegt. In dem Datenlöschmodus wird das Energieversorgungspotential VCC an die Auswahlgateleitungen SSLi und GSLi aller Blöcken BLKi-j in der ausgewählten Zeile über die NMOS-Transistoren **35-1** und **35-3** angelegt. Im Lesemodus wird das Energieversorgungs-Potential VCC an die Auswahlgateleitungen SSLi und GSLi aller Blöcken BLKi-j in der ausgewählten Zeile über die NMOS-Transistoren **35-1** und **35-3** angelegt (Tabellen 3 und 4).

[0351] Fig. 32 zeigt das erste Beispiel des Datenänderungsbetriebs für Byte-Daten, die an das in Fig. 28 bis Fig. 31 gezeigte EEPROM angelegt werden.

[0352] Der Datenänderungsbetrieb für Byte-Daten dieses Beispiels hat die folgenden vier Hauptprozesse.

① Daten werden aus Speicherzellen in dem ausgewählten Block ausgelesen und durch die Leseverstärker mit der Haltefunktion gehalten.

② Byte-Daten werden auf durch die Leseverstärker mit der Haltefunktion gehaltenen Daten überschrieben.

③ Die Daten der Speicherzellen in dem ausgewählten Block werden gelöscht.

④ Die von durch die Leseverstärker mit der Haltefunktion gehaltenen Daten werden in den Speicherzellen in dem ausgewählten Block programmiert.

[0353] Als ein kennzeichnendes Merkmal des Datenänderungsbetriebs für Byte-Daten dieses Beispiels wird die Datenänderungsoperation für Byte-Daten durchgeführt, um nur Daten des ausgewählten Blocks BLKi-j (Daten eines ganzzahligen Vielfachen von 1 Byte) in der ausgewählten Zeile zu lesen ohne das Lesen von Daten einer Seite in der ausgewählten Zeile, wie es aus dem Vergleich in der in Fig. 27 gezeigten Datenänderungsoperation ersichtlich ist. Das heißt, da Daten von Speicherzellen nicht ausgewählter Blöcke in der ausgewählten Zeile nicht gelesen zu werden brauchen, werden die Lese-, Lösch- und Programmieroperationen für die Speicherzelle, deren Daten nicht zu ändern sind, weggelassen.

[0354] In dem Datenänderungsbetrieb dieses Beispiels kann die Anzahl von Lese-, Lösch- und Programmieroperationen kleiner gemacht werden als die des in Fig. 27 gezeigten Datenänderungs-Betriebs. Die wesentlichen Programmier-/Lösch-Dauerhaftigkeits-Charakteristika, d.h., die Anzahl an Datenänderungsoperationen, können erhöht werden.

[0355] Gemäß diesem Beispiel kann obwohl der nicht-flüchtige Halbleiterspeicher durch denselben Prozess gebildet wird wie dem eines Flash-EEPROMs und dasselbe Datenänderungsverfahren verwendet wie das des Flash-EEPROMs, der Datenänderungsbetrieb für Byte-Daten ohne das Verschlechtern der Program-

mier-/Lösch-Dauerhaftigkeitscharakteristika ausgeführt werden.

[0356] Fig. 33 zeigt das zweite Beispiel des Datenänderungsbetriebs für Byte-Daten, angewendet auf das in Fig. 28 bis Fig. 31 gezeigte EEPROM.

[0357] Der Datenänderungsbetrieb für Byte-Daten dieses Beispiels hat die folgenden vier Hauptprozesse.

① Daten werden von Speicherzellen einer Seite in dem ausgewählten Block ausgelesen und durch die Leseverstärker mit der Haltefunktion gehalten.

② Byte-Daten werden auf den durch die Leseverstärker mit der Haltefunktion gehaltenen Daten überschrieben.

③ Die Daten der Speicherzellen in dem ausgewählten Block werden gelöscht.

④ Die Daten, die durch die Leseverstärkern mit der Haltefunktion gehalten werden, werden in den Speicherzellen in dem ausgewählten Block programmiert.

[0358] Als ein kennzeichnendes Merkmal des Datenänderungsbetriebs für Byte-Daten dieses Beispiels werden Daten von Speicherzellen einer Seite gelesen, nicht wie bei dem in Fig. 32 gezeigten Datenänderungsbetrieb. Das heißt, in diesem Beispiel werden, obwohl Daten von Speicherzellen von einer Seite gelesen werden, die Lösch- und Programmieroperationen für nur den ausgewählten Block in der ausgewählten Zeile ausgeführt. Aus diesem Grund können unnötige Lösch- und Programmieroperationen für Daten von Speicherzellen nicht ausgewählter Blöcke in der ausgewählten Zeile weggelassen werden.

[0359] Beim Lesebetrieb zum Auswählen aller Blöcken BLKi-j in der ausgewählten Zeile werden alle Blöcken BLKi-j in der ausgewählten Zeile mehrfach ausgewählt durch den Sub-Dekoder.

[0360] In dem Datenänderungsbetrieb dieses Beispiels kann die Anzahl von Seitenlösch- und Programmieroperationen geringer gemacht werden als die des in Fig. 27 gezeigten Datenänderungsbetriebs. Die wesentlichen Programmier-/Lösch-Dauerhaftigkeitscharakteristika, d.h., die Anzahl an Datenänderungsoperationen kann verbessert werden.

[0361] Gemäß diesem Beispiel kann, obwohl der nicht-flüchtigen Halbleiterspeicher durch denselben Prozess gebildet werden kann wie der eines Flash-EEPROMs, und dasselbe Datenänderungsverfahren verwendet wie das des Flash-EEPROMs, der Datenänderungsbetrieb für Byte-Daten ohne Verschlechterung der Programmier-/Lösch-Dauerhaftigkeitscharakteristika ausgeführt werden.

[0362] Fig. 34 zeigt ein Beispiel des Wannen-Entwurfs (Layout) in dem Speicherzellenarraybereich.

[0363] In dem Flash-EEPROM werden normalerweise alle Speicherzelleneinheiten (Speicherzellen und Auswahltransistoren) in einer Wanne (z.B. einer Zwillingswanne, d.h., einer P-Wanne in einer N-Wanne in einem p-Substrat ausgebildet) ausgebildet. In der vorliegenden Erfindung werden jedoch Sub-Steuergate-Treiber zwischen die Speicherzellen eingefügt. Der Sub-Steuergate-Treiber legt ein hohes Potential an das Sub-Steuergate an. Wenn dieser Treiber in einer Wanne gemeinsam mit den Speicherzellen ausgebildet wird, kann der Schwellwert bedingt durch den Rückwärtsgate-Vorspannungseffekt erhöht werden, oder der Betrieb wird bedingt durch das Wannenpotential instabil.

[0364] In diesem Beispiel werden die Blöcken BLKi-j in der Spaltenrichtung in einer Wanne ausgebildet. Die Blöcke BLKi-j in der Zeilenrichtung werden in unterschiedlichen Wannen ausgebildet. In diesem Fall werden die Sub-Steuergate-Treiber außerhalb der Wannen ausgebildet, d.h., auf dem p-Substrat, und die obigen Probleme können gelöst werden.

[0365] Wenn das an die Wanne in den Programmier- und Löschmodi anzulegende Potential geeignet abgestimmt wird, können alle Speicherzelleneinheiten und Sub-Steuergate-Treiber in einer Wanne angeordnet werden.

[0366] In diesem Fall kann jedoch die durch den Rückwärtsgate-Vorspannungseffekt bedingte Zunahme der Schwellwertspannung nicht vermieden werden.

[0367] Fig. 35 zeigt ein anderes Beispiel einer Vielzahl von Blöcken und Sub-Steuergate-Treibern in einer Zeile angeordnet.

[0368] Dieses Beispiel ist eine Modifikation der in Fig. 31 gezeigten Schaltung und ist gekennzeichnet durch

das Verbinden der NMOS-Transistoren **36-0**, **36-1**, **36-2** und **36-3**.

[0369] Die Blöcken BLKi-j (j = 0, 1, 2, 3) haben die Sub-Steuergateleitungen CGLi-0, CGLi-1, CGLi-2 bzw. CGLi-3. Jedes Sub-Steuergateleitung CGLi-j (j = 0, 1, 2, 3) ist mit Speicherzellen eines ganzzahligen Vielfachen von 1 Byte (z.B. 16 Byte) verbunden, die in dem entsprechenden Block BLKi-j angeordnet sind.

[0370] Die Sub-Steuergateleitung CGLi-j ist mit dem Sub-Dekoder **29** über den NMOS-Transistor **36-j** als eine Treiberschaltung, die den Sub-Steuergate-Treiber **28** bildet, verbunden.

[0371] Der NMOS-Transistor **36-j** wird durch das Potential der Hauptsteuergateleitung CGLi EIN/AUS-gesteuert. In der ausgewählten Zeile wird das angehobene Potential Vprog oder das Energieversorgungspotential VCC an die Hauptsteuergateleitung CGLi angelegt und alle NMOS-Transistoren **36-0**, **36-1**, **36-2** und **36-3** in der ausgewählten Zeile werden eingeschaltet.

[0372] In dem Datenprogrammiermodus wird das hohe Programmierpotential Vprog von dem Sub-Dekoder **29** an die Sub-Steuergateleitung CGLi-j des ausgewählten Blocks BLKi-j angelegt. Das Massepotential wird von dem Sub-Dekoder **29** an die Sub-Steuergateleitung CGLi-j des nicht ausgewählten Blocks BLKi-j angelegt.

[0373] In dem Datenlöschmodus wird das Massepotential von dem Sub-Dekoder **29** an die Sub-Steuergateleitung CGLi-j des ausgewählten Blocks BLKi-j angelegt. Das Energieversorgungspotential VCC wird von dem Sub-Dekoder **29** an die Sub-Steuergateleitung CGLi-j des nicht ausgewählten Blocks BLKi-j angelegt.

[0374] Im Datenlesemodus wird das Lesepotential (Massepotential oder Energieversorgungspotential VCC) von dem Sub-Dekoder **29** an die Sub-Steuergateleitung CGLi-j des ausgewählten Blocks BLi-j angelegt. Das Massepotential wird von dem Sub-Dekoder **29** an die Sub-Steuergateleitung CGLi-j des nicht ausgewählten Blocks BLKi-j angelegt (Tabellen 3 und 4).

[0375] In dem Block BLKi-j in einer nicht ausgewählten Zeile wird das Massepotential an das Gate des NMOS-Transistors **36-j** angelegt, um den NMOS-Transistor **36-j** auszuschalten.

[0376] In dem Datenprogrammiermodus wird das Massepotential oder das Energieversorgungspotential VCC an die Auswahlgateleitungen SSLi und GSLi aller Blöcken BLKi-j in der ausgewählten Zeile über die NMOS-Transistoren **35-1** und **35-3** angelegt. In dem Datenlesemodus wird das Energieversorgungspotential VCC an die Auswahlgateleitungen SSLi und GSLi aller Blöcken BLKi-j in der ausgewählten Zeile über die NMOS-Transistoren **35-1** und **35-3** angelegt (Tabellen 3 und 4).

[0377] In dieser Anordnung kann ebenfalls der Lese-, Lösch- und Programmierbetrieb in Einheiten von Blöcken ausgeführt werden. Demnach kann der Datenänderungsbetrieb für Byte-Daten, der in den Fig. 32 oder Fig. 33 gezeigt ist, angewendet werden.

[0378] Aus diesem Grund können nicht erforderliche Lese-, Lösch- und Programmieroperationen für Speicherzellen, deren Daten nicht zu ändern sind, weggelassen werden, und die wesentlichen Programmier-/Lösch-Dauerhaftigkeitscharakteristika, d.h., die Anzahl der Datenänderungsoperationen kann verbessert werden.

[0379] Fig. 36 zeigt ein verbessertes Beispiel des in Fig. 28 gezeigten Byte-EEPROM. Fig. 37 zeigt zwei zueinander benachbarte Zeilen in dem Speicherzellenarray **11**, das in Fig. 36 gezeigt wird.

[0380] In dem in Fig. 28 gezeigten Speicher sind alle Vordekoder **12a**, Zeilendekoder **12b** und Hauptsteuergate-/Auswahlgate-Treiber **12c** an einem Ende des Speicherzellenarrays **11** in der Zeilenrichtung angeordnet.

[0381] In diesem Beispiel sind jedoch die Vordekoder **12a**, Zeilendekoder **12b** und Hauptsteuergate-/Auswahlgate-Treiber 12c an einem Ende und dem anderen Ende des Speicherzellenarrays **11** in der Zeilenrichtung angeordnet.

[0382] Beispielsweise sind Vordekoder PD0, PD2, ..., und Zeilendekoder RD0, RD2, .., die geradzahlig numerierte Zeilen auswählen, an einem Ende des Speicherzellenarrays **11** in der Zeilenrichtung angeordnet. Vordekoder PD1, PD3, ..., und Zeilendekoder RD1, RD3, ..., die ungeradzahlig numerierte Zeilen auswählen, sind an dem anderen Ende des Speicherzellenarrays **11** in Zeilenrichtung angeordnet. Hauptsteuergate-/Auswahlgate-Treiber 0, 2, ... zum Anlegen vorbestimmter Potentiale an geradzahlig numerierte Zeilen sind an einem

Ende des Speicherzellenarrays **11** in Zeilenrichtung vorgesehen. Hauptsteuergate-/Auswahlgate-Treiber 1, 3, ... zum Anlegen vorbestimmter Potentiale an ungeradzahlig numerierte Zeilen sind an dem anderen Ende des Speicherzellenarrays **11** in der Zeilenrichtung angeordnet.

[0383] In dem Schaltungsentwicklungsprozess kann das Layout der Vordekoder **12a**, Zeilendekoder **12b**, und dem Hauptsteuer-Gate-/Auswahlgate-Treiber **12c** leicht bestimmt werden.

[0384] Der Hauptsteuergate-/Auswahlgate-Treiber **12c** neigt dazu, eine große Schaltungsgröße zu haben, weil er ein hohes, an die Hauptsteuergateleitung CGLi anzulegendes Programmierpotential erzeugen muss. Aus diesem Grund wird, wenn alle Vordekoder **12a**, Zeilendekoder und Hauptsteuergate-/Auswahlgate-Treiber **12c** an einem Ende des Speicherzellenarrays **11** in der Zeilenrichtung angeordnet sind, das Layout dieser Schaltungen auf dem Chip sehr schwierig zu bestimmen.

[0385] Wie oben beschrieben, sind Zeilendekoder **12b** und Hauptsteuergate-/Auswahlgate-Treiber **12c** an einem Ende und dem anderen Ende des Speicherzellenarrays **11** in der Zeilenrichtung angeordnet, der Raum auf dem Chip kann effizient verwendet werden und die Schaltungsblöcke können kompakt auf dem Chip ausgebildet werden.

[0386] Wie in Fig. 37 gezeigt, sind eine Treiberschaltung zum Antreiben der Steuergateleitung CGLi in einem Block BLKi-j und Treiberschaltungen zum Antreiben der Auswahlgateleitungen SSLi und GSLi als der Treiber i an einem Ende oder dem anderen Ende des Speicherzellenarrays **11** ausgebildet.

[0387] Mit dieser Anordnung kann die Zeitverzögerung zwischen einem der Speicherzelle in dem ausgewählten Block BLKi-j zugeführten Signal und den Auswahltransistoren zugeführten Signalen eliminiert werden. Da ein Betriebsfehler bei den Programmier- und Lesemodi verhindert werden kann, nimmt die Zuverlässigkeit zu.

[0388] In diesem Beispiel werden die beiden Auswahlgateleitungen SSLi und GSLi und eine Steuergateleitung CGLi vorzugsweise gleichzeitig als ein Satz angetrieben. Zudem, da der Bereich des Transistors (Treiber) mit einer hohen Durchbruchspannung groß ist, kann das Muster auf dem Chip vergleichmäßigt werden durch Anordnen der Auswahlgateleitungen SSLi und GSLi und der Steuergateleitung CGLi als einem Satz. Mit dieser Anordnung kann eine Reduzierung der Dicke der Wortleitungen bedingt durch den Aufladungseffekt in einem nicht gleichmäßigen Muster verhindert werden.

[0389] Fig. 38 und Fig. 39 zeigen verbesserte Beispiele des Leseverstärkers.

[0390] Fig. 38 zeigt eine Anordnung unter Verwendung eines differentiellen Leseverstärkers. In diesem Fall können 1-Bit-Daten in zwei Speicherzelleneinheiten als komplementäre Daten gespeichert werden. Daten werden durch Erfassen einer geringen Differenz zwischen Signalgrößen (Potentialen), die von den beiden Speicherzelleneinheiten ausgegeben werden, unterschieden werden und durch Verstärken dieser Differenz. Dies ermöglicht ein Hochgeschwindigkeitslesen.

[0391] Ein-Bit-Daten werden in einem Paar von Speicherzellen-Einheiten gespeichert. Aus diesem Grund nimmt die Zuverlässigkeit, selbst wenn die Programmier-/Lösch-Dauerhaftigkeitscharakteristika einer Speicherzelleneinheit bedingt durch die wiederholte Datenänderungsoperation schlechter werden, nicht ab, sofern die andere Speicherzelleneinheit zufriedenstellende Programmier-/Lösch-Dauerhaftigkeits-Charakteristika hat.

[0392] Fig. 39 zeigt ein Beispiel, in dem ein gemeinsamer Leseverstärker mit mehreren (z.B. zwei) Bitleitungen verbunden ist. In diesem Fall wird der Datenänderungsbetrieb für Byte-Daten in dem Block BLKi-j aufgeteilt zweimal durchgeführt. Der erstmalige Datenänderungsbetriebsablauf wird für eine Speicherzelleneinheit durchgeführt, die mit einer geradzahlig numerierten Bitleitung verbunden ist und der zweitmalige Datenänderungsbetriebsablauf wird für eine Speicherzelleneinheit durchgeführt, die mit einer ungeradzahlig numerierten Bitleitung verbunden ist.

[0393] Wenn der Leseverstärker dieses Beispiels verwendet wird und Daten zu einer Bitleitung zu lesen sind, wird die andere Bitleitung auf ein festes Potential (z.B. Massepotential) gelegt (abgeschirmtes Bitleitungs-Leseverfahren). Mit diesem Verfahren kann ein Problem wie ein Programmierfehler in einer nicht ausgewählten Zelle im Lesemodus vermieden werden. Das EEPROM dieses Beispiels kann angewendet werden zum Speichern von Mehrleveldaten in einer Speicherzelleneinheit.

[0394] Fig. 40 zeigt ein verbessertes Beispiel des Byte-EEPROMs, das in Fig. 28 gezeigt wird.

[0395] In dem in Fig. 28 gezeigten Beispiel wird das Speicherzellenarray **11** aus der Vielzahl von Blöcken BLKi-j (i = 0, 1, ..., n; j = 0, 1, 2, 3) gebildet, die in einer Matrix in Zeilen- und Spaltenrichtungen angeordnet sind. In diesem Beispiel wird unter dieser Annahme die Anzahl von Hauptsteuergatetreibern (einschließlich Spannungsanhebern bzw. Boostern), die einen großen Bereich auf dem Chip belegen, verringert zum Erleichtern des Schaltungsblock-Layouts auf dem Chip.

[0396] In diesem Beispiel ist die Anzahl von Blöcken in der Spaltenrichtung n (z.B. 1024) und die Anzahl von Blöcken in der Zeilenrichtung ist 4. Ein Block hat Speicherzellen von 16 Byte und eine Seite hat Speicherzellen von 64 Byte.

[0397] In diesem Beispiel wird der Hauptsteuergatetreiber **37** in Entsprechung zu zwei Zeilen vorbereitet, d.h., zwei Hauptsteuergateleitungen CGL (2 Seiten), die zueinander benachbart sind. Das heißt, in diesem Beispiel treibt ein Steuergatetreiber **37** zwei Hauptsteuergateleitungen CGL an. Jeder Hauptsteuergatetreiber schließt einen Booster bzw. Spannungsanheber ein.

[0398] Der Sub-Steuergatetreiber **28** ist in Entsprechung zu jedem Block BLKi-j vorbereitet.

[0399] Ein Auswahlgatetreiber **38** ist in Entsprechung zu einer Zeile vorbereitet, d.h., einer Steuergateleitung CGL (einer Seite). Der Vordekoder **12a** und der Zeilendekoder **12b** werden ebenfalls in Entsprechung zu einer Zeile vorbereitet, d.h., einer Steuergateleitung CGL.

[0400] Das Zeilenadresssignal wird in den Predekoder **12a** und den Subdekoder **29** über das Adressregister **19** eingegeben. Der Predekoder **12a** und der Zeilendekoder **12b** wählen vier Blöcke BLKi-j in einer Zeile aus. Der Subdekoder **29** wählt einen der vier ausgewählten Blöcken BLKi-j aus.

[0401] Der Subdekoder **29** kann eine Funktion des Auswählens mehrerer Blöcke in einer ausgewählten Zeile oder aller Blöcke in einer ausgewählten Zeile (in diesem Beispiel vier Blöcke) haben.

[0402] In diesem Beispiel können Daten gelesen, gelöscht oder programmiert werden in Einheiten von Blöcken wie in dem in Fig. 28 gezeigten Beispiel. Demnach müssen in dem Datenänderungsbetrieb für Byte-Daten Daten einer Seite nicht in die Leseverstärker mit der Haltefunktion gelesen werden, so dass die wesentlichen Programmier-/Lösch-Dauerhaftigkeits-Charakteristika, d.h., die Anzahl an Seitendatenänderungs-Operationen verbessert werden können.

[0403] In der vorliegenden Erfindung legt der Hauptsteuergatetreiber **37**, wenn der Block BLKi-j ausgewählt ist, vorbestimmte Potentiale in Entsprechung zu dem Betriebsmodus der beiden Hauptsteuergateleitungen CGLi und CGLi+1 der Zeile, zu der der ausgewählte Block BLKi-j gehört, und der zu dieser Zeile benachbarten Zeile an. Das heißt, da die beiden Hauptsteuergateleitungen CGLi und CGLi+1 einen Hauptsteuergatetreiber **37** teilen, kann die Anzahl an Hauptsteuergatetreibern **37** verringert werden, so dass das Layout erleichtert werden kann, und die Belastung bei der Schaltungsentwicklung kann reduziert werden.

[0404] Der Auswahlgatetreiber **38** legt vorbestimmte Potentiale in Entsprechung zu dem Betriebsmodus der Auswahlgateleitungen SSL und GSL der Zeile, zu der der ausgewählte Block BLKi-j gehört, an.

[0405] Der Leseverstärker mit der haltefunktion hält Lesedaten oder Programmierdaten. Lesedaten (Ausgabedaten) werden extern von dem Speicherchip über die Spaltenauswahlschaltung **15** und den Daten-Eingabe-/Ausgabepuffer **18** ausgegeben. Programmierdaten (Eingabedaten) werden durch die Leseverstärker **13** mit der Haltefunktion über den Daten-Eingabe-/Ausgabepuffer **18** und die Spaltenauswahlschaltung **15** gehalten.

[0406] Das Befehlssignal wird in dem Befehlsdekoder **26** über den Daten-Eingabe-/Ausgabepuffer **18** und das Befehlsregister **25** eingegeben. Das Ausgabesignal von dem Befehlsdekoder **26**, Befehlshaltebefähigungssignal CLE, Chipbefähigungssignal $\overline{CE}$, oder Schreibbefähigungssignal $\overline{WE}$, wird in die Steuerschaltung **17** eingegeben.

[0407] Die Signalerzeugungsschaltung (Booster) **27** erzeugt Potentiale, die an die Signallicht CGL und die Auswahlgateleitungen SSL und GSL anzulegen sind und führt die Potentiale dem Hauptsteuergatetreiber **37** und dem Auswahlgatetreiber **38** gesteuert durch die Steuerschaltung **17** zu.

[0408] Fig. 41 zeigt ein anderes Beispiel des Vordekoders PDi.

[0409] In diesem Beispiel sei angenommen, dass die Anzahl an Zeilen, d.h. die Anzahl an Steuergateleitungen CGL (die Anzahl an Blöcken) 1024 (2^{10}) ist. In diesem Fall kann eine Zeile durch 10 Zeilenadresssignalbits a1, a2, ..., a10 ausgewählt werden.

[0410] Die Zeilenadresssignalbits a2, a3 und a4 werden die Nicht-Und- bzw. NAND-Schaltung **30-1** eingegeben. Die Zeilenadresssignalbits a5, a6 und a7 werden in die NAND-Schaltung **30-2** eingegeben. Die Zeilenadresssignalbits a8, a9 und a10 werden in die NAND-Schaltung **30-3** eingegeben. Das Ausgangssignal von der NAND-Schaltung **30-1** wird als Signal D über den Invertierer **31-1** ausgegeben. Das Ausgangssignal von der NAND-Schaltung **30-2** wird als das Signal E über den Invertierer **31-2** ausgegeben. Das Ausgangssignal von der NAND-Schaltung **30-3** wird als das Signal F über den Invertierer **31-3** ausgegeben.

[0411] Die Vordekoder PDi empfangen jeweils die unterschiedlichen Zeilenadresssignalbits a1, a2, ..., a10. Nur die Ausgangssignale D, E, und F von den zu einer ausgewählten Zeile gehörenden Vordekoder PDi sind bei "1".

[0412] Fig. 42 zeigt Beispiele des Zeilendekoders RDi, des Hauptsteuergatetreibers **37** und des Auswahlgatetreibers **38**.

[0413] Der Zeilendekoder RDi wid aus der Nicht-Und- bzw. NAND-Schaltung **32** und dem Invertierer **33** gebildet. Die Ausgangssignale D, E und F von dem Vordekoder PDi werden in die NAND-Schaltung eingegeben.

[0414] Der Auswahlgatetreiber **38** hat die NMOS-Transistoren **35-1** und **35-3** als Treiberschaltungen. In der ausgewählten Zeile ist das Ausgangssignal von dem Zeilendekoder RDi bei dem Energieversorgungspotential VCC zum Einschalten der NMOS-Transistoren **35-1** und **35-3**. Demnach werden die Signale SS und GS, die von der Signalerzeugungsschaltung **27** erzeugt werden, jeweils den Auswahlgateleitungen SSLi und GSLi zugeführt.

[0415] Der Hauptsteuergatetreiber **37** hat eine Dekodierschaltung **39**, den Booster **34** und den NMOS-Transistor **35-2** als eine Treiberschaltung.

[0416] In dem Hauptsteuergatetreiber **37** ist gemeinsam zu der ausgewählten Zeile und der zu der ausgewählten Zeile benachbarten Zeile das Ausgangssignal von der Dekodierschaltung **39** bei dem Energieversorgungspotential VCC. Der Booster wird in Entsprechung zu dem Betriebsmodus in den Betriebs- oder Nicht-Betriebs-Zustand versetzt, und das Energieversorgungspotential VCC oder das angehobene hohe Potential werden an das Gate des NMOS-Transistors **35-2** angelegt.

[0417] Wenn in dem Hauptsteuergatetreiber **37** gemeinsam zu der ausgewählten Zeile und der der ausgewählten Zeile benachbarten Zeile Daten zu programmieren sind, ist das Ausgangspotential VB des Boosters **34** bei dem angehobenen Potential Vprog zum Einschalten des NMOS-Transistors **35-2**. Das Potential CG (= Vprog), das durch die Signalerzeugungsschaltung **27** erzeugt wird, wird an die Hauptsteuergateleitungen CGLi und CGLi+1 der ausgewählten Zeile und der zu der ausgewählten Zeile benachbarten Zeile über den NMOS-Transistor **35-2** angelegt.

[0418] Wenn in dem zu der ausgewählten Zeile und zu der ausgewählten Zeile benachbarten Zeile gemeinsamen Steuergatetreiber **37** Daten zu löschen sind, ist das Ausgangspotential VB des Boosters **34** beim Energieversorgungspotential VCC zum Einschalten des NMOS-Transistors **35-2**. Das Potential CG (= 0V), das durch die Signalerzeugungsschaltung **27** erzeugt wird, wird an die Hauptsteuergateleitungen CGLi und CGLi+1 der ausgewählten Zeile und der zu der ausgewählten Zeile benachbarten Zeile über den NMOS-Transistor **35-2** angelegt.

[0419] Wenn Daten in dem für die ausgewählte Zeile und die zu der ausgewählten Zeile benachbarte Zeile gemeinsamen Hauptsteuergatetreiber **37** Daten zu lesen sind, ist das Ausgangspotential VB des Boosters **34** bei dem Energieversorgungspotential VCC, um den NMOS-Transistor **35-2** einzuschalten. Das Potential CG (= 0V oder VCC), das von der Signalerzeugungsschaltung **27** erzeugt wird, wird an die Hauptsteuergateleitungen CGLi und CGLi+1 der ausgewählten Zeile und der zu der ausgewählten Zeile benachbarten Zeile über den NMOS-Transistor **35-2** angelegt.

[0420] In dem für die beiden nicht ausgewählten zueinander benachbarten Zeilen gemeinsamen Hauptsteu-

ergatetreiber **37** ist das Ausgangspotential VB des Boosters **34** bei dem Massepotential und das Massepotential wird an das Gate des NMOS-Transistors **35-2** angelegt. Der NMOS-Transistor **35-2** wird Aus-geschaltet.

[0421] Fig. 43 zeigt noch ein Beispiel einer Vielzahl von Blöcken und Sub-Steuergatetreibern, die in zwei zueinander benachbarten Zeilen angeordnet sind.

[0422] Dieses Beispiel entspricht dem in Fig. 40 gezeigten Schaltungsblock und vier Blöcke sind in einer Zeile angeordnet.

[0423] Blöcke BLKi-j und BLK(i+1)-j haben jeweils Sub-Steuergateleitungen CGLi-j und CGL(i+1)-j (j = 0, 1, 2, 3). Die Sub-Steuergateleitung CGLi-j ist mit den Speicherzellen eines positiven ganzen Vielfachen von 1 Byte (z.B. 16 Byte) verbunden, die in dem Block BLKi-j angeordnet sind. Die Sub-Steuergateleitung CGL(i+1)-j ist mit einer Speicherzelle eines positiven ganzen Vielfachen von 1 Byte (z.B. 16 Byte), die in dem Block Blk(i+1)-j angeordnet sind.

[0424] Die Sub-Steuergateleitung CGLi-j ist mit der Hauptsteuergateleitung CGLi über den NMOS-Transistor **36-j** verbunden, der als den Sub-Steuergatetreiber **28** bildende Treiberschaltung dient. Die Sub-Steuergateleitung CGL(i+1)-j ist mit der Hauptsteuergateleitung CGLi+j über einen NMOS-Transistor **40-j** verbunden, der als eine Treiberschaltung dient, die den Sub-Steuergatetreiber **28** bildet.

[0425] Die NMOS-Transistoren **36-j** und **40-j** werden durch den Sub-Dekoder **29** EIN/AUS-gesteuert. Der Sub-Dekoder **29** hat eine Funktion des Auswählens eines NMOS-Transistors **36-j** (ein Block). Um den Block BLKi-1 auszuwählen, wird der NMOS-Transistor **36-1** eingeschaltet. Zu dieser Zeit ist die Hauptsteuergateleitung CGLi elektrisch mit der Sub-Steuergateleitung CGLi-1 verbunden.

[0426] Der Sub-Dekoder **29** kann eine Funktion des Auswählens mehrerer oder aller NMOS-Transistoren haben.

[0427] In dem EEPROM dieses Beispiels wird ebenfalls das Speicherzellenarray aus einer Vielzahl von Blöcken gebildet, die in einer Matrix in der Zeilen- und Spaltenrichtung angeordnet sind, und Datenlese-, Lösch- oder Programmier-Operationen können in Einheiten von Blöcken ausgeführt werden. Demnach kann in diesem Beispiel ebenfalls der Datenänderungsbetrieb für Bytedaten, die in Fig. 32 oder Fig. 33 gezeigt, ausgeführt werden. Das heißt, der Datenänderungs-Betrieb für Bytedaten kann ausgeführt werden zum Lesen von Nur-Daten des ausgewählten Blocks (Daten eines positiven ganzen Vielfachen von 1 Byte) in der ausgewählten Zeile ohne das Lesen von Daten auf einer Seite in der ausgewählten Zeile.

[0428] Aus diesem Grund können unnötige Lese-, Lösch- oder Programmieroperationen für Speicherzellen, deren Daten nicht zu ändern sind, weggelassen werden, und die wesentlichen Programmier-/Lasch-Dauerhaftigkeitscharakteristika, d.h., die Anzahl an Seitendatenänderungsoperationen, kann verbessert werden.

[0429] In der vorliegenden Erfindung ist ein Hauptsteuergatetreiber (einschließlich eines Boosters bzw. Spannungsanhebers) gemeinsam verwendet für mehrere (z.B. zwei) Spalten, die an einander angrenzen. Demnach kann die Spaltenrichtungsbreite des Hauptsteuergate-Treibers mit einer großen Größe größer gemacht werden als die Breite einer Zeile, und der Hauptsteuergatetreiber kann beim Schaltungsentwurf leicht ausgelegt werden.

[0430] In dem Programmiermodus wird das hohe Potential Vprog an die Hauptsteuergateleitung der ausgewählten Zeile angelegt und das Energieversorgungspotential VCC wird an die Auswahlgate-Leitungen angelegt. Aus diesem Grund ist nur der Haupt-Steuergatetreiber, der das Hochpotential Vprog ausgeben muss, gemeinsam benutzt für mehrere Zeilen. Auswahlgatetreiber sind in Einheiten von Zeilen vorbereitet.

[0431] Beispielsweise wird das Hochpotential Vprog an zwei Hauptsteuergateleitungen angelegt. Dieses Hochpotential Vprog wird nur an die Hauptsteuergateleitung in dem durch den Sub-Dekoder ausgewählten Block angewendet und zeigt demnach keinerlei Problem im Betrieb.

[0432] Fig. 44 zeigt ein Entwurfsbeispiel des Sub-Dekoders.

[0433] In der vorliegenden Erfindung werden Speicherzellen einer Seite der Speicherzelle aufgeteilt in mehrere Blöcke und die Vielzahl von Blöcken BLKi-j wird in der Zeilenrichtung angeordnet. Die Sub-Steuergatetreiber **28** sind zwischen den Blöcken BLKi-j und der Zeilenrichtung angeordnet. Die Leseverstärker **13** werden in

der Zeilenrichtung angeordnet. Die Leseverstärker **13** werden in Entsprechung zu den Blöcken BLKi-j in der Zeilenrichtung angeordnet.

[0434] Zwischenräume werden zwischen den Leseverstärkern **13** in Entsprechung zu den Steuergatetreibern **28** ausgebildet. Bei diesem Beispiel ist der Zwischendekoder **29** angeordnet in drei Phasen.

[0435] Wie bei diesem Beispiel kann, wenn die Sub-Dekoder **29** bei einer Vielzahl von Positionen in Entsprechung zu den Sub-Steuergatetreibern **28** angeordnet sind, der Zwischenraum auf dem Chip effizient verwendet werden verglichen mit dem Fall, bei dem die Sub-Dekoder **29** bei einer Position angeordnet sind. Aus diesem Grund kann die Chipgröße reduziert werden.

[0436] Fig. 45 bis Fig. 47 zeigen EEPROMs, auf die die vorliegende Erfindung angewendet werden kann.

[0437] In dem in Fig. 45 gezeigten Beispiel sind Leseverstärker **13A** und **13B** mit der Haltefunktion, Spaltenauswahlschaltungen **15A** und **15B** und deie Eingabe/Ausgabepuffer **18A** und **18B** in der Spaltenrichtung an zwei Enden des Speicherzellenarrys angeordnet. In diesem Beispiel hat das Speicherzellenarry den 3-tr-Zellenabschnitt (Fig. 26) **11-0** und den NAND-Zellen-Abschnitt **11-1**. Das Speicherzellenarry kann nur den 3-tr-Zellenabschnitt haben.

[0438] Da die Schaltung wie die Leseverstärker für den Lese- oder Programmierbetrieb an den beiden Enden des Speicherzellen-Arrays in der Spaltenrichtung angeordnet sind, können gemäß diesem Beispiel diese Schaltungen leicht entworfen werden und die Lastung der Schaltungsentwicklung kann reduziert werden.

[0439] In dem in Fig. 46 gezeigten Beispiel ist das Speicherzellenarry aus dem 3-tr-Zellenabschnitt **11-0** und dem NAND-Zellenabschnitt **11-1** gebildet. Der 3-tr-Zellenabschnitt **11-0** ist an der Seite der Leseverstärker **13** angeordnet. Die Speicherzellen des 3-tr-Zellenabschnitts **11-0** werden als ein schneller Zwischenspeicher bzw. Cache-Speicher verwendet.

[0440] Da Daten des NAND-Zellenabschnitts **11-1** temporär in dem 3-tr-Zellenabschnitt (Cache-Speicher) in Einheiten von Blöcken gespeichert werden können, können Daten gemäß diesem Beispiel bei hoher Geschwindigkeit gelesen werden.

[0441] In dem in Fig. 47 gezeigten Beispiel sind eine Vielzahl von Speicherzellen **42a** und **42b** in einem Chip **41** ausgebildet. Die Speicherschaltungen **42a** und **42b** führen unabhängig Lese-, Programmier- und Löschoperationen aus. Während die Speicherschaltung **42a** Daten liest, kann beispielsweise die Speicherschaltung **42b** Daten programmieren. Das EEPROM der vorliegenden Erfindung wird für mindestens eine der Speicherschaltungen **42a** und **42b** verwendet.

[0442] Da zwei unterschiedliche Operationen gleichzeitig durchgeführt werden können, wird gemäß diesem Beispiel die Datenverarbeitungseffizienz erhöht.

[0443] In der obigen Beschreibung ist die Zelleneinheit mit einer Speicherzelle mit einer gestapelten Gatestruktur und zwei jeweils mit den beiden Enden der Speicherzelle verbundenen Auswahltransistoren die Hauptkomponente.

[0444] Gemäß dieser Zelleneinheit können verschiedene charakteristische Merkmale erhalten werden einschließlich dem Datenänderungsbetrieb für Bytedaten (oder Seitendaten) wie oben beschrieben.

[0445] Wenn jedoch die Zelleneinheit aus drei Transistoren (nur einer Speicherzelle) gebildet wird, wird die Zellengröße pro Speicherzelle größer als die in dem konventionellen NAND-Flash-EEPROM. Dies ist nicht immer vorteilhaft für eine Zunahme der Speicherkapazität durch Zunahme des Integrationsgrades von Speicherzellen.

[0446] Eine neue Zelleneinheitenstruktur und ein Datenprogrammierverfahren, die imstande sind, die Zellengröße pro Speicherzelle zu reduzieren unter Beibehaltung der Funktion des Änderns von Daten in Einheiten von Bytes (oder Seiten) wird nachstehend beschrieben.

[0447] Das konventionelle NAND-Flash-EEPROM wird überprüft.

[0448] In dem konventionellen NAND-Flash-EEPROM sind beispielsweise 16 in Reihe verbundene Speicher-

zellen in einer Speicherzelleneinheit angeordnet. Diese Struktur ist optimal zum Reduzieren der Zellengröße pro Speicherzelle.

[0449] Obwohl diese Struktur die Zellengröße reduzieren kann, ist der Datenänderungsbetrieb für Bytedaten (oder Seitendaten) unmöglich.

[0450] Der Grund, warum der Datenänderungsbetrieb für Bytedaten (oder Seitendaten) unmöglich ist bei dem konventionellen NAND-Flash-EEPROM wird beschrieben.

[0451] Um den Grund zu verstehen, warum Daten nicht in Einheiten von Bytes (oder Seiten) in dem NAND-Flash-EEPROM geändert werden können, muss zuerst der Datenänderungsbetrieb des NAND-Flash-EEPROM verstanden werden.

[0452] Der Datenänderungsbetrieb des NAND-Flash-EEPROM wird in Einheiten von Blöcken durchgeführt.

[0453] Zuerst werden Daten aus allen Speicherzellen der NAND-Zelleneinheit in dem ausgewählten Block auf einmal gelöscht (der Betrieb des Entfernens von Elektronen von dem Floating-Gate zum Verringern des Schwellwertes). Danach werden beispielsweise Daten sequentiell in Einheiten von Seiten beginnend von einer Source-seiten Speicherzelle in Richtung einer Drain-seitigen Speicherzelle der NAND-Zelleneinheit in dem ausgewählten Block programmiert.

[0454] Details des Daten-Programmierbetriebs werden unter Bezugnahme auf Fig. 48 und Fig. 49 beschrieben.

[0455] In diesem Beispiel werden Daten in Speicherzellen, die mit einer Steuergateleitung CGL1 verbunden sind, programmiert.

[0456] Zuerst wird ein Potential vo 0V an die Auswahlgateleitung GSL der Sourceseite (Sourceleitungsseite) angelegt, um den Auswahltransistor der Sourceseite zu sperren. Zudem wird das Energieversorgungspotential VCC an die Auswahlgateleitung SSL der Drainseite (Bitleitungsseite) angelegt, um den Auswahltransistor auf der Drainseite einzuschalten.

[0457] Das Potential der mit einer Speicherzelle M1 für "0"-Programmierung (Betrieb des Injizierens von Elektronen in das Floating-Gate zum Erhöhen des Schwellwertes) verbundenen Bitleitung wird auf 0V festgelegt. Das Potential der mit einer Speicherzelle M2 für "1"-Programmierung (Betrieb des Beibehalten des Löschzustandes) verbundenen Bitleitung wird auf das Energieversorgungspotential VCC festgelegt.

[0458] Zu diesem Zeitpunkt sind die Potentiale der Kanäle aller Speicherzellen in der NAND-Zelleneinheit einschließlich der Speicherzelle M1 für die "0"-Programmierung bei 0V. Die Potentiale der Kanäle aller Speicherzellen in der NAND-Zelleneinheit einschließlich der Speicherzelle M2 für "1"-Programmierung werden vorauf-geladen auf VCC-Vth (Vth ist die Schwellwertspannung des Auswahltransistors). Danach wird der Drain-seitige (bitleitungsseitige) Auswahltransistor in der NAND-Zelleneinheit einschließlich der Speicherzelle für "1"-Programmierung abgeschaltet.

[0459] Das Potential auf der Steuergateleitung (ausgewählt) CGL1 nimmt von 0V zu dem Energieversorgungspotential VCC (z.B. 3,3V) zu und dann von dem Energieversorgungspotential VCC zu dem Programmierpotential Vprog (z.B. 18V). Die Potentiale der Steuergateleitungen (nicht ausgewählt) CGL0, CGL2, ..., CGL15 nehmen von 0V zu derm Energieversorgungspotential VCC zu und dann von dem Energieversorgungspotential VCC zu einem Potential Vpass (VCC < Vpass (z.B. 9V) < Vprog).

[0460] In der Speicherzelle M1 für die "0"-Programmierung ist das Kanalpotential 0V. Eine hohe Spannung wird an die Tunnelisolationsschicht zwischen dem Floating-Gate und dem Kanal angelegt, um Elektronen von dem Kanal zu dem Floating-Gate zu bewegen. Andererseits ist der Kanal in der Speicherzelle M2 für die "1"-Programmierumg im schwebenden Zustand. Eine kapazitive Kopplung erhöht der Kanalpotential zu Vch. Demnach wird in der Speicherzelle M1 für die "1"-Programmierung keine hohe Spannung an die Tunnelisolationsschicht zwischen dem Floating-Gate und dem Kanal angelegt und der Löschzustand wird beibehalten.

[0461] Das Potential Vpass, das an die nicht ausgewählten Steuergateleitungen CGL0, CGL2, ..., DGL15 in dem ausgewählten Block angelegt wird, wird überprüft.

[0462] In dem Datenprogrammiermodus wird die "1"-Programmierung für die Speicherzelle M2 erreicht, wenn die Elektroneninjektion in das Floating-Gate der Speicherzelle M2 unterdrückt wird zum Beibehalten des Löschzustands der Speicherzelle M2. Die Speicherzelle M2 kann den Löschzustand im Datenprogrammiermodus beibehalten durch ausreichendes Erhöhen des Kanalpotentials jeder Speicherzelle in der NAND-Zelleneinheit einschließlich der Speicherzelle M2 durch kapazitive Kopplung zum Entspannen der Spannung, die an die Tunnelisolationsschicht zwischen dem Floating-Gate und dem Kanal der Speicherzelle M2 angelegt wird.

[0463] Das Kanalpotential jeder Speicherzelle in der NAND-Zelleneinheit einschließlich der Speicherzelle M2 hängt von dem an die nicht ausgewählten Steuergateleitungen CGL0, CGL2, CGL15 angelegten Potential Vpass ab. Je höher das Potential Vpass ist, desto höher wird das Kanalpotential jeder Speicherzelle in der NAND-Zelleneinheit einschließlich dem Vorauflade-PMOS-Transistor M2. Dies verhindert irgendeinen Programmierfehler für die Speicherzelle M2.

[0464] Wenn jedoch das Potential Vpass zunimmt, tritt leicht ein Programmierfehler für eine nicht ausgewählte Speicherzelle M3 in der NAND-Zelleneinheit einschließlich der Speicherzelle M1 für "0"-Programmierung auf.

[0465] Spezieller, das Kanalpotential jeder Speicherzelle in der NAND-Zelleneinheit einschließlich der Speicherzelle M1 wird bei 0V beibehalten. Aus diesem Grund wird, wenn das Potential Vpass sich dem Programmierpotential Vprog annähert, selbst für die nicht ausgewählte Speicherzelle M3 eine "0"-Programmierung ausgeführt. Um irgendeinen Programmierfehler für eine nicht ausgewählte Speicherzelle in der NAND-Zelleneinheit einschließlich der Speicherzelle M1 auszuschließen, muss das Potential Vpass so niedrig wie möglich gemacht werden.

[0466] Wie oben beschrieben, muss das an die nicht ausgewählten Steuergateleitungen CGL0, CGL2, ..., CGL15 anzulegende Potential Vpass nicht zu hoch oder zu niedrig sein. DAs Potential Vpass wird festgelegt, um einen optimalen Wert zum Vermeiden einer "0"-Programmierung in der ausgewählten Speicherzelle M2 für "1"-Programmierung oder der nicht ausgewähltenen Speicherzelle M3 zu haben. Beispielsweise soll gelten VCC < Vpass (z.B. 9V) < Vprog.

[0467] Die Datenänderungsoperation des NAND-Flash-EEPROMs ist oben detailliert beschrieben worden. Der Grund, warum die Datenänderungsoperation des NAND-Flash-EEPROMs nicht in Einheiten von Bytes (oder Seiten) durchgeführt werden kann, wird nachstehend beschrieben.

[0468] Es sei angenommen, dass die Datenänderungsoperation in Einheiten von Bytes (oder Seiten) in dem NAND-Flash-EEPROM ausgeführt wird.

[0469] In diesem Fall kann eine Steuergateleitung, z.B. die Steuergateleitung CGL1, in wiederholter Weise viele Male ausgewählt werden und nur Speicherzellen, die mit der Steuergateleitung CGL1 verbunden sind, können in wiederholter Weise viele Male der Datenänderung unterzogen werden. Unter diesen Umständen wird die Operation des Löschens der Daten der Speicherzellen, die mit der Steuergateleitung CGL1 verbunden sind, und die Operationen des Programmierens von Daten in die mit der Steuergateleitung CGL1 verbundenen Speicherzellen in wiederholter Weise ausgeführt.

[0470] Zu dieser Zeit wird in dem Datenprogrammiermodus das Potential Vpass in wiederholter Weise an die Steuergates nicht ausgewählter Speicherzellen in dem ausgewählten Block viele Male angelegt.

[0471] Wenn die Datenänderungsoperation für Bytedaten in dem NAND-Flash-EEPROM viele Male in wiederholter Weise ausgeführt wird, kann der Schwellwert der nicht ausgewählten Speicherzelle in dem ausgewählten Block graduell angehoben werden durch das Potential Vpass (Elektronen werden graduell in das Floating-Gate injiziert), um einen Programmierfehler zu erzeugen.

[0472] Um dies zu vermeiden, wird das Potential Vpass verringert, oder die Datenänderungsoperation wird in Einheiten von Blöcken ausgeführt.

[0473] Jedoch, wie oben beschrieben, wird das Potential Vpass bei dem optimalen Wert zum Verhindern einer "0"-Programmierung (Programmierfehler) in der ausgewählten Speicherzelle für eine "1"-Programmierung oder eine nicht ausgewählte Speicherzelle in derselben Zelleneinheit wie der der Speicherzelle für eine "0"-Programmierung im Datenprogrammierbetrieb eines Zyklus festgelegt. Aus diesem Grund kann das Potential Vpass nicht niedriger gemacht werden.

[0474] Als eine Folge hiervon ist in dem NAND-Flash-EEPROM die Datenänderungsoperation für Bytedaten (oder Seitendaten) unmöglich und Datenänderungsoperation wird in Einheiten von Blöcken ausgeführt.

[0475] Eine neue Zelleneinheitsstruktur und ein Datenprogrammierverfahren, die die Zellengröße pro Speicherzelle verringern können, wie in dem NAND-Flash-EEPROM, und auch den Datenänderungsbetrieb für Bytedaten (oder Seitendaten) erreichen durch Verringern des Potentials Vpass, wird nachstehend beschrieben.

[0476] Fig. 50 zeigt eine Speicherzelleneinheit des Byte-EEPROM der vorliegenden Erfindung. Fig. 51 zeigt die Äquivalenzschaltung der in Fig. 50 gezeigten Speicherzelle.

[0477] Jede der Speicherzellen MC1 und MC2 hat ein Steuergate und ein Floating-Gate, d.h., denselben Aufbau wie der einer Speicherzelle eines Flash-EEPROM. Die Speicherzellen MC1 und MC2 sind in Reihe verbunden und haben an den beiden Enden der Struktur die Auswahltransistoren ST1 bzw. ST2. Der Auswahltransistor ST1 ist mit einer Bitleitung über den Bitleitungskontaktabschnitt BC verbunden. Der Auswahltransistor ST2 ist mit der Sourceleitung SL verbunden.

[0478] Die Speicherzellen MC1 und MC2 und die Auswahltransistoren ST1 und ST2 bilden eine Speicherzelleneinheit. Das Aneinanderreihen einer Vielzahl von Speicherzelleneinheiten bildet ein Speicherzellenarry.

[0479] Die Speicherzelleneinheit der vorliegenden Erfindung kann als die NAND-Zelleneinheit eines NAND-Flash-EEPROM betrachtet werden, welche zwei Zellen (zwei NAND-Zellen) in einer NAND-Einheit hat.

[0480] Jedoch ist in der vorliegenden Erfindung die Anzahl von Speicherzellen in einer Speicherzelleneinheit nicht auf zwei beschränkt. Solange die später zu beschreibenden Bedingungen erfüllt sind, können eine Vielzahl von (beispielsweise 3, 4 oder 5) Speicherzellen festgelegt werden. Die Anzahl an Speicherzellen in der Speicherzelleneinheit kann 16 sein, d.h., gleich der in dem konventionellen NAND-Flash-EEPROM, wenn nötig.

[0481] Die strukturellen Vorteile des Byte-EEPROM der vorliegenden Erfindung werden beschrieben.

[0482] Der Speicherzellenabschnitt des Byte-EEPROM der vorliegenden Erfindung hat dieselbe Struktur wie in dem NAND-Flash-EEPROM. Jedoch ist gewöhnlich die Anzahl an Speicherzellen in der Zelleneinheit des Byte-EEPROM der vorliegenden Erfindung geringer als (z.B. 16) in dem NAND-Flash-EEPROM.

[0483] Da der Prozess des NAND-Flash-EEPROM direkt verwendet werden kann, kann das Byte-EEPROM der vorliegenden Erfindung die Speicherkapazität erhöhen und die Produktionskosten reduzieren während der Löschbetrieb in Einheiten von Bytes durchgeführt werden kann (später zu beschreiben).

[0484] Ein Fall, in dem zwei Speicherzellen in der Zelleneinheit in der vorliegenden Erfindung ausgebildet sind, wird beschrieben und überprüft.

[0485] In der vorliegenden Erfindung ist, wenn die Design-Regel 0,4 μm ist, die kurzseitige Länge a der zwei Speicherzellen 1,2 μm und die langseitige Länge b ist 3,96 μm. Der Bereich ([kurzseitige Länge a × langseitige Länge] b/2)pro Speicherzelle ist 2,376 μm^2. In dem NAND-Flash-EEPROM mit Zelleneinheiten, die jeweils 16 Speicherzellen haben, ist der Bereich pro Speicherzelle, wenn die Design-Regel 4,0 μm ist, 1,095 μm^2.

[0486] Das heißt, wenn die Speicherzelleneinheit (2-NAND-Zelle) der vorliegenden Erfindung verwendet wird, ist der Bereich pro Speicherzelle so klein wie etwa zweimal der Bereich pro Speicherzelle der 16-NAND-Zelle.

[0487] In dem konventionellen Byte-EEPROM, wie es in Fig. 65 und Fig. 66 gezeigt wird, ist der Bereich pro Speicherzelle, wenn die Design-Regel 0,4 μm ist, 36 μm^2. In einer Zelleneinheit mit einer zwischen zwei Auswahltransistoren eingelegten Speicher-Zelle (3-tr-Zelle oder 1-NAND-Zelle) ist der Bereich pro Speicherzelle, wenn die Design-Regel 0,4 μm ist, 3,84 μm^2.

[0488] Das heißt, in der Speicherzelleneinheit der vorliegenden Erfindung (2-NAND-Zelle) kann der Bereich pro Speicherzelle kleiner gemacht werden als der in dem konventionellen Byte-EEPROM oder der 1-NAND-Zelle.

[0489] Tabelle 5 zeigt den Vergleich der Bereiche pro Speicherzelle in Übereinstimmung mit Speicherzelleneinheitsstrukturen.

Tabelle 5

Design-Regel: 0,4 µm			
16-NAND-ZELLE	2-NAND-ZELLE	1-NAND-ZELLE (3-tr Zelle)	NICHT-ODER bzw. NOR-Typ
1,095 μm^2 (1)	2,376 μm^2 (2,17)	3,84 μm^2 (3,51)	1,82 μm^2 (1,66)
Design-Regel: 0,25 µm			
16-NAND-ZELLE	2-NAND-ZELLE	1-NAND-ZELLE (3-tr Zelle)	NICHT-ODER bzw. NOR-Typ
0,293 μm^2 (1)	0,712 μm^2 (2,43)	1,189 μm^2 (4,06)	0,54 μm^2 (1,84)

[0490] Wie aus Tabelle 5 ersichtlich ist, ist der Bereich pro Speicherzelle der Speicherzelleneinheit (2-NAND-Zelle) der vorliegenden Erfindung größer als der des NAND-Flash-EEPROM (16-NAND-Zelle), aber ist so klein wie etwa 60% von der der 1-NAND-Zelle (3-tr-Zelle).

[0491] Gemäß der Zelleneinheitenstruktur der vorliegenden Erfindung kann eine Reduzierung des Speicherzellenbereichs zu einer Zunahme der Speicherkapazität des Byte-EEPROM beitragen, einer Reduzierung des Chipbereichs und einer Reduzierung der Herstellungskosten.

[0492] Zudem kann das Byte-EEPROM der vorliegenden Erfindung im selben Prozess hergestellt werden wie das des NAND-Flash-EEPROM und kann leicht auf eine Großintegrationsschaltung (LSI-Schaltung) mit eingebettetem nicht-flüchtigem Speicher angewendet werden.

[0493] Die Speicherzelle des Byte-EEPROM der vorliegenden Erfindung hat dieselbe Struktur wie die in dem NAND-Flash-EEPROM.

[0494] Demnach kann für eine Speicherzelle das Datenänderungs-Verfahren des Flash-EEPROM, d.h. Datenänderungsverfahren unter Verwendung des F-N-Tunnenphänomens, direkt angewendet werden. Aus diesem Grund können nicht nur die Herstellungs-Kosten, sondern auch die Entwicklungskosten reduziert werden.

[0495] In der Zelleneinheitenstruktur der vorliegenden Erfindung sind eine Vielzahl von (z.B. 2, 3, ...) Speicherzellen zwischen zwei Auswahltransistoren verbunden. Aus diesem Grund wird wie in dem NAND-Flash-EEPROM, wenn eine Datenänderungs-Operation für Bytedaten (oder Seitendaten) wiederholt durchgeführt wird, ein Programmierfehler für eine nicht ausgewählte Speicherzelle in dem ausgewählten Block auftreten können, bei der das Potential Vpass an das Steuergate angelegt wird.

[0496] Dieses Problem wird durch die folgenden Maßnahmen gelöst.

[0497] In dem NAND-Flash-EEPROM wird das Potential Vpass bei dem optimalen Wert unter der Bedingung festgelegt, dass im Programmierbetrieb eines Zyklus keine "0"-Programmierung für eine Speicherzelle zum Ausführen einer "1"-Programmierung (Beibehalten des Löschzustandes) oder einer nicht ausgewählten Speicherzelle in derselben Zelleneinheit wie der der Speicherzelle für eine "0"-Programmierung auftritt.

[0498] Dieser optimale Wert wird unabhängig von dem Energieversorgungspotential VCC oder einem an das Steuergate einer nicht ausgewählten Speicherzelle im Lesemodus anzulegenden Potential bestimmt. Gewöhnlich gilt, VCC (z.B. 3,3V) < Vpass (z.B. 9V) < Vprog (z.B. 18V).

[0499] In der vorliegenden Erfindung wird das Potential Vpass bei dem Energieversorgungspotential VCC (z.B. 3,3V) festgelegt oder dem Potential Vread (z.B. 4,5V), das an das Steuergate einer nicht ausgewählten Speicherzelle im Lesemodus anzulegen ist.

[0500] Die Potentiale VCC und Vread sind niedriger als das Potential Vpass (z.B. 9V), das in dem NAND-Flash-EEPROM verwendet wird.

[0501] In der vorliegenden Erfindung wird durch Festlegen des Potentials Vpass bei dem Energieversorgungspotential VCC oder dem Potential Vread zum Anlegen an das Steuergate einer nicht ausgewählten Speicherzelle im Lesemodus, d.h., durch Niedrigermachen die Potentials Vpass als das, das im NAND-Flash-EEPROM verwendet wird, das Problem des Programmierfehlers für eine nicht ausgewähltene Speicherzelle im ausgewählten Block beim Wiederholen der Datenänderungsoperation für Bytedaten (oder Seitendaten) vermieden.

[0502] In der vorliegenden Erfindung wird das Potential Vpass bei dem Potential VCC oder Vread festgelegt und daher braucht keine Schaltung zum Erzeugen des Potentials Vpass vorbereitet zu werden. Aus diesem Grund ist die Struktur des Steuergatetreibers vereinfacht. Dies ermöglicht ein Reduzieren der Größe des Steuergatetreibers, einen leichten Entwurf und eine Verringerung bei der Entwicklungsdauer.

[0503] In der vorliegenden Erfindung wird das Potential Vpass bei dem Energieversorgungspotential VCC oder dem Potential Vread festgelegt, um an das Steuergate einer nicht ausgewählten Speicherzelle im Lesemodus angelegt zu werden. Aus diesem Grund kann bei dem Datenprogrammierbetrieb eines Zyklus eine Zunahme im Kanalpotential der Speicherzelle zum Ausführen einer "1"-Programmierung (Beibehalten des Löschzustandes) nicht ausreichend sein.

[0504] In der vorliegenden Erfindung wird die Anzahl der Speicherzellen in der Zelleneinheit, das anfangspotential des Kanals der Speicherzelle für eine "1"-Programmierung und das Koppelverhältnis zwischen dem Steuergate und dem Kanal der Speicherzelle derart festgelegt, dass das Kanalpotential der Speicherzelle für "1"-Programmierung ausreichend zunimmt.

[0505] Es sei beispielsweise angenommen, dass das Anfangspotential des Kanals der Speicherzelle für eine "1"-Programmierung und das Koppelverhältnis zwischen dem Steuergate und dem Kanal der Speicherzelle gleich jenen in dem NAND-Flash-EEPROM sind. In diesem Fall, wie in Fig. 50 und Fig. 51 gezeigt, kann wenn zwei Speicherzellen in der Zelleneinheit verbunden sind, das Kanalpotential der Speicherzelle für eine "1"-Programmierung angehoben werden auf etwa denselben Pegel wie in dem NAND-Flash-EEPROM (dies wird später detailliert im Zusammenhang mit dem Datenprogrammierbetrieb beschrieben).

[0506] Als der erste Vorteil der vorliegenden Erfindung kann, da die Zelleneinheitsstruktur dieselbe ist wie die des NAND-Flash-EEPROM, die Zellengröße reduziert werden, die Speicherkapazität kann erhöht werden und die Kosten können reduziert werden.

[0507] Als der zweite Vorteil wird das Potential Vpass, das an die nicht ausgewählte Steuergateleitung in dem ausgewählten Block im Datenprogrammiermodus anzulegen ist, auf das Energieversorgungspotential VCC oder das Potential Vread festgelegt, das an die nicht ausgewählte Steuergateleitung im Lesemodus anzulegen ist. Aus diesem Grund kann das Problem des Programmierfehlers für eine nicht ausgewählte Speicherzelle in dem ausgewählten Block vermieden werden und der Datenänderungsbetrieb für Bytedaten (oder Seitendaten) wird möglich.

[0508] Als der dritte Vorteil werden die Anzahl an Speicherzellen in der Zelleneinheit, das Anfangspotential des Kanals der Speicherzelle für eine "1"-Programmierung und das Koppelverhältnis zwischen dem Steuergate und dem Kanal der Speicherzelle auf geeignete Werte derart festgelegt, dass das Kanalpotential der Speicherzelle für eine "1"-Programmierung ausreichend zunimmt, selbst wenn das Potential Vpass bei dem Potential VCC oder Vread festgelegt wird. Der Programmierfehler für die Speicherzelle für "1"-Programmierung kann auch vermieden werden.

[0509] Die Lösch-, Programmier- und Leseoperationen des Byte-EEPROM der vorliegenden Erfindung werden nacheinander nachstehend beschrieben.

Löschoperation

[0510] Wie in Fig. 52 gezeigt, wird das Massepotential VSS an eine ausgewählte Steuergateleitung (Wortleitung) CGL11 in dem ausgewählten Block angelegt. Eine nicht ausgewählte Steuergateleitung (Wortleitung) CGL12 in dem ausgewählten Block wird in den schwebenden Zustand versetzt. Auswahlgateleitung SSL1 und SGL1 in dem ausgewählten Block und Steuergateleitungen (Wortleitungen) CGL21 und CGL22 und Auswahlgateleitungen SSL2 und GSL2 in dem nicht ausgewählten Block werden ebenfallsl in den schwebenden Zustand versetzt.

[0511] Daraufhin wird ein Löschimpuls von z.B. 21V und 3ms an das Bulk (die Zellen-P-Wanne) angelegt. Zu diesem Zeitpunkt wird in der mit der ausgewählten Steuergateleitung CGL11 in dem ausgewählten Block verbundenen Speicherzelle eine Löschspannung (21V) zwischen Bulk und Steuergateleitung angelegt. Elektronen in dem Floating-Gate bewegen sich zu dem Bulk bedingt durch das F-N-(Fowler-Nordheim)-Tunnelphänomen.

[0512] Als ein Ergebnis ist die Schwellwertspannung der mit der ausgewählten Steuergateleitung CGL11 verbundenen Speicherzelle in dem ausgewählten Block etwa –3V. In der ausgewählten Speicherzelle werden Daten durch den Löschimpuls von einem Zyklus derart gelöscht, dass die Schwellwertspannung etwa –3V wird.

[0513] Andererseits werden die nicht ausgewählte Steuergateleitung CGL12 in dem ausgewählten Block und die Steuergateleitung CGL21 und CGL22 in dem nicht ausgewählten Block in den schwebenden Zustand versetzt.

[0514] Wenn der Löschimpuls von z.B. 21V und 3ms an das Bulk (Zellen-P-Wanne) angelegt wird, nehmen auch die Potentiale der Steuergateleitungen CGL12, CGL21 und CGL22 bedingt durch die kapazitive Kopplung zwischen Bulk und Steuergateleitungen in dem schwebenden Zustand zu.

[0515] Das Koppelverhältnis zwischen den Steuergateleitungen CGL12, CGL21 und CGL22 und Bulk wird überprüft. Die Steuergateleitungen CGL12, CGL21 und CGL22 sind verbunden mit Treiberschaltlungen (den Source-Anschlüssen von MOS-Transistoren), Metallverbindungen zum Verbinden der Treiberschaltungen und Steuergateleitungen (Polysiliziumschichten) und Silizidschichten, die die Steuergateleitungen bilden.

[0516] Das Koppelverhältnis hängt von den parasitären Kapazitäten der Steuergateleitungen CGL12, CGL21 und CGL22 im schwebenden Zustand ab. Diese Kapazität enthält die Source-Übergangskapazität des MOS-Transistors als einer Treiberschaltung, die Überlappungskapazität zwischen Source und Gate, die Kapazitäten der Polysiliziumschicht und der Metallverbindung in der Feldregion und die Kapazitäten der Steuergateleitung und des Bulk (Zellen-P-Wanne).

[0517] Jedoch wird der größte Teil der parasitären Kapazitäten der Steuergateleitungen CGL12, CGL21 und CGL22 durch die Kapazitäten der Steuergateleitungen und des Bulk (Zellen-P-Wanne) bestimmt.

[0518] Das heißt, das Koppelverhältnis zwischen den Steuergateleitungen CGL12, CGL21 und CGL22 und das Bulk hat einen großen Wert von z.B. 0,9. Wenn das Bulk-Potential ansteigt, nehmen auch die Potentiale der Steuergateleitungen CGL12, CGL21 und CGL22 zu.

[0519] Aus diesem Grund kann das F-N-Tunnelphänomen in Speicherzellen, die mit der nicht ausgewählten Steuergateleitung CGL12 in dem ausgewählten Block verbunden sind und in Speicherzellen, die mit den Steuergateleitungen CGL21 und CGL22 in dem nicht ausgewählten Block verbunden sind, vermieden werden.

[0520] Mit dem obigen Prozess wird der Löschbetrieb beendet.

[0521] Nach dem Löschbetrieb wird eine Löschverifizieroperation vorgenommen zum Verfizieren, ob die Schwellwertspannungen aller Speicherzellen, die mit der ausgewählten Steuergateleitung CGL11 in dem ausgewählten Block verbunden sind, innerhalb –1V fallen.

Programmieroperation

[0522] Ein Fall, bei dem die Programmieroperation für Speicherzellen ausgeführt wird, die mit der Steuergateleitung CGL1 verbunden sind, wie in **Fig. 53**, wird beschrieben. Alle zu programmierenden Speicherzellen befinden sich im Löschzustand.

[0523] Die Source-seitige Auswahlgateleitung GSL in dem ausgewählten Block wird bei Massepotential VSS festgelegt. Die Auswahlgateleitung SSL auf der Drainseite wird bei dem Energieversorgungspotential VCC festgelegt. Als ein Ergebnis werden Auswahltransistoren ST21 und ST22 auf der Sourceseite gesperrt und Auswahltransistoren ST11 und ST12 auf der Drainseite werden eingeschaltet.

[0524] Eine Bitleitung BL, zu der eine Speicherzelle MC11 für eine "0"-Programmierung verbunden ist, wird auf das Massepotential VSS festgelegt. Die Bitleitung BL, zu der eine Speicherzelle (Programmierverhinderungszelle) MC12 für eine "1"-Programmierung verbunden ist, wird bei dem Energieversorgungspotential VCC

festgelegt. Die Steuergateleitungen CGL1 und CGL2 werden bei dem Massepotential VSS festgelegt. Zu diesem Zeitpunkt sind die Kanalpotentiale der Speicherzellen MC11 und MC21 bei Massepotential VSS und die Kanäle der Speicherzellen MC12 und MC22 sind voraufgeladen auf VCC – Vth (Vth ist die Schwellwertspannung des Auswahltransistors ST12).

[0525] Danach werden die Steuergateleitungen CGL1 und CGL2 bei dem Energieversorgungspotential VCC (z.B. 3,3V) oder dem Potential Vread (z.B. 4,5V), das an nicht ausgewählte Steuergateleitungen im Lesemodus anzulegen ist, festgelegt. Das Potential der ausgewählten Steuergateleitung CGL1 nimmt von VCC oder Vread zu dem Programmierpotential Vprog (z.B. 18V) zu.

[0526] Zu diesem Zeitpunkt wird in der ausgewählten Speicherzelle MC11 eine große Potentialdifferenz zwischen dem Kanal (= VSS) und der Steuergateleitung CGL1 (= Vprog) erzeugt und Elektronen werden bedingt durch das F-N-Tunnelphänomen von dem Kanal zum Floating-Gate injiziert. Mit dieser Operation ist die Null-Programmierung in der ausgewählten Speicherzelle MC11 beendet.

[0527] Bevor das hohe Potential an die Steuergateleitung angelegt wird, d.h., bevor das Kanalpotential angehoben wird, ist das Anfangskanalpotential der ausgewählten Speicherzelle MC12 bei VCC – Vth im schwebenden Zustand. Aus diesem Grund nimmt, wenn die ausgewählte Steuergateleitung CGL1 bei dem Programmierpotential Vprog festgelegt wird und die nicht ausgewählte Steuergateleitung CGL2 bei dem Energieversorgungspotential VCC oder dem Potential Vread festgelegt wird, das Kanalpotential der ausgewählten Speicherzelle MC12 auch automatisch zunehmen bedingt durc die kapazitive Kopplung.

[0528] Spezieller, in der ausgewählten Speicherzelle MC12 wird die Potentialdifferenz zwischen dem Kanal (= Vch) und der Steuer-Gateleitung CGL1 (= Vprog) klein und eine Elektronen-Injektion in das Floating-Gate bedingt durch das F-N-Tunnel-Phänomen wird unterdrückt. Mit dieser Operation ist die "1"-Programmierung der ausgewählten Speicherzelle MC12 beendet.

[0529] Um "1"-Programmierung in der ausgewählten Speicherzelle (der Programmierverhinderungszelle) MC12 auszuführen, muss das Kanalpotential (Programmierverhninderungspotential) Vch der ausgewählten Speicherzelle MC12 ausreichend erhöht sein, um irgendeinen Programmierfehler zu vermeiden ("0"-Programmierung).

[0530] Das Kanalpotential Vch der Speicherzelle MC12 nach der Potentialanhebung wird hauptsächlich bestimmt in Abhängigkeit von dem Anfangskanalpotential der Speicherzelle MC12 vor der Spannungsanhebung, den Koppelverhältnissen zwischen den Steuergates und Kanälen der Speicherzellen MC12 und MC22, und der Anzahl von (in diesem Beispiel zwei) Speicherzellen in der Zelleneinheit.

[0531] Wenn beispielsweise die Anzahl an Speicherzellen in der Zelleneinheit fest ist, kann das Kanalpotential Vch der Speicherzelle MC12 in ausreichender Weise erhöht werden durch Erhöhen des Anfangskanalpotentials der Speicherzelle MC12 und des Koppelverhältnisses zwischen den Steuergateanschlüssen und den Kanälen der Speicherzellen MC12 und MC22.

[0532] Ein Koppelverhältnis B zwischen dem Steuergate und dem Kanal einer Speicherzelle wird berechnet durch

$$B = Cox/(Cox + Cj)$$

wobei Cox die Summe der Gatekapazitäten des Steuergates und des Kanals der Speicherzelle ist und Cj die Summe der Übergangskapazitäten von Source- und Drain-Regionen der Speicherzelle.

[0533] Die Kanalkapazität der Speicherzelle kann näherungsweise dargestellt werden durch die Summe der Kapazitäten Cox und Cj. Obwohl die Kanalkapazität der Speicherzelle zusätzlich zu den Kkapazitäten Cox und Cj die Überlappungskapazität zwischen dem Steuergate und der Source-Region die Kapazität zwischen der Bitleitung und der Source-Region und die Kapazität zwischen der Bitleitung und der Drain-Region einbezieht, sind diese Kapazitäten viel kleiner als die Kapazität Cox oder Cj und können vernachlässigt werden.

[0534] Für das Byte-EEPROM der vorliegenden Erfindung und das konventionelle NAND-Flash-EEPROM wird als Nächstes der Wert des Kanalpotentials (Programmverhinderungspotential) einer Speicherzelle für eine "1"-Programmierung überprüft.

[0535] Es sei angenommen, dass das Byte-EEPROM der vorliegenden Erfindung beispielsweise den Aufbau mit zwei Speicherzellen in einer Zelleneinheit hat, wie in Fig. 50 und Fig. 51 gezeigt. In diesem Fall ist das Kanalpotential Vch gegeben durch

Vch = Vini + (Vprog – VCC) × B
+ (Vpass – VCC) × B

B = Cox/(2 × Cox + 3 × Cj)

(wenn die Zahl der Speicherzellen 2 ist, ist die Zahl der Diffusionsschichten (Source/Drain) 3).

[0536] Wenn Cox = Cj = 1 gilt, ist das Koppelverhältnis B 0,2. In der vorliegenden Erfindung gilt Vpass = VCC. Wenn das Energieversorgungspotential VCC 3V ist, ein Anfangspotential Vini des Kanals 2V ist und das Programmierpotential Vprog 16V ist, ist das Kanalpotential Vch

Vch = 2 + (16 – 3) × 0,2 = 4,6 [V]

[0537] Andererseits ist das Kanalpotential Vch des NAND-Flash-EEPROM gegeben durch

Vch = Vini + (15/16) × (Vpass – VCC) × B
+ (1/16) × Vprog – VCC) × B

B = 16 × Cox/(16 × Cox + 17 × Cj)

(wenn die Zahl von Speicherzellen 16 ist, ist die Zahl an Diffusionsschichten (Source/Drain) 17).

[0538] Die Zelleneinheit des NAND-Flash-EEPROM hat 16 Speicherzellen in Reihe verbunden. Das Programmierpotential Vprog wird an eine Speicherzelle angelegt und das Potential Vpass wird an die 15 verbleibenden Speicherzellen angelegt.

[0539] Wenn Cox = Cj = 1 gilt, ist das Koppelverhältnis B 0,48. Wenn das Energieversorgungspotential 3V ist, das Anfangspotential Vini des Kanals 2V ist, das Programmierpotential 16V und das Potential Vpass 8V, ist das Kanalpotential Vch

Vch = 2 + (15/16) × (8 – 3) × 0,48
+ (1/16) × (16 – 3) × 0,48
= 4,64 [V]

[0540] Wie oben beschrieben, kann in dem Byte-EEPROM der vorliegenden Erfindung, selbst wenn das Potential Vpass gleich dem Energieversorgungspotential VCC ist (oder dem Potential Vread), dasselbe Programmierverhinderungspotential (Kanalpotential für die "1"-Programmierzelle) wie in dem NAND-Flash-EEPROM erhalten werden durch Festlegen der Anzahl an Speicherzellen in der Zelleneinheit auf 2.

[0541] Wenn das Potential Vpass in der vorliegenden Erfindung bei dem Energieversorgungspotential VCC (oder dem Potential Vread) festgelegt wird, kann die Spannung zwischen dem Steuergate und dem Kanal der nicht ausgewählten Speicherzelle, die mit der nicht ausgewählten Steuergateleitung verbunden ist, entspannt werden. Aus diesem Grund kann der Datenänderungsbetrieb für Bytedaten (oder Seitendaten) in wiederholter Weise ausgeführt werden ohne irgendeinen Programmierfehler in der nicht ausgewählten Speicherzelle.

[0542] In der vorliegenden Erfindung kann, selbst wenn das Potential Vpass bei dem Energieversorgungspotential VCC (oder dem Potential Vread) festgelegt wird, dasselbe Programmierverhinderungspotential (Kanalpotential für die "1"-Programmierzelle) wie bei dem NAND-Flash-EEPROM erhalten werden. Aus diesem Grund kann irgendein Programmierfehler in der Programmierverhinderungszelle ("1"-Programmierzelle), die mit der ausgewählten Steuergateleitung verbunden ist, auch vermieden werden.

Leseoperation

[0543] Wie in Fig. 54 gezeigt, wird nachdem die Bitleitung BL auf das Voraufladepotential aufgeladen worden ist, ein Potential von 0V an die ausgewählte Steuergateleitung CGL11 in dem ausgewählten Block angelegt und das Energieversorgungspotential VCC (z.B. 3,3V) oder das Lesepotential Vread (z.b. 4,5V) wird an die

ausgewählt Steuergateleitung CGL12 und die Auswahlgateleitungen SSL1 und GSL1 in dem ausgewählten Block angelegt.

[0544] Ein Potential von 0V wird an die Steuergateleitungen CGL21 und CGL22 und die Auswahlgateleitungen SSL2 und GSL2 in dem nicht ausgewählten Block angelegt.

[0545] Zu diesem Zeitpunkt werden die Auswahltransistoren in dem ausgewählten Block eingeschaltet und die Auswahltransistoren in dem nicht ausgewähltenen Block werden ausgeschaltet. Nicht ausgewählte Speicherzellen in dem ausgewählten Block sind unabhängig von dem Datenwert EIN (die Schwellwertspannungs-Verteilung der Speicherzelle ist in **Fig. 6** gezeigt).

[0546] Die ausgewählte Speicherzelle in dem ausgewählten Block ist EIN oder oder AUS in Übereinstimmung mit dem Datenwert.

[0547] Wie in **Fig. 55** gezeigt, befindet sich die Schwellwertspannung der ausgewählten Speicherzelle, wenn ein "1"-Datenwert in der ausgewählten Speicherzelle programmiert wird, d.h., die ausgewählte Speicherzelle M befindet sich im Löschzustand, in dem negativen Verarmungsmodus. Aus diesem Grund fließt ein Zellenstrom zu der ausgewählten Speicherzelle zum Verringern des Potentials der Bitleitung BL.

[0548] Wenn demgegenüber ein "0"-Datenwert in der ausgewählten Speicherzelle programmiert wird, ist die Schwellwertspannung der ausgewählten Speicherzelle in dem positiven Anreicherungsmodus. Aus diesem Grund fließt kein Zellenstrom zu der ausgewählten Speicherzelle und die Bitleitung BL wird auf dem voraufgeladenen Potential beibehalten.

[0549] Auf diese Weise werden ein Datenwert "0" oder "1" auf der Basis davon, ob ein Zellenstrom von der Bitleitung zur Sourceleitung fließt, bestimmt. Eine Änderung im Potential der Bitleitung wird verstärkt (erfasst) durch den Leseverstärker.

[0550] Ein Datenwert "0" und "1" wird beispielsweise durch Bestimmen, ob negative Ladungen in dem Floating-Gate der Speicherzelle gespeichert sind, bestimmt.

[0551] Spezieller, wenn negative Ladungen in dem Floating-Gate gespeichert sind, ist die Schwellwertspannung der Speicherzelle hoch und die Speicherzelle ist vom Anreicherungstyp. Wenn keine negativen Ladungen in dem Floating-Gate gespeichert sind, ist die Schwellwertspannung der Speicherzelle geringer als 0V und die Speicherzelle ist vom Verarmungstyp.

[0552] Tabelle 6 zeigt die Potentiale der Auswahlgateleitungen SSL und GSL, der Steuergateleitung (Wortleitung) CGL, der Bitleitung BLi, der Zellen-Sourceleitung SL und der Zellen-P-Wanne in den oben beschriebenen Lösch-, Programmier- und Leseoperationen.

Tabelle 6

		Löschen	Programmieren	Lesen
Ausgewählter Block	Gateleitung SSL auf Bitleitungsseite auswählten	Vera×β	VCC	VCC oder Vread
	Steuergateleitung CGL (Nicht ausgewählt)	Vera×β	VCC oder Vread (Vpass in NAND-Flash-EEPROM)	VCC oder Vread
	Steuergateleitung CGL (Ausgewählt)	0V	Vprog	0V
	Gateleitung GSL auf Source-Leitungsseite auswählen	Vera×β	0V	VCC oder Vread
Nicht ausgewählter Block	Gateleitung SSL auf Bit-Leitungsseite auswählen	Vera×β	0V	0V
	Steuergateleitung CGL	Vera×β	0V	0V
	Gateleitung GSL auf Source-Leitungsseite auswählen	Vera×β	0V	0V
Bitleitung	"1"-Datenwert	Vera-Vb	VCC	VBL → 0V
	"0"-Datenwert	Vera-Vb	0V	VBL
Zellen-Source-Leitung		Vera-Vb	VCC	0V
Zellen-P-Wanne		Vera	0V	0V

[0553] Im Löschbetrieb wird die ausgewählte Steuergateleitung CGL im ausgewählten Block auf 0V festgelegt. Die nicht ausgewählte Steuergateleitung CGL in dem ausgewählten Block, die Steuergateleitungen CGL in dem nicht ausgewählten Block und alle Auswahlgateleitungen SSL und GSL werden in den schwebenden Zustand versetzt.

[0554] Wenn das Löschpotential Vera von beispielsweise 21V an die Zellen-P-Wanne in diesem Zustand angelegt wird, steigen die Potentiale aller Auswahlgateleitungen SSL und GSL und nicht ausgewählten Steuergateleitungen CGL, die sich im schwebenden Zustand befinden, jeweils an auf Vera × β (β ist das Koppelverhältnis) bedingt durch die kapazitive Kopplung mit der Zellen-P-Wanne.

[0555] Wenn β = 0,8 gilt, steigen die Potentiale aller Auswahlgateleitungen SSL und GSL und der nicht ausgewählten Steuergateleitung CGL, die sich im schwebenden Zustand befinden, an auf 16,8V.

[0556] Beim Löschbetrieb ist ein p-n-Übergang, der aus der N^+-Diffusionsschicht und der Zellen-P-Wanne gebildet wird, die mit der Bitleitung BLi und der Zellen-Sourceleitung SL verbunden sind, vorwärts vorgespannt. Aus diesem Grund wird die Bitleitung BLi und die Zellen-Sourceleitung SL auf Vera-Vb aufgeladen. Vb ist das inhärente Potential des p-n-Übergangs.

[0557] Im Programmierbetrieb wird die Bitleitung BLi, die mit der ausgewählten Speicherzelle, in der ein "1"-Datenwert zu programmieren ist, d.h., die Bitleitung BLi, die mit der ausgewählten Speicherzelle verbunden ist, die den Löschzustand beibehält, auf das Energieversorgungspotential VCC (z.B. 3,3V) festgelegt. Die Bitleitung BLi, die mit einer ausgewählten Speicherzelle verbunden ist, in der ein "0"-Datenwert zu programmieren ist, ist bei 0V festgelegt.

[0558] Die Auswahlgateleitung SSL in dem ausgewählten Block auf der Bitleitungsseite wird bei dem Energieversorgungspotential VCC festgelegt. Die Auswahlgateleitung GSL der Zellen-Sourceleitungsseite wird auf

0V festgelegt. Die nicht ausgewählte Steuergateleitung CGL wird bei dem Energieversorgungspotential VCC oder dem Potential Vread (z.B. 4,5V) festgelegt. Die ausgewählte Steuergateleitung CGL wird bei der Programmierspannung Vprog (z.B. 18V) festgelegt.

[0559] Die Auswahlgateleitungen SSL und GSL, die Steuergateleitung CGL und die Zellen-P-Wanne in dem nicht ausgewählten Block werden bei 0V festgelegt.

[0560] Die Zellen-Sourceleitung wird auf 0V festgelegt. Jedoch, wenn das Kanalpotential einer Speicherzelle in dem ausgewählten Block, in den ein "1"-Datenwert zu programmieren ist, durch kapazitive Kopplung mit der Steuergateleitung CGL angehoben wird, und der durch ein Durchschlagen bedingte Leckstrom der Zellen-Sourceleitung ein Problem darstellt, wird das Potential der Zellen-Sourceleitung vorzugsweise auf das Energieversorgungspotential VCC festgelegt.

[0561] Im Lesebetrieb werden die Auswahlgateleitungen SSL und GSL und die nicht ausgewählte Steuergateleitung CGL in dem ausgewählten Block bei dem Energieversorgungspotential VCC (z.B. 3,3V) oder dem Lesepotential Vread (z.B. 4,5V) festgelegt. Die ausgewählte Steuergateleitung CGL wird auf 0V festgelegt. Wenn die Bitleitung voraufzuladen ist vor dem Lesen von Daten, wird die Bitleitung BLi bei dem Voraufladepotential (z.B. 1,2V) VBL festgelegt.

[0562] Die ausgewählte Speicherzelle, die einen "1"-Datenwert speichert, wird eingeschaltet und der Zellenstrom fließt zu dieser ausgewählten Speicherzelle. Die Bitleitung BLi wird auf 0V entladen. Andererseits wird die ausgewählte Speicherzelle, die einen "0"-Datenwert speichert, abgeschaltet und kein Zellenstrom fließt zu dieser ausgewählten Speicherzelle. Die Bitleitung BLi hält das Voraufladepotential VBL.

[0563] Fig. 56 zeigt den Hauptteil des Schaltungsblocks des Byte-EEPROM der vorliegenden Erfindung.

[0564] Dieses EEPROM hat das Speicherzellenarry **11**, in welchem Speicherzelleneinheiten jeweils mit vier Elementen, d.h. zwei Speicherzellen und zwei Auswahltransistoren, zwischen die die Speicherzellen gelegt sind, in einer Matrix angeordnet, wobei die Vielzahl von Steuergateleitungen **10a** sich in der Zeilenrichtung auf dem Speicherzellenarry **11** erstrecken und die Vielzahl von Bitleitungen **10b** sich in der Spaltenrichtung auf dem Speicherzellenarry **11** erstrecken.

[0565] Der Zeilendekoder **12** wählt eine Zeile, d.h., eine der Steuergateleitungen **10a** aus. Daten von mit der ausgewählten Steuergateleitung **10a** verbundenen Speicherzellen werden in die Leseverstärker **13**, die jeweils aus einem Leseverstärker mit einer Datenhaltefunktion gebildet werden und in Einheiten von Spalten angeordnet sind, eingegeben. Ein Spaltendekoder **14** wählt eine Spalte aus, d.h., die Bitleitung BLi.

[0566] Daten des Leseverstärkers der ausgewählten Spalte werden in dem Speicherchip über den Daten-Eingabe-/Ausgabepuffer **18** nach außen ausgegeben. In den Speicherchip eingegebene Daten werden durch den Leseverstärker der ausgewählten Spalte, der die Haltefunktion hat, über den Daten-Eingabe-/Ausgabepuffer 18 gehalten.

[0567] Der Booster (Potentialanheber) **16** erzeugt eine für den Programmierbetrieb oder Löschbetrieb erforderliche hohe Spannung. Die Steuerschaltung **17** steuert den Betrieb jeder Schaltung in dem Speicherchip und dient auch als eine Schnittstelle zwischen den internen und externen Schaltungen des Speicherchips. Die Steuerschaltung **17** schließt eine Abfolgeeinrichtung (z.B. ein programmierbares Logik-Array) ein zum Steuern der Lösch-, Programmier- und Leseoperationen für eine Speicherzelle.

[0568] Fig. 57 zeigt die Anordnung des in Fig. 56 gezeigten Speicherzellenarrys **11**.

[0569] In diesem Beispiel wird eine Speicherzelleneinheit aus einer NAND-Zelle mit zwei in Reihe verbundenen Speicherzellen und zwei Auswahltransistoren gebildet, die jeweils mit den beiden Enden der NAND-Zelle verbunden sind. Die Speicherzelle wird aus einem MOSFET mit einer sogenannten gestapelten Struktur gebildet, in welcher das Floating-Gate und das Steuergate gestapelt sind.

[0570] Eine Vielzahl von Speicherzellen in der Zeilenrichtung bilden einen Block. Eine Vielzahl von Speicherzellen, die mit einer Steuergateleitung CGL verbunden sind, bilden eine Seite.

[0571] In der vorliegenden Erfindung können die Lösch-, Programmier- und Leseoperationen in Einheiten von Seiten ausgeführt werden. In der vorliegenden Erfindung kann, wenn das später zu beschreibende Datenän-

derungsschema verwendet wird, die Datenänderungsoperation für Bytedaten auch ausgeführt werden.

[0572] Fig. 58 zeigt einen der in Fig. 56 gezeigten Leseverstärker **13**, der die Haltefunktion hat und mit einer Bitleitung BLi verbunden ist.

[0573] Der Leseverstärker wird hauptsächlich durch die Halteschaltung **21** mit den beiden CMOS-Invertierern I1 und I2 aufgebaut. Der Ausgang eines Invertierers ist der Eingang des anderen Invertierers. Der Halteknoten Q der Halteschaltung **21** ist mit der Ein-/Ausgabeleitung (I/O) über den Spaltenauswahl-NMOS-Transistor M8 verbunden. Der Halteknoten Q ist auch mit der Bitleitung BLi über den Leseverstärker-Trenn-NMOS-Transistor M4 verbunden und den Bitleitungspotential-Klemm-NMOS-Transistor M1.

[0574] Der Verbindungsknoten zwischen den NMOS-Transistoren M1 und M4 ist der Leseknoten Nsense. Der Leseknoten Nsense ist mit dem Vorauflade-PMOS-Transistor M2 und dem Entlade-NMOS-Transistor M3 verbunden. Der Vorauflade-PMOS-Transistor M2 lädt den Leseknoten Nsense in einer vorbestimmten Dauer auf der Basis des Vorauflade-Steuersignals Load auf. Der Entlade-NMOS-Transistor M3 entlädt den Leseknoten Nsense auf der Basis des Entladungs-Steuersignals DCB.

[0575] Der Halteknoten Qb der Halteschaltung **21** ist mit dem Rückstell-NMOS-Transistor M5 für ein zwangsweise gegen Masse schalten des Halteknotens Qb auf der Basis des Steuersignals ϕL1 verbunden. Der Halteknoten Q der Halteschaltung **21** ist mit dem Rücksetz-NMOS-Transistor M6 zum zwangsweisen gegen Maasse schalten des Halteknotens Q auf der Basis des Steuersignals ϕL2 verbunden.

[0576] Die gemeinsame Source (common source) der Rückstell-NMOS-Transistoren M5 und M6 ist über den Lese-NMOS-Transistor M7, der durch das Potential des Leseknotens Nsense gesteuert wird, gegen Masse verbunden. Der Lese-NMOS-Transistor M7 wird auch zum Zurückstellen der Halteschaltung **21** gemeinsam mit den NMOS-Transistoren M5 und M6 verwendet.

[0577] Fig. 59 ist ein Ablaufdiagramm das schematisch die Ablaufsteuerung des Datenänderungsbetriebs für Bytedaten des Byte-EEPROMs der vorliegenden Erfindung zeigt.

[0578] Diese Ablaufsteuerung wird beispielsweise durch die Steuerschaltung **17** ausgeführt, die in Fig. 56 gezeigt wird. Der Datenänderungsbetrieb für Bytedaten wird kurz unter Bezugnahme auf dieses Ablaufdiagramm beschrieben.

[0579] In dem Bytedaten-Änderungsmodus werden Daten einer Seite von Speicherzellen, die mit einer ausgewählten Steuergateleitung (Wortleitung) verbunden sind, zu den Leseverstärkern ausgelesen (Seitenlesen). Diese Leseverstärker halten die Datenwerte der einen Seite (Schritt ST1).

[0580] Bytedaten in Entsprechung zu Spalten, die durch Adressen designiert sind, werden geladen. Die geladenen Bytedaten werden auf Bytedaten in den Daten einer durch die Leseverstärker gehaltenen Seite überschrieben, welche der Datenänderung unterzogen wird (Schritt ST2).

[0581] Die Daten einer Seite von Speicherzellen, die mit der ausgewählten Steuergateleitung verbunden sind, werden simultan gelöscht (Seitenlöschen) (Schritt ST3). Nach dem Löschen wird eine Löschverifizierung durchgeführt zum Verifizieren, ob alle Speicherzellen, die mit der ausgewählten Speichergateleitung verbunden sind, vollständig gelöscht sind oder über-gelöscht (Schritte ST4 und ST5).

[0582] Das Seitenlöschen und das Löschverifizieren werden wiederholt bis die Schwellwerte aller Speicherzellen der Seite in einen vorbestimmten Bereich fallen. Wenn die Schwellwerte aller der Speicherzellen der Seite in den vorbestimmten Bereich fallen (Abschluss des Löschens), geht der Ablauf weiter zu der nächsten Operation (Schritte ST3 bis ST5).

[0583] Wenn nur ein Leseverstärker mit der Haltefunktion mit einer Bitleitung verbunden ist (nur eine Seite wird dargestellt), kann der Datenwert in dem Leseverstärker abhängig von dem Ergebnis des Löschverifizierens zerstört werden. In diesem Fall wird das Löschen nur einmal ohne ein Löschverifizieren ausgeführt.

[0584] Danach werden Daten einer Seite, die von den Leseverstärkern gehalten werden, simultan in die mit der ausgewählten Steuergateleitung verbundenen Speicherzellen programmiert (Schritt ST6). Nach dem Programmieren wird eine Programmverifierung durchgeführt zum Verifizieren, ob die Daten vollständig programmiert sind oder überprogrammiert sind in den mit der ausgewählten Steuergateleitung verbundenen Speicher-

zellen (Schritte ST7 und ST8).

[0585] Das Seitenprogrammieren und das Programmierverifizieren werden wiederholt, bis die Schwellwerte aller Speicherzellen der Seite in einen vorbestimmten Bereich fallen. Wenn die Schwellwerte aller Speicherzellen der Seite in den vorbestimmten Bereich fallen (Abschluss der Programmierung), ist die Datenänderungsoperation für Bytedaten beendet.

[0586] Wenn Daten nur einmal unter Verwendung eines hohen Programmierpotentials zu programmieren sind in Übereinstimmung mit einem Programmierimpuls, kann die Programmierverifizierung weggelassen werden.

[0587] Fig. 60 zeigt die Daten der ausgewählten Speicherzellen und die Zustände des Knotens Qb (Fig. 58) in den Hauptprozessen in Fig. 59).

[0588] Bei (a) in Fig. 60 wird ein Zustand gezeigt, in dem Daten einer Seite der Speicherzellen, die mit der ausgewählten Steuergateleitung (Wortleitung) verbunden sind, zu den Leseverstärkern gelesen werden (Entsprechung zu Schritt ST1).

[0589] Wenn der Datenwert einer Speicherzelle bei "0" liegt (die Schwellwertspannung ist positiv), wird die Bitleitung BLi nicht entladen und behält das voraufgeladene Potential. Der Leseknoten Nsense, der in Fig. 58 gezeigt ist, hat das Energieversorgungspotential VCC. Wenn das Steuersignal ϕL2 sich bei dem Energieversorgungspotential VCC befindet, liegt der Knoten Q bei dem Massepotential VSS, d.h., "0".

[0590] Wenn der Datenwert einer Speicherzelle bei "1" liegt (die Schwellwertspannung ist negativ), ist die Bitleitung BLi entladen. Der Leseknoten Nsense, der in Fig. 58 gezeigt ist, hat das Massepotential VSS. Wenn das Steuersignal ϕL2 sich bei dem Energieversorgungspotential VCC befindet, ist der Knoten Q bei dem Energieversorgungspotential VCC, d.h., "1".

[0591] Bei (b) in Fig. 60 wird ein Zustand gezeigt, bei dem Daten durch Adressen designierten Bytedaten (8-Bit-Daten) in den Daten einer Seite überschrieben sind, die von den Leseverstärkern gehalten werden (Entsprechung zu Schritt ST2).

[0592] Bei (c) in Fig. 60 wird ein Zustand gezeigt, bei dem die Daten der mit der ausgewählten Steuergateleitung (Wortleitung) verbundenen Speicherzellen gelöscht sind (Seitenlöschen) (Entsprechung zu Schritt ST3). Die Daten der mit der ausgewählten Steuergateleitung verbundenen Speicherzellen sind bei "1" durch das Seitenlöschen festgelegt.

[0593] Bei (d) in Fig. 60 wird ein Zustand gezeigt, bei dem die Daten einer durch die Leseverstärker gehaltenen Seite in den mit der ausgewählten Steuergateleitung (Wortleitung) verbundenen Speicherzellen programmiert sind (Entsprechung zu Schritt ST6).

[0594] In dem Speicherzellenarry **11** wird die Datenänderungsoperation für Seitendaten durchgeführt. Tatsächlich wird die Datenänderungsoperation für Bytedaten durchgeführt.

[0595] Die Leseoperation für Seitenprogrammierung und Programmierverifizierung wird als Nächstes detailliert unter Bezugnahme auf die Zeitdiagramme der Fig. 61 bis Fig. 63 beschrieben unter Betonung auf den Betrieb des in Fig. 59 gezeigten Leseverstärkers.

[0596] Fig. 61 bis Fig. 63 zeigen nur Teile eines Zeitdiagramms.

[0597] Wenn ein Befehl zum Anweisen der Programmierung von einer externen Schaltung zu einer internen Schaltung auf dem Chip eingegeben wird, wird der Programmierbetrieb gestartet.

[0598] Zum Zurücksetzen des Leseknotens Nsense wird das Steuersignal DCB bei dem Energieversorgungspotential VCC festgelegt. Der MOS-Transistor M3 wird eingeschaltet, um den Leseknoten Nsense gegen Masse zu schalten (t1).

[0599] Das Steuersignal BLSHF wird ebenfalls bei dem Energieversorgungspotential VCC festgelegt gemeinsam mit dem Steuersignal DCB. Der MOS-Transistor M1 wird eingeschaltet, um die Bitleitung BLi gegen Masse zu schalten.

[0600] Bevor die Programmierdaten in die Leseverstärker geladen werden, wird das Datenhaltesteuersignal ϕL1 bei dem Energie-Versorgungspotential VCC festgelegt und das Vorauflade-Steuersignal Load wird bei dem Massepotential VSS festgelegt. Wird der Halteknoten Q der Halteschaltung **21** bei dem Energieversorgungspotential VCC festgelegt und der Halteknoten Qb wird bei dem Massepotential VSS festgelegt (t2).

[0601] Die Programmierdaten werden von der I/O- bzw. Ein-/Ausgabe-Leitung geladen und durch die Halteschaltungen **21** des Leseverstärkers **20** gehalten. Die Knoten Q und Qb werden bei "H"- oder "L"-Programmier-/Lösch-Pegel in Übereinstimmung mit den geladenen Daten festgelegt (t3).

[0602] Spezieller, in der Halteschaltung **21** eines einer Speicherzelle für "0"-Programmierung entsprechenden Leseverstärkers wird "L"-Pegel (= VSS) an den Halteknoten Q angelegt. In der Halteschaltung **21** eines Leseverstärkers in Entsprechung zu einer Speicherzelle für "1"-Programmierung (Programmierverhinderung), wird "H"-Pegel (= VCC) an den Halteknoten Q angelegt.

[0603] Wenn die Steuersignale BLSHF und SBL bei dem "H"-Pegel festgelegt werden, wird ein Laden jeder Bitleitung auf der Basis der durch die Halteschaltung **21** eines entsprechenden Leseverstärkers **20** gehaltenen Daten begonnen (t4).

[0604] Spezieller, die mit einer Speicherzelle für "0"-Programmierung verbundene Bitleitung BLi wird bei dem Massepotential VSS festgelegt. Die mit einer Speicherzelle für "1"-Programmierung (Programmierverhinderung) verbundene Bitleitung wird auf Energieversorgungspotential VCC aufgeladen. Die ausgewählte Steuergateleitung (Wortleitung) wird bei der Programmierspannung Vprog (etwa 20V) festgelegt. Zu diesem Zeitpunkt wird die nicht ausgewählte Steuergateleitung (Wortleitung) nicht bei dem Potential Vpass (z.B. 8V) festgelegt, sondern bei dem Energieversorgungspotential VCC (z.B. 3,3V) oder dem Lesepotential Vread (z.B. 4,5V), die beim Lesen an die nicht ausgewählte Speicherzelle angelegt wird.

[0605] Mit diesem Betriebsablauf werden die Speicherzellen einer Seite programmiert.

[0606] Nachdem die Datenprogrammierung beendet ist, wird die Programmierverifizierung begonnen zum Verifizieren, ob das Datenprogrammieren vollständig abgeschlossen ist.

[0607] Das Programmierverifizierungslesen wird durchgeführt. Diese Verifizierungs-Leseoperation ist dieselbe wie die normale Leseoperation.

[0608] Wenn das Steuersignal DCB bei dem Energieversorgungspotential VCC festgelegt wird, wird der MOS-Transistor M3 zum zwangsweisen gegen Masse schalten des Leseknotens Nsense eingeschaltet (t5).

[0609] Das Referenzpotential Vref (etwa 0,5V) wird an die ausgewählte Steuergateleitung CGL angelegt. Das Lesepotential Vread (z.B. 4,5V) zum Eingeschaltethalten der Speicherzelle unabhängig von den in der Speicherzelle gespeicherten Daten wird an die nicht ausgewählte Steuergateleitung CGL angelegt. Das Energieversorgungspotential VCC wird an die Auswahl-Steuergateleitungen SSL und GSL angelegt. Das Verfifizierungslesen wird begonnen (t6).

[0610] Für das Lesen kann ein Bitleitungsvoraufladeleseschema oder ein Stromerfassungsleseschema verwendet werden. In dem Bitleitungsvoraufladeleseschema wird die Bitleitung BLi aufgeladen und in einen schwebenden Zustand versetzt und dann wird das Potential der Bitleitung beibehalten oder abfallen lassen in Übereinstimmung mit einem Datenwert einer Speicherzelle. Das Stromerfassungsleseschema wird nachstehend detailliert beschrieben.

[0611] Zum Zeitpunkt t6 wird das Steuersignal BLSHF von dem angehobenen Potential VCC + α zu dem Potential VCC – α geklemmt. Daten werden auf der Basis der Ausgewogenheit zwischen dem zu dem MOS-Transistor M1 fließenden Speicherzellenstrom und dem Strom des MOS-Transistors M2 zum Aufladen des Leseknotens Nsense bestimmt. Wenn das Potential der Bitleitung BLi ansteigt, zum Beispiel auf 0,9V, wird der MOS-Transistor M1 abgeschaltet und der Leseknoten Nsense wird auf das Energieversorgungspotential VCC festgelegt.

[0612] Nachdem der Leseknoten Nsense sich bei dem "H"-Pegel (= VCC) befindet, wird das Haltesteuersignal ϕL1 bei dem Energieversorgungspotential VCC festgelegt, um den MOS-Transistor M5 einzuschalten (t7). Wenn der Leseknoten Nsense sich bei dem Energieversorgungspotential VCC befindet (in einem mit einer Speicherzelle mit einer Schwellwertspannung, die höher ist als das Verifierungspotential Vref verbundenen Le-

severstärker), wird der MOS-Transistor M7 eingeschaltet, um den Halteknoten Qb auf das Massepotential Vss zu legen und den Halteknoten Q auf das Energieversorgungspotential VCC.

[0613] Wenn das Massepotential VSS zu dem Halteknoten Q geladen wird und das Programmieren in geeigneter Weise durchgeführt worden ist, werden die Haltedaten der Halteschaltung **21** invertiert. Wenn der Programmieren der Speicherzelle nicht ausreichend ist, bleibt der Leseknoten Nsense bei dem Verifizierungslesen auf dem "L"-Pegel (= VSS). Aus dem Grund wird der Datenwert der Halteschaltung **21** nicht invertiert und der Halteknoten Q behält das Massepotential VSS. In einem mit einer Programmierverhinderungs-Speicherzelle verbundenen Leseverstärker ist der Halteknoten Q bei dem Energieversorgungspotential VCC und keine Dateninvertierung tritt auf.

[0614] Wenn eine Speicherzelle nicht ausreichend programmiert ist, d.h., wenn der Datenwert der Halteschaltung **21** eines Leseverstärkers nicht invertiert wird, werden das Programmieren und das Verifizierungslesen wiederholt. Wenn die Potentiale des Halteknotens Q aller Leseverstärker einer Seite bei dem Energieversorgungspotential VCC festgelegt sind, ist das Programmieren beendet.

[0615] Der Datenänderungsbetrieb für Bytedaten wird als Nächstes detailliert unter Bezugnahme auf das in Fig. 63 gezeigte Zeitdiagramm beschrieben unter Betonung des Betriebs des in Fig. 58 gezeigten Leseverstärkers.

[0616] Wenn ein Befehl zum Anweisen des Bytedaten-Änderungsmodus von einer externen Schaltung zu einer internen Schaltung des Chips eingegeben wird, beginnt der Datenänderungsbetrieb für Bytedaten.

[0617] Ein Lesen von Datenwerten, die bereits in mit der ausgewählten Steuergateleitung (Wortleitung) verbundenen Speicherzellen einer Seite programmiert sind, wird begonnen.

[0618] Der Lesebetrieb ist derselbe wie der Lesebetrieb.

[0619] Das Datenhaltesteuersignal ϕL1 wird bei dem Energie-Versorgungspotential VCC festgelegt und das Vorauflade-Steuersignal Load wird bei dem Massepotential VSS festgelegt. Die MOS-Transistoren M5 und M7 werden eingeschaltet zum zwangweisen gegen Masse schalten des Halteknotens Qb jeder Halteschaltung **21** und zum Rücksetzen der Daten. Spezieller, in jedem der Leseverstärker wird der Halteknoten Q der Halteschaltung **21** bei dem Energieversorgungspotential VCC festgelegt und der Halteknoten Qb wird bei dem Massepotential VSS festgelegt (t1).

[0620] Das Steuersignal DCB wird bei dem Energieversorgungspotential VCC festgelegt. Der MOS-Transistor M3 wird eingeschaltet zum zwangweisen gegen Masse schalten des Leseknotens Nsense (t2). Wenn das Massepotential VSS (= 0V) an die ausgewählte Steuergateleitung CGL angelegt wird, und das Energieversorgungspotential VCC an die Auswahlgateleitung SSL und GSL angelegt wird, wird das Lesen ausgeführt (t3).

[0621] Nach dem der Leseknoten Nsense sich bei dem "H"-Pegel befindet (= VCC), wird das Haltesteuersignal ϕL2 bei dem Energieversorgungspotential VCC festgelegt, um den MOS-Transistor M6 einzuschalten (t4). Wenn der Leseknoten Nsense sich bei dem Energieversorgungspotential VCC befindet (d.h., in einem mit einer Speicherzelle mit dem Datenwert "0" und einer Schwellwertspannung, die höher ist als das Massepotential VSS, verbundenen Leseverstärker), wird der MOS-Transistor M7 eingeschaltet zum Festlegen des Halteknotens Q auf das Massepotential VSS und des Halteknotens Qb auf das Energieversorgungspotential VCC.

[0622] Als Nächstes wird das Steuersignal DCB bei dem Energieversorgungspotential VCC festgelegt und das Steuersignal BLSHF wird bei dem Energieversorgungspotential VCC oder dem Potential VCC + α festgelegt, um die Bitleitung BLi und den Leseknoten Nsense zurückzusetzen (t5).

[0623] Danach werden Bytedaten in die Halteschaltung **21** des Leseverstärkers **20** geladen, der durch eine Spaltenadresse designiert ist. Die Knoten Q und Qb werden bei "H"- oder "L"-Pegel in Übereinstimmung mit den Bytedaten (t6) festgelegt.

[0624] Die von der externen Schaltung des Chips eingegebenen Bytedaten werden überschrieben auf vorbestimmte Daten von Seitendaten, die in der Halteschaltung **21** programmiert sind.

[0625] Daraufhin wird der Seitenlöschbetrieb ausgeführt für die mit der ausgewählten Steuergateleitung verbundenen Speicherzellen.

[0626] Die Steuergateleitung des ausgewählten Blocks wird bei dem Massepotential VSS festgelegt. Die Steuergateleitungen der nicht ausgewählten Blöcke und aller Auswahlgateleitungen werden in einen schwebenden Zustand versetzt. Wenn die Löschspannung Vera an die Zellen-P-Wanne angelegt wird, werden die Auswahlgateleitungen und die Steuergateleitungen der nicht ausgewählten Blöcke, die sich im schwebenden Zustand befinden, angehoben auf Vera × β (β ist das Koppelverhältnis) durch die kapazitive Kopplung mit der Zellen-P-Wanne.

[0627] Die Bitleitung BLi und die Zellen-Source-Leitung SL sind mit der N+-Schicht in der Zellen-P-Wanne verbunden. Wenn der p-n-Übergang zwischen der N+-Schicht und der Zellen-P-Wanne in Vorwärtsrichtung vorgespannt sind, werden die Bitleitung BLi und die Zellen-Source-Leitung SL aufgeladen auf Vera – Vb (t7). Vb ist das inhärente Potential des p-n-Übergangs.

[0628] Daraufhin wird das Löschverifizieren ausgeführt zum Bestätigen, dass alle Speicherzellen der ausgewählten Seite sich im Löschzustand befinden, d.h., die Schwellwertspannung aller Speicherzelle negativ wird. Auf der Basis der in der Halteschaltung **21** gespeicherten Daten werden der Programmbetrieb und der Programmverifizierungsbetrieb für jede Speicherzelle der ausgewählten Seite ausgeführt.

[0629] Der Betrieb nach dem Löschverifizieren ist nicht in Fig. 63 dargestellt.

[0630] Fig. 64 zeigt ein Beispiel, in welchem NAND-Flash-EEPROM teilweise das Speicherzellenarry des Byte-EEPROM der vorliegenden Erfindung hat.

[0631] Das Byte-EEPROM der vorliegenden Erfindung kann als ein NAND-Flash-EEPROM betrachtet werden, dessen Speicherzellenarry zwei Hauptzellen zwischen zwei Auswahltransistoren hat. Demnach kann das EEPROM dieses Beispiels leicht realisiert werden.

[0632] In dem EEPROM dieses Beispiels sind die Speicherzelleneinheiten zweier Arten mit unterschiedlichen Strukturen zu einer Bitleitung BLi verbunden. Spezieller, die erste Speicherzelleneinheit hat eine Vielzahl von (z.B. 8, 16 oder 22) Speicherzellen zwischen zwei Auswahltransistoren verbunden. Die zweite Speicherzelleneinheit hat zwei Speicherzellen zwischen zwei Auswahltransistoren verbunden.

[0633] Zum Auswählen einer Steuergateleitung (Wortleitung), kann eine Treiberschaltung vorbereitet werden für jeden der ersten und zweiten Speicherzelleneinheitenbereiche. Wenn möglich, teilen die beiden Bereiche eine Treiberschaltung.

[0634] Diese Anordnung ermöglicht einen Datenänderungsbetrieb für Bytedaten in einem Teil des Speicherzellenarrys.

[0635] Das Speicherzellenarry eines AND-Flash-EEPROMs oder DINOR-Flash-EEPROM kann statt des in Fig. 64 gezeigten Speicherzellenarrys des NAND-Flash-EEPROMs verwendet werden.

[0636] Wie hier zuvor beschrieben worden ist, kann gemäß dem Byte-EEPROM der vorliegenden Erfindung (1) da die Speicherzellen-Einheit, die von einer zwischen zwei Auswahltransistoren eingelegten Stapelspeicherzellenart ist, durch denselben Prozess gebildet wird wie dem des Flash-EEPROM, dasselbe Datenänderungsverfahren verwenden wie das des Flash-EEPROM, und den Datenänderungsbetrieb für Bytedaten durchführen.

[0637] Zudem kann, (2) wenn nicht das Potential Vpass, sondern das Energieversorgungspotential VCC oder das Potential Vread an das Steuergate einer nicht ausgewählten Speicherzelle im Programmiermodus angelegt werden, und die Speicherzelleneinheit aus einer Vielzahl von (z.B. zwei) gestapelten Speicherzellen, die zwischen zwei Auswahltransistoren eingelegt sind, gebildet wird, zusätzlich zu den oben beschriebenen Wirkungen eine Wirkung zum Reduzieren der Größe pro Speicherzelle erhalten werden. Tabelle 7 zeigt den Vergleich zwischen den Wirkungen des konventionellen NAND-Flash-EEPROM und jenen des Byte-EEPROM der vorliegenden Erfindung.

Tabelle 7

	Stand der Technik	Vorliegende Erfindung	
Zelleninheitsstruktur	NAND-Typ	3-tr-Typ	4-tr-Typ
Batch-Programmierung (keine Verifizierung notwendig)	X	O	X
Datenänderungsbetrieb für Seitendaten (Bytedaten)	X	O	O
Lesestrom	X	O	Δ
Lesen beibehalten (Datenhalteeigenschaft)	X	O	X
Anzahl an Datenänderungsoperationen (Dauerhaftigkeitscharakteristik)	O	O*1	O*1
Störung im Progromiermodus (Programmierfehler)	X*2	O	O*3
Zellengröße	O (1)	X*4 (3,5)	Δ (2,2)

O : gut oder hervorragend
X: brauchbar
Δ: fehlerhaft oder schlecht

*1: Wenn Sub-Steuergatetreiber verwendet
*2: Vprog wird an nicht ausgewählte Wortleitung in ausgewähltem Block angelegt
*3: VCC oder Vread wird an nicht ausgewählte Wortleitungen in ausgewähltem Block angelegt
*4: O bezogen auf konventionellen Byte-EEPROM

[0638] Zudem werden gemäß dem Byte-EEPROM der vorliegenden Erfindung (3) da das Speicherzellenarry aus einer Vielzahl von in einer Matrix angeordneten Blöcken gebildet wird und die Lese-, Lösch- und Programmieroperationen in Einheiten von Blöcken ausgeführt werden, die wesentlichen Programmier-/Lasch-Dauerhaftigkeitscharakteristika nicht verschlechtert selbst bei Datenänderungsbetrieb für Bytedaten.

Patentansprüche

1. Nichtflüchtiger Halbleiterspeicher, umfassend:
ein Speicherzellen-Array (**11**); eine Bitleitung (**10b**, BL); und
einen Leseverstärker (**13**, S/A), der mit der Bitleitung verbunden ist und eine Haltefunktion hat, wobei das Speicherzellen-Array eine Speicherzelleneinheit hat, die aus einer Speicherzelle (MC) und zwei Auswahltransistoren (ST1, ST2) gebildet ist, die die Speicherzelle zwischen sich haben, wobei die Speicherzellen und die zwei Auswahltransistoren in Serie verbunden sind, und die Bitleitung mit einem der Auswahltransistoren verbunden ist und die Speicherzelle eine Stapelgatestruktur mit einem Floating-Gate und einem Steuergate hat, und gekennzeichnet durch
eine Einrichtung (**17**), um, wenn Byte-Daten in mit einer ausgewählten Steuergateleitung in dem Speicherzellen-Array verbundenen Speicherzellen von einer Seite zu ändern sind, die Seitendaten aus den Speicherzellen, die mit der ausgewählten Steuergateleitung verbunden sind zu den Leseverstärkern zu lesen, Byte-Daten in den Leseverstärkern zu überschreiben, Daten der Speicherzellen zu löschen, die mit der ausgewählten Steuergateleitung verbunden sind, und Seitendaten von den Leseverstärkern zu den Speicherzellen einer Seite zu programmieren.

2. Speicher nach Anspruch 1, dadurch gekennzeichnet, dass jeder der beiden Auswahltransistoren (ST1, ST2) dieselbe Struktur hat wie die Speicherzelle (MC).

3. Nicht-flüchtiger Halbleiterspeicher nach Anspruch 1, wobei die Speicherzelleneinheit eine erste Speicherzelleneinheit ist und das Speicherzellen-Array eine dieser ersten Speicherzelleneinheit umfasst und eine zweite Speicherzelleneinheit, die aus einer Vielzahl von Speicherzellen (MC) gebildet ist;
wobei eine Bitleitung (**10b**, BL) gemeinsam mit den ersten und zweiten Speicherzelleneinheiten verbunden ist; und
wobei jede der Speicherzellen in den zweiten Speicherzelleneinheiten eine Stapelgatestruktur mit einem Floating-Gate und einem Steuergate hat.

4. Speicher nach Anspruch 3, dadurch gekennzeichnet, dass die zweite Speicherzelleneinheit eines umfasst von einer NAND-Einheit, in der die Vielzahl von Speicherzellen in Serie verbunden ist, einer AND-Einheit, in der die Vielzahl von Speicherzellen parallel verbunden ist und einer DINOR-Einheit, in der die Vielzahl von Speicherzellen parallel verbunden ist.

5. Speicher nach Anspruch 3, dadurch gekennzeichnet, dass jeder der beiden Auswahltransistoren (ST1, ST2) dieselbe Struktur hat wie die der Speicherzelle (MC).

6. Nicht-flüchtiger Halbleiterspeicher nach Anspruch 1, gekennzeichnet durch das Umfassen:
eines Speicherzellen-Arrays, das aus einer Vielzahl von Speicherzelleneinheiten geformt wird, von denen jede eine Speicherzelle (MC) einschließt, wobei die Bitleitung (**10b**, BL) mit den Speicherzelleneinheiten verbunden it.

7. Nicht-flüchtiger Halbleiterspeicher nach Anspruch 1, wobei das Speicherzellen-Array (**11**) erste und zweite Speicherzelleneinheiten hat, von denen jede aus einer Speicherzelle (MC) und zwei Auswahltransistoren (ST1 und ST2) gebildet wird, wobei eine erste der Bitleitungen (BL) mit einem der zwei Auswahltransistoren in der ersten Speicherzelle verbunden ist, eine zweite der Bitleitungen (BL) mit einer der zwei Auswahltransistoren in der zweiten Speicherzelleneinheit verbunden ist und wobei der Leseverstärker (**13**, S/A) mit jeder der ersten und zweiten Bitleitungen verbunden ist.

8. Speicher nach Anspruch 1, dadurch gekennzeichnet, dass eine Operation des Änderns der Daten durch eine Löschoperation und eine Programmieroperation gebildet wird, wobei die Programmieroperation durch ein Heißelektronenphänomen oder ein F-N-Tunnelphänomen durchgeführt wird und die Löschoperation durch das F-N-Tunnelphänomen durchgeführt wird.

Es folgen 55 Blatt Zeichnungen

Anhängende Zeichnungen

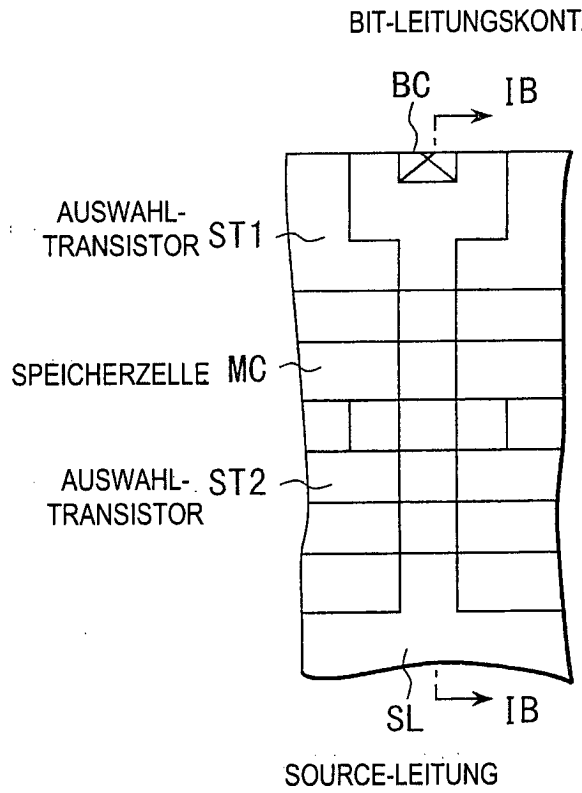


FIG. 1A

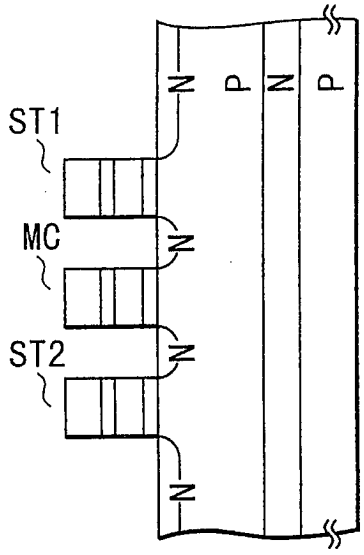


FIG. 1B

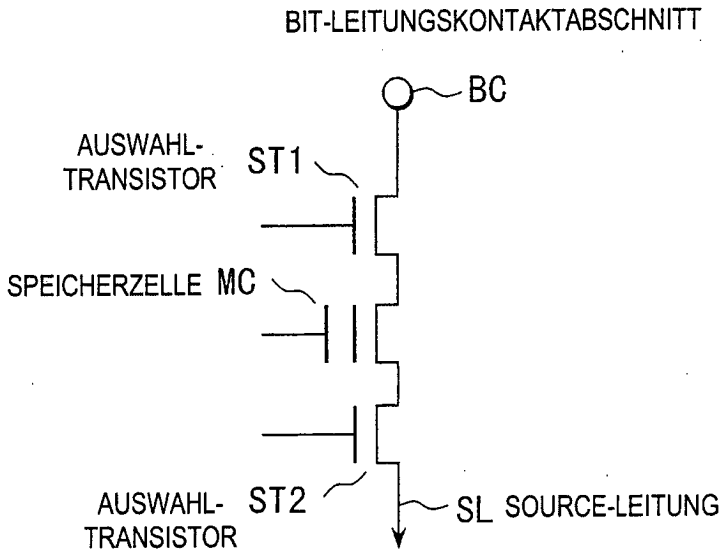


FIG. 2

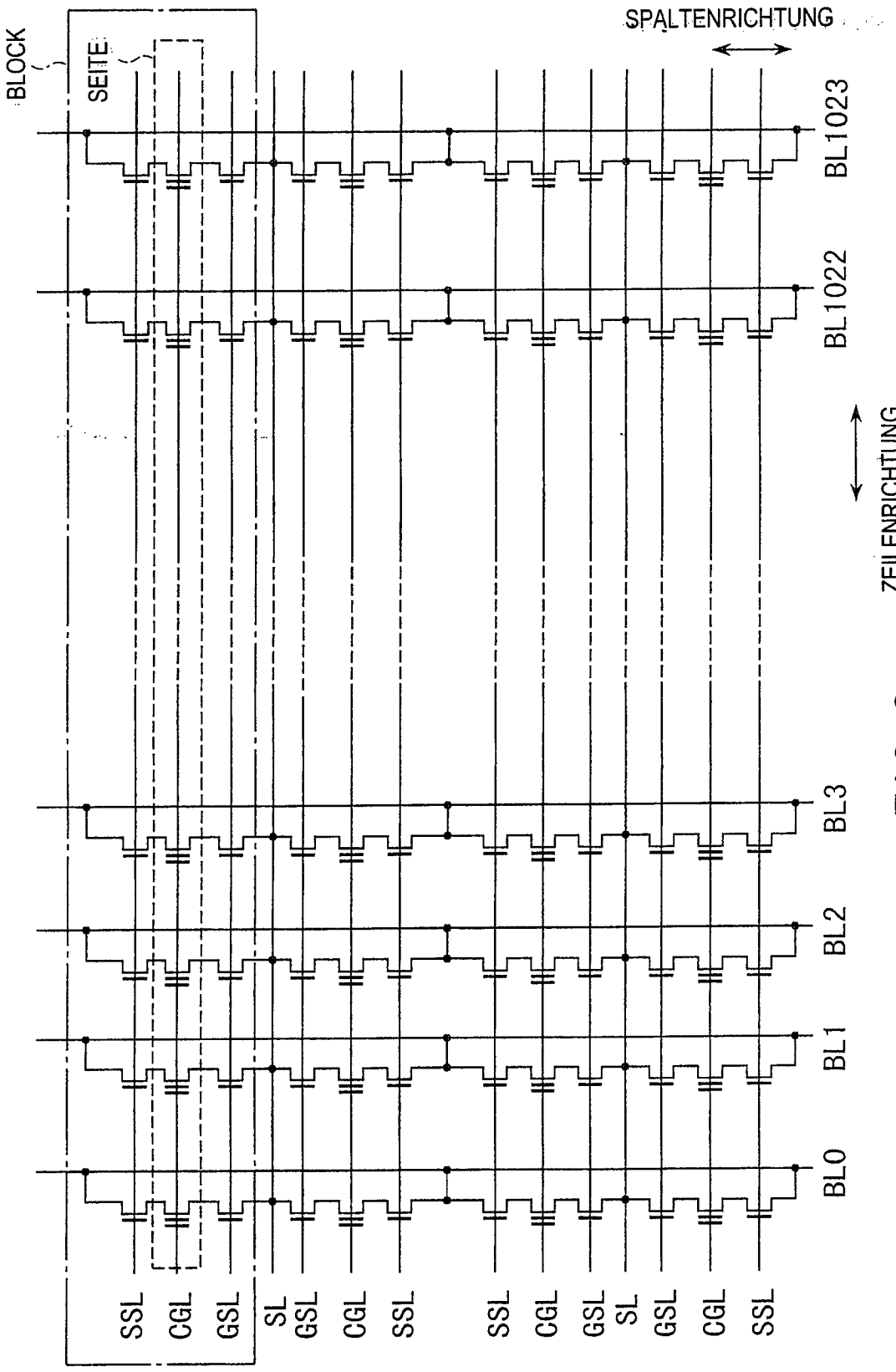

BLOCK
SEITE
SPALTENRICHTUNG
ZEILENRICHTUNG
BL1023
BL1022
BL3
BL2
BL1
BL0
SSL
CGL
GSL
SL
GSL
CGL
SSL
SSL
CGL
GSL
SL
GSL
CGL
SSL

FIG. 3

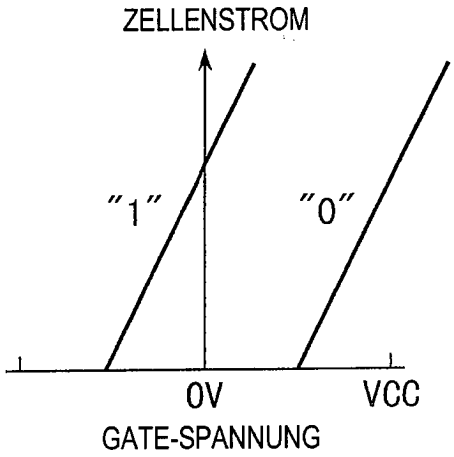


FIG. 4

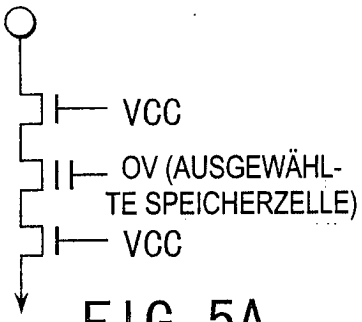


FIG. 5A

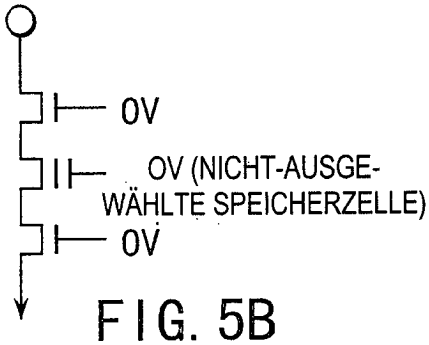


FIG. 5B

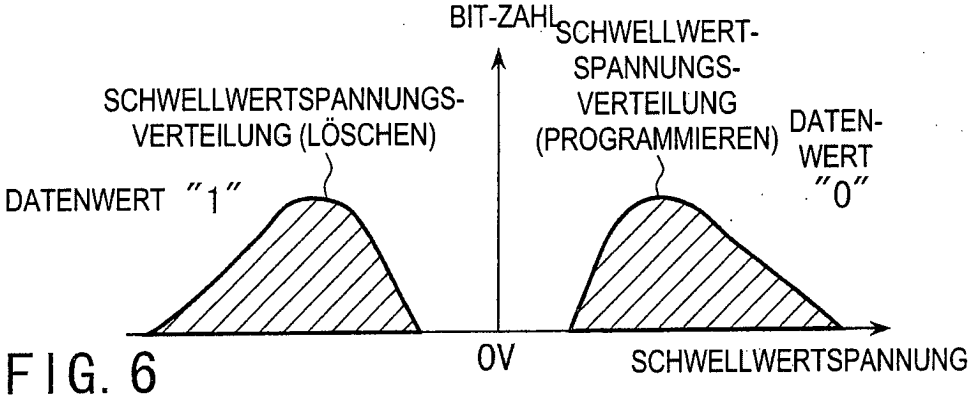


FIG. 6

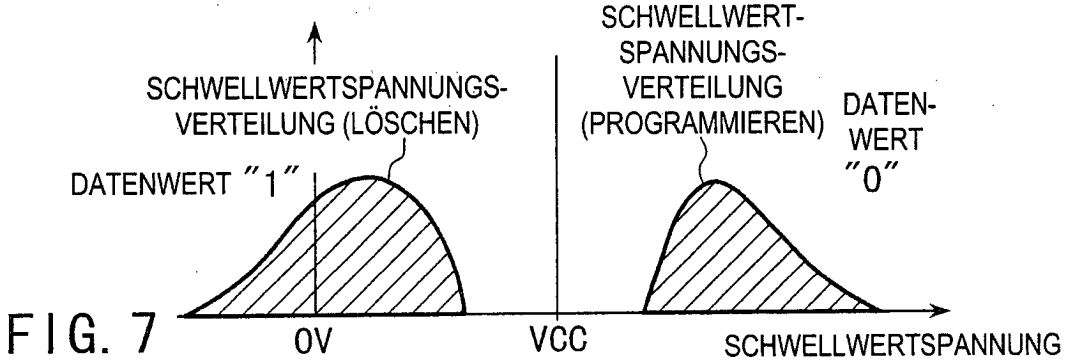


FIG. 7

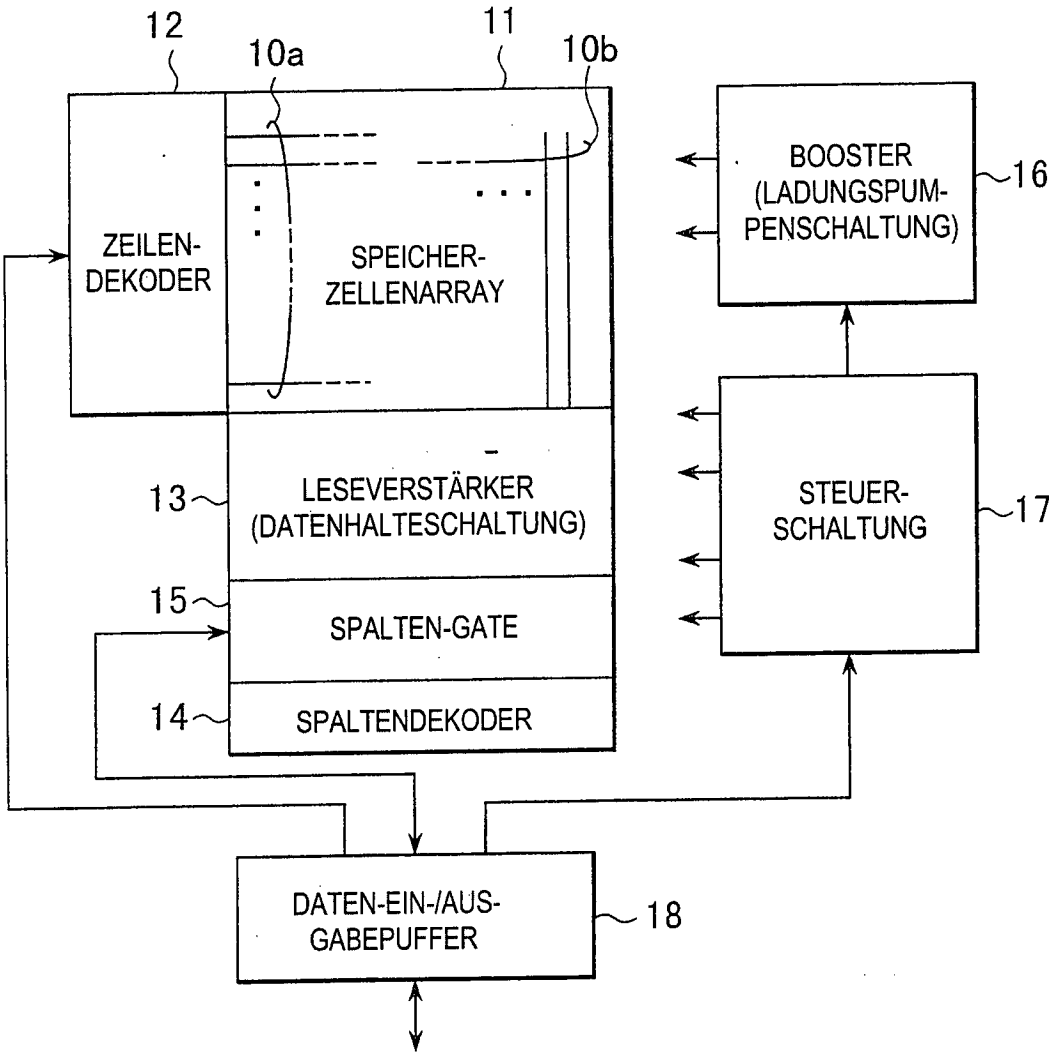

12
10a
11
10b
ZEILEN-
DEKODER
SPEICHER-
ZELLENARRAY
BOOSTER
(LADUNGSPUM-
PENSCHALTUNG)
16
13
LESEVERSTÄRKER
(DATENHALTESCHALTUNG)
STEUER-
SCHALTUNG
17
15
SPALTEN-GATE
14
SPALTENDEKODER
DATEN-EIN-/AUS-
GABEPUFFER
18

FIG. 8

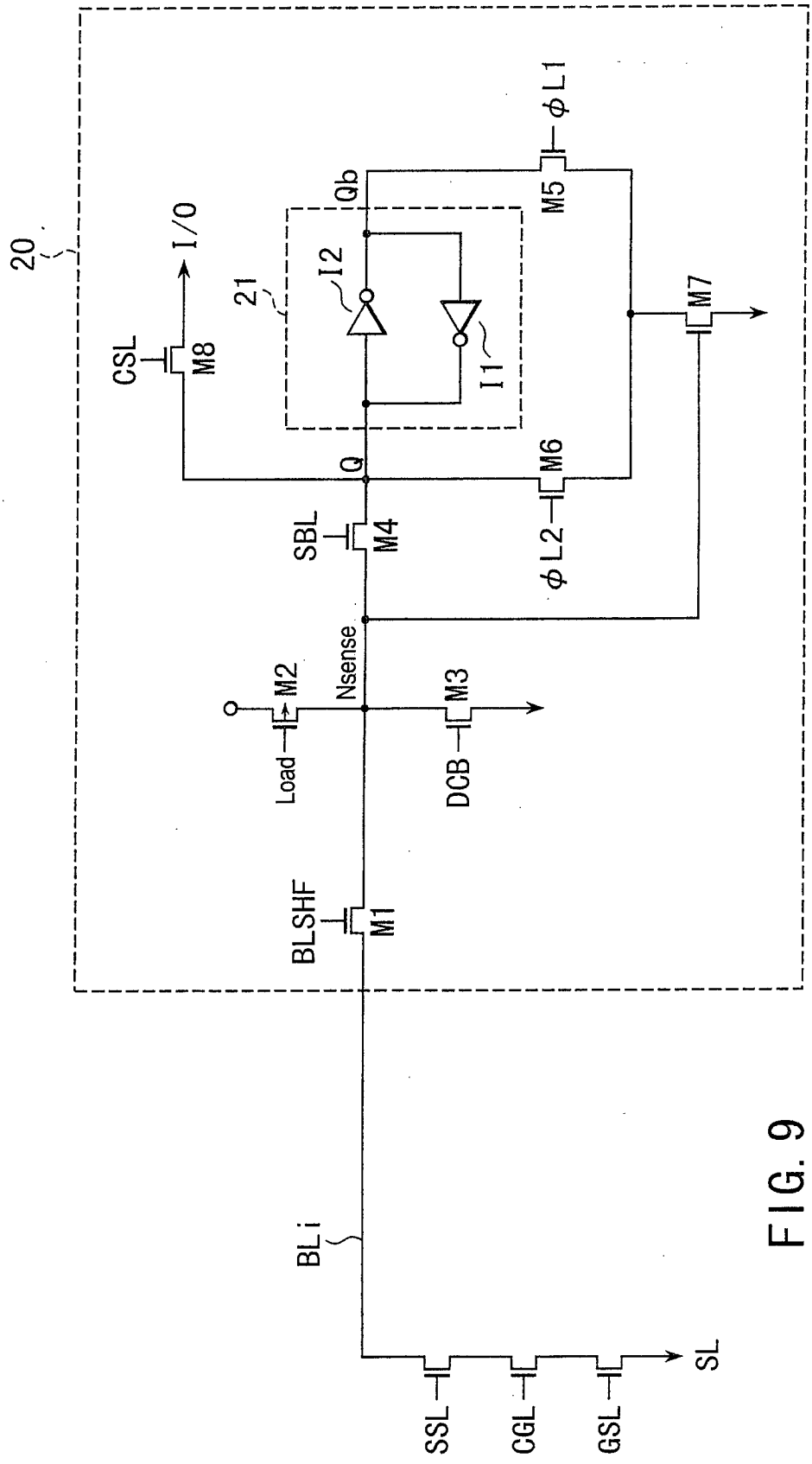

20
I/O
CSL
M8
21
I2
I1
Qb
Q
M5
φL1
M7
M6
φL2
SBL
M4
Nsense
M2
Load
M3
DCB
BLSHF
M1
BLi
SL
SSL
CGL
GSL

FIG. 9

PROGRAMMIER- UND LÖSCHBETRIEB FÜR BYTE-DATEN

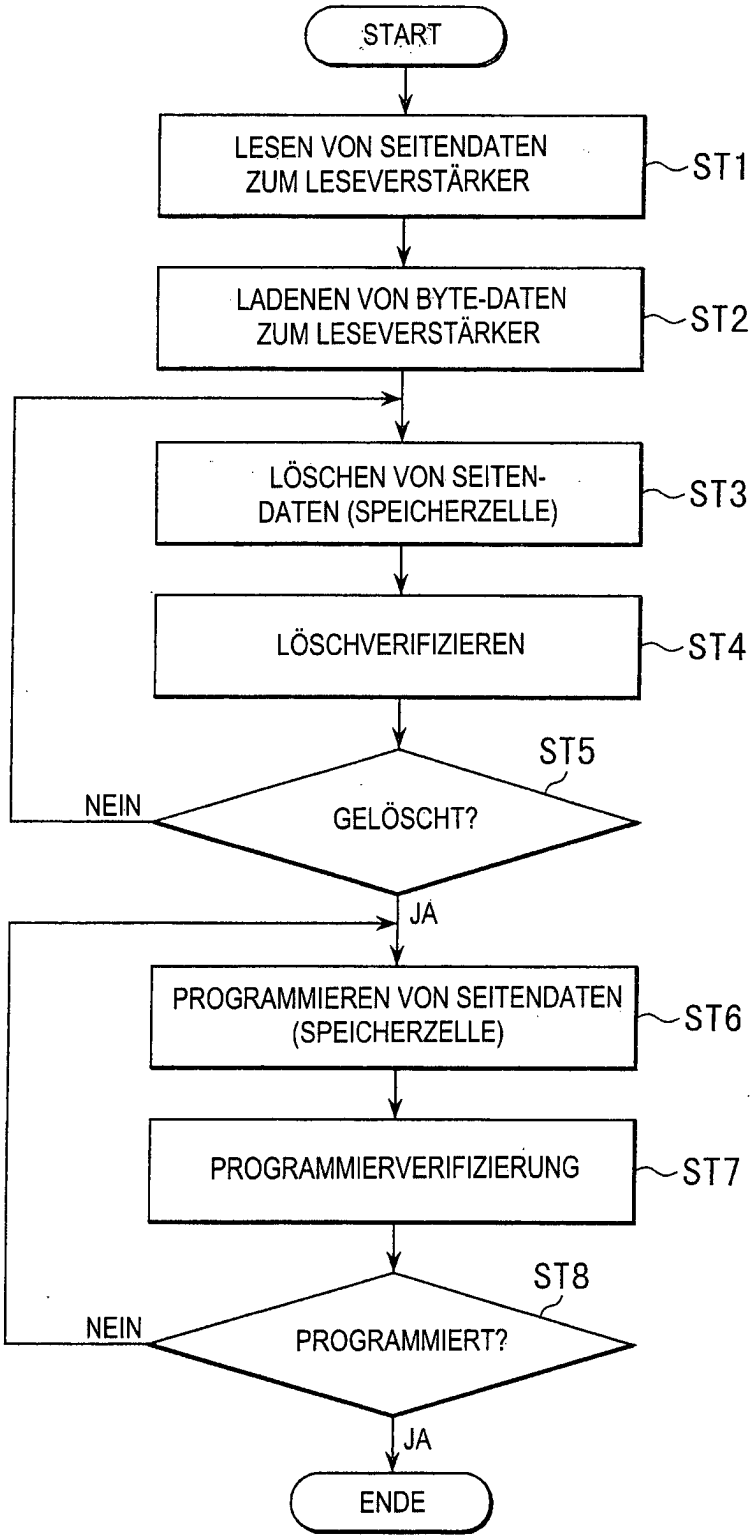


FIG. 10

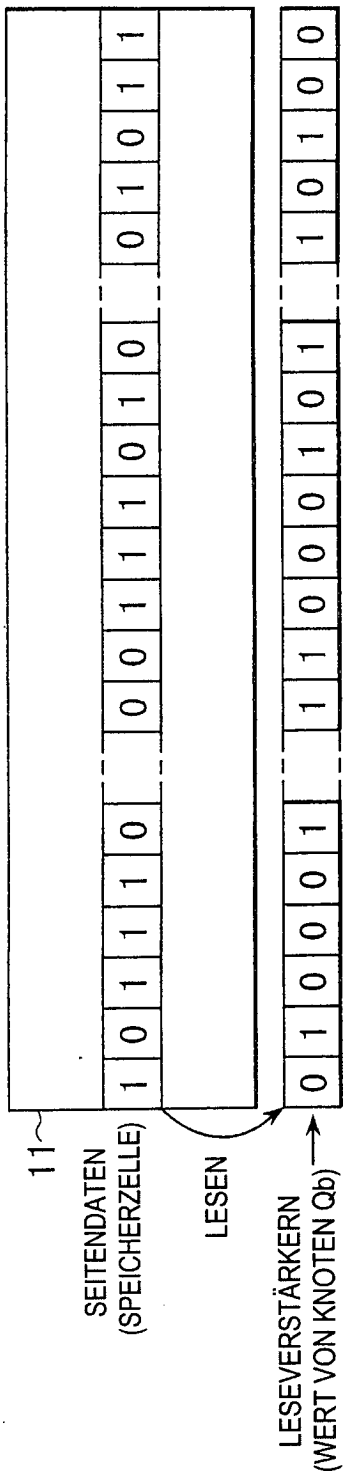

11
SEITENDATEN
(SPEICHERZELLE)
LESEN
LESEVERSTÄRKERN
(WERT VON KNOTEN Qb)

FIG. 11

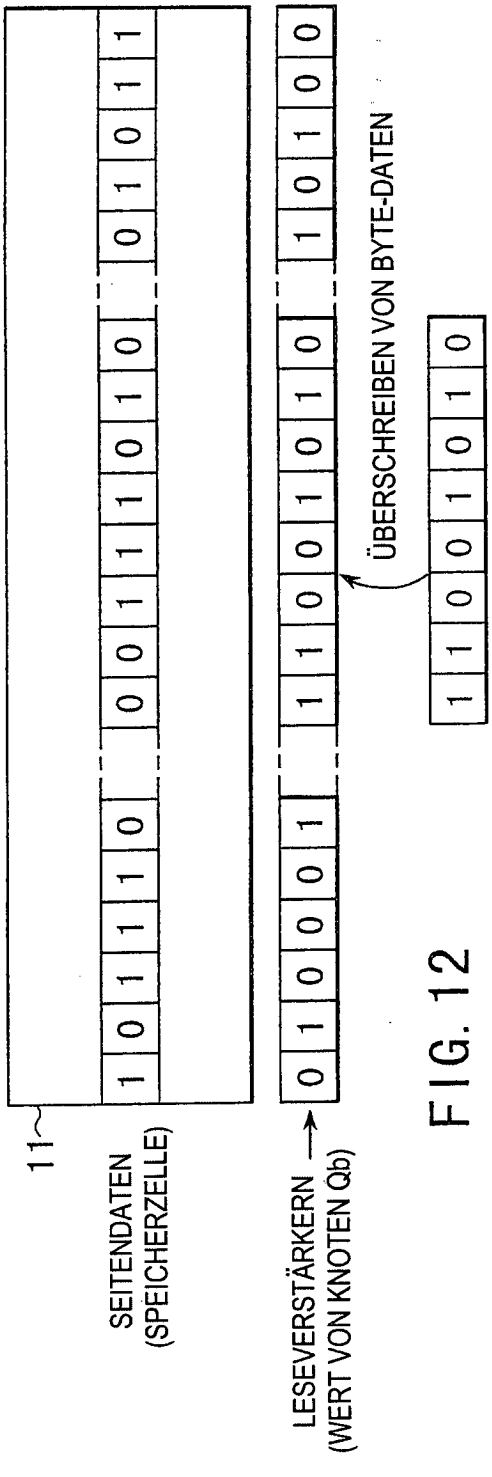

11
SEITENDATEN
(SPEICHERZELLE)
LESEVERSTÄRKERN
(WERT VON KNOTEN Qb)
ÜBERSCHREIBEN VON BYTE-DATEN

FIG. 12

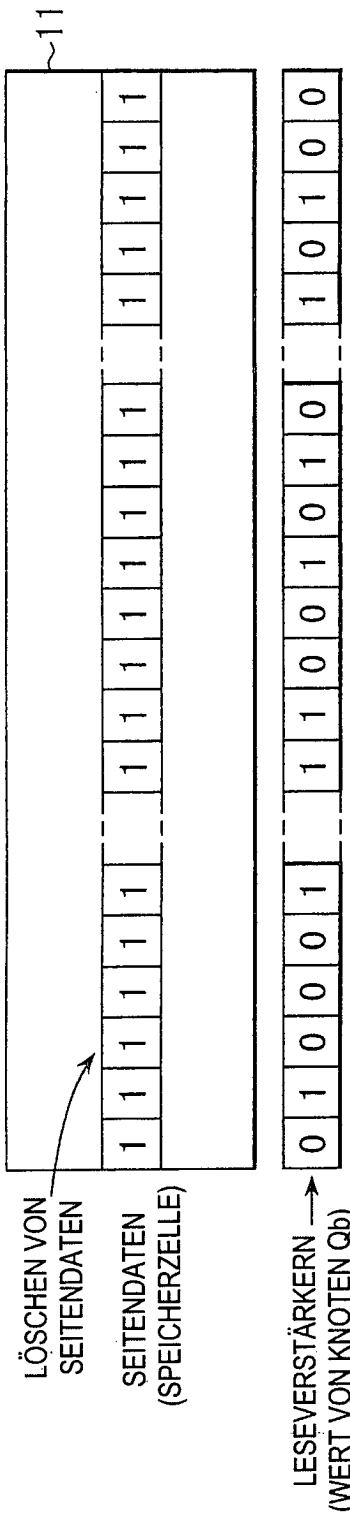

11
LÖSCHEN VON SEITENDATEN
SEITENDATEN (SPEICHERZELLE)
LESEVERSTÄRKERN (WERT VON KNOTEN Qb)

FIG. 13

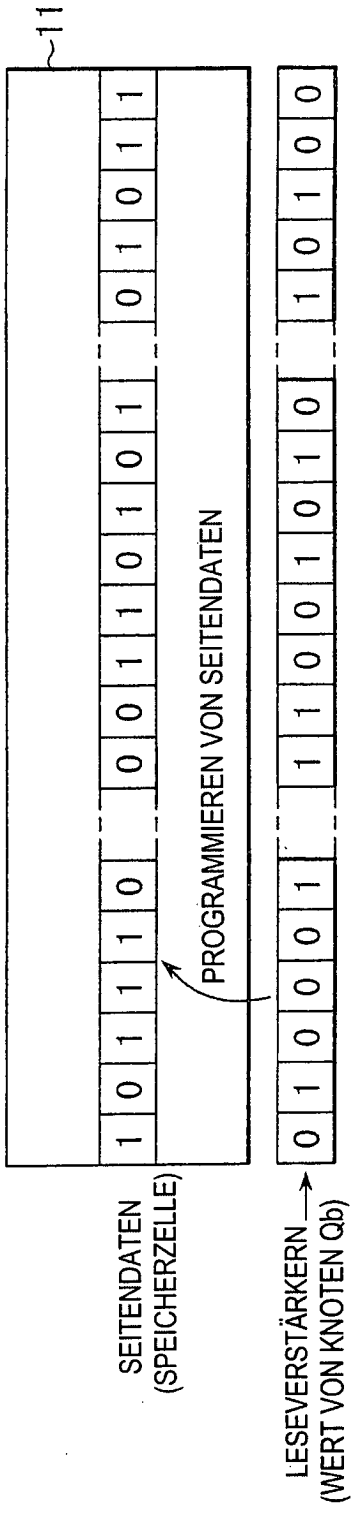

11
PROGRAMMIEREN VON SEITENDATEN
SEITENDATEN (SPEICHERZELLE)
LESEVERSTÄRKERN (WERT VON KNOTEN Qb)

FIG. 14

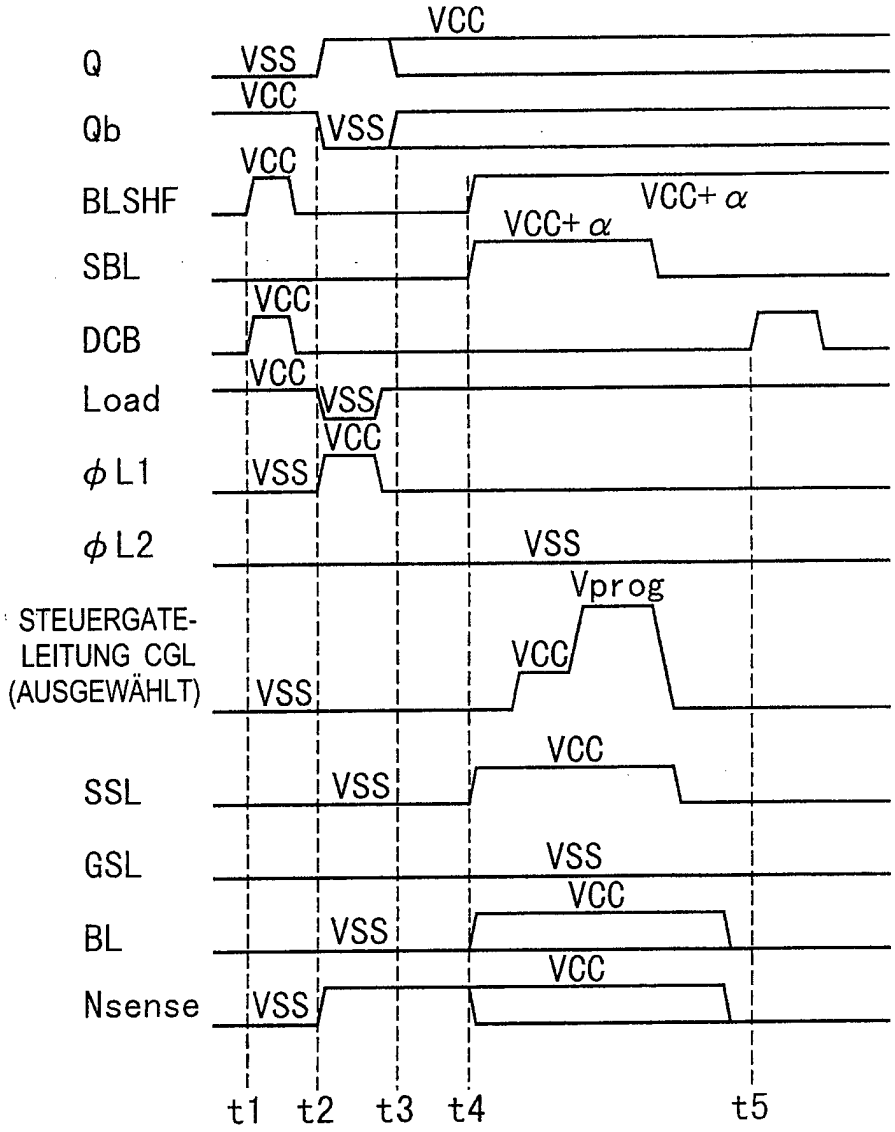

Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
STEUERGATE-LEITUNG CGL (AUSGEWÄHLT)
SSL
GSL
BL
Nsense
VCC
VSS
VCC+ α
Vprog
t1
t2
t3
t4
t5

FIG. 15

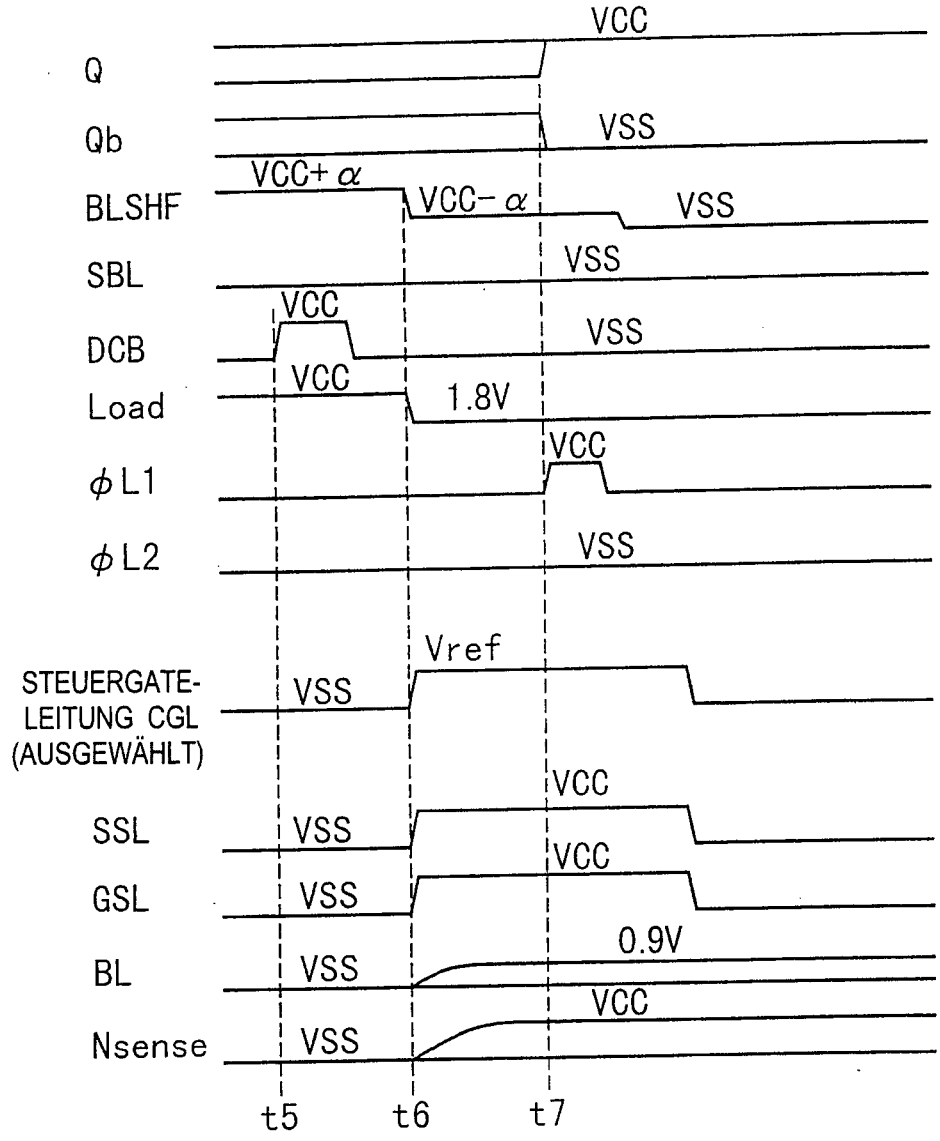

VCC
Q
Qb
VSS
VCC+ α
VCC- α
BLSHF
VSS
SBL
VSS
VCC
DCB
VSS
VCC
Load
1.8V
VCC
φL1
φL2
VSS
Vref
STEUERGATE-
LEITUNG CGL
(AUSGEWÄHLT)
VSS
VCC
SSL
VSS
VCC
GSL
VSS
0.9V
BL
VSS
VCC
Nsense
VSS
t5
t6
t7

FIG. 16

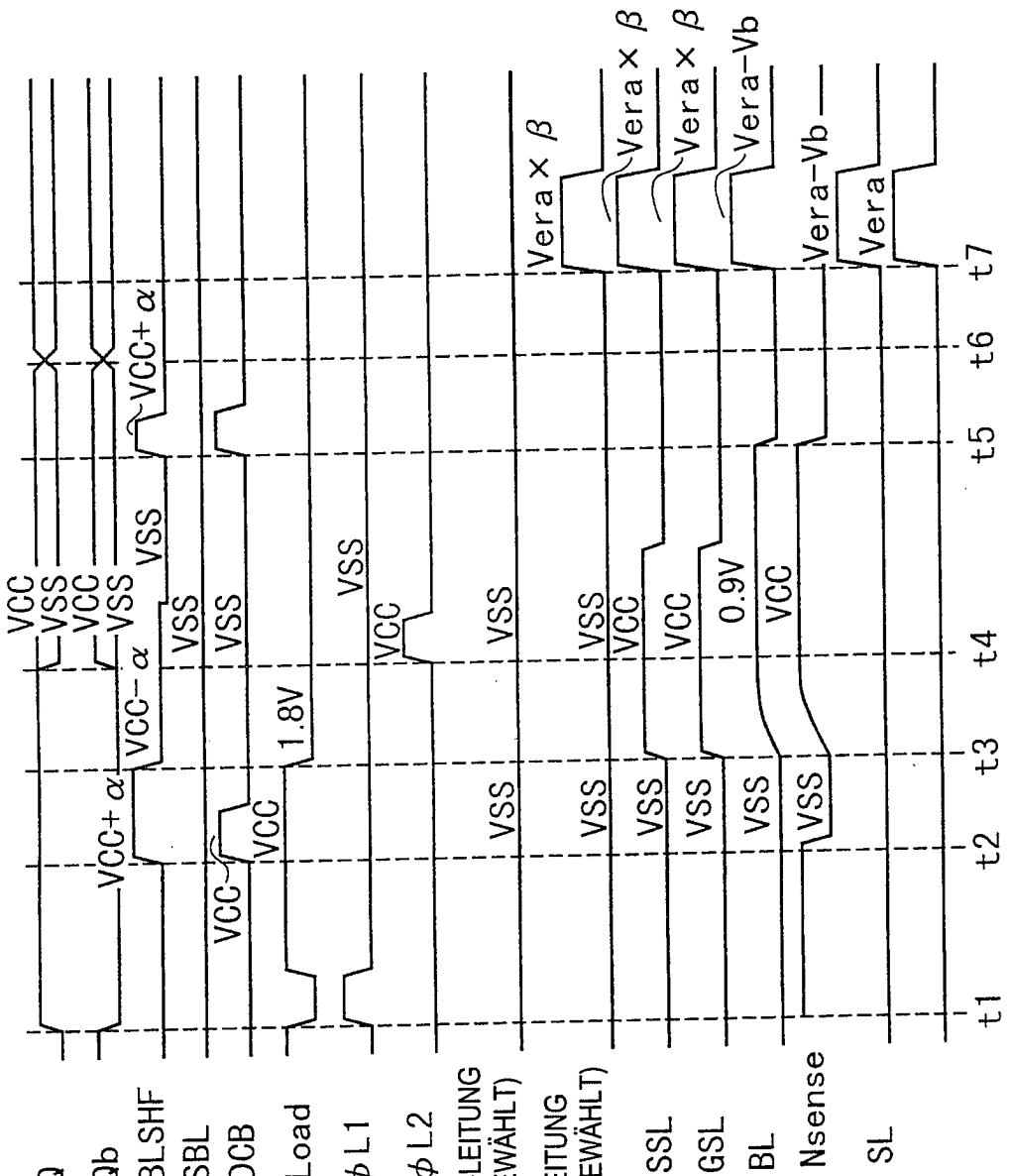

Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
STEUERGATE-LEITUNG CGL (AUSGEWÄHLT)
STEUERGATE-LEITUNG CGL (NICHT AUSGEWÄHLT)
SSL
GSL
BL
Nsense
SL
VCC
VSS
VCC+α
VCC−α
1.8V
0.9V
Vera×β
Vera
Vera−Vb
t1
t2
t3
t4
t5
t6
t7

FIG. 17

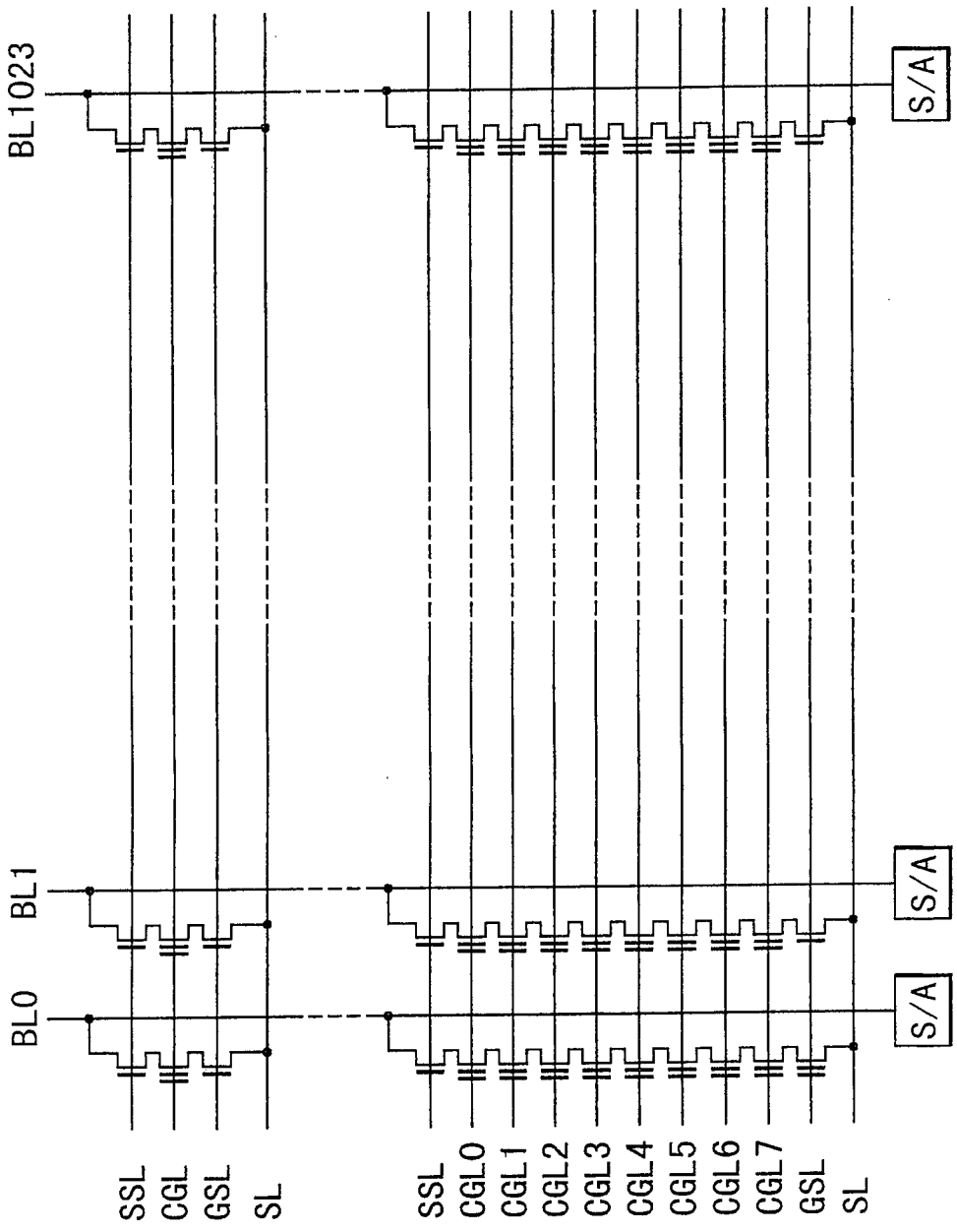

BL1023
BL1
BL0
S/A
S/A
S/A
SSL
CGL
GSL
SL
SSL
CGL0
CGL1
CGL2
CGL3
CGL4
CGL5
CGL6
CGL7
GSL
SL

FIG. 18

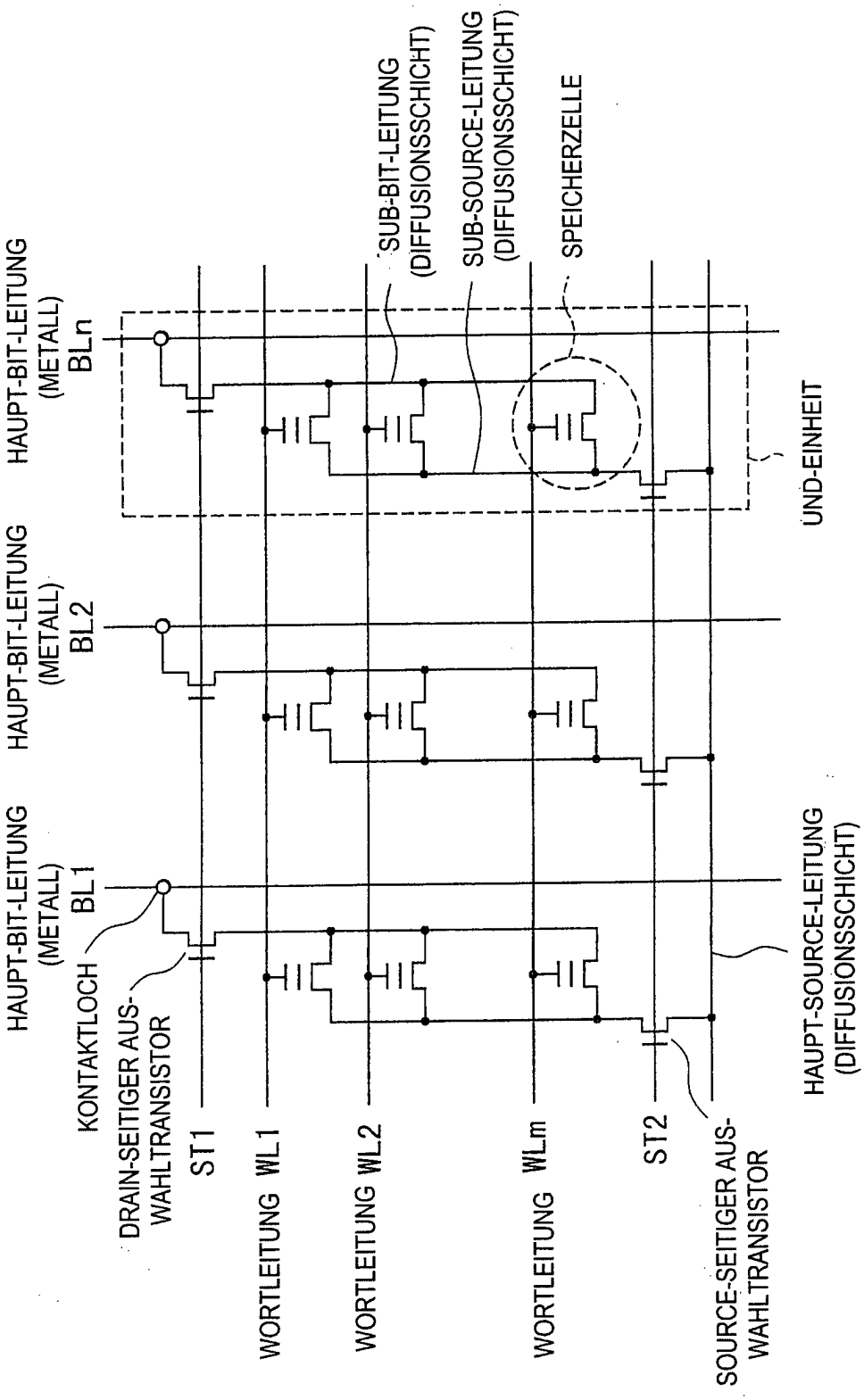

HAUPT-BIT-LEITUNG (METALL) BLn
HAUPT-BIT-LEITUNG (METALL) BL2
HAUPT-BIT-LEITUNG (METALL) BL1
SUB-BIT-LEITUNG (DIFFUSIONSSCHICHT)
SUB-SOURCE-LEITUNG (DIFFUSIONSSCHICHT)
SPEICHERZELLE
UND-EINHEIT
KONTAKTLOCH
DRAIN-SEITIGER AUS-WAHLTRANSISTOR
ST1
WORTLEITUNG WL1
WORTLEITUNG WL2
WORTLEITUNG WLm
ST2
SOURCE-SEITIGER AUS-WAHLTRANSISTOR
HAUPT-SOURCE-LEITUNG (DIFFUSIONSSCHICHT)

FIG. 19

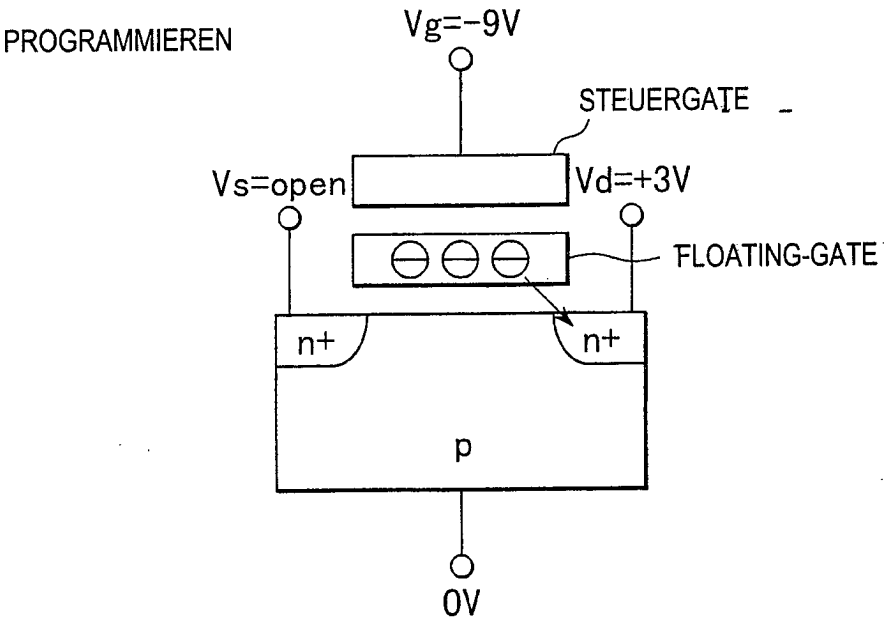

PROGRAMMIEREN
Vg=-9V
STEUERGATE
Vs=open
Vd=+3V
FLOATING-GATE
n+
n+
p
0V

FIG. 20

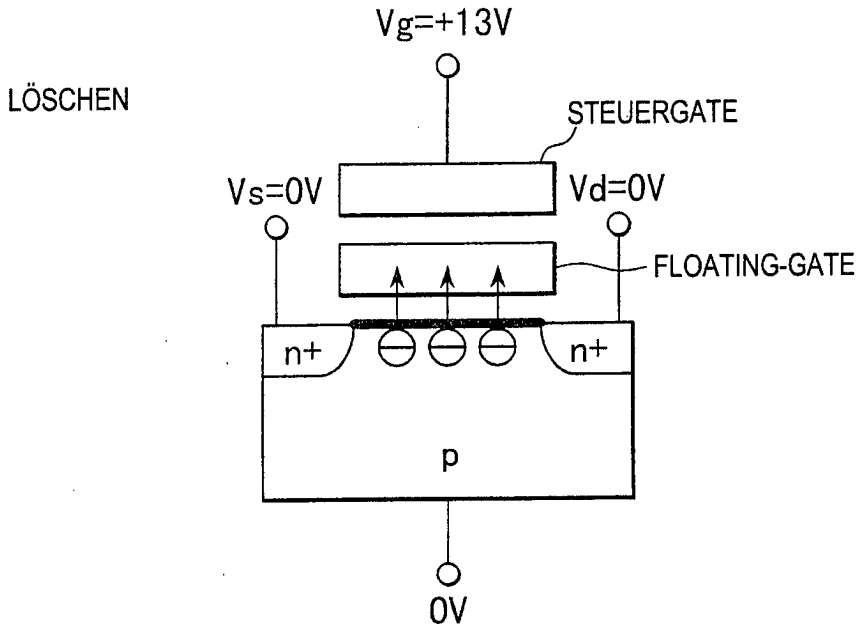

LÖSCHEN
Vg=+13V
STEUERGATE
Vs=0V
Vd=0V
FLOATING-GATE
n+
n+
p
0V

FIG. 21

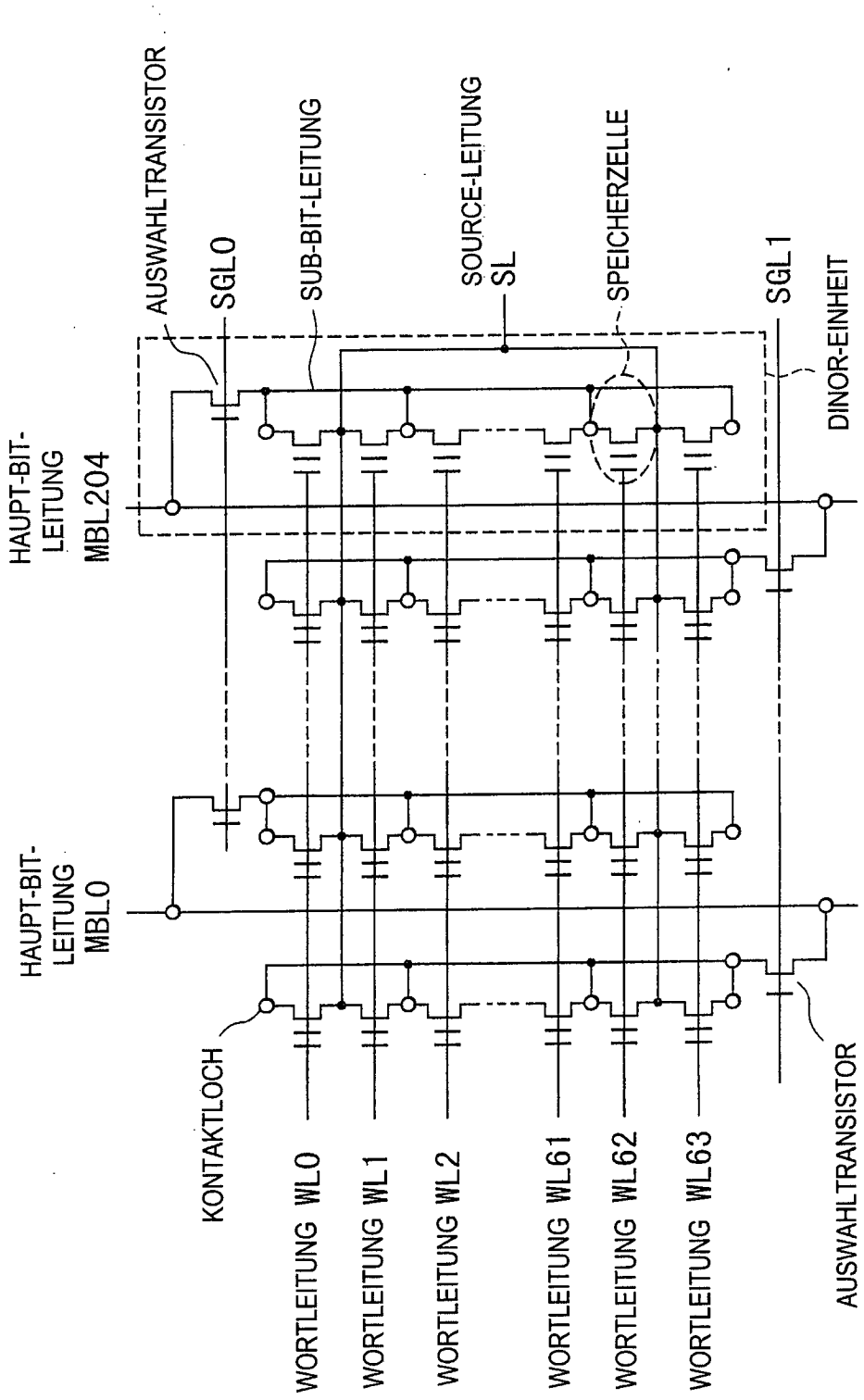

HAUPT-BIT-LEITUNG MBL204
HAUPT-BIT-LEITUNG MBL0
AUSWAHLTRANSISTOR
SGL0
SUB-BIT-LEITUNG
SOURCE-LEITUNG SL
SPEICHERZELLE
SGL1
DINOR-EINHEIT
KONTAKTLOCH
WORTLEITUNG WL0
WORTLEITUNG WL1
WORTLEITUNG WL2
WORTLEITUNG WL61
WORTLEITUNG WL62
WORTLEITUNG WL63
AUSWAHLTRANSISTOR

FIG. 22

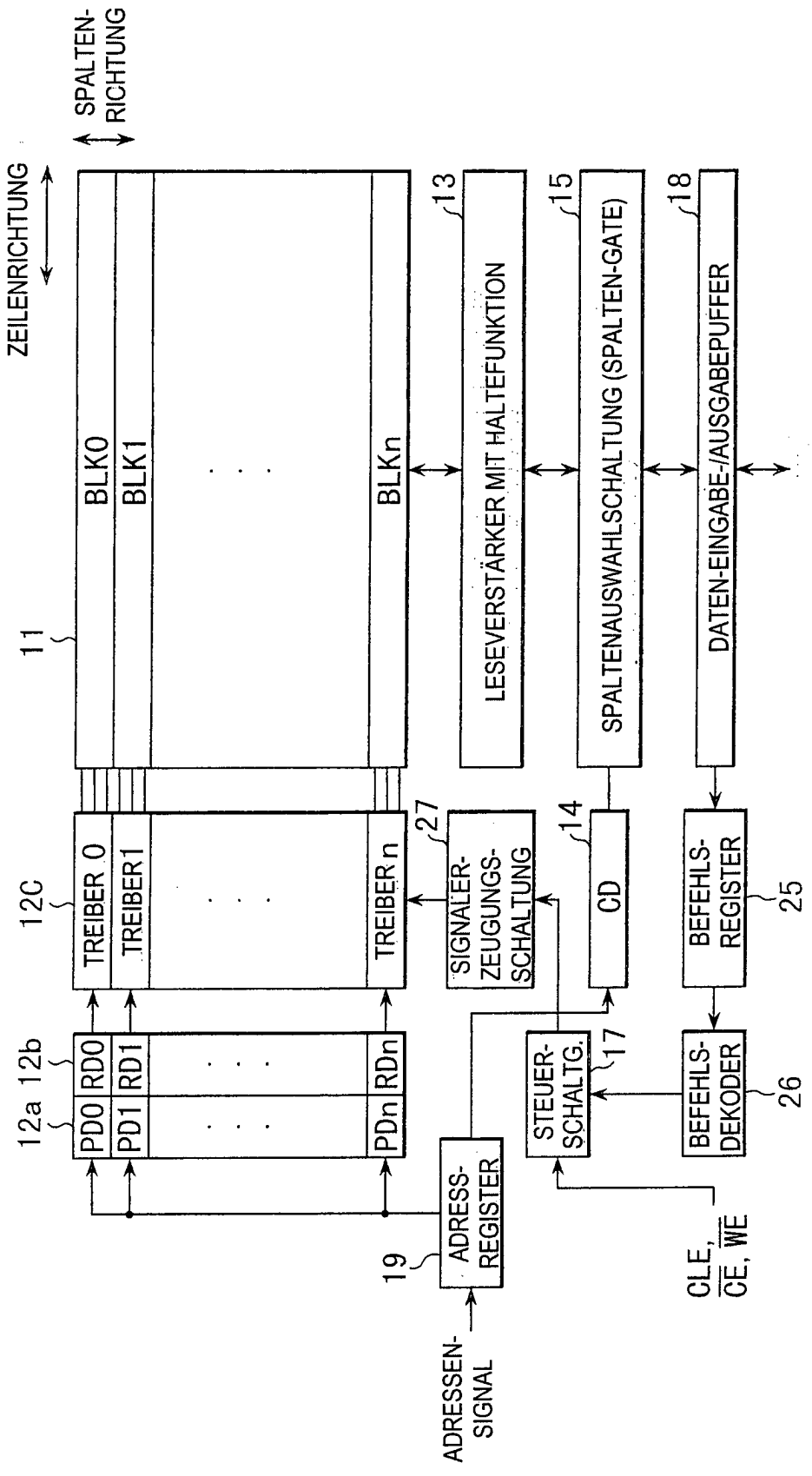

ZEILENRICHTUNG
SPALTEN-RICHTUNG
11
BLK0
BLK1
BLKn
13
LESEVERSTÄRKER MIT HALTEFUNKTION
15
SPALTENAUSWAHLSCHALTUNG (SPALTEN-GATE)
18
DATEN-EINGABE-/AUSGABEPUFFER
12C
TREIBER 0
TREIBER1
TREIBER n
27
SIGNALER-ZEUGUNGS-SCHALTUNG
14
CD
BEFEHLS-REGISTER
25
12a 12b
PD0
PD1
PDn
RD0
RD1
RDn
STEUER-SCHALTG.
17
BEFEHLS-DEKODER
26
19
ADRESS-REGISTER
ADRESSEN-SIGNAL
CLE, CE, WE

FIG. 23

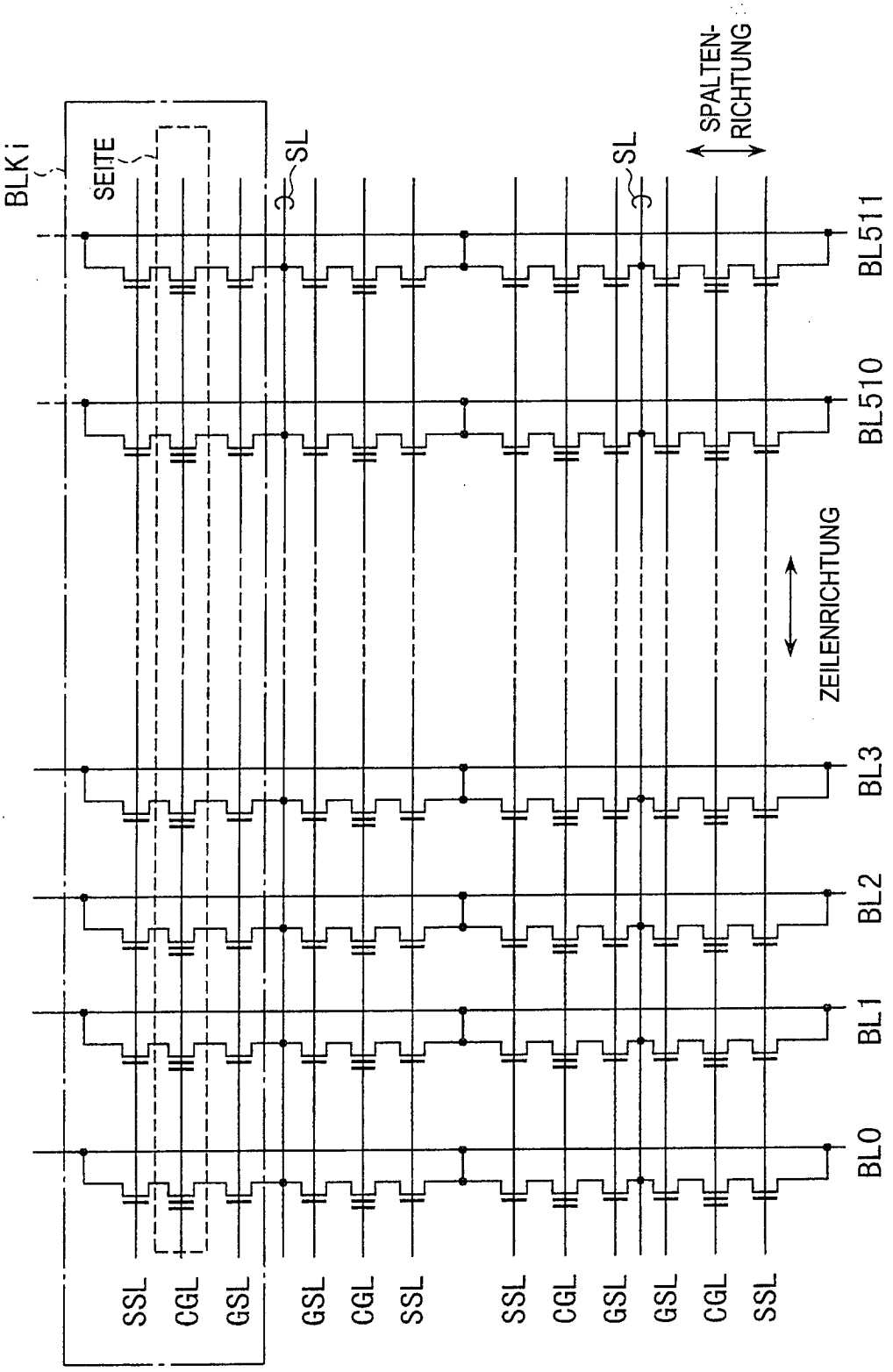

BLKi
SEITE
SL
SL
SPALTEN-
RICHTUNG
BL511
BL510
ZEILENRICHTUNG
BL3
BL2
BL1
BL0
SSL
CGL
GSL
GSL
CGL
SSL
SSL
CGL
GSL
GSL
CGL
SSL

FIG. 24

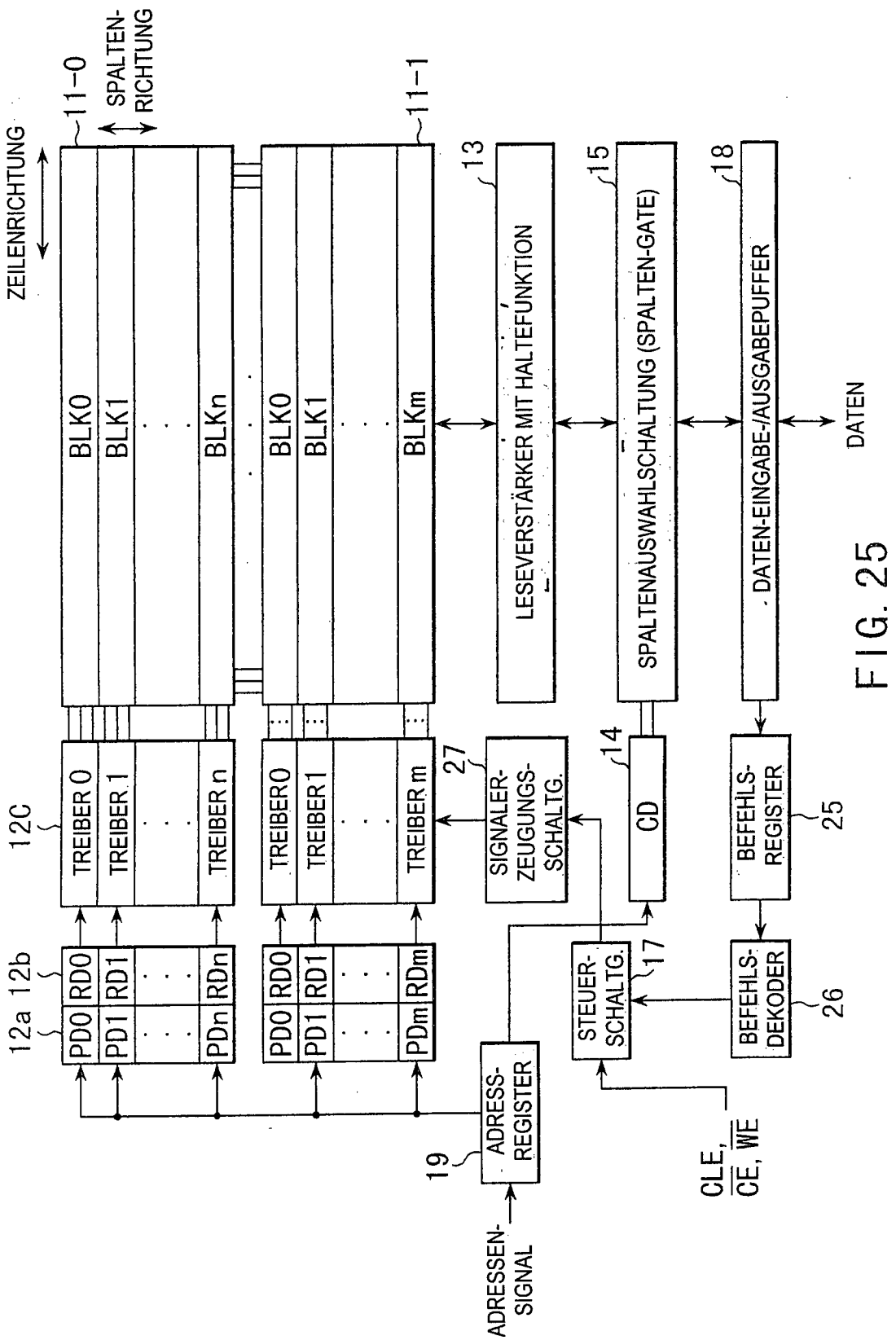

ZEILENRICHTUNG
SPALTEN-RICHTUNG
11-0
11-1
BLK0
BLK1
BLKn
BLK0
BLK1
BLKm
13
LESEVERSTÄRKER MIT HALTEFUNKTION
15
SPALTENAUSWAHLSCHALTUNG (SPALTEN-GATE)
18
DATEN-EINGABE-/AUSGABEPUFFER
DATEN
12C
TREIBER 0
TREIBER 1
TREIBER n
TREIBER0
TREIBER1
TREIBER m
27
SIGNALER-ZEUGUNGS-SCHALTG.
14
CD
BEFEHLS-REGISTER
25
12a 12b
PD0 RD0
PD1 RD1
PDn RDn
PD0 RD0
PD1 RD1
PDm RDm
STEUER-SCHALTG.
17
BEFEHLS-DEKODER
26
19
ADRESS-REGISTER
ADRESSEN-SIGNAL
CLE, CE, WE

FIG. 25

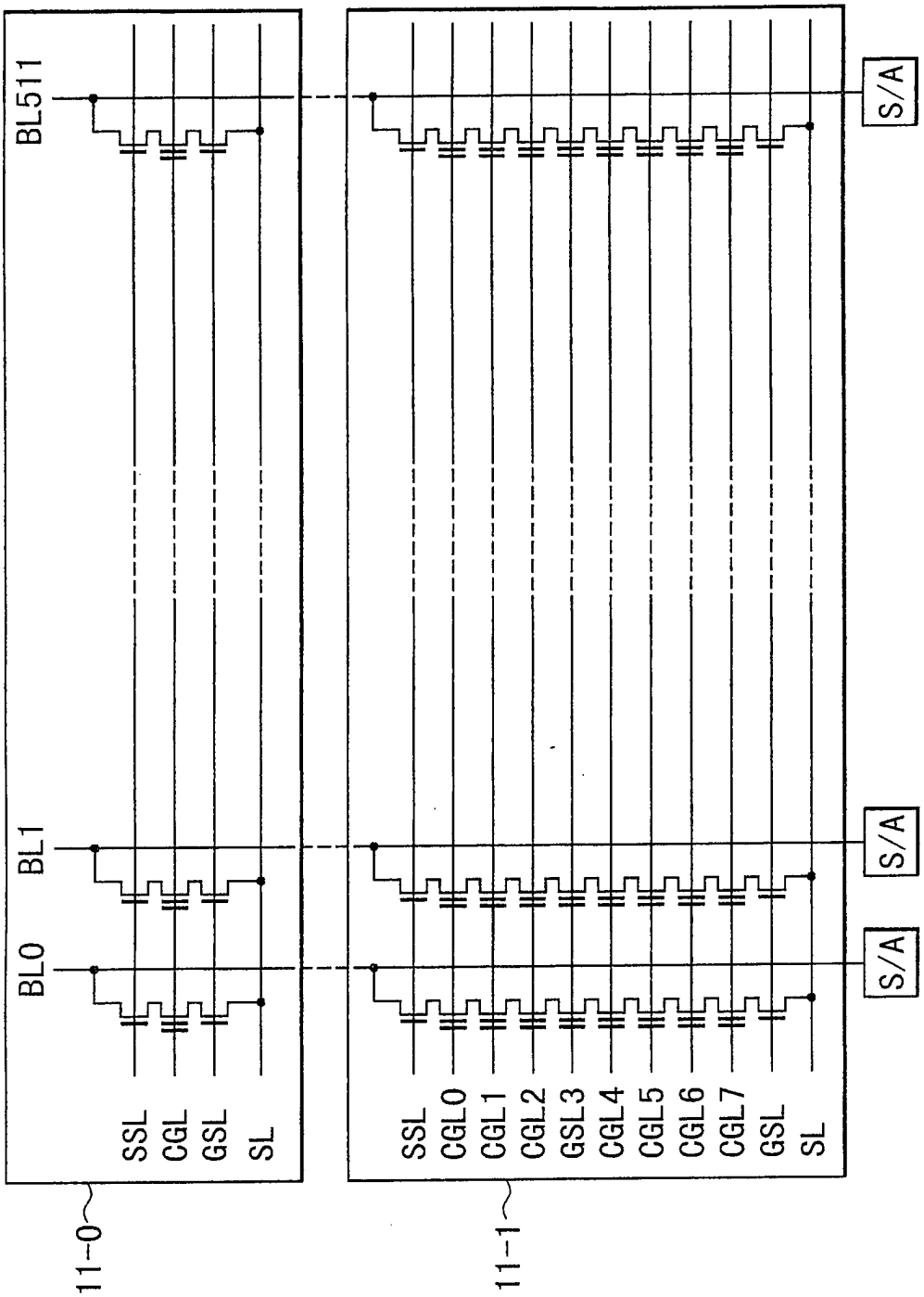

BL511
BL1
BL0
SSL
CGL
GSL
SL
11-0
SSL
CGL0
CGL1
CGL2
GSL3
CGL4
CGL5
CGL6
CGL7
GSL
SL
11-1
S/A
S/A
S/A

FIG. 26

PROGRAMMIER- UND LÖSCHBETRIEB FÜR BYTE-DATEN

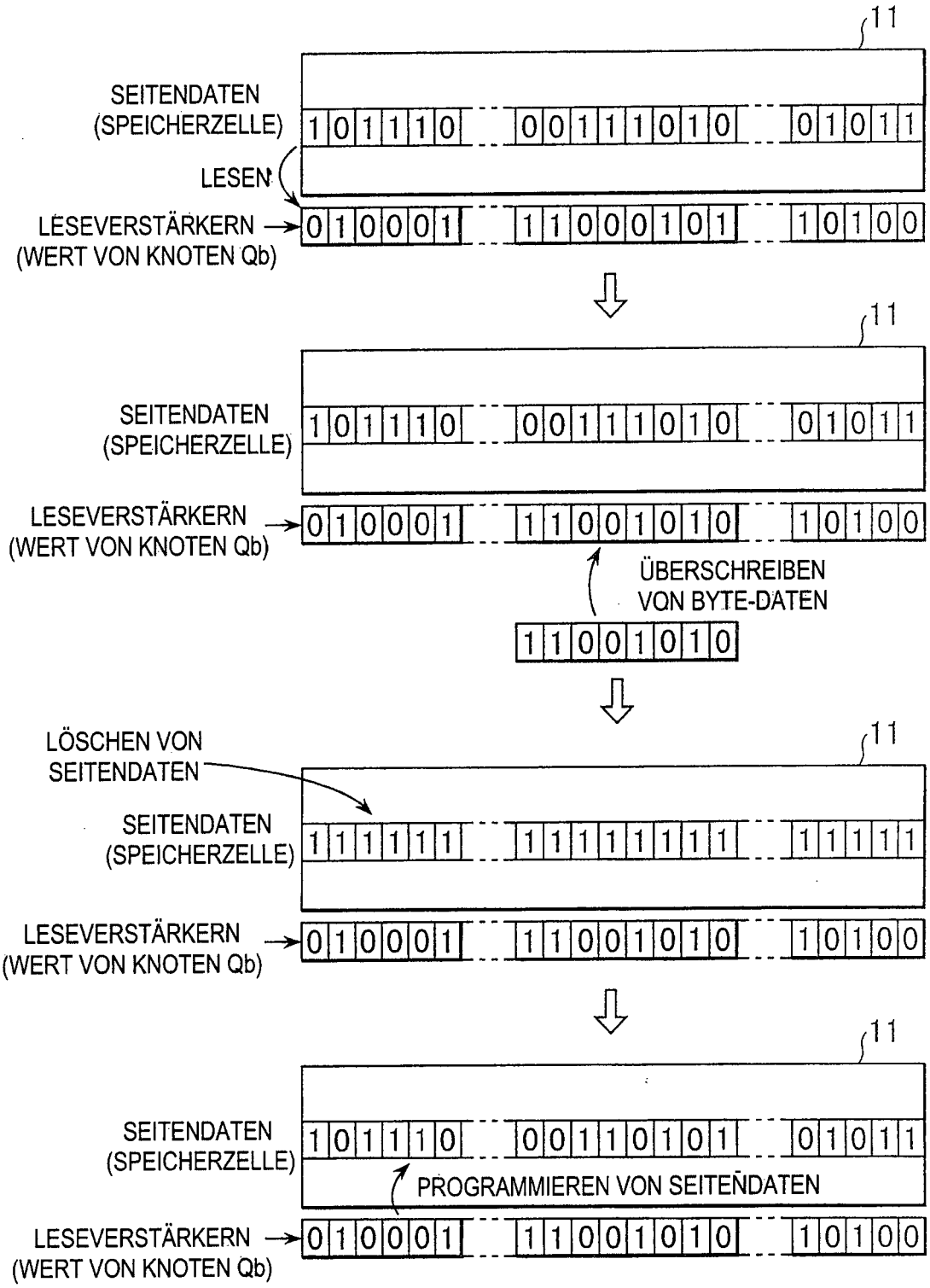


FIG. 27

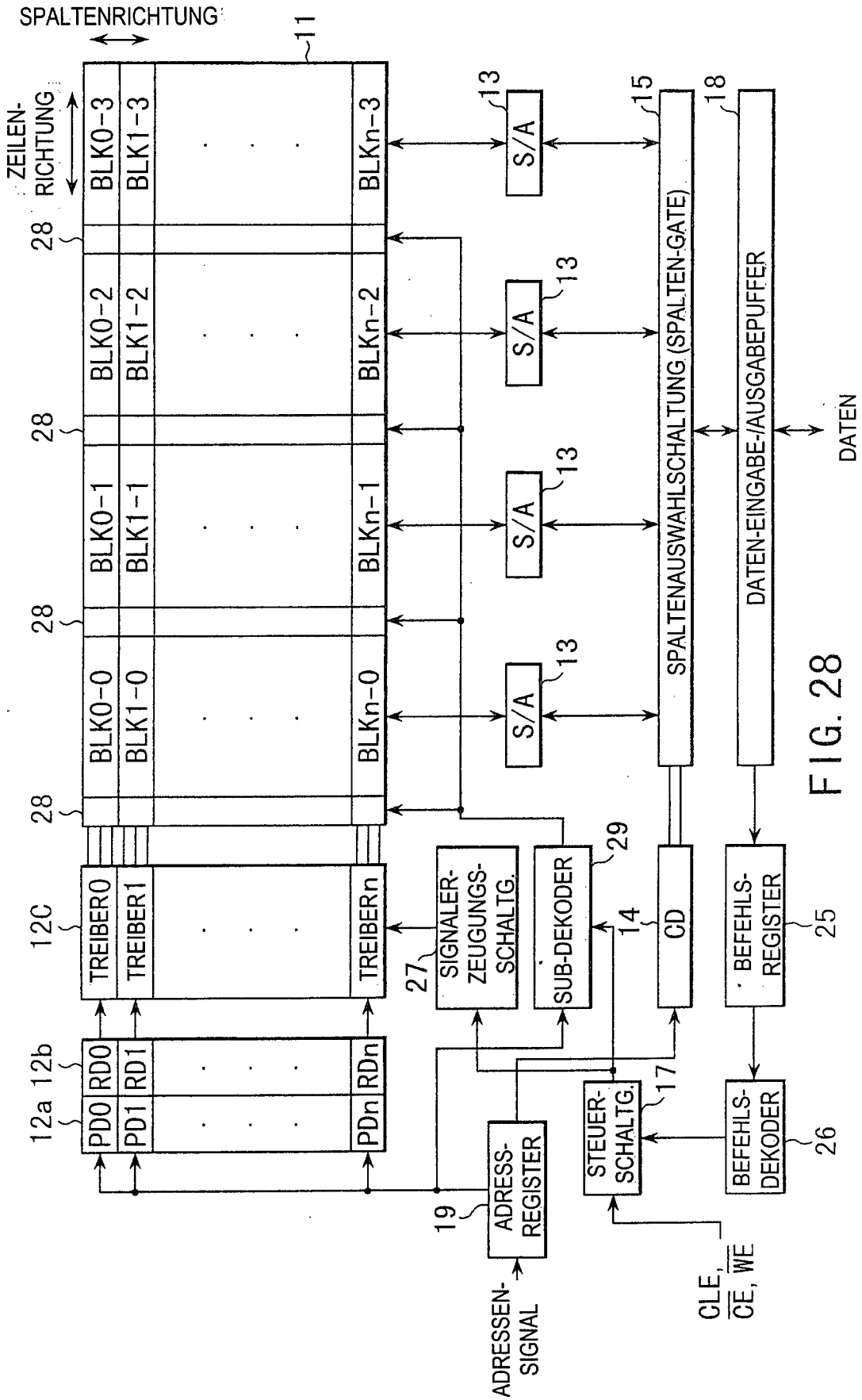

SPALTENRICHTUNG
ZEILEN-RICHTUNG
11
BLK0-3
BLK1-3
BLKn-3
BLK0-2
BLK1-2
BLKn-2
BLK0-1
BLK1-1
BLKn-1
BLK0-0
BLK1-0
BLKn-0
28
13
S/A
15
SPALTENAUSWAHLSCHALTUNG (SPALTEN-GATE)
18
DATEN-EINGABE-/AUSGABEPUFFER
DATEN
12C
TREIBER0
TREIBER1
TREIBERn
12a 12b
PD0
PD1
PDn
RD0
RD1
RDn
27
SIGNALER-ZEUGUNGS-SCHALTG.
SUB-DEKODER
29
14
CD
BEFEHLS-REGISTER
25
19
ADRESS-REGISTER
ADRESSEN-SIGNAL
STEUER-SCHALTG.
17
BEFEHLS-DEKODER
26
CLE, CE, WE

FIG. 28

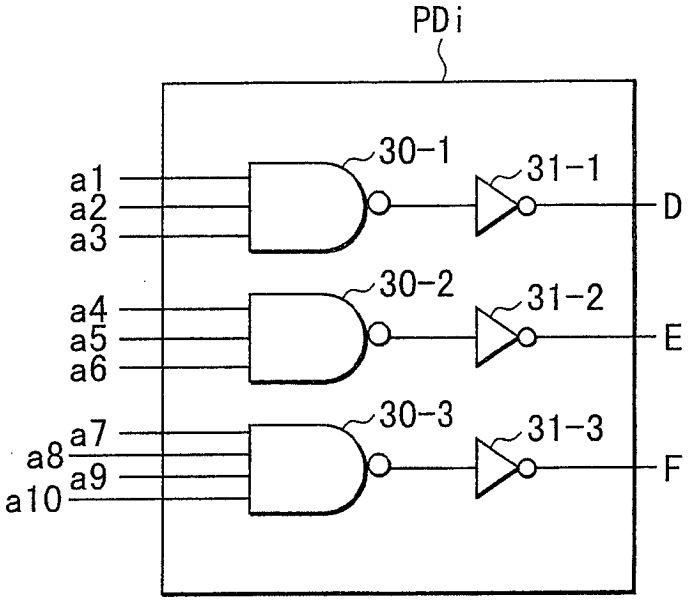


FIG. 29

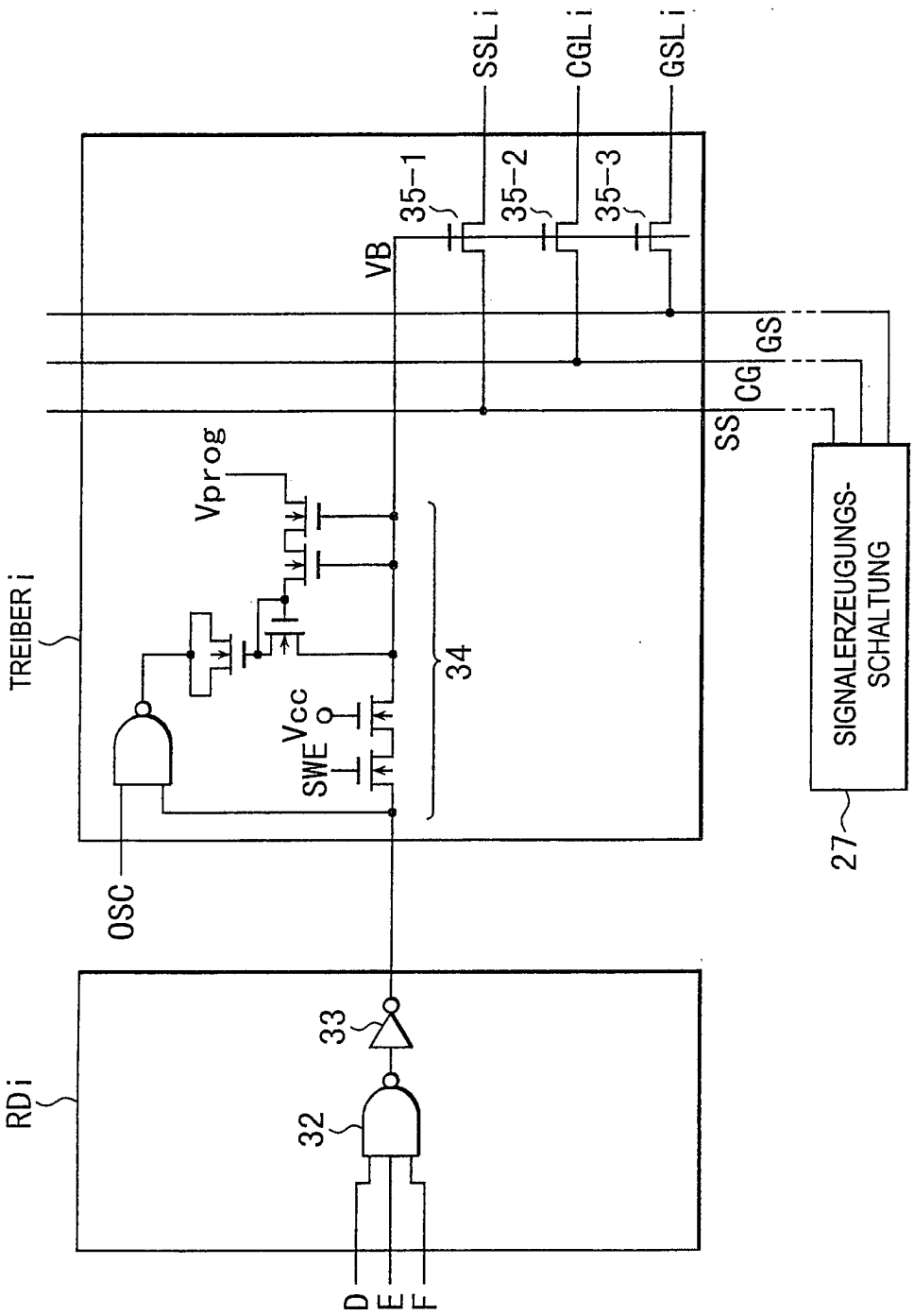

SSLi
CGLi
GSLi
35-1
35-2
35-3
VB
GS
CG
SS
Vprog
TREIBERi
34
Vcc
SWE
OSC
SIGNALERZEUGUNGS-SCHALTUNG
27
33
32
RDi
D
E
F

FIG. 30

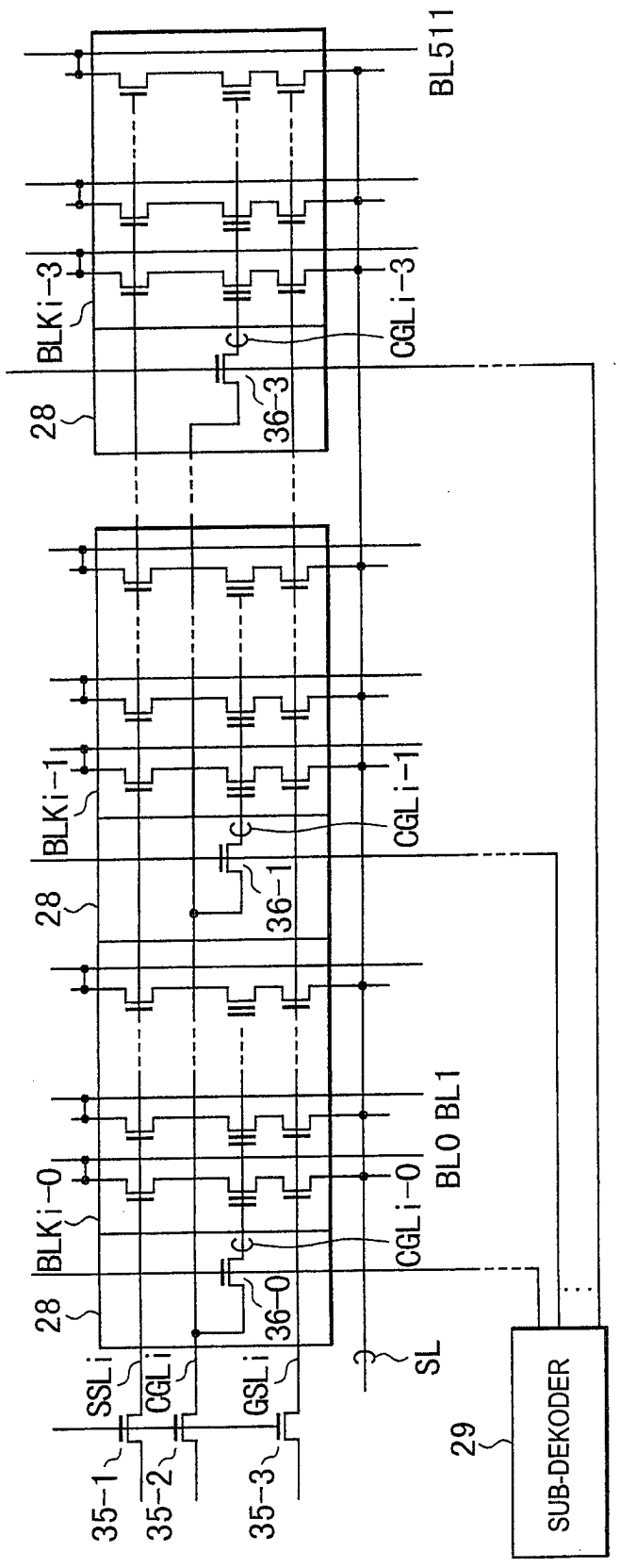

BL511
BLKi-3
CGLi-3
36-3
28
BLKi-1
CGLi-1
36-1
BLKi-0
CGLi-0
36-0
BL0 BL1
SSLi
CGLi
GSLi
35-1
35-2
35-3
SL
29
SUB-DEKODER

FIG. 31

PROGRAMMIER- UND LÖSCHBETRIEB FÜR BYTE-DATEN

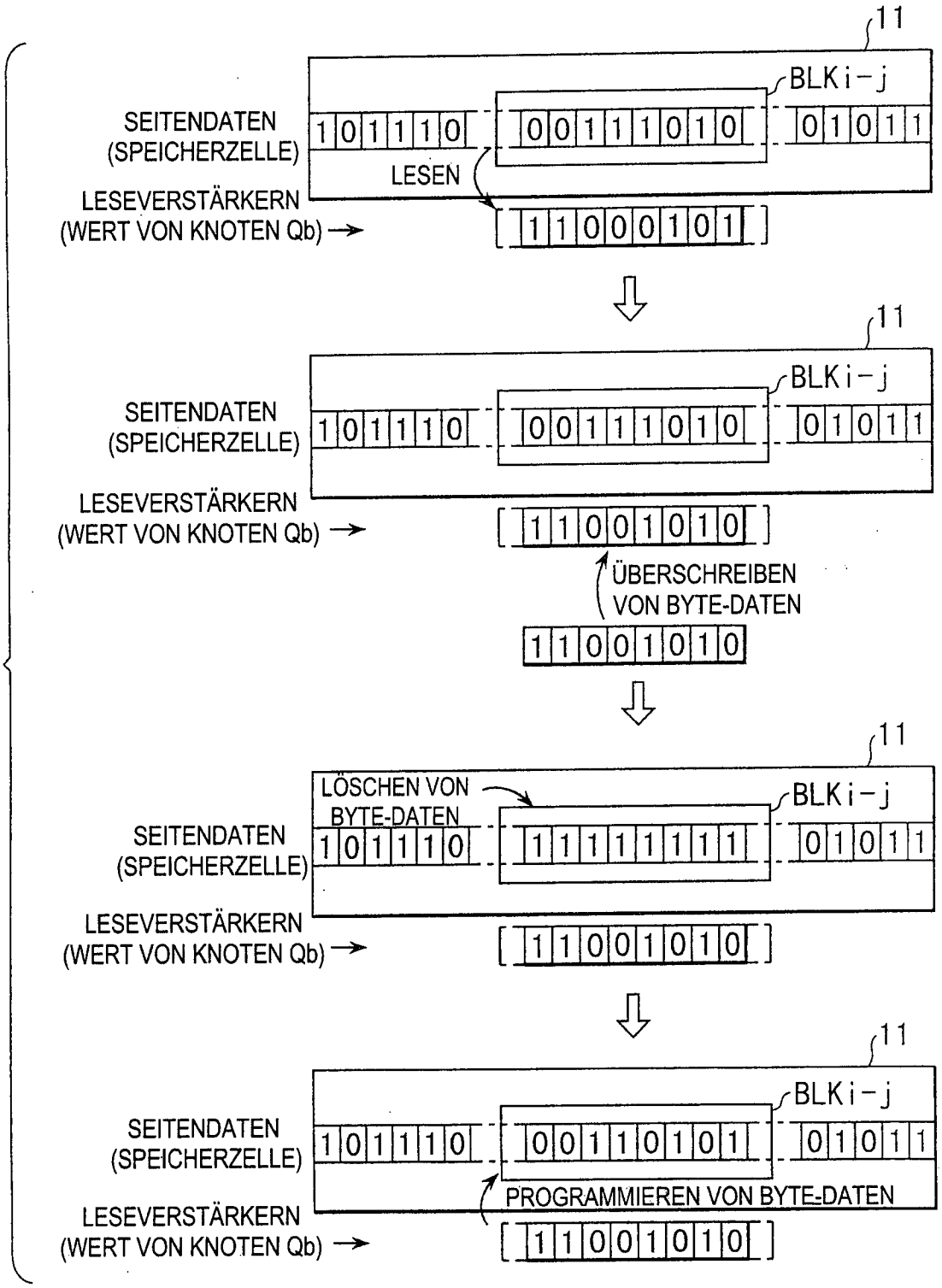


FIG. 32

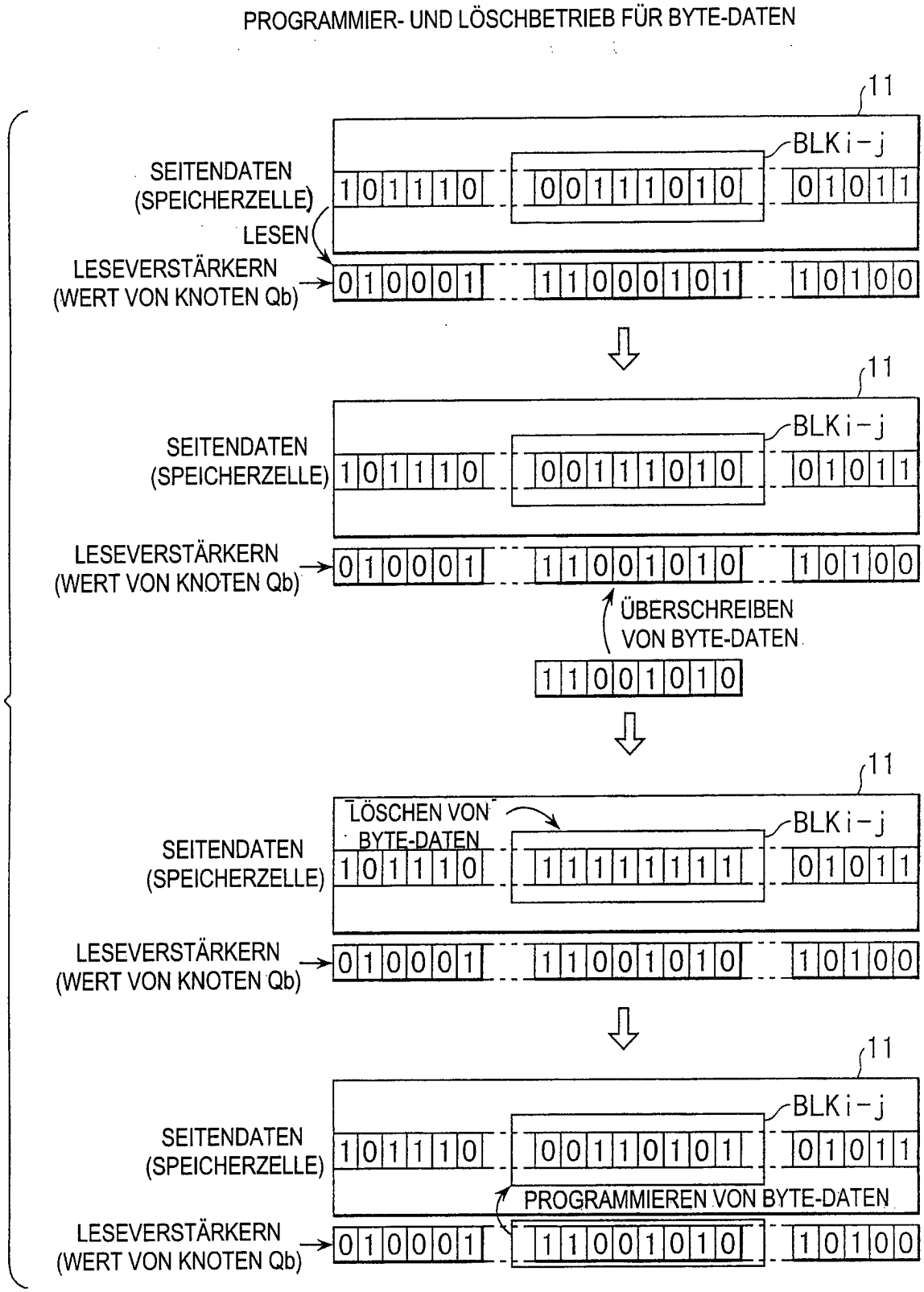

PROGRAMMIER- UND LÖSCHBETRIEB FÜR BYTE-DATEN
11
BLK i-j
SEITENDATEN
(SPEICHERZELLE)
LESEN
LESEVERSTÄRKERN
(WERT VON KNOTEN Qb)
1 0 1 1 1 0
0 0 1 1 1 0 1 0
0 1 0 1 1
0 1 0 0 0 1
1 1 0 0 0 1 0 1
1 0 1 0 0
ÜBERSCHREIBEN
VON BYTE-DATEN
1 1 0 0 1 0 1 0
LÖSCHEN VON
BYTE-DATEN
1 1 1 1 1 1 1 1
0 0 1 1 0 1 0 1
PROGRAMMIEREN VON BYTE-DATEN

FIG. 33

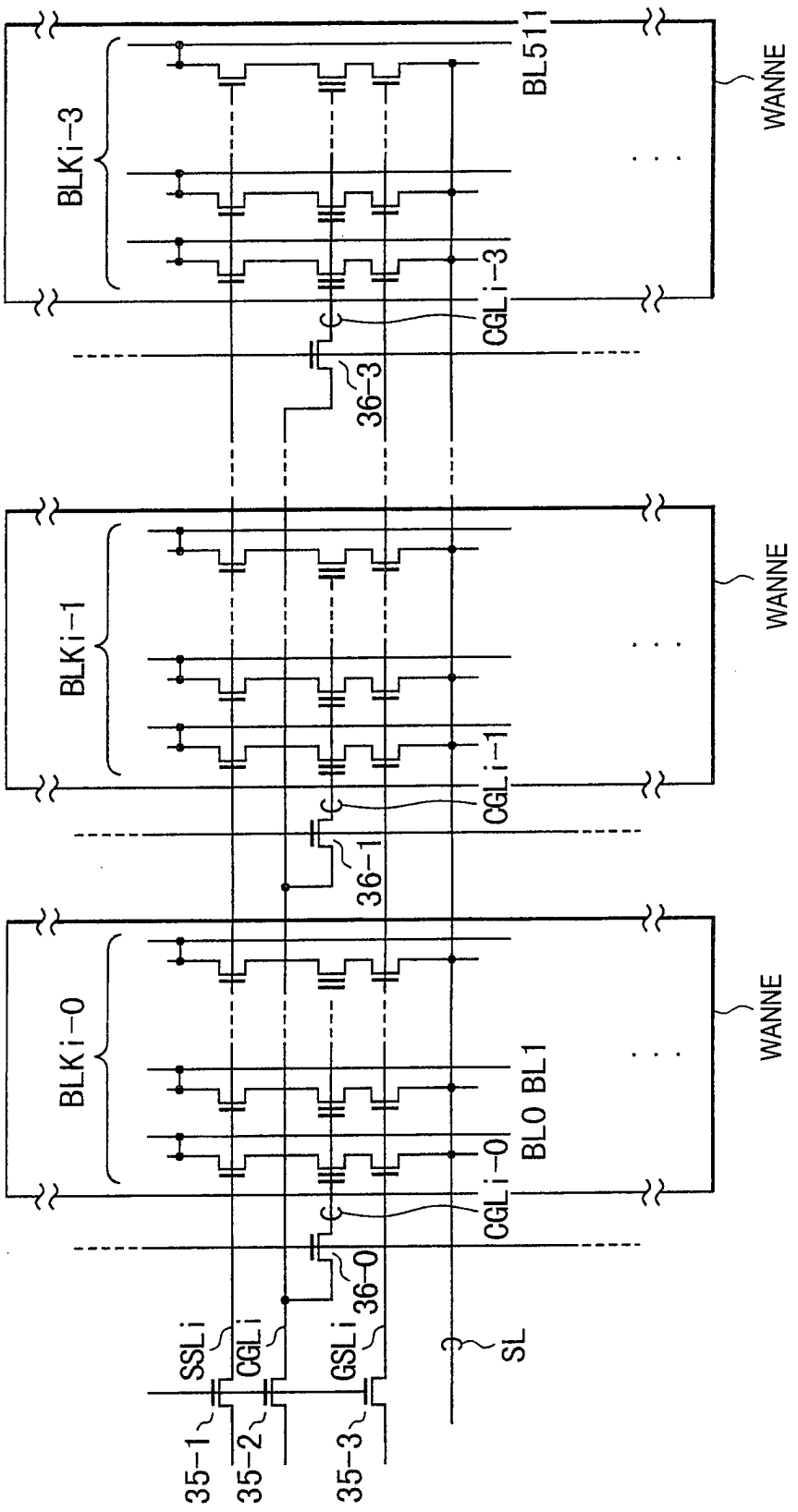

BLKi-3
BLKi-1
BLKi-0
BL511
BL0 BL1
WANNE
CGLi-3
CGLi-1
CGLi-0
36-3
36-1
36-0
SSLi
CGLi
GSLi
SL
35-1
35-2
35-3

FIG. 34

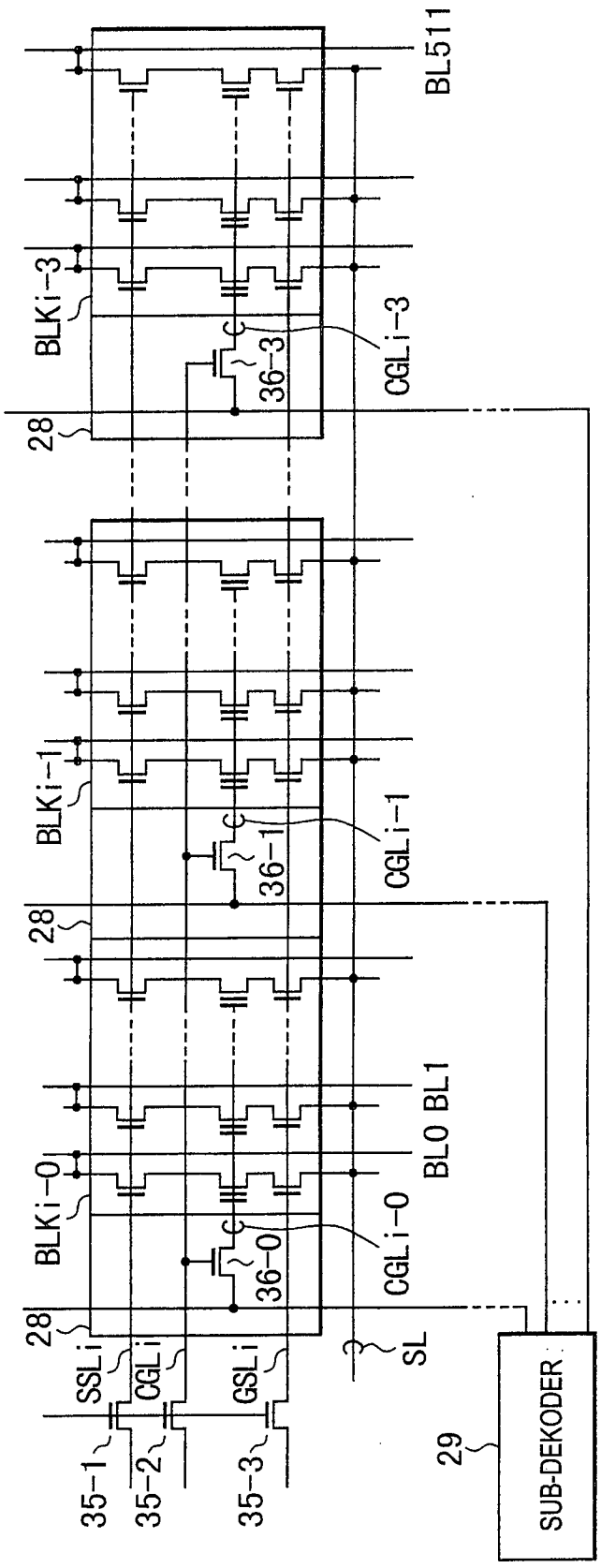

BL511
BLKi-3
36-3
CGLi-3
28
BLKi-1
36-1
CGLi-1
28
BLKi-0
36-0
CGLi-0
BL0 BL1
28
SSLi
CGLi
GSLi
SL
35-1
35-2
35-3
29
SUB-DEKODER

FIG. 35

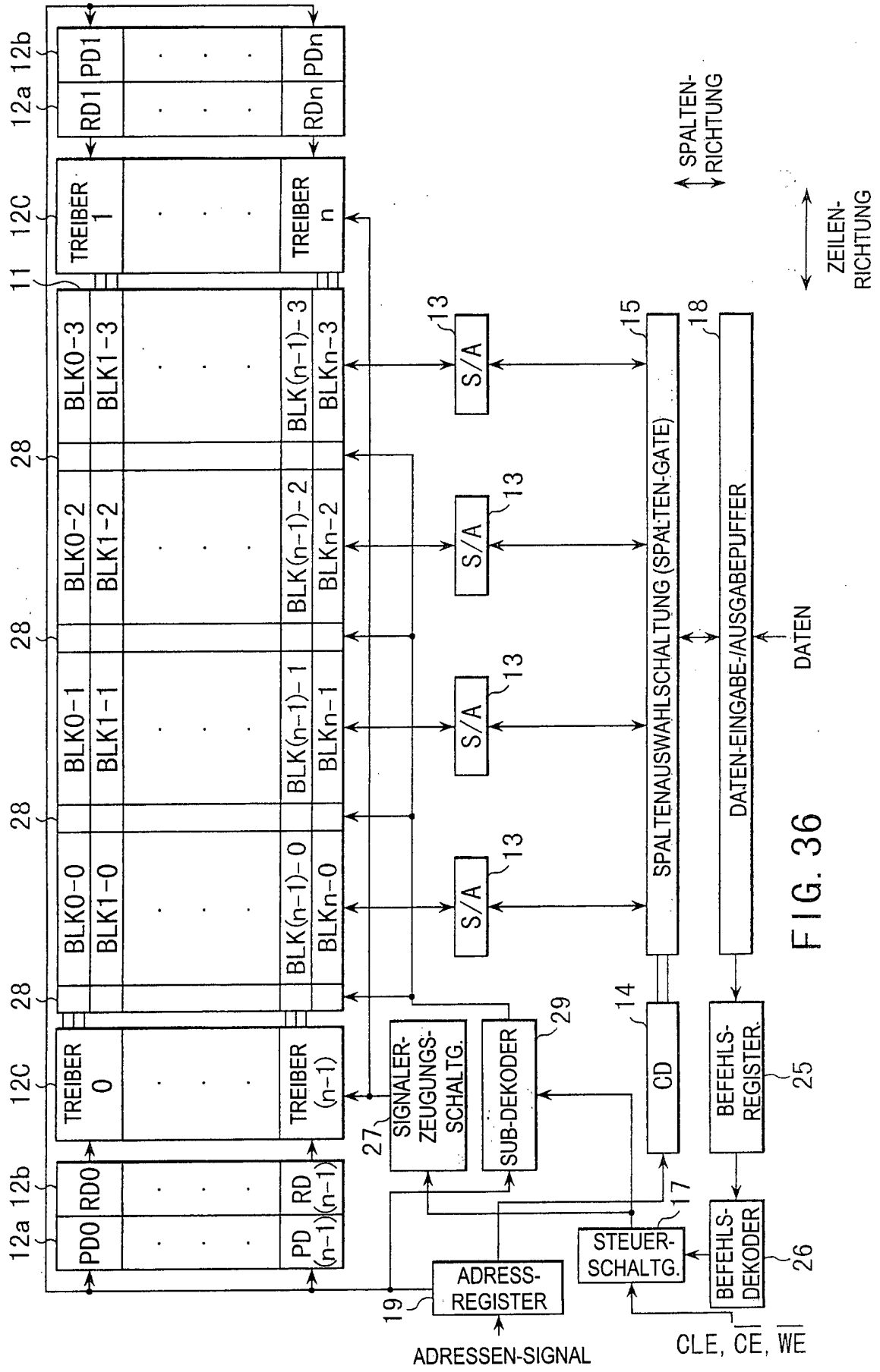

SPALTEN-RICHTUNG
ZEILEN-RICHTUNG
TREIBER 0
TREIBER 1
TREIBER n
TREIBER (n-1)
RD0
RD1
RDn
RD (n-1)
PD0
PD1
PDn
PD (n-1)
BLK0-0
BLK0-1
BLK0-2
BLK0-3
BLK1-0
BLK1-1
BLK1-2
BLK1-3
BLKn-0
BLKn-1
BLKn-2
BLKn-3
BLK(n-1)-0
BLK(n-1)-1
BLK(n-1)-2
BLK(n-1)-3
S/A
SPALTENAUSWAHLSCHALTUNG (SPALTEN-GATE)
DATEN-EINGABE-/AUSGABEPUFFER
DATEN
SIGNALER-ZEUGUNGS-SCHALTG.
SUB-DEKODER
CD
BEFEHLS-REGISTER
STEUER-SCHALTG.
BEFEHLS-DEKODER
ADRESS-REGISTER
ADRESSEN-SIGNAL
CLE, CE, WE
11
12a
12b
12C
13
14
15
17
18
19
25
26
27
28
29

FIG. 36

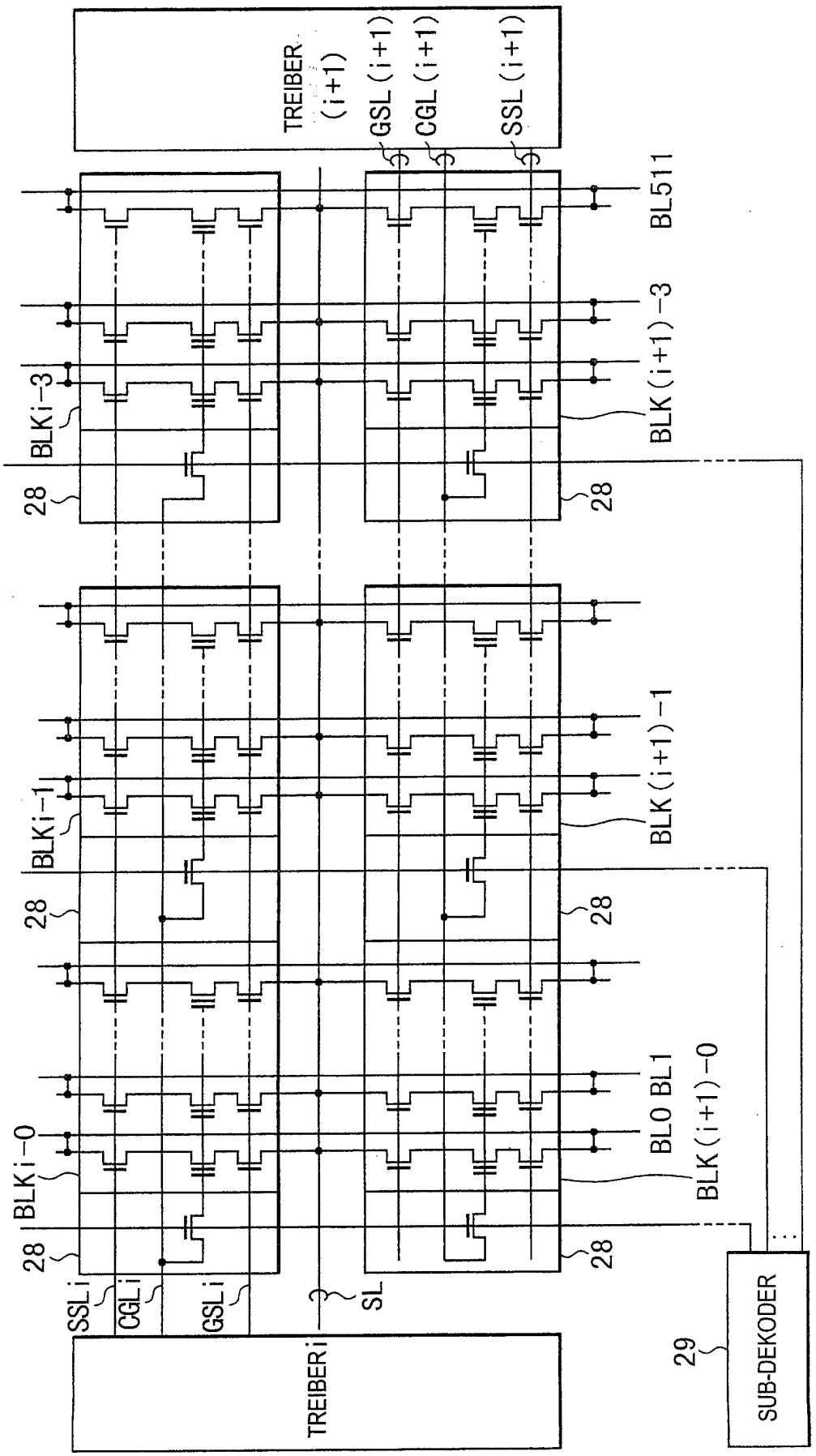

TREIBER (i+1)
GSL (i+1)
CGL (i+1)
SSL (i+1)
BL511
BL0
BL1
BLK (i+1)−3
BLK (i+1)−1
BLK (i+1)−0
BLK i−3
BLK i−1
BLK i−0
28
SSL i
CGL i
GSL i
SL
TREIBER i
29
SUB-DEKODER

FIG. 37

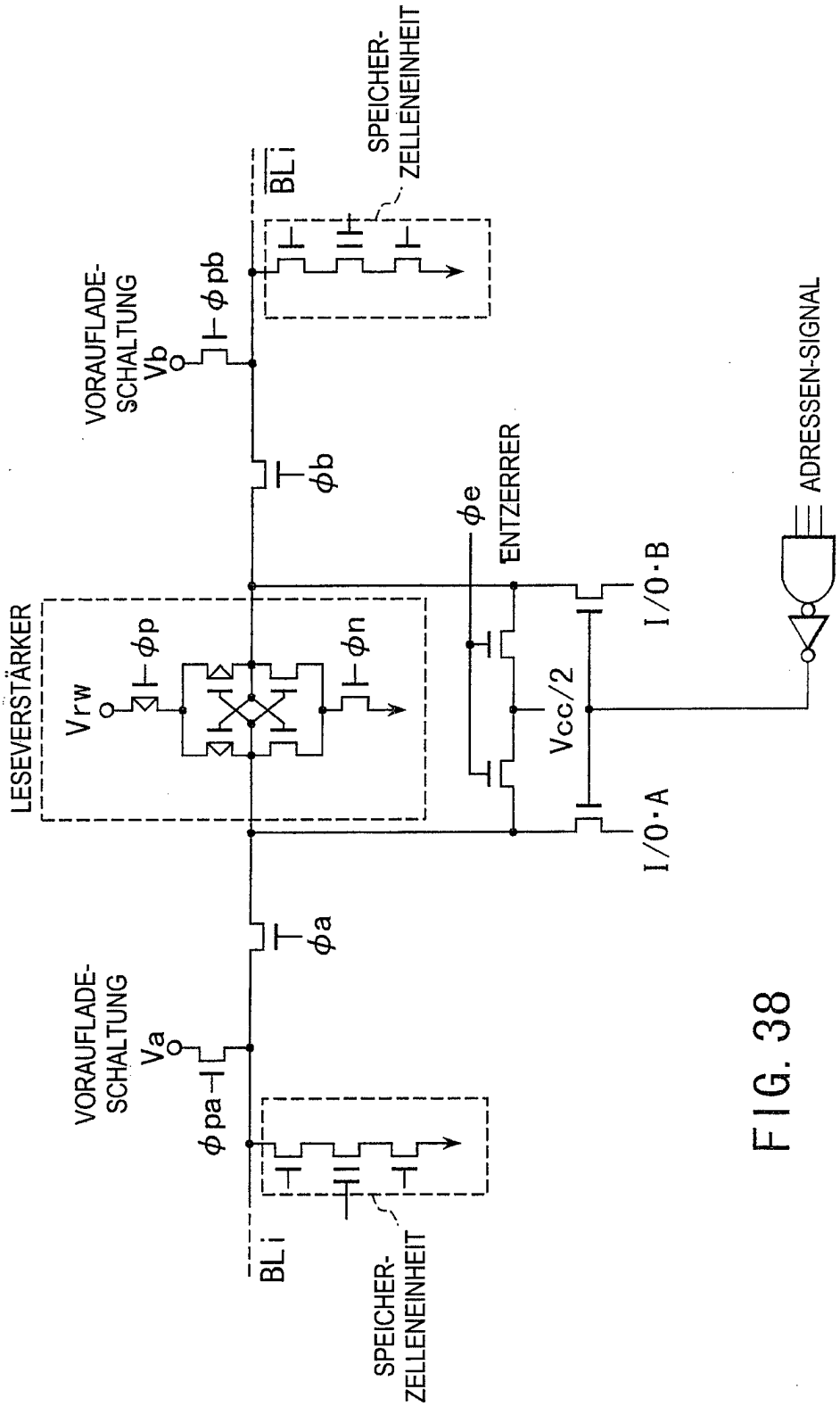

SPEICHER-ZELLENEINHEIT
BL i
VORAUFLADE-SCHALTUNG
Vb
φpb
φb
φe
ENTZERRER
ADRESSEN-SIGNAL
LESEVERSTÄRKER
Vrw
φp
φn
Vcc/2
I/O·B
I/O·A
φa
VORAUFLADE-SCHALTUNG
Va
φpa
BL i
SPEICHER-ZELLENEINHEIT

FIG. 38

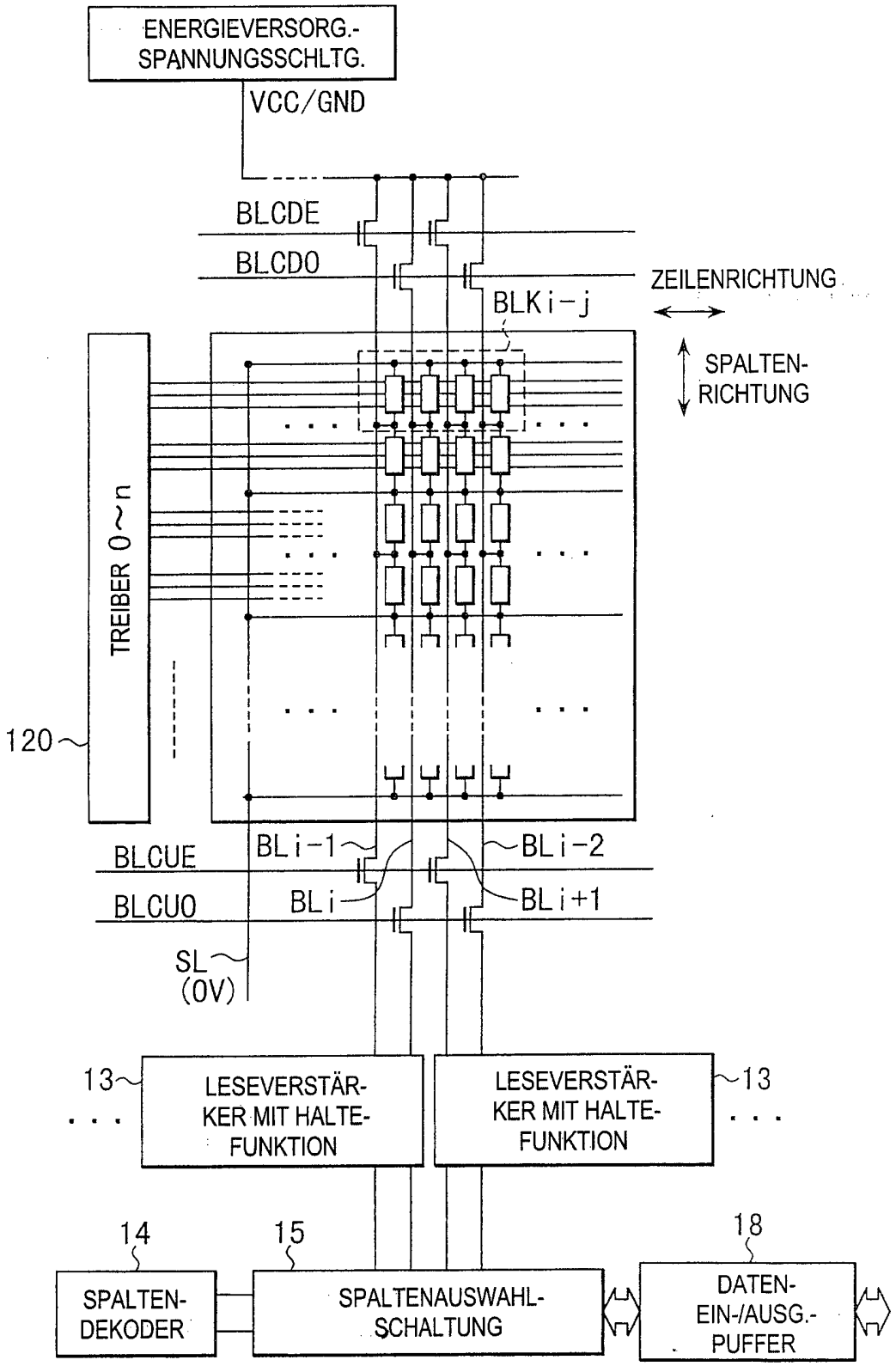

ENERGIEVERSORG.-
SPANNUNGSSCHLTG.
VCC/GND
BLCDE
BLCDO
ZEILENRICHTUNG
BLKi-j
SPALTEN-
RICHTUNG
TREIBER 0~n
120
BLCUE
BLCUO
BLi-1
BLi-2
BLi
BLi+1
SL
(0V)
13
LESEVERSTÄR-
KER MIT HALTE-
FUNKTION
LESEVERSTÄR-
KER MIT HALTE-
FUNKTION
13
14
15
18
SPALTEN-
DEKODER
SPALTENAUSWAHL-
SCHALTUNG
DATEN-
EIN-/AUSG.-
PUFFER

FIG. 39

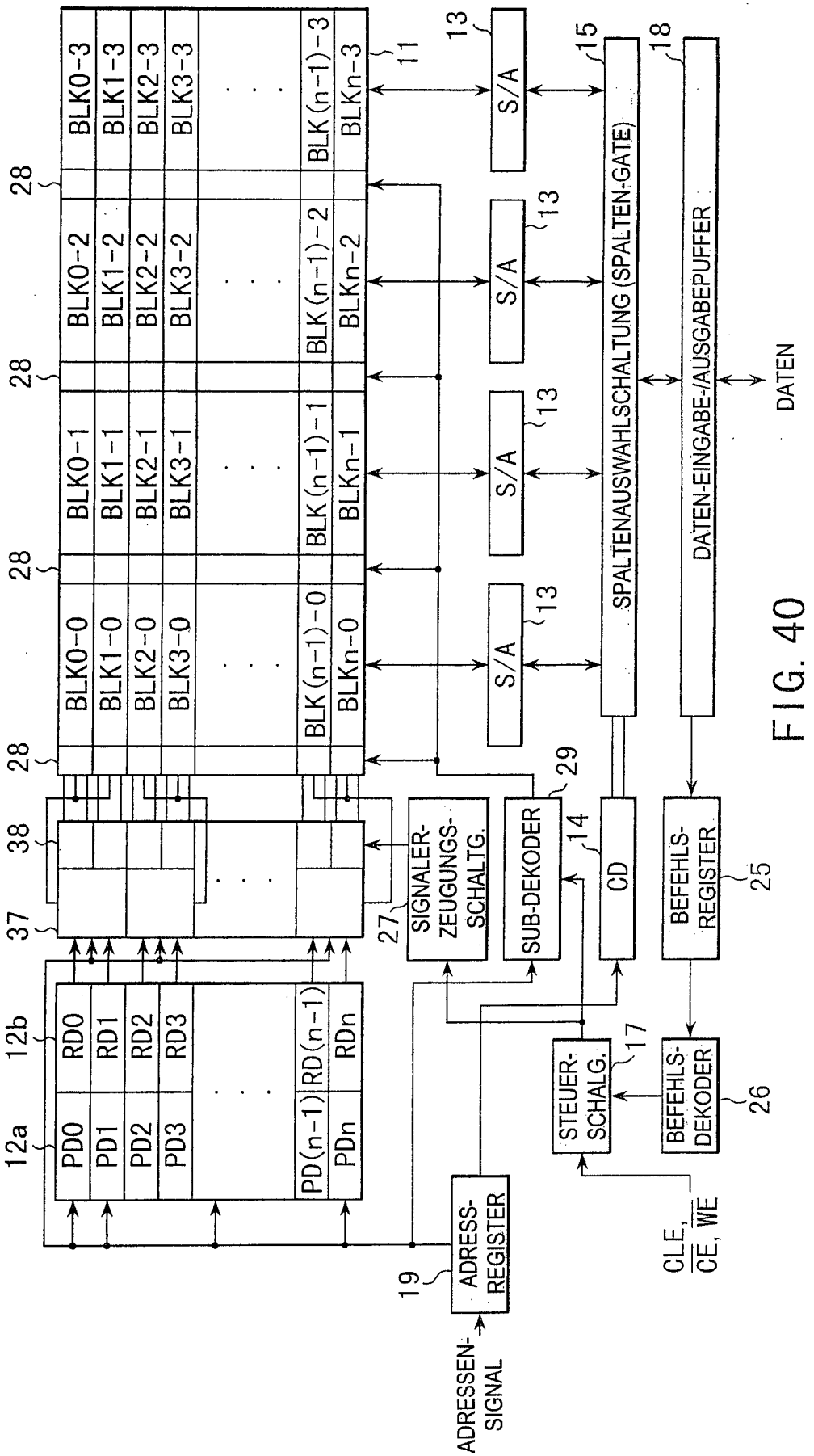

BLK0-0
BLK1-0
BLK2-0
BLK3-0
BLK(n-1)-0
BLKn-0
BLK0-1
BLK1-1
BLK2-1
BLK3-1
BLK(n-1)-1
BLKn-1
BLK0-2
BLK1-2
BLK2-2
BLK3-2
BLK(n-1)-2
BLKn-2
BLK0-3
BLK1-3
BLK2-3
BLK3-3
BLK(n-1)-3
BLKn-3
11
13
S/A
15
SPALTENAUSWAHLSCHALTUNG (SPALTEN-GATE)
18
DATEN-EINGABE-/AUSGABEPUFFER
DATEN
28
38
37
12a
12b
PD0
PD1
PD2
PD3
PD(n-1)
PDn
RD0
RD1
RD2
RD3
RD(n-1)
RDn
27
SIGNALER-ZEUGUNGS-SCHALTG.
29
SUB-DEKODER
14
CD
BEFEHLS-REGISTER
25
STEUER-SCHALG.
17
BEFEHLS-DEKODER
26
19
ADRESS-REGISTER
ADRESSEN-SIGNAL
CLE, CE, WE

FIG. 40

FIG. 41

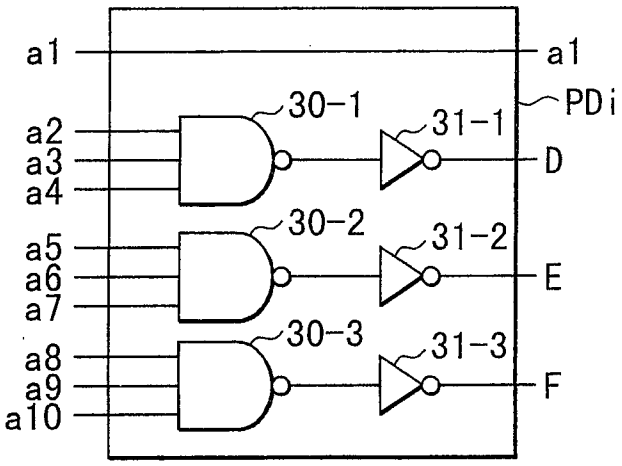
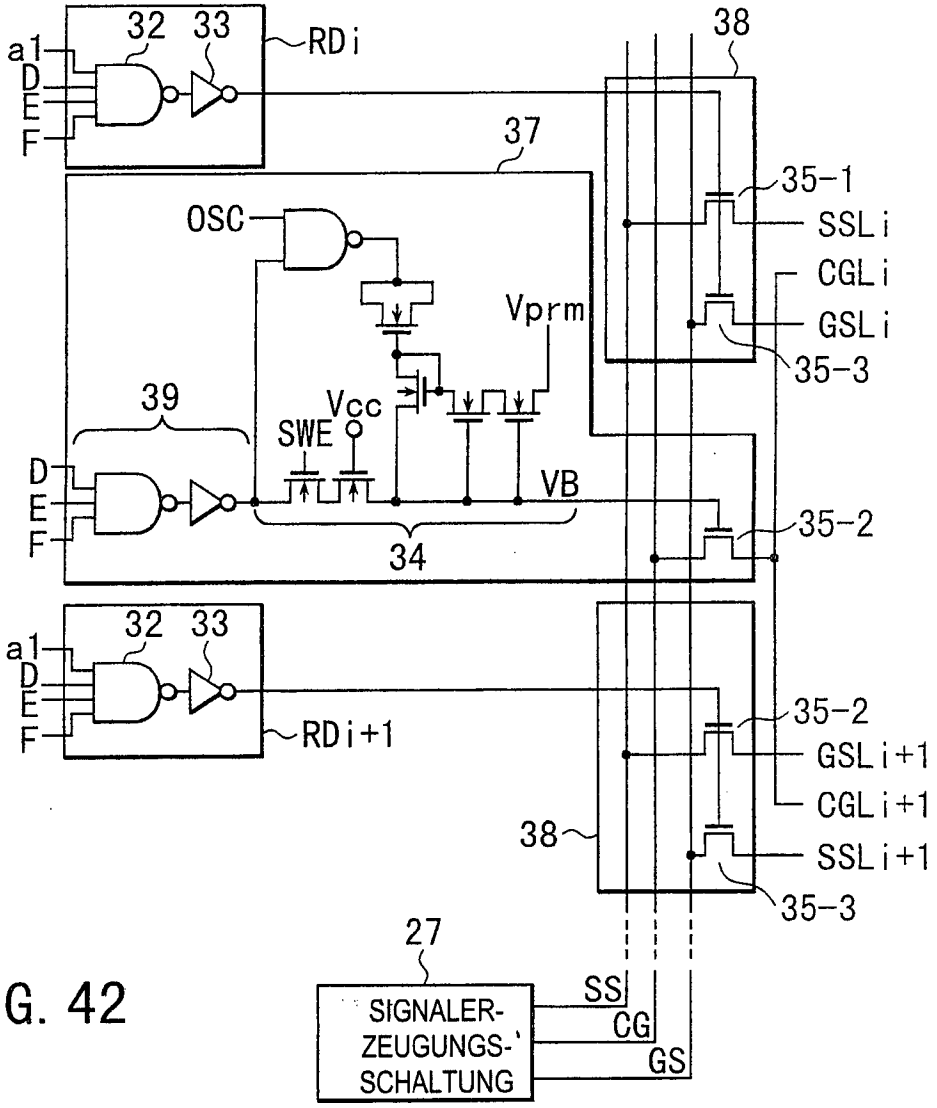

a1
a1
PDi
30-1
31-1
a2
a3
a4
D
30-2
31-2
a5
a6
a7
E
30-3
31-3
a8
a9
a10
F

FIG. 42


a1
D
E
F
32
33
RDi
38
37
35-1
SSLi
CGLi
GSLi
35-3
OSC
Vprm
39
Vcc
SWE
VB
35-2
34
RDi+1
GSLi+1
CGLi+1
SSLi+1
27
SIGNALER-ZEUGUNGS-SCHALTUNG
SS
CG
GS

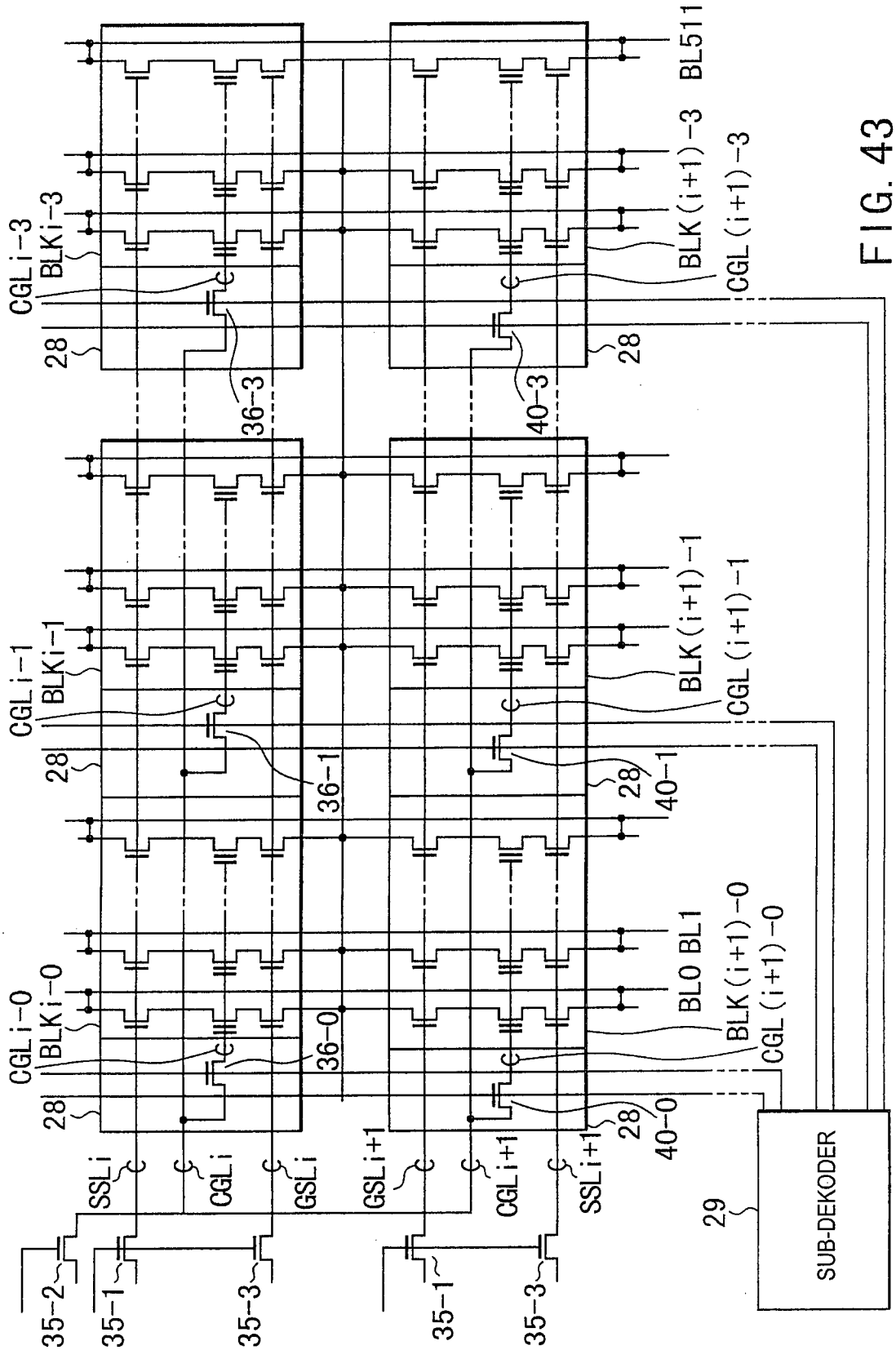

CGL i-3
BLK i-3
CGL i-1
BLK i-1
CGL i-0
BLK i-0
28
36-3
36-1
36-0
40-3
40-1
40-0
BL511
BLK (i+1)-3
CGL (i+1)-3
BLK (i+1)-1
CGL (i+1)-1
BL0 BL1
BLK (i+1)-0
CGL (i+1)-0
SSL i
CGL i
GSL i
GSL i+1
CGL i+1
SSL i+1
35-2
35-1
35-3
29
SUB-DEKODER

FIG. 43

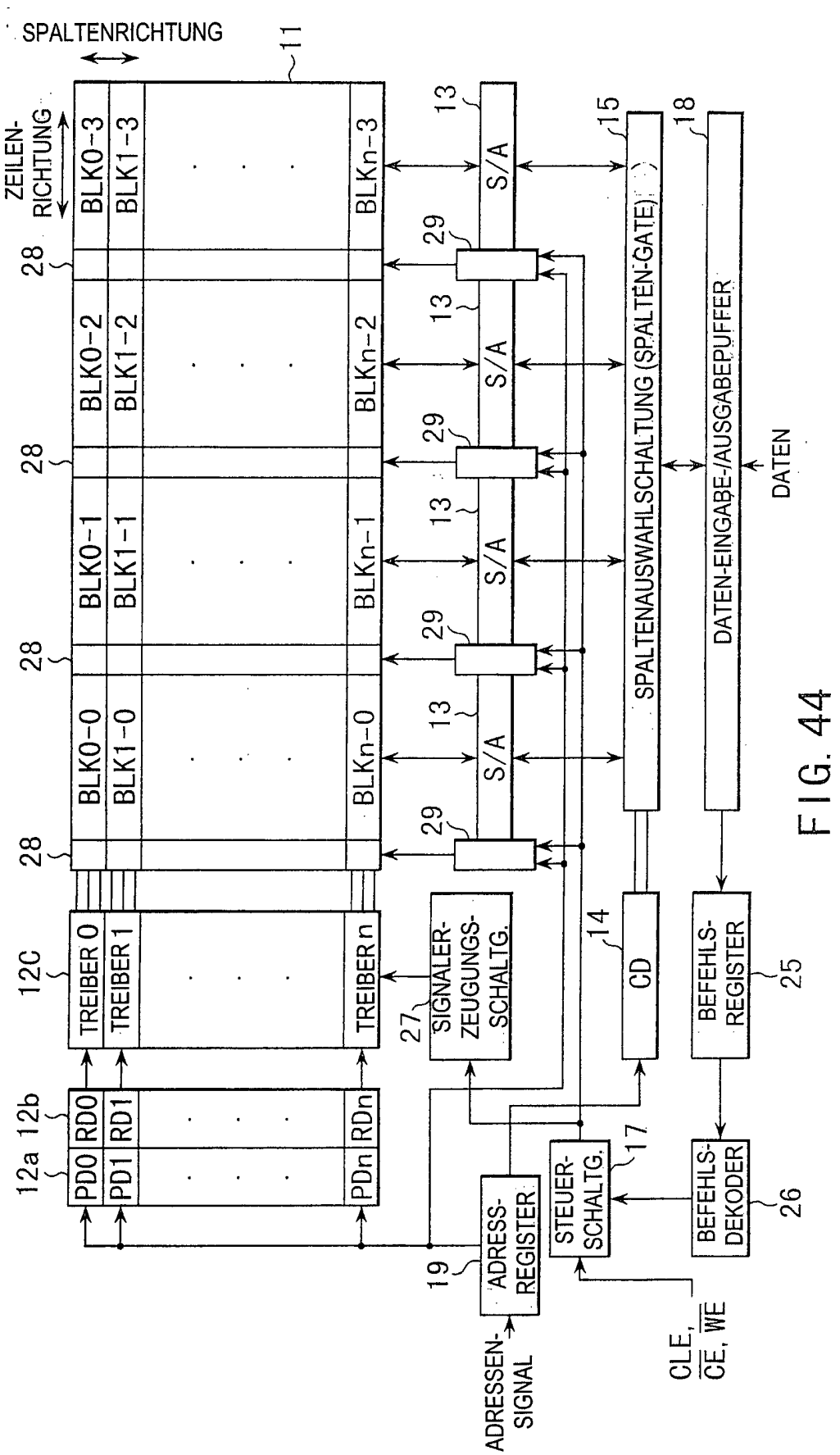

SPALTENRICHTUNG
11
ZEILEN-RICHTUNG
BLK0-3
BLK1-3
BLKn-3
BLK0-2
BLK1-2
BLKn-2
BLK0-1
BLK1-1
BLKn-1
BLK0-0
BLK1-0
BLKn-0
28
29
13
S/A
15
SPALTENAUSWAHLSCHALTUNG (SPALTEN-GATE)
18
DATEN-EINGABE-/AUSGABEPUFFER
DATEN
12C
TREIBER 0
TREIBER 1
TREIBER n
12a
12b
PD0
PD1
PDn
RD0
RD1
RDn
27
SIGNALERZEUGUNGSSCHALTG.
14
CD
BEFEHLSREGISTER
25
19
ADRESSREGISTER
STEUERSCHALTG.
17
BEFEHLSDEKODER
26
ADRESSENSIGNAL
CLE, CE, WE

FIG. 44

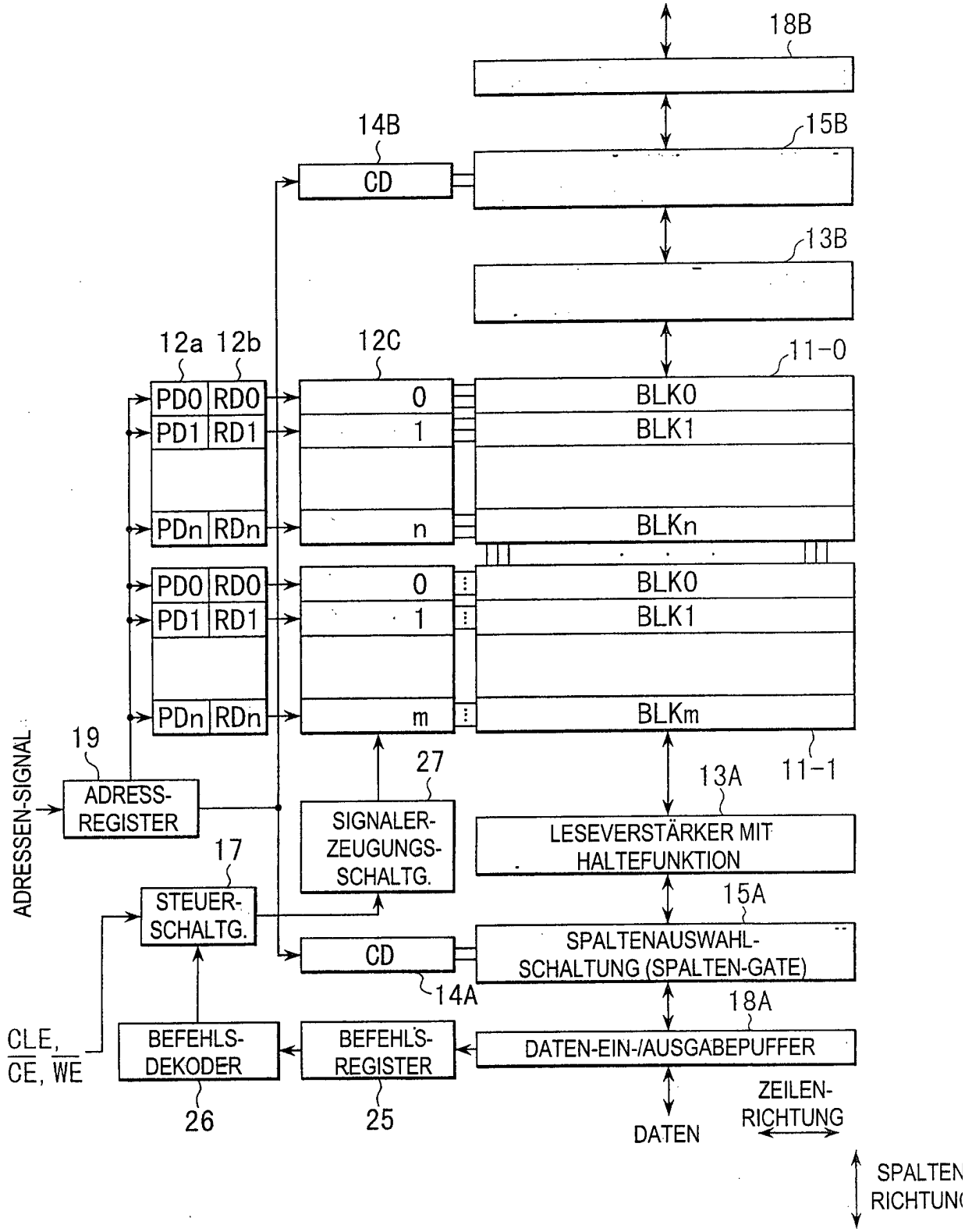

18B
14B
15B
CD
13B
12a 12b
12C
11-0
PD0 RD0
PD1 RD1
PDn RDn
0
1
n
BLK0
BLK1
BLKn
m
BLKm
11-1
19
ADRESSEN-SIGNAL
ADRESS-REGISTER
27
SIGNALER-ZEUGUNGS-SCHALTG.
13A
LESEVERSTÄRKER MIT HALTEFUNKTION
17
STEUER-SCHALTG.
15A
SPALTENAUSWAHL-SCHALTUNG (SPALTEN-GATE)
14A
18A
CLE,
CE, WE
BEFEHLS-DEKODER
BEFEHLS-REGISTER
DATEN-EIN-/AUSGABEPUFFER
26
25
DATEN
ZEILEN-RICHTUNG
SPALTEN-RICHTUNG

FIG. 45

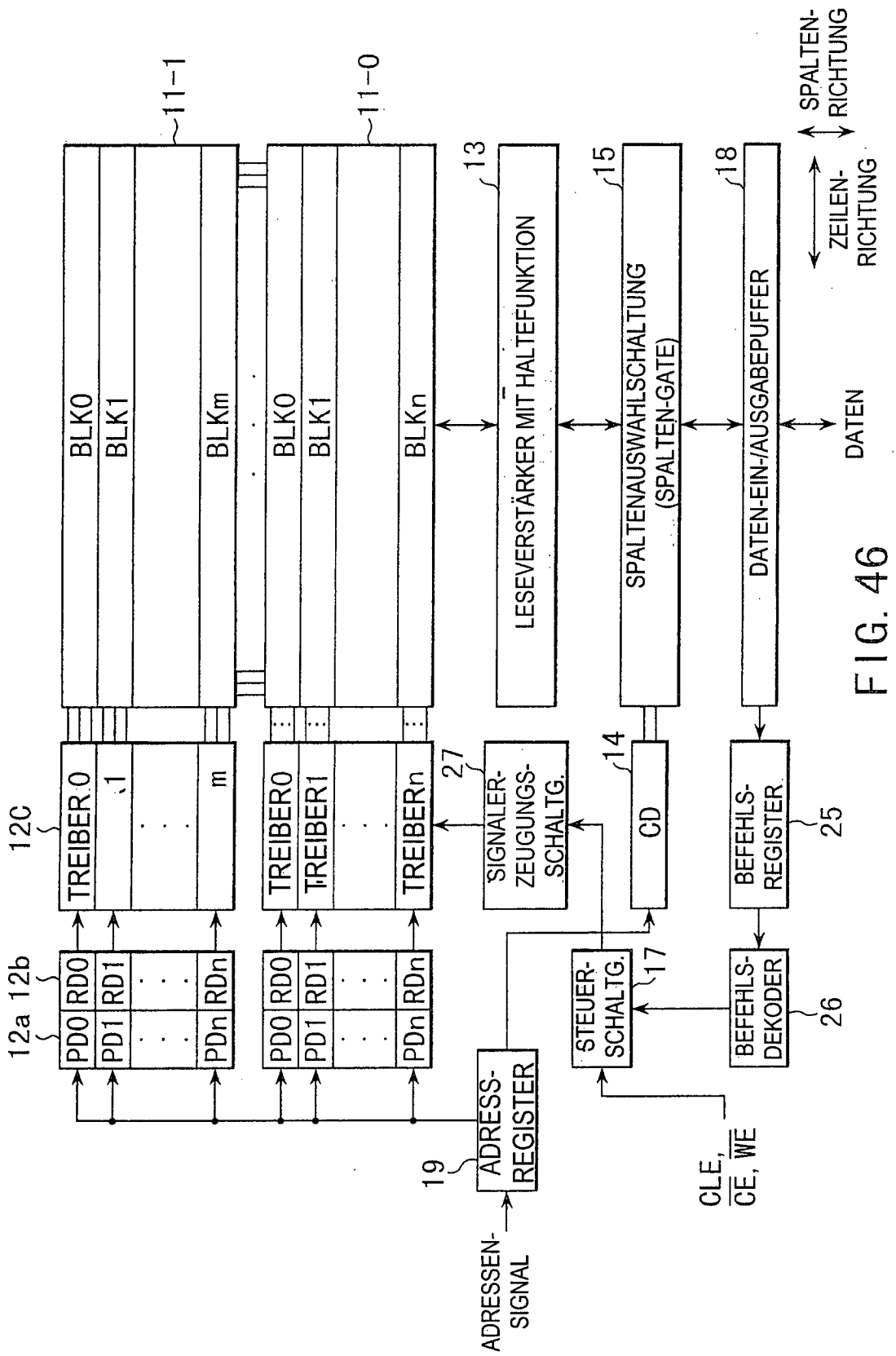

11-1
11-0
BLK0
BLK1
BLKm
BLK0
BLK1
BLKn
13
LESEVERSTÄRKER MIT HALTEFUNKTION
15
SPALTENAUSWAHLSCHALTUNG (SPALTEN-GATE)
18
DATEN-EIN-/AUSGABEPUFFER
SPALTEN-RICHTUNG
ZEILEN-RICHTUNG
DATEN
12C
TREIBER 0
1
m
TREIBER0
TREIBER1
TREIBERn
27
SIGNALER-ZEUGUNGS-SCHALTG.
14
CD
BEFEHLS-REGISTER
25
12a 12b
PD0
PD1
PDn
RD0
RD1
RDn
STEUER-SCHALTG.
17
BEFEHLS-DEKODER
26
19
ADRESS-REGISTER
ADRESSEN-SIGNAL
CLE, CE, WE

FIG. 46

FIG. 47

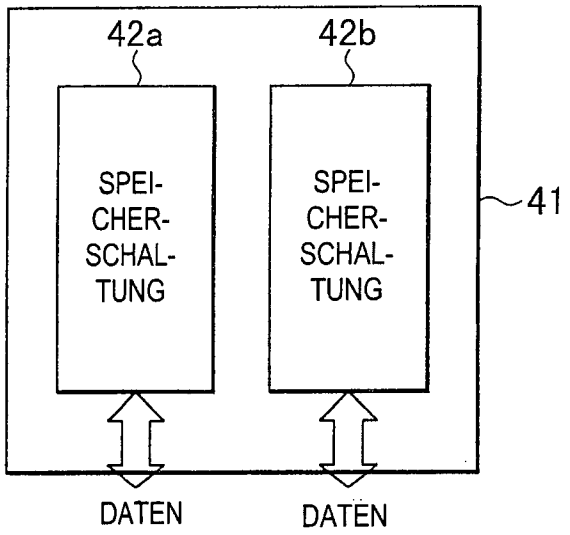
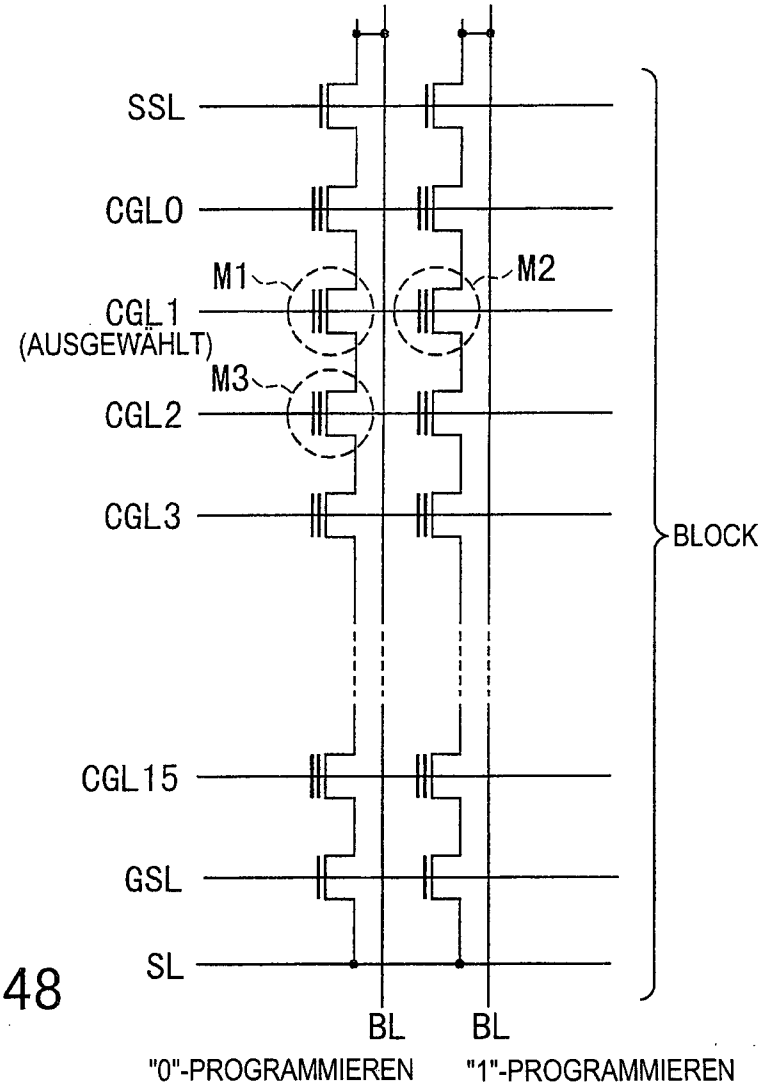

42a
42b
SPEI-
CHER-
SCHAL-
TUNG
SPEI-
CHER-
SCHAL-
TUNG
41
DATEN
DATEN

FIG. 48


SSL
CGL0
M1
M2
CGL1
(AUSGEWÄHLT)
M3
CGL2
CGL3
BLOCK
CGL15
GSL
SL
BL
BL
"0"-PROGRAMMIEREN
"1"-PROGRAMMIEREN

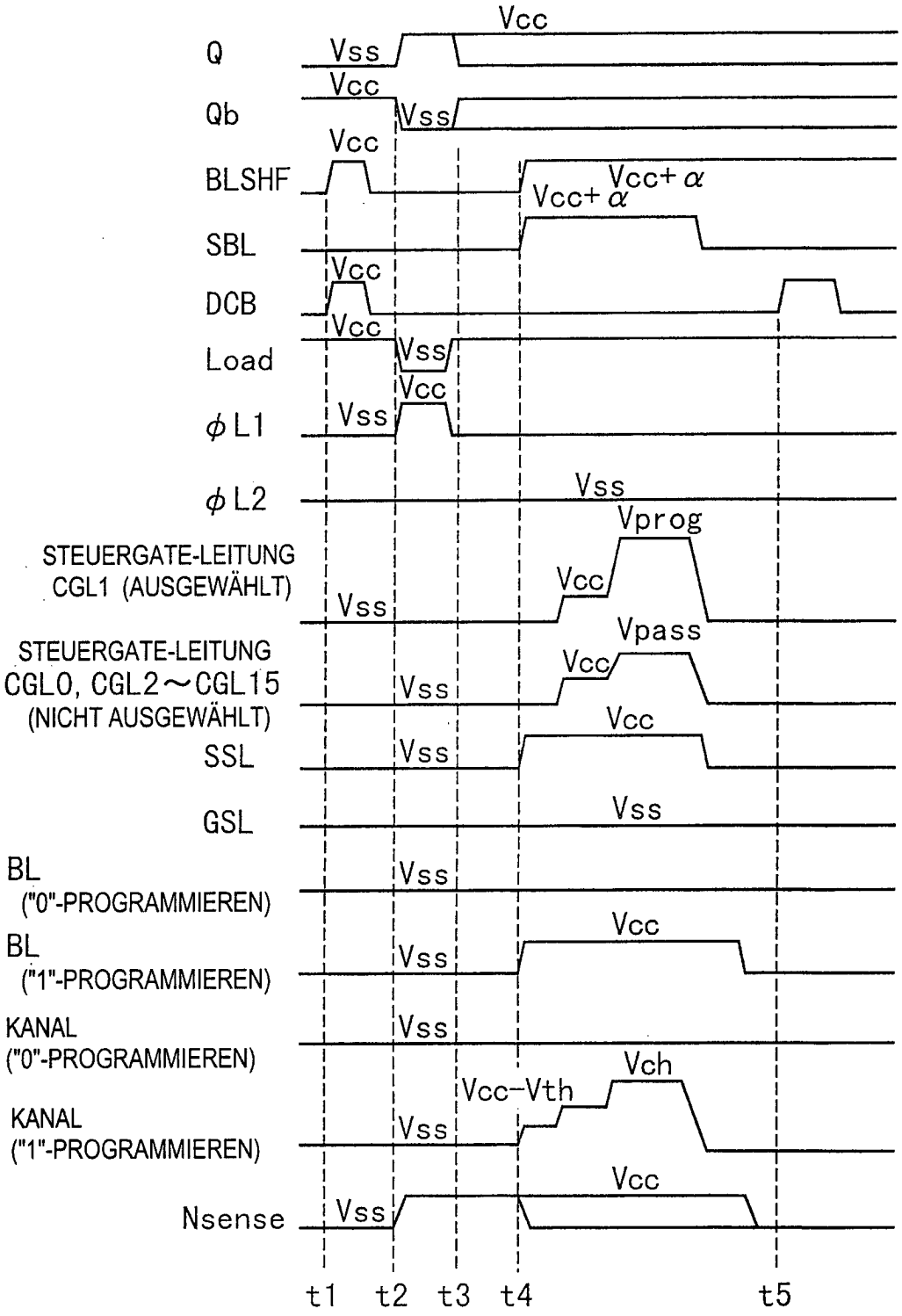

Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
STEUERGATE-LEITUNG CGL1 (AUSGEWÄHLT)
STEUERGATE-LEITUNG CGL0, CGL2～CGL15 (NICHT AUSGEWÄHLT)
SSL
GSL
BL ("0"-PROGRAMMIEREN)
BL ("1"-PROGRAMMIEREN)
KANAL ("0"-PROGRAMMIEREN)
KANAL ("1"-PROGRAMMIEREN)
Nsense
Vcc
Vss
Vcc+α
Vprog
Vpass
Vcc-Vth
Vch
t1
t2
t3
t4
t5

FIG. 49

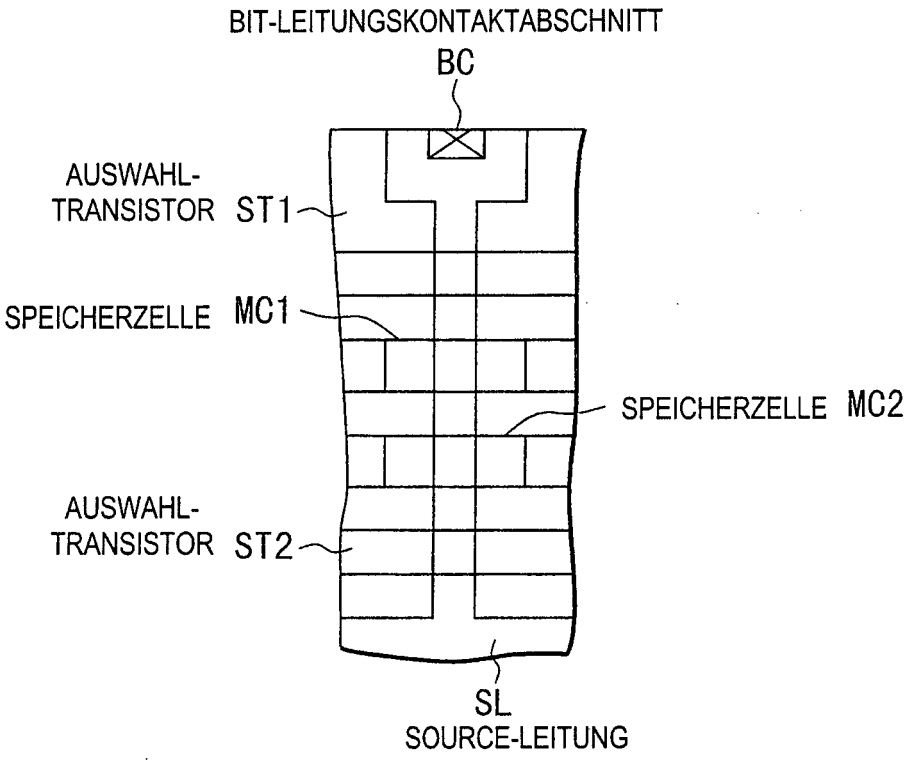

BIT-LEITUNGSKONTAKTABSCHNITT
BC
AUSWAHL-
TRANSISTOR ST1
SPEICHERZELLE MC1
SPEICHERZELLE MC2
AUSWAHL-
TRANSISTOR ST2
SL
SOURCE-LEITUNG

FIG. 50

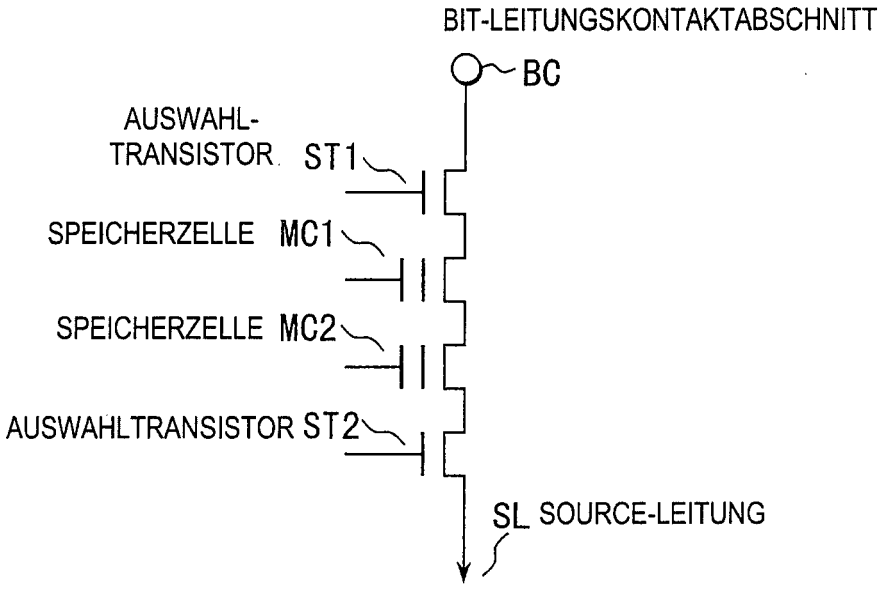

BIT-LEITUNGSKONTAKTABSCHNITT
BC
AUSWAHL-
TRANSISTOR ST1
SPEICHERZELLE MC1
SPEICHERZELLE MC2
AUSWAHLTRANSISTOR ST2
SL SOURCE-LEITUNG

FIG. 51

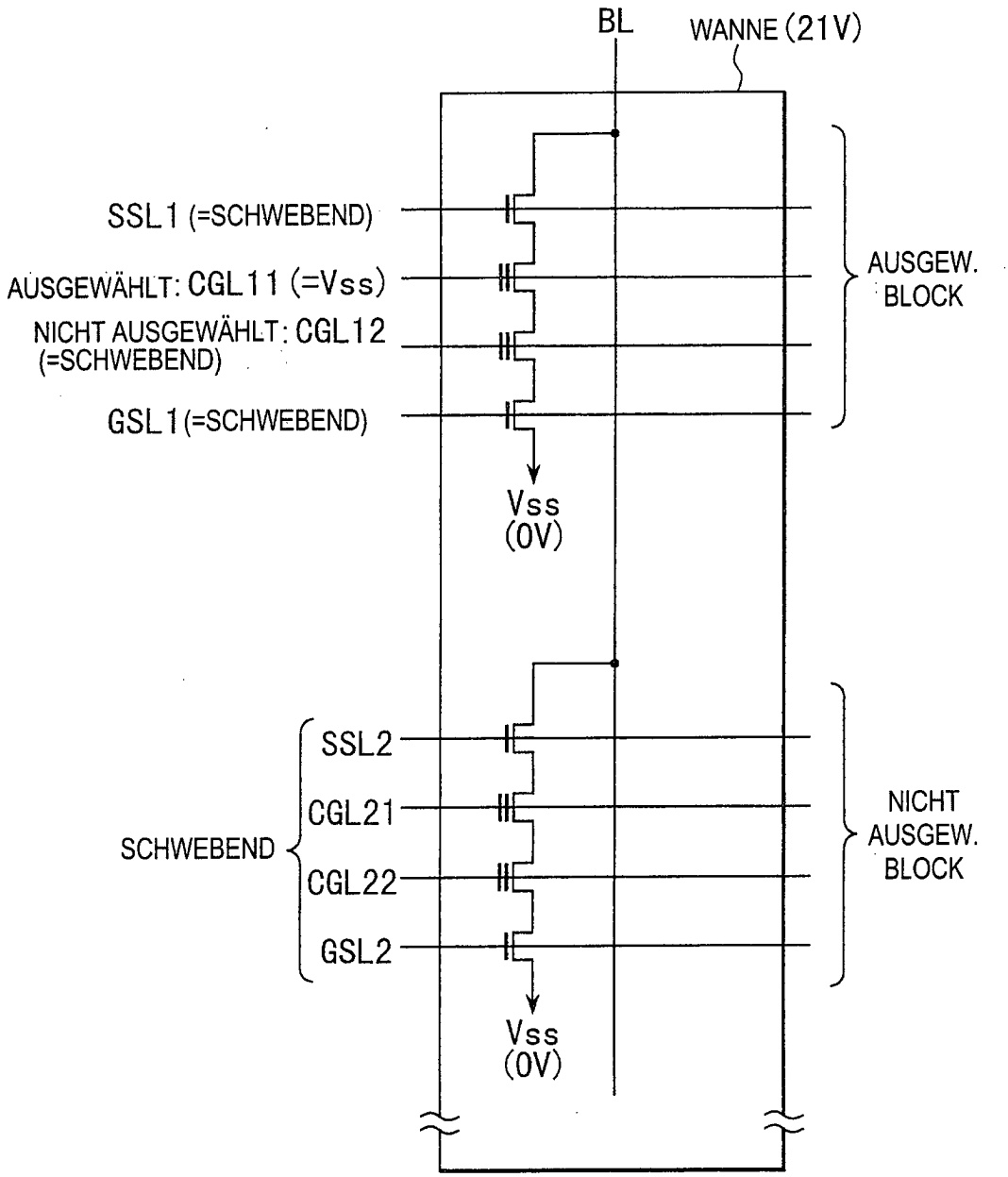

BL
WANNE (21V)
SSL1 (=SCHWEBEND)
AUSGEWÄHLT: CGL11 (=Vss)
NICHT AUSGEWÄHLT: CGL12 (=SCHWEBEND)
GSL1 (=SCHWEBEND)
AUSGEW. BLOCK
Vss (0V)
SSL2
CGL21
CGL22
GSL2
SCHWEBEND
NICHT AUSGEW. BLOCK
Vss (0V)

FIG. 52

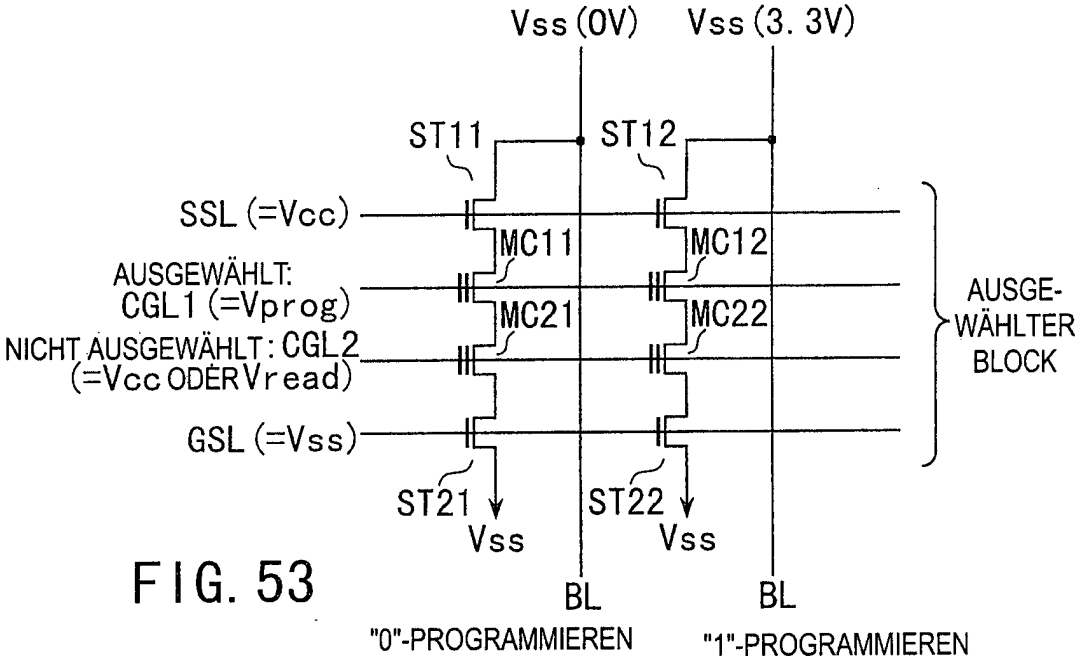

Vss (0V)
Vss (3. 3V)
ST11
ST12
SSL (=Vcc)
MC11
MC12
AUSGEWÄHLT:
CGL1 (=Vprog)
MC21
MC22
NICHT AUSGEWÄHLT: CGL2
(=Vcc ODER Vread)
GSL (=Vss)
AUSGE-
WÄHLTER
BLOCK
ST21
ST22
Vss
Vss
BL
BL
"0"-PROGRAMMIEREN
"1"-PROGRAMMIEREN

FIG. 53

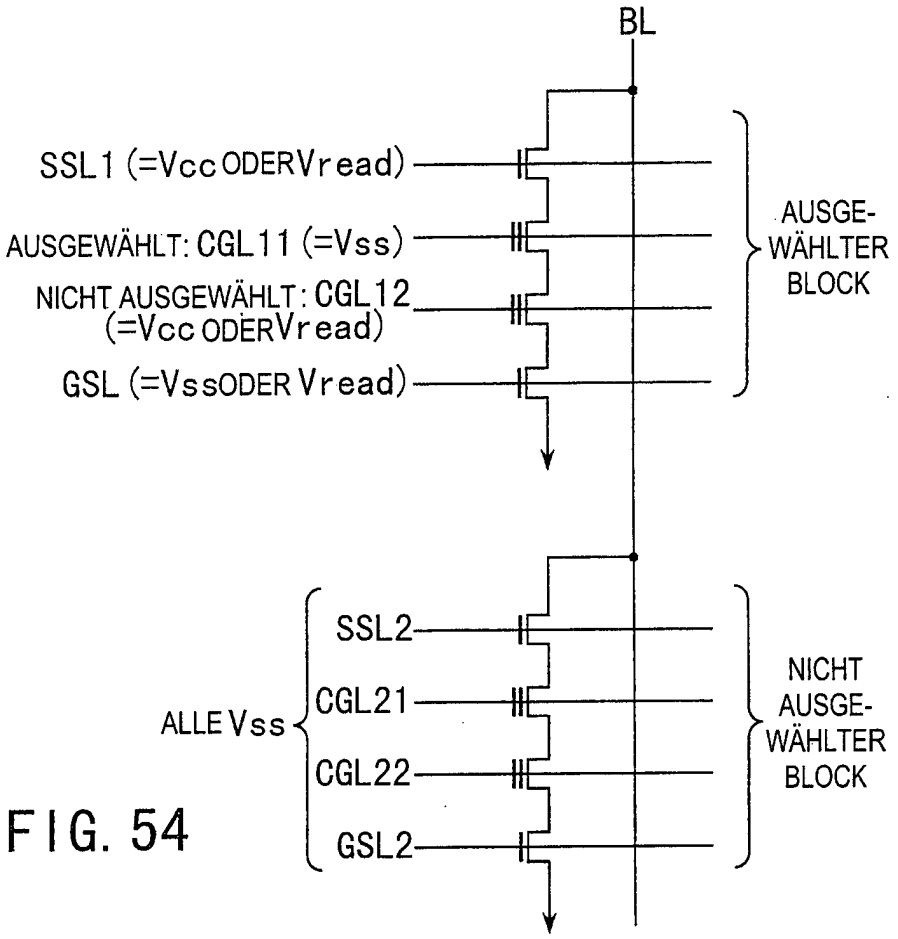

BL
SSL1 (=Vcc ODER Vread)
AUSGEWÄHLT: CGL11 (=Vss)
NICHT AUSGEWÄHLT: CGL12
(=Vcc ODER Vread)
GSL (=Vss ODER Vread)
AUSGE-
WÄHLTER
BLOCK
ALLE Vss
SSL2
CGL21
CGL22
GSL2
NICHT
AUSGE-
WÄHLTER
BLOCK

FIG. 54

FIG. 55

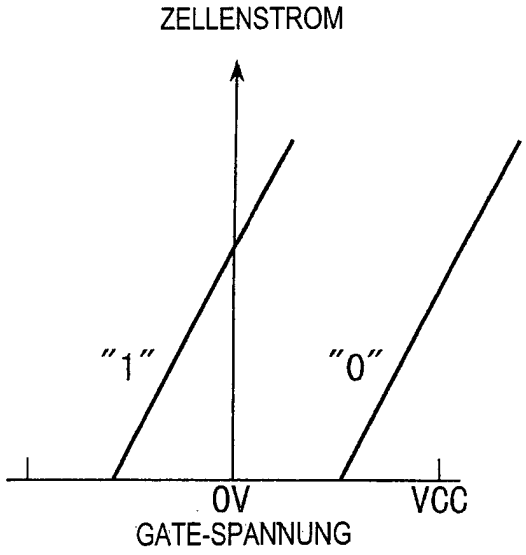
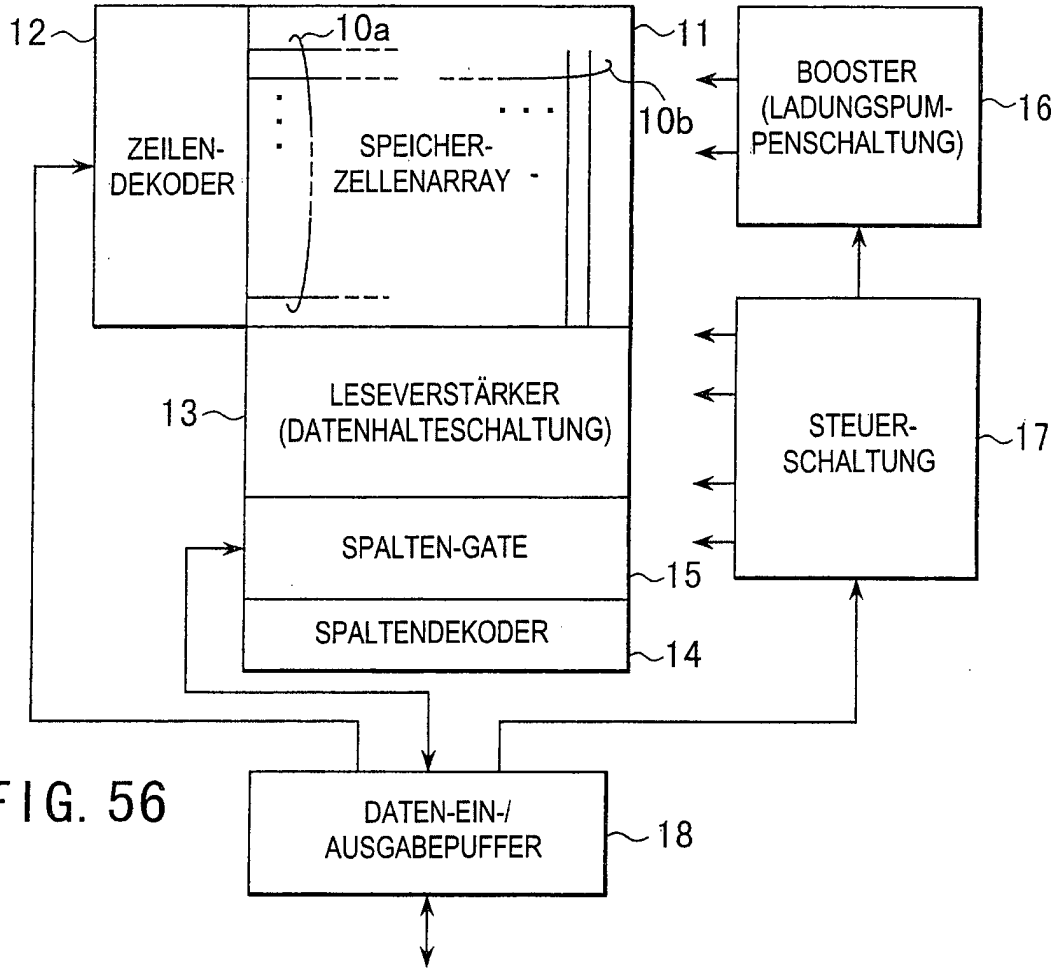

ZELLENSTROM
"1"
"0"
0V
VCC
GATE-SPANNUNG

FIG. 56


12
10a
11
10b
ZEILEN-
DEKODER
SPEICHER-
ZELLENARRAY
BOOSTER
(LADUNGSPUM-
PENSCHALTUNG)
16
13
LESEVERSTÄRKER
(DATENHALTESCHALTUNG)
STEUER-
SCHALTUNG
17
SPALTEN-GATE
15
SPALTENDEKODER
14
DATEN-EIN-/
AUSGABEPUFFER
18

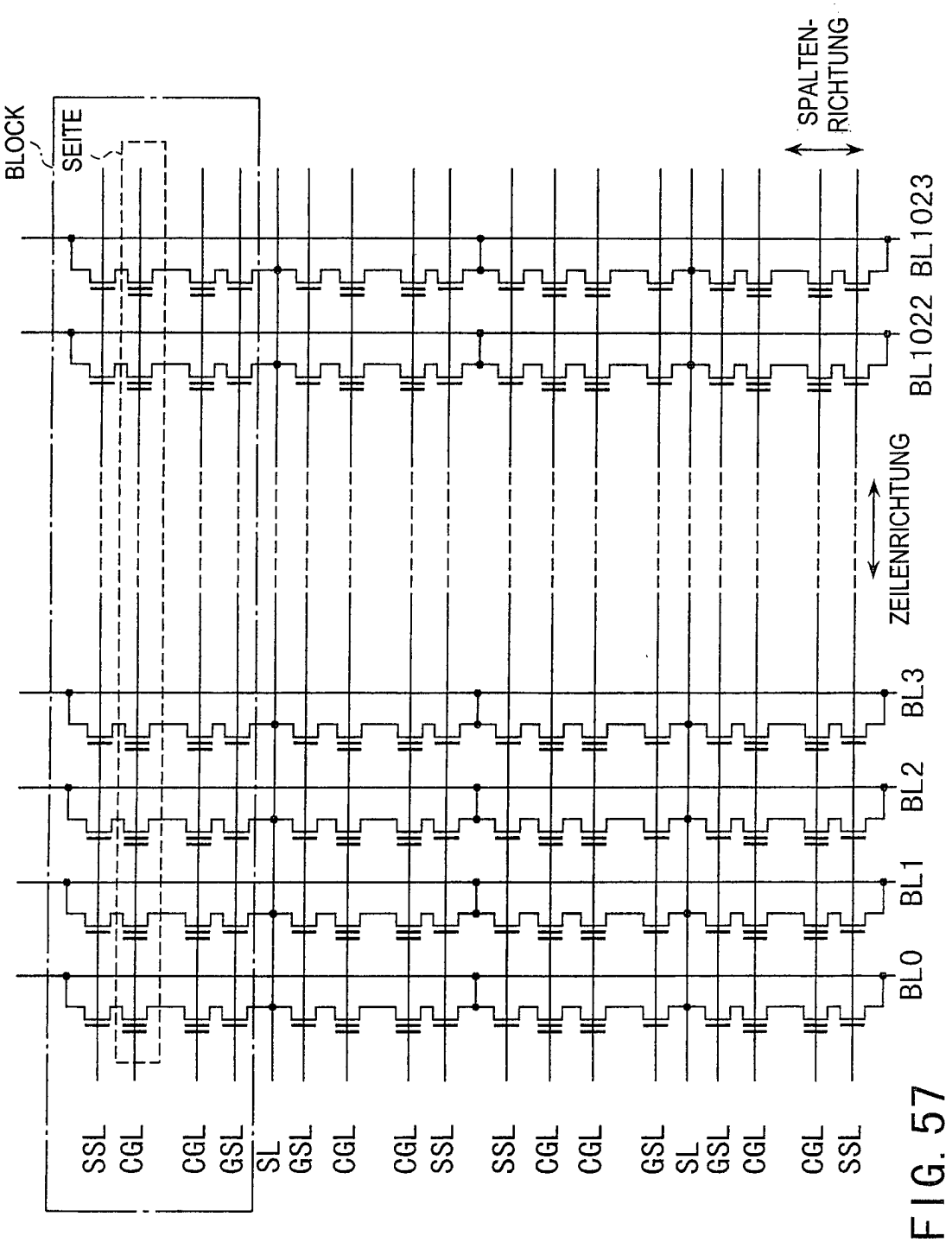

BLOCK
SEITE
SPALTEN-
RICHTUNG
BL1023
BL1022
ZEILENRICHTUNG
BL3
BL2
BL1
BL0
SSL
CGL
CGL
GSL
SL
GSL
CGL
CGL
SSL
SSL
CGL
CGL
GSL
SL
GSL
CGL
CGL
SSL

FIG. 57

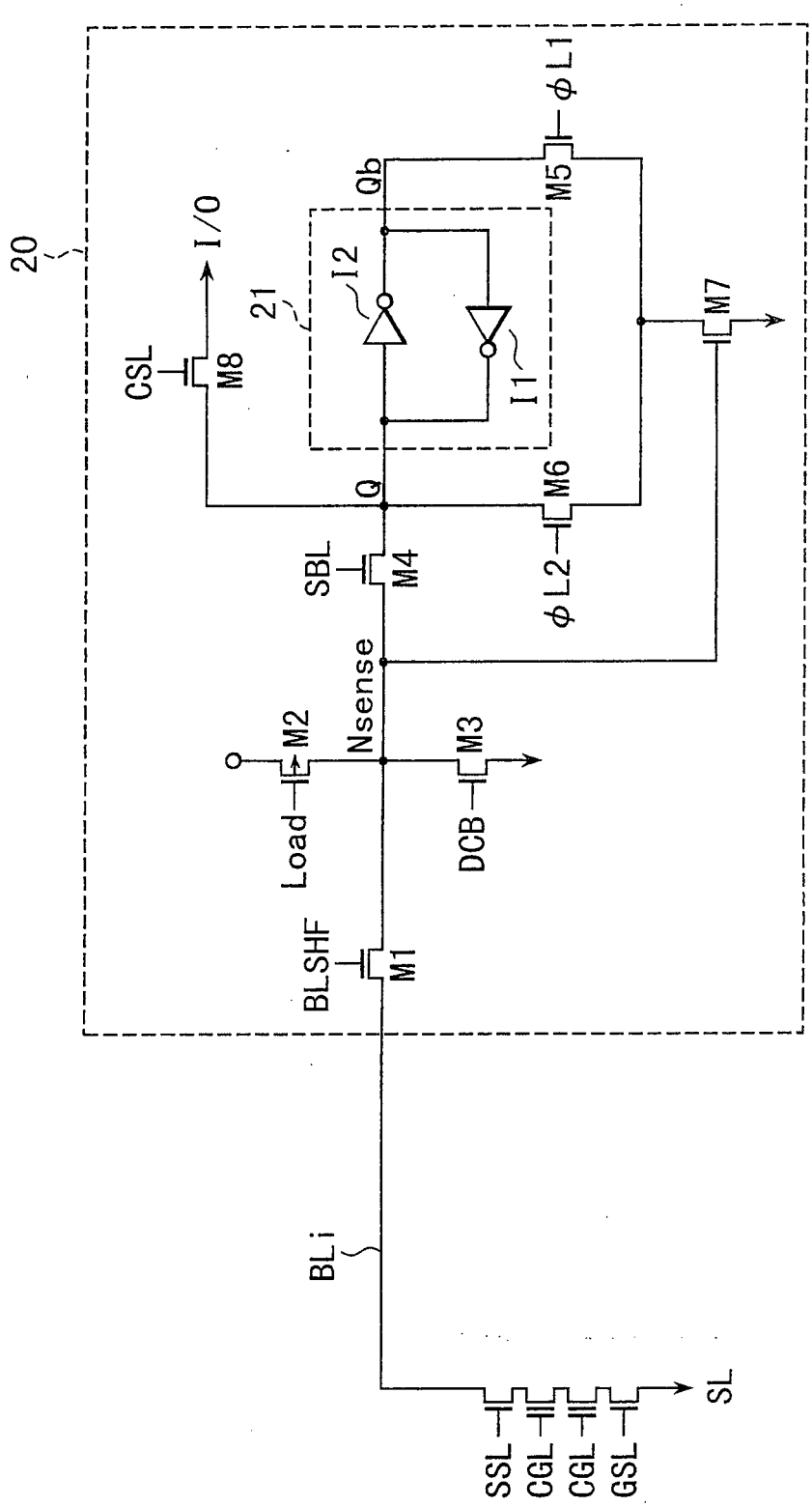

20
I/O
CSL
M8
21
I2
I1
Qb
Q
M5
M6
M7
φL1
φL2
SBL
M4
Nsense
M2
M3
Load
DCB
BLSHF
M1
BLi
SL
SSL
CGL
CGL
GSL

FIG. 58

PROGRAMMIER- UND LÖSCHBETRIEB FÜR BYTE-DATEN

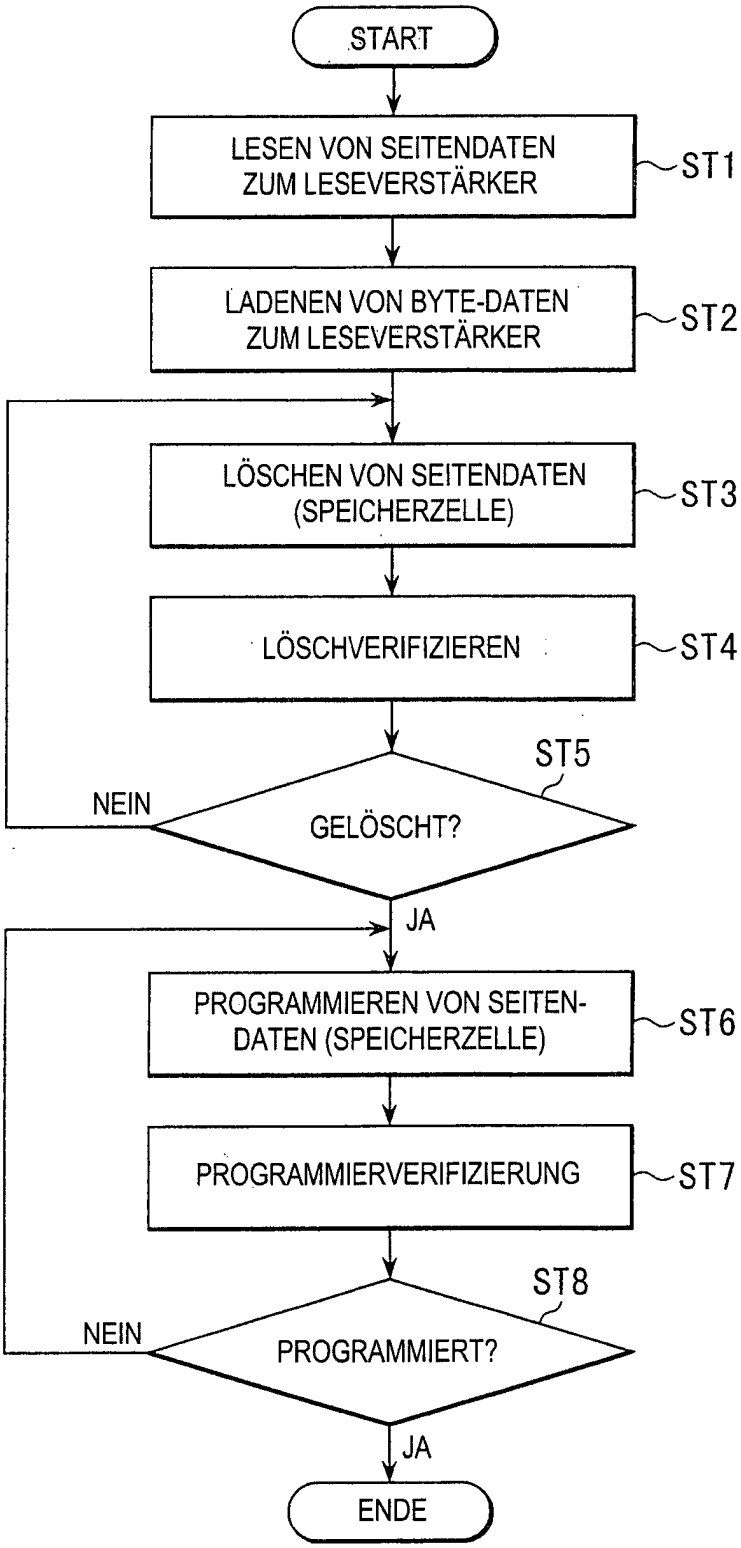


FIG. 59

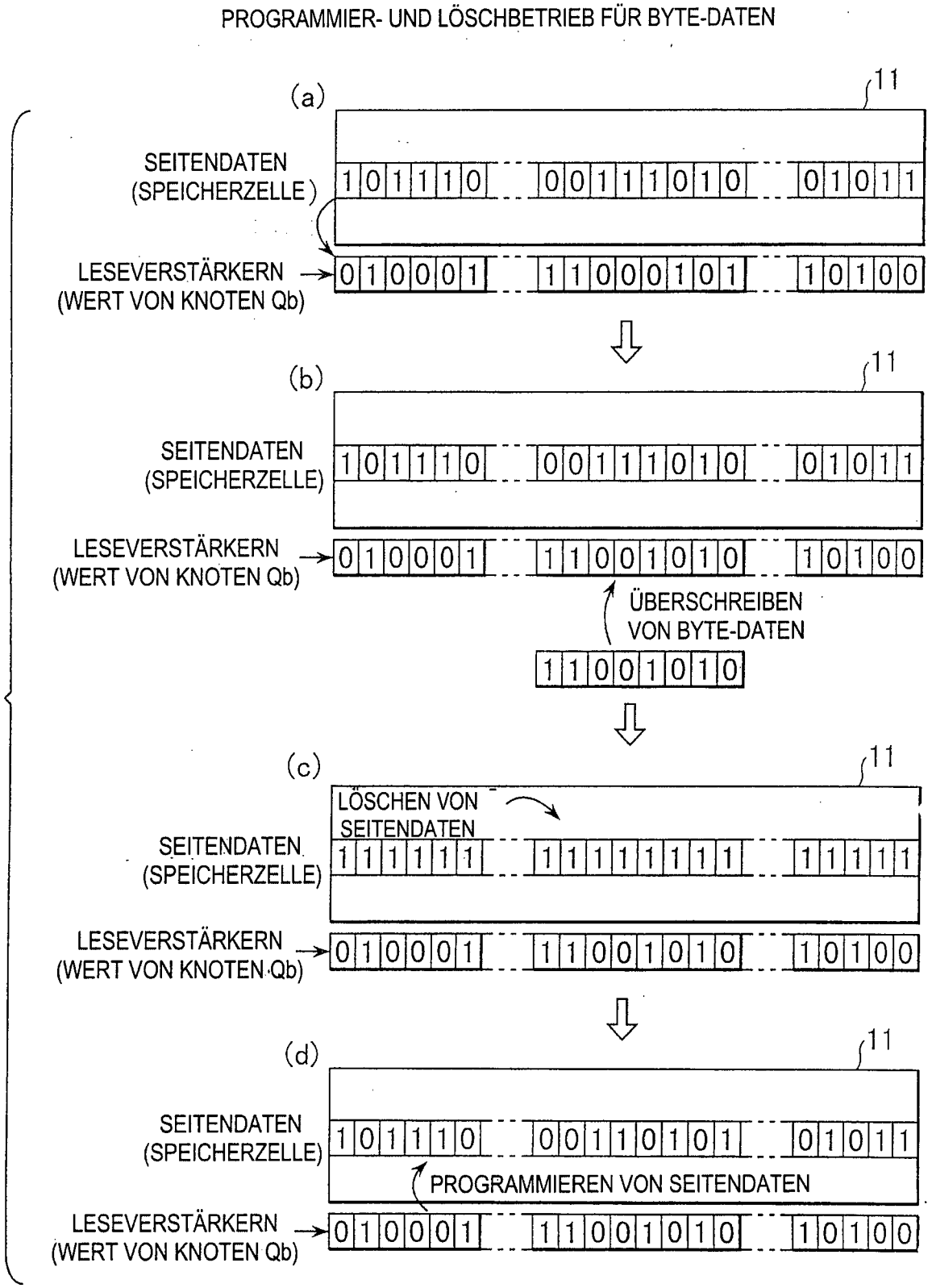

PROGRAMMIER- UND LÖSCHBETRIEB FÜR BYTE-DATEN
(a)
11
SEITENDATEN
(SPEICHERZELLE)
1 0 1 1 1 0 0 0 1 1 1 0 1 0 0 1 0 1 1
LESEVERSTÄRKERN
(WERT VON KNOTEN Qb)
0 1 0 0 0 1 1 1 0 0 0 1 0 1 1 0 1 0 0
(b)
11
SEITENDATEN
(SPEICHERZELLE)
1 0 1 1 1 0 0 0 1 1 1 0 1 0 0 1 0 1 1
LESEVERSTÄRKERN
(WERT VON KNOTEN Qb)
0 1 0 0 0 1 1 1 0 0 1 0 1 0 1 0 1 0 0
ÜBERSCHREIBEN
VON BYTE-DATEN
1 1 0 0 1 0 1 0
(c)
11
LÖSCHEN VON
SEITENDATEN
SEITENDATEN
(SPEICHERZELLE)
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
LESEVERSTÄRKERN
(WERT VON KNOTEN Qb)
0 1 0 0 0 1 1 1 0 0 1 0 1 0 1 0 1 0 0
(d)
11
SEITENDATEN
(SPEICHERZELLE)
1 0 1 1 1 0 0 0 1 1 0 1 0 1 0 1 0 1 1
PROGRAMMIEREN VON SEITENDATEN
LESEVERSTÄRKERN
(WERT VON KNOTEN Qb)
0 1 0 0 0 1 1 1 0 0 1 0 1 0 1 0 1 0 0

FIG. 60

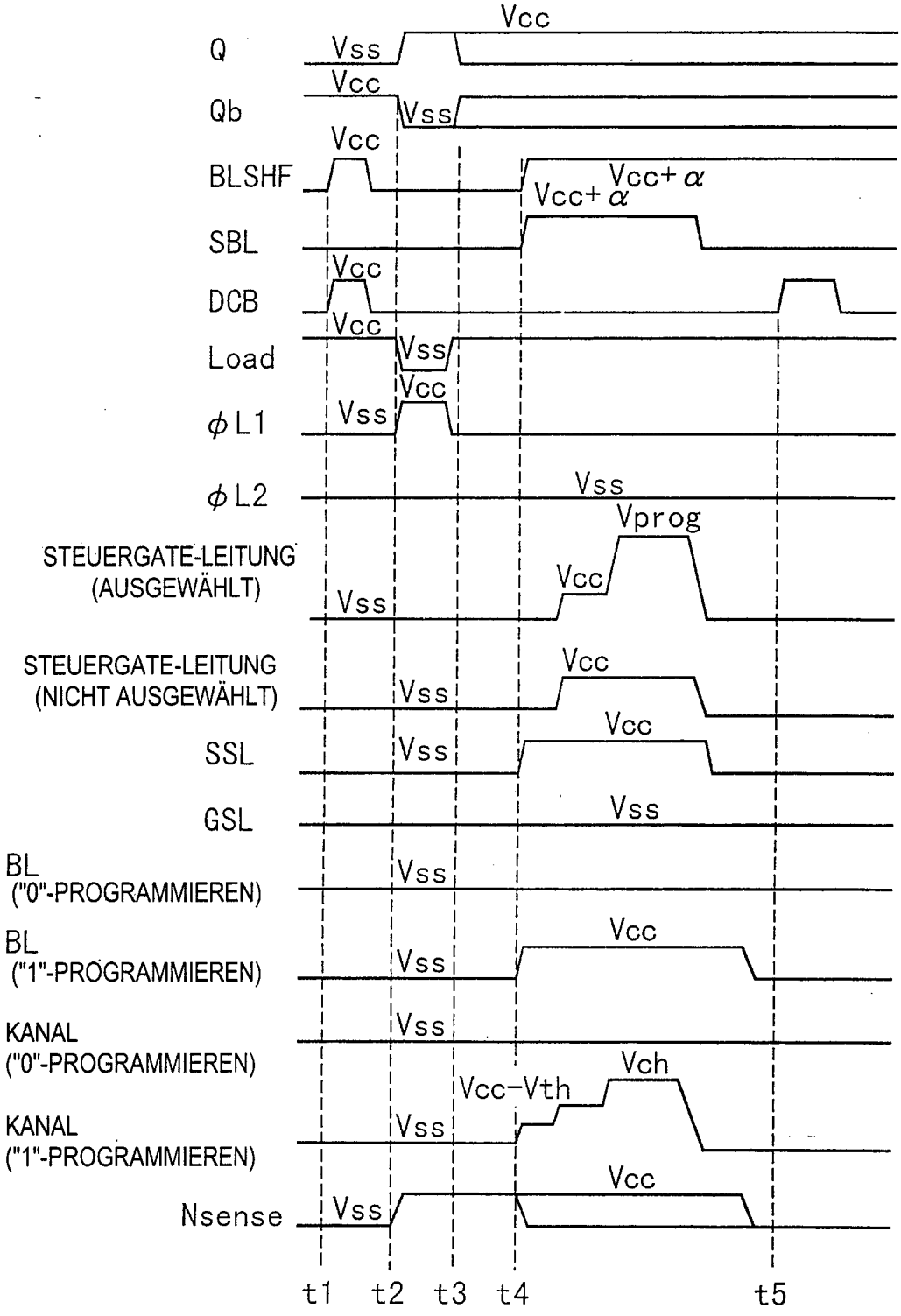

Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
STEUERGATE-LEITUNG (AUSGEWÄHLT)
STEUERGATE-LEITUNG (NICHT AUSGEWÄHLT)
SSL
GSL
BL ("0"-PROGRAMMIEREN)
BL ("1"-PROGRAMMIEREN)
KANAL ("0"-PROGRAMMIEREN)
KANAL ("1"-PROGRAMMIEREN)
Nsense
Vcc
Vss
Vcc+α
Vprog
Vcc-Vth
Vch
t1
t2
t3
t4
t5

FIG. 61

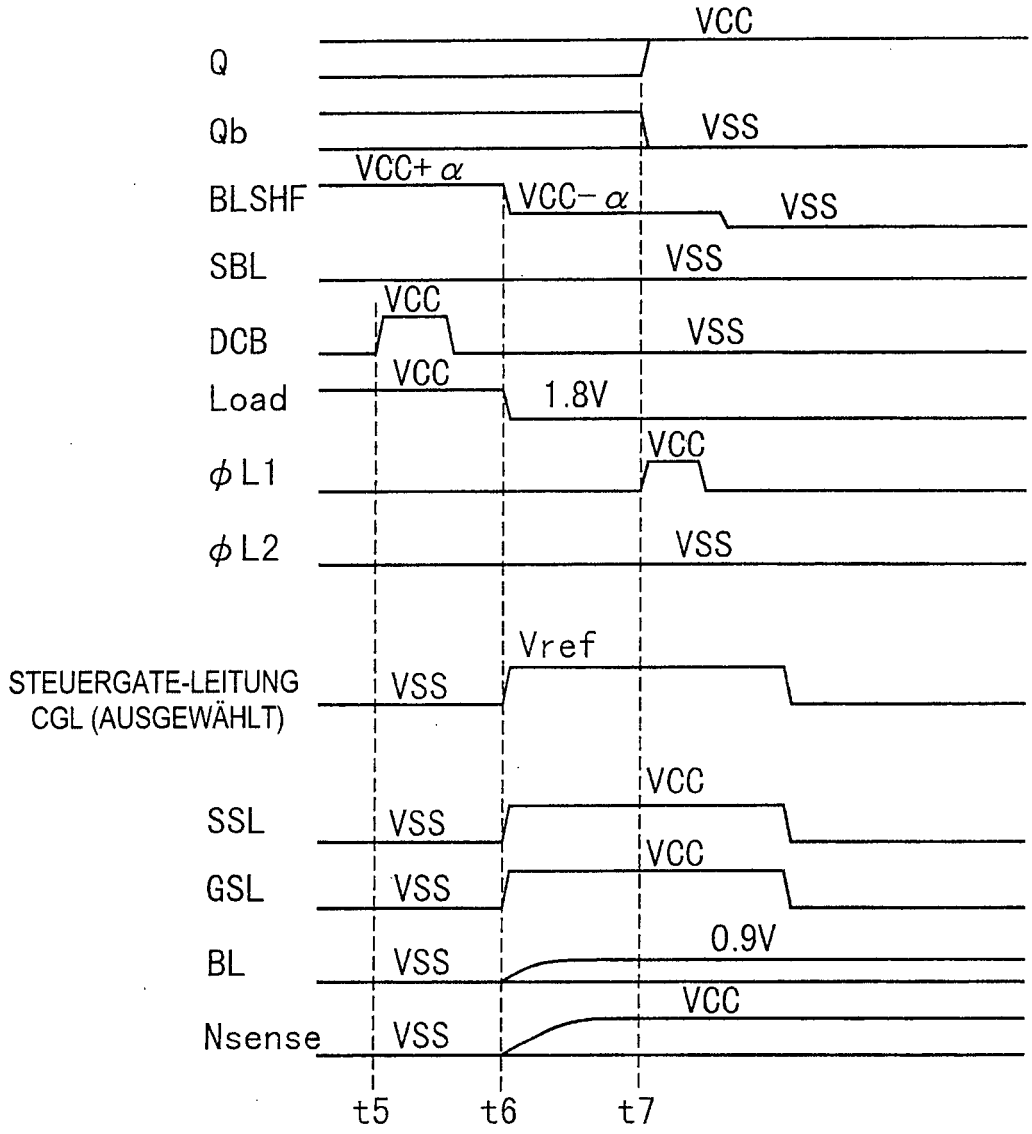

Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
STEUERGATE-LEITUNG
CGL (AUSGEWÄHLT)
SSL
GSL
BL
Nsense
VCC
VSS
VCC+α
VCC−α
1.8V
Vref
0.9V
t5
t6
t7

FIG. 62

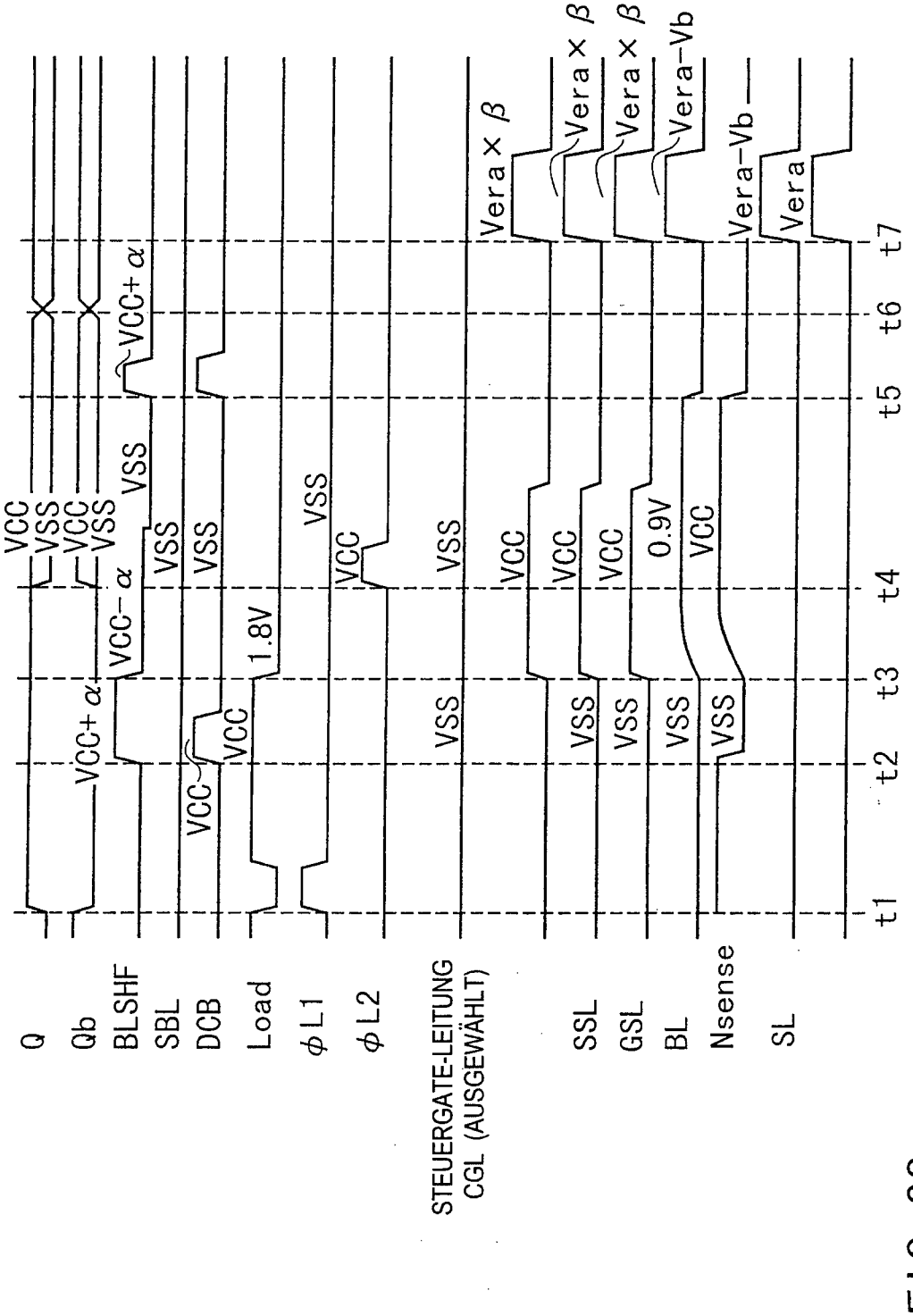

Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
STEUERGATE-LEITUNG CGL (AUSGEWÄHLT)
SSL
GSL
BL
Nsense
SL
VCC
VSS
VCC+α
VCC−α
1.8V
Vera×β
0.9V
Vera−Vb
Vera
t1
t2
t3
t4
t5
t6
t7

FIG. 63

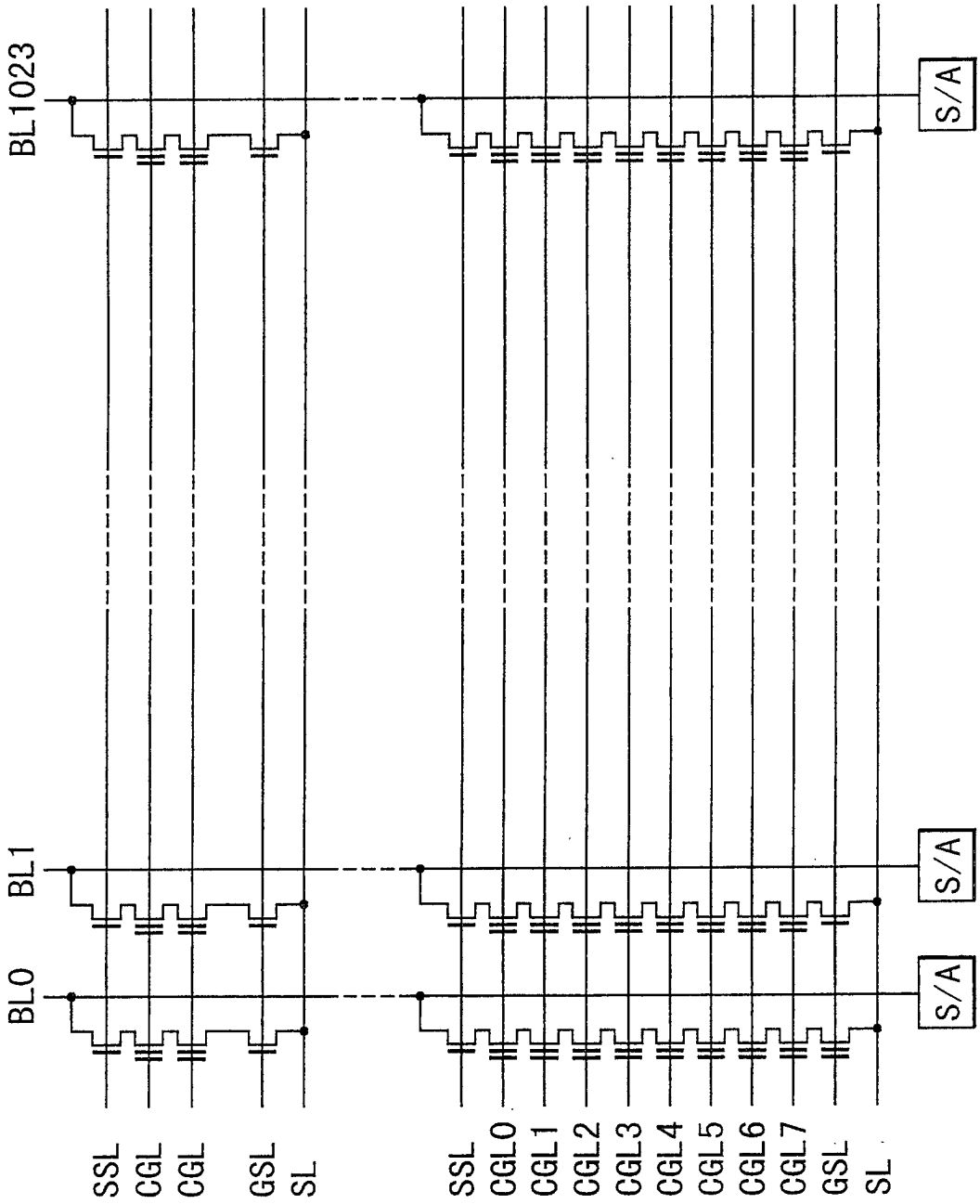

BL1023
BL1
BL0
S/A
S/A
S/A
SSL
CGL
CGL
GSL
SL
SSL
CGL0
CGL1
CGL2
CGL3
CGL4
CGL5
CGL6
CGL7
GSL
SL

FIG. 64

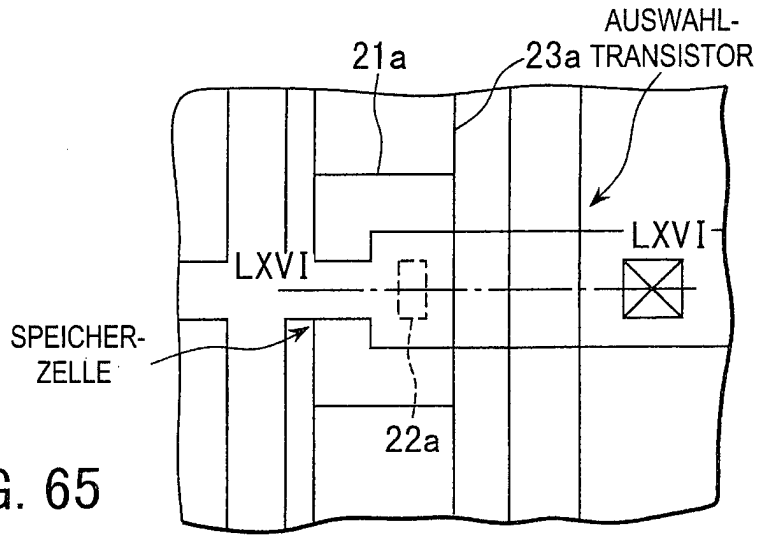


FIG. 65

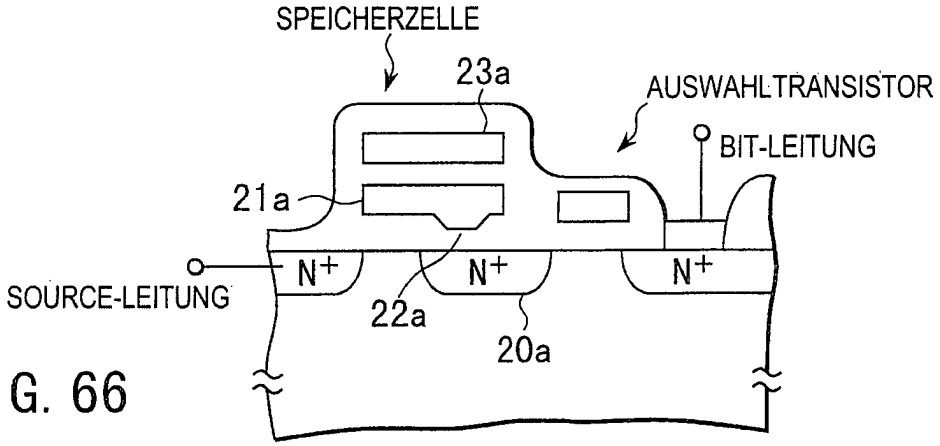


FIG. 66

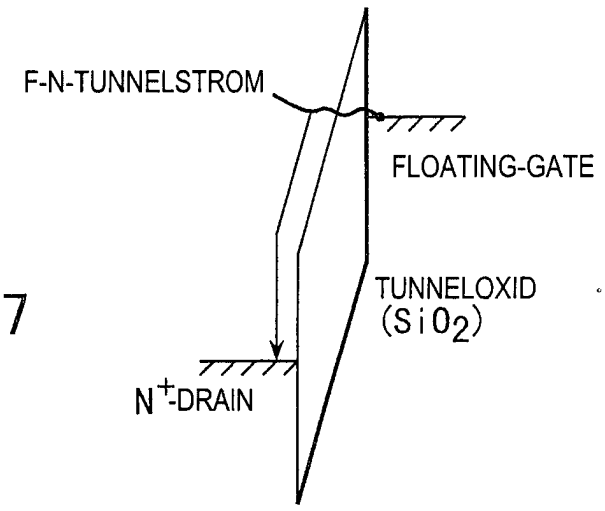


FIG. 67

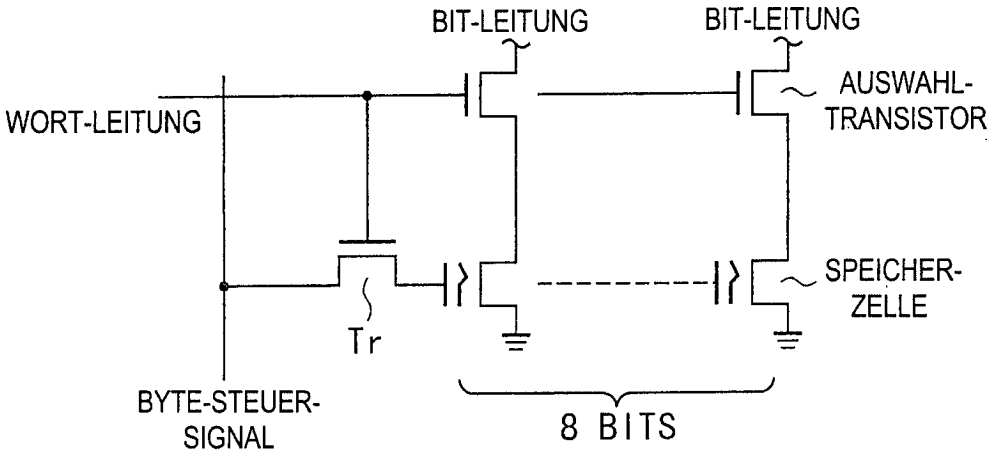

BIT-LEITUNG
BIT-LEITUNG
AUSWAHL-
TRANSISTOR
WORT-LEITUNG
SPEICHER-
ZELLE
Tr
BYTE-STEUER-
SIGNAL
8 BITS

FIG. 68

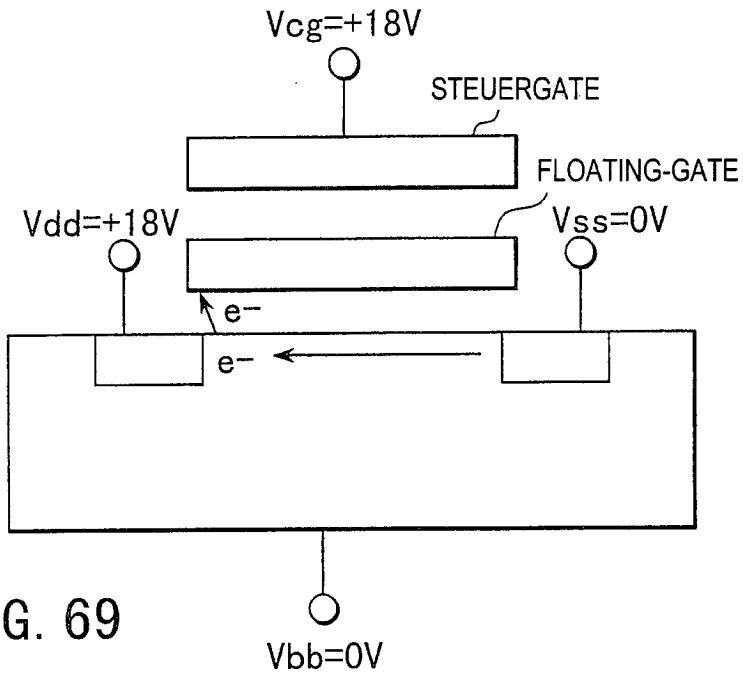

Vcg=+18V
STEUERGATE
FLOATING-GATE
Vdd=+18V
Vss=0V
e−
e−
Vbb=0V

FIG. 69

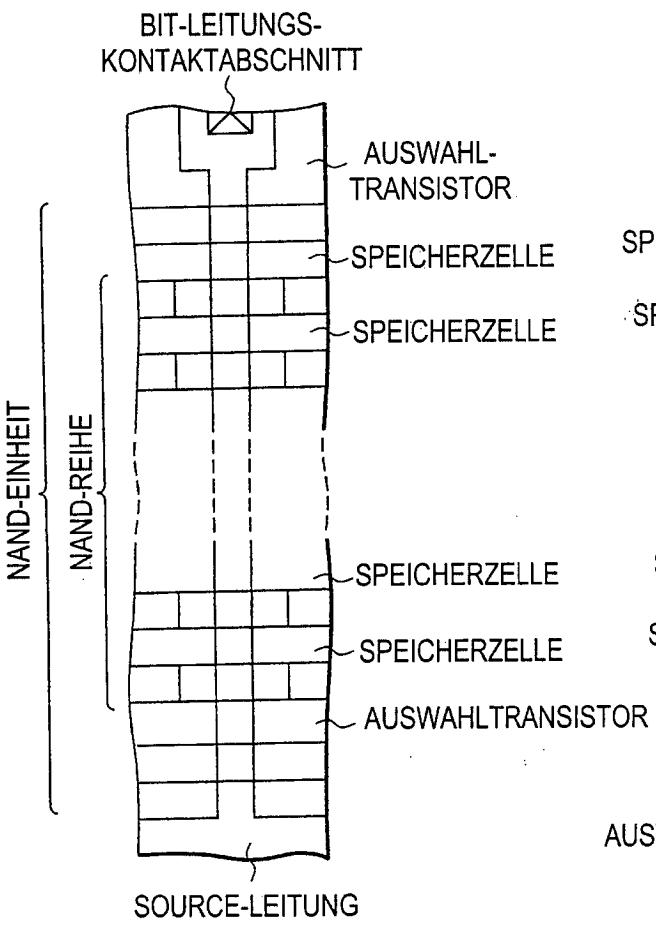


FIG. 70

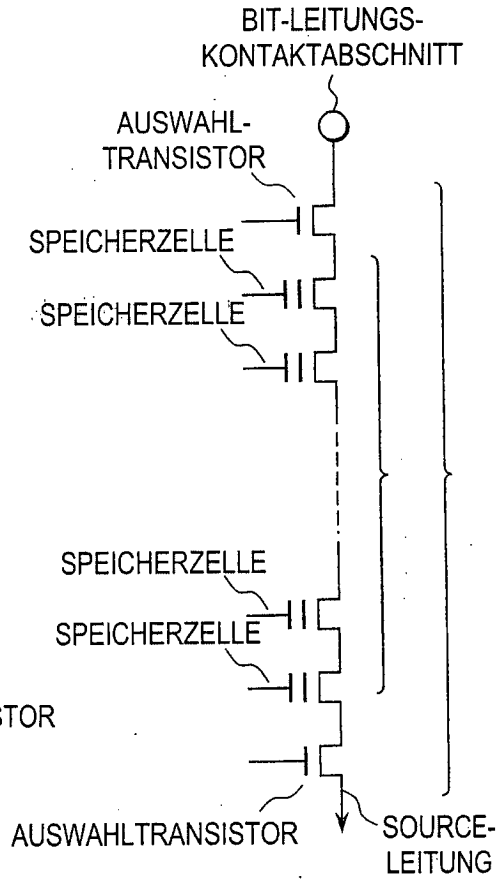


FIG. 71

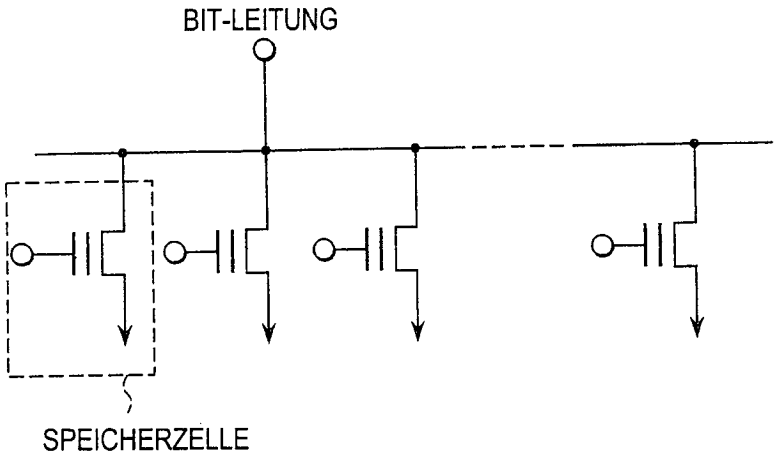


FIG. 72