

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 31 日(31.07.2014)



(10) 国際公開番号
WO 2014/115673 A1

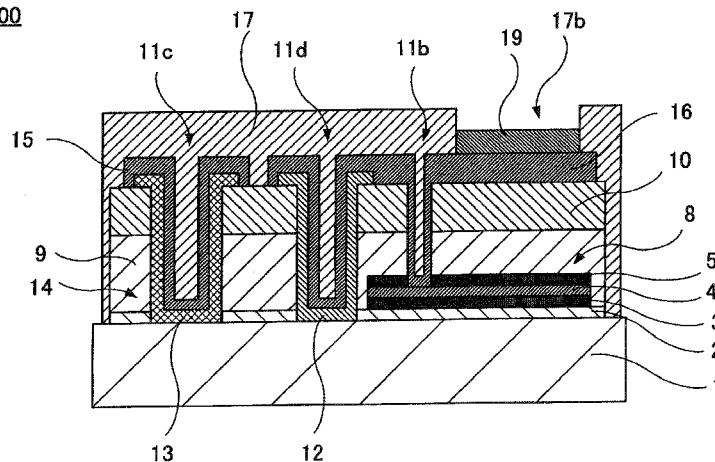
- (51) 国際特許分類:
H01L 21/329 (2006.01) H01L 29/866 (2006.01)
H01L 29/861 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2014/050920
- (22) 国際出願日: 2014 年 1 月 20 日(20.01.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-009710 2013 年 1 月 23 日(23.01.2013) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 野村 雅信(NOMURA, Masanobu); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 竹島 裕(TAKESHIMA, Yutaka); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: COMPOSITE ELECTRONIC COMPONENT HAVING THIN-FILM CAPACITOR AND ZENER DIODE, AND MANUFACTURING METHOD FOR SUCH COMPOSITE ELECTRONIC COMPONENT

(54) 発明の名称: 薄膜キャパシタとツエナーダイオードの複合電子部品およびその製造方法

FIG.2

100



(57) Abstract: A composite electronic component (100) is provided with a Si substrate (1), a thin-film capacitor (8), and a Zener diode (14) comprising the Si substrate (1) and a semiconductor thin-film layer (13), and the composite electronic component is characterized in that the carrier concentration of the Si substrate (1) is smaller compared to the carrier concentration of the semiconductor thin-film layer (13).

(57) 要約: 複合電子部品(100)は、Si基板(1)と、薄膜キャパシタ(8)と、Si基板(1)と半導体薄膜層(13)で構成されるツエナーダイオード(14)を備え、Si基板(1)のキャリア濃度が、半導体薄膜層(13)のキャリア濃度に比べて小さいことを特徴とする。

WO 2014/115673 A1

明 細 書

発明の名称：

薄膜キャパシタとツエナーダイオードの複合電子部品およびその製造方法 技術分野

[0001] 本発明は、S i 基板上に薄膜キャパシタとツエナーダイオードが形成された薄膜キャパシタとツエナーダイオードの複合電子部品に関する。

[0002] また、本発明は、上記薄膜キャパシタとツエナーダイオードの複合電子部品の製造方法に関する。

背景技術

[0003] 従来から、S i 基板上に、貴金属電極材料または導電性酸化物材料からなる電極層と、ペロブスカイト型誘電体材料からなる誘電体層が積層されてなる薄膜キャパシタが、小型、大容量のキャパシタとして広く使用されている。

[0004] 例えば、特許文献1（特許第4525947号公報）には、S i 基板上に、P t からなる下部電極層と、チタン酸ストロンチウムバリウム（（B a, S r）T i O₃；以下「B S T」という）からなる誘電体層と、P t からなる上部電極層を積層した薄膜キャパシタが開示されている。

[0005] この特許文献1に開示された従来の薄膜キャパシタは、例えば、次の工程により製造される。

[0006] まず、表面にS i O₂膜が形成されたS i 基板を準備する。

次に、S i 基板のS i O₂膜上に、密着層、P t からなる下部電極層、結晶性B S Tからなる誘電体層、P t からなる上部電極層を順に形成する。

[0007] 更に、必要に応じて、上部電極層上に、バリア層や保護層を形成する。

次に、B S Tからなる誘電体層の結晶性を高め、誘電率を向上させるために、熱処理を行なう。熱処理は、酸素雰囲気中において、750℃以上、例えば、850℃の温度で、30分間加熱することにより行なう。

[0008] また、別の電子部品として、n型またはp型の導電性を有するS i 基板上

に、逆の導電性を有する半導体層を形成してなるツエナーダイオードが、定電圧回路や静電気保護等の用途に広く使用されている。

[0009] 例えば、特許文献2（特許第3981324号公報）には、p型の高不純物濃度のSi基板の表面にn型の半導体層を形成し、そのn型の半導体層の表面にp型拡散領域を形成したツエナーダイオードが開示されている。

[0010] この特許文献2に開示された従来のツエナーダイオードは、例えば、次の工程により製造される。

[0011] まず、例えば、p型の高不純物濃度のSi基板を準備する。

次に、このp型の高不純物濃度のSi基板に、p-n拡散接合工程を施す。具体的には、まず、p型の高不純物濃度のSi基板の表面に、所望のツエナー電圧が得られる不純物濃度のn型半導体層をエピタキシャル成長させる。続いて、n型半導体層の表面に、ボロン等の不純物元素を拡散させることにより、所定の数および形状からなるp型拡散領域を形成する。

[0012] 次に、p型拡散領域が形成されたn型半導体層の、p型拡散領域の表面に、Al等の金属膜を蒸着し、パターニングすることにより、電極や配線を形成する。

先行技術文献

特許文献

[0013] 特許文献1：特許第4525947号公報

特許文献2：特許第3981324号公報

発明の概要

発明が解決しようとする課題

[0014] 電子機器、電気機器等の小型軽量化にともない、これらの機器に使用される電子部品においても、小型軽量化や、複数の電子部品の複合化が求められている。上述した薄膜キャパシタやツエナーダイオードにおいても、両者を複合化させることができれば、機器に使用される電子部品の個数を削減し、機器への実装スペースを削減することができるため、非常に好ましい。

[0015] しかしながら、上述した薄膜キャパシタとツエナーダイオードを単一のS i 基板上に構成しようとした場合、次のような問題があった。すなわち、上述した薄膜キャパシタの製造方法においては、BSTからなる誘電体層の結晶性を高め、誘電率を向上させるために、酸素雰囲気中において、750℃以上、例えば850℃の温度で熱処理を行なう工程が存在する。また、上述したツエナーダイオードの製造方法においては、p型の高不純物濃度のS i 基板の表面にn型半導体層をエピタキシャル成長させる工程や、n型半導体層の表面にボロン等の不純物元素を拡散させる工程が存在する。これらのエピタキシャル成長や、不純物元素の拡散等は、通常、非酸素雰囲気中において、1000℃程度の高温度において行なわれる。また、これらの工程は、高コストを要する工程でもある。

[0016] 単一のS i 基板上に薄膜キャパシタとツエナーダイオードを形成するにあたり、先に薄膜キャパシタを形成し、後からツエナーダイオードを形成するようにすれば、ツエナーダイオードを形成する際のエピタキシャル成長や不純物元素の拡散の高温度や雰囲気により、先に形成した薄膜キャパシタが劣化してしまうという問題があった。逆に、先にツエナーダイオードを形成し、後から薄膜キャパシタを形成するようにすれば、薄膜キャパシタを形成する際の熱処理工程における酸素雰囲気中での750℃を超える高温により、先に形成したツエナーダイオードを構成する半導体材料や電極材料が酸化・拡散してしまい、ツエナーダイオードが機能劣化や機能不全になるという問題があった。すなわち、薄膜キャパシタとツエナーダイオードをいずれの順番に形成しても、後の電子部品を形成する際に、先に形成した電子部品が劣化してしまうという問題があった。

課題を解決するための手段

[0017] 本発明は、上述した従来の技術の問題点を解消するためになされたものである。その手段として、本発明の薄膜キャパシタとツエナーダイオードの複合電子部品は、n型またはp型の導電性を有する単結晶または多結晶からなるS i 基板と、S i 基板上に形成された、貴金属電極材料または導電性酸化

物材料からなる電極層と、ペロブスカイト型誘電体材料からなる誘電体層が積層されてなる薄膜キャパシタと、S i 基板上の薄膜キャパシタが形成された領域と異なる領域に形成された、S i 基板と逆の導電性を有する半導体薄膜層からなり、S i 基板とp-n接合をなすツエナーダイオードと、を備え、S i 基板のキャリア濃度が、半導体薄膜層のキャリア濃度に比べて小さいことを特徴とする。

[0018] また、本発明の薄膜キャパシタとツエナーダイオードの複合電子部品の製造方法は、n型またはp型の導電性を有する単結晶または多結晶からなるS i 基板を用意する工程と、S i 基板上に、貴金属電極材料または導電性酸化物材料からなる電極層と、ペロブスカイト型誘電体材料からなる誘電体層を積層して薄膜キャパシタを形成する工程と、薄膜キャパシタを熱処理する工程と、S i 基板上の薄膜キャパシタが形成された領域と異なる領域に、S i 基板と逆の導電性を有する半導体薄膜層を形成し、S i 基板とp-n接合をなすツエナーダイオードを形成する工程と、を順に備え、S i 基板のキャリア濃度が、半導体薄膜層のキャリア濃度に比べて小さいことを特徴とする。

発明の効果

[0019] 本発明の薄膜キャパシタとツエナーダイオードの複合電子部品の構造によれば、ツエナーダイオードがS i 基板と半導体薄膜層で構成されているため、高温かつ高コストなp-n拡散接合工程を用いることなく、すなわち、半導体層をエピタキシャル成長させる工程や半導体層の表面にボロン等の不純物元素を拡散させる工程を用いることなく、S i 基板上にツエナーダイオードを形成することができる。したがって、S i 基板上に先に薄膜キャパシタを形成し、後からツエナーダイオードを形成するようにすれば、薄膜キャパシタとツエナーダイオードの両方ともを劣化させることなく、薄膜キャパシタとツエナーダイオードの複合電子部品を製造することができる。

[0020] また、本発明の薄膜キャパシタとツエナーダイオードの複合電子部品は、ツエナーダイオードがS i 基板と半導体薄膜で構成され、かつ、S i 基板のキャリア濃度が半導体薄膜のキャリア濃度よりも小さくなっており、ツエナ

一特性の起源である電子なだれが主としてS i 基板側で発生するため、p - n 拡散接合工程を用いて製造した従来のツエナーダイオードと同等レベルの特性を得ることができる。すなわち、電子なだれが、主に、S i 基板側ではなく半導体薄膜側で発生する場合には、E S D (Electro-Static Discharge : 静電気放電) 保護機能が低下することが考えられるが、本発明によればそのようなことは起こらない。

[0021] また、本発明の薄膜キャパシタとツエナーダイオードの複合電子部品の製造方法によれば、薄膜キャパシタを形成し、薄膜キャパシタを熱処理した後に、高温度による工程を経ることのない工程によりツエナーダイオードを形成するため、薄膜キャパシタとツエナーダイオードの両方ともを劣化させることなく、薄膜キャパシタとツエナーダイオードの複合電子部品の製造することができる。

図面の簡単な説明

[0022] [図1]本発明の第1実施形態に係る薄膜キャパシタとツエナーダイオードの複合電子部品100を示す平面図である。

[図2]図1のX-X部分を示す複合電子部品100の断面図である。

[図3]図1のY-Y部分を示す複合電子部品100の断面図である。

[図4]複合電子部品100の等価回路図である。

[図5]複合電子部品100の製造方法において実施される工程を示す断面図である。図5(A)と図5(B)は、複合電子部品100の異なる断面を示している。(以下の図6~13も図(A)と図(B)を備えているが、同様に、それぞれ複合電子部品100の異なる断面を示している。)

[図6]図5の続きであり、複合電子部品100の製造方法において実施される工程を示す断面図である。

[図7]図6の続きであり、複合電子部品100の製造方法において実施される工程を示す断面図である。

[図8]図7の続きであり、複合電子部品100の製造方法において実施される工程を示す断面図である。

[図9]図8の続きであり、複合電子部品100の製造方法において実施される工程を示す断面図である。

[図10]図9の続きであり、複合電子部品100の製造方法において実施される工程を示す断面図である。

[図11]図10の続きであり、複合電子部品100の製造方法において実施される工程を示す断面図である。

[図12]図11の続きであり、複合電子部品100の製造方法において実施される工程を示す断面図である。

[図13]図12の続きであり、複合電子部品100の製造方法において実施される工程を示す断面図である。

[図14]本発明の第2実施形態に係る薄膜キャパシタとツエナーダイオードの複合電子部品200を示す断面図である。図14(A)と(B)は、複合電子部品200の異なる断面を示している。

[図15]複合電子部品200の等価回路図である。

発明を実施するための形態

[0023] 以下、図面とともに、本発明を実施するための形態について説明する。

[第1実施形態]

図1～4に、本発明の第1実施形態に係る薄膜キャパシタとツエナーダイオードの複合電子部品100を示す。ただし、図1は、複合電子部品100の平面図である。図2は、図1のX-X部分を示す複合電子部品100の断面図である。図3は、図1のY-Y部分を示す複合電子部品100の断面図である。図4は、複合電子部品100の等価回路図である。

[0024] 複合電子部品100は、p型Si単結晶基板1を備える。p型Si単結晶基板1としては、例えば、Bドーピング、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ のものが用いられている。

[0025] p型Si単結晶基板1上には、第1のSiO₂層2が形成されている。第1のSiO₂層2は、例えば、熱酸化法により形成されている。

[0026] p型Si単結晶基板1の異なる領域に、薄膜キャパシタ8とツエナーダイ

オード 14 が形成されている。

[0027] 薄膜キャパシタ 8 は、p 型 Si 単結晶基板 1 上に形成された第 1 の SiO₂ 層 2 上に形成されている。薄膜キャパシタ 8 は、下から順に、BST からなる密着層 3、Pt からなる下部電極層 4、BST からなる誘電体層 5、Pt からなる上部電極層 6、BST からなる保護層 7 が積層された構造からなる。これらのうちの、下部電極層 4、誘電体層 5、上部電極層 6 がキャパシタとして機能する。密着層 3、下部電極層 4、誘電体層 5 の平面的な大きさは、上部電極層 6、保護層 7 の平面的な大きさよりも大きく、複合部品 100 を垂直方向に透視した場合、上部電極層 6、保護層 7 の形成された領域が、密着層 3、下部電極層 4、誘電体層 5 の形成された領域に内包されている。

[0028] ツエナーダイオード 14 は、p 型 Si 単結晶基板 1 と、これに接して形成された n 型の ZnO 半導体からなる半導体薄膜層 13 により構成されている。

[0029] p 型 Si 単結晶基板 1 に形成された薄膜キャパシタ 8 とツエナーダイオード 14 上には、上述した第 1 の SiO₂ 層 2 に加えて、更に下から順に、第 2 の SiO₂ 層 9、第 1 のポリイミド層 10、第 2 のポリイミド層 17 が積層されている。これらの積層体には、次の開口 11a ~ 11d が形成されている。

[0030] 第 1 のポリイミド層 10、第 2 の SiO₂ 層 9、薄膜キャパシタ 8 の保護層 7 を貫通して、薄膜キャパシタ 8 の上部電極層 6 に至る開口 11a が形成されている。

[0031] 第 1 のポリイミド層 10、第 2 の SiO₂ 層 9、薄膜キャパシタ 8 の誘電体層 5 を貫通して、薄膜キャパシタ 8 の下部電極層 4 に至る開口 11b が形成されている。

[0032] 第 1 のポリイミド層 10、第 2 の SiO₂ 層 9、第 2 の SiO₂ 層 2 を貫通して、p 型 Si 単結晶基板 1 に至る 2 つの開口 11c、11d が形成されている。

[0033] 開口 11c の内部には、上述したツエナーダイオード 14 の n 型の ZnO

半導体からなる半導体薄膜層 13 が形成されている。半導体薄膜層 13 は、p 型 Si 単結晶基板 1 に接している。

[0034] 開口 11d の内部には、例えば Ti 層、Au 層の 2 層構造からなる引出し電極 12 が形成されている。引出し電極 12 は、p 型 Si 単結晶基板 1 に接している。なお、図 2 等においては、見やすくするため、引出し電極 12 を 1 層に示している。

[0035] 第 1 のポリイミド層 10 上には、所定のパターン形状からなる引出し電極 15、16 がそれぞれ形成されている。引出し電極 15 は、開口 11a の内部にも形成され、薄膜キャパシタ 8 の上部電極層 6 に接続されている。また、引出し電極 15 は、開口 11c の内部にも形成され、半導体薄膜層 13 に接続されている。引出し電極 16 は、開口 11b の内部にも形成され、薄膜キャパシタ 8 の下部電極層 4 に接続されている。また、引出し電極 16 は、開口 11d の内部にも形成され、引出し電極 12 に接続されている。引出し電極 15、16 は、例えば Ti 層、Cu 層の 2 層構造からなる。なお、図 2、図 3 等においては、見やすくするため、引出し電極 15、16 をそれぞれ 1 層に示している。

[0036] 引出し電極 15、16 が形成された第 1 のポリイミド層 10 上に積層された第 2 のポリイミド層 17 には、開口 17a、17b が形成され、開口 17a から引出し電極 15 が露出され、開口 17b から引出し電極 16 が露出されている。

[0037] そして、開口 17a から露出された引出し電極 15 上に端子電極 18 が形成され、開口 17b から露出された引出し電極 16 上に端子電極 19 が形成されている。端子電極 18、19 は、例えば無電解めっき法により形成され、例えば Ni 層、Au 層の 2 層構造からなる。なお、図 2 等においては、見やすくするため、端子電極 18、19 をそれぞれ 1 層に示している。

[0038] 以上の構造からなる本発明の第 1 実施形態に係る薄膜キャパシタとツエナーダイオードの複合電子部品 100 は、図 4 に示すように、端子電極 18 と端子電極 19 の間に、薄膜キャパシタ 8 とツエナーダイオード 14 が並列に

接続された等価回路を有している。

[0039] 次に、図5～13を参照しながら、本発明の第1実施形態に係る薄膜キャパシタとツエナーダイオードの複合電子部品100の製造方法の一例について説明する。なお、各図はそれぞれ(A)と(B)を備えるが、(A)と(B)は、製造工程中の同一時点における複合電子部品100の異なる断面を示したものである。すなわち、(A)は、図1の複合電子部品100のX-X部分に対応する断面を示している。(B)は、図1の複合電子部品100のY-Y部分に対応する断面を示している。

[0040] まず、図5に示すように、p型Si単結晶基板1を用意し、p型Si単結晶基板1上に、熱酸化法により第1のSiO₂層2を形成する。p型Si単結晶基板1としては、例えば、Bドーピング、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ のものを用いる。第1のSiO₂層2の厚みは、例えば700nmとする。

[0041] 次に、図6に示すように、第1のSiO₂層2上に、BSTからなる密着層3、Ptからなる下部電極層4、BSTからなる誘電体層5、Ptからなる上部電極層6、BSTからなる保護層7を順に形成する。

[0042] BSTからなる密着層3は、例えば、第1のSiO₂層2上に、Ba: Sr: Ti = 7: 3: 10のモル比からなるMOD (Metal Organic Decomposition: 有機金属分解) 原料をスピコートし、乾燥させた後に、酸素雰囲気中、650℃で30分間、高温昇温熱処理を行なうことにより形成する。密着層3の厚みは、例えば50nmとする。

[0043] 下部電極層4は、例えば、Ptをスパッタ法により成膜することにより形成する。下部電極層4の厚みは、例えば200nmとする。

[0044] BSTからなる誘電体層5は、例えば、Ba: Sr: Ti = 7: 3: 10のモル比からなるMOD原料をスピコートし、乾燥させた後に、酸素雰囲気中、650℃で10分間、高温昇温熱処理を行なうことにより形成する。誘電体層5の厚みは、例えば100nmとする。

[0045] 上部電極層6は、例えば、Ptをスパッタ法により成膜することにより形成する。上部電極層6の厚みは、例えば200nmとする。

[0046] B S T からなる保護層 7 は、例えば、 $B a : S r : T i = 7 : 3 : 10$ のモル比からなる M O D 原料をスピコートし、乾燥させた後に、酸素雰囲気中、 650°C で 60 分間、高温昇温熱処理を行なうことにより形成する。保護層 7 の厚みは、例えば 100 nm とする。

[0047] 次に、図 7 に示すように、フォトリソプロセスとイオンミリング法を用いて保護層 7 と上部電極層 6 を加工し、続いて、同じくフォトリソプロセスとイオンミリング法を用いて誘電体層 5 と下部電極層 4 と密着層 3 を加工する。この結果、p 型 S i 単結晶基板 1 上に形成された第 1 の S i O₂ 膜 2 上に、薄膜キャパシタ 8 が形成される。

[0048] 続いて、薄膜キャパシタ 8 の B S T からなる誘電体層 5 の結晶性を高め、誘電率を向上させるために、酸素雰囲気中、 850°C で 30 分間、熱処理を行なう。

[0049] 次に、図 8 に示すように、薄膜キャパシタ 8 が形成された p 型 S i 単結晶基板 1 の第 1 の S i O₂ 層 2 上に、第 2 の S i O₂ 層 9 を形成する。第 2 の S i O₂ 層 9 は、保護層と絶縁層の機能を有する。第 2 の S i O₂ 層 9 は、例えばスパッタ法により形成する。第 2 の S i O₂ 層 9 の厚みは、例えば 1000 nm とする。

[0050] 続いて、同じく図 8 に示すように、第 2 の S i O₂ 層 9 上に、感光性ポリイミドを塗布し、露光し、現像し、例えば、窒素雰囲気中、 320°C で硬化し、所望のパターン形状からなる第 1 のポリイミド層 10 を形成する。第 1 のポリイミド層 10 の厚みは、例えば 6000 nm とする。

[0051] 次に、図 9 に示すように、第 1 のポリイミド層 10 をマスクとして、R I E（反応性イオンエッチング）法を用いて、薄膜キャパシタ 8 部分の第 2 の S i O₂ 層 9 と保護層 7 を加工し、上部電極層 6 に至る開口 11 a と、下部電極層 4 に至る開口 11 b を形成する。また、第 1 のポリイミド層 10 をマスクとして、R I E 法を用いて、薄膜キャパシタ 8 以外の部分の第 2 の S i O₂ 層 9 と熱酸化第 2 の S i O₂ 層 2 を加工し、p 型 S i 単結晶基板 1 に至る開口 11 c と開口 11 d を形成する。

[0052] 次に、図10に示すように、開口11dに、p型Si単結晶基板1に至るツエナーダイオード用の引出し電極12を形成する。引出し電極12は、例えば、リフトオフ法を用いて、20nmのTi層、500nmのAu層の2層構造に形成する。なお、図10(A)等においては、見やすくするため、引出し電極12を1層に示している。

[0053] 次に、図11に示すように、開口11dに、p型Si単結晶基板1に至る半導体薄膜層13を形成する。具体的には、まず、例えば、スパッタ装置により、p型Si単結晶基板1側のイオンボンバード処理を行なった後、n型のZnO半導体薄膜を成膜する。スパッタ条件は、例えば、基板温度25℃、Ar/O₂ガス比99.5/0.5、RFパワー300W（ZnOセラミックゲート使用）とする。半導体薄膜層13の厚みは、例えば500nmとする。その後、フォトリソプロセスとドライエッチングにより、第1のポリイミド層10上の不要なn型のZnO半導体薄膜を除去する。p型Si単結晶基板1とn型のZnO半導体からなる半導体薄膜層13で、ツエナーダイオード14が構成される。

[0054] 次に、図12に示すように、引出し電極15、16を形成する。引出し電極15は、第1のポリイミド層10上と、開口11c内に形成された半導体薄膜層13上と、上部電極層6に至る開口11a内に形成する。引出し電極16は、第1のポリイミド層10上と、開口11d内に形成された引出し電極12上と、下部電極層4に至る開口11b内に形成する。具体的には、引出し電極15、16は、例えば、スパッタ装置で、100nmのTi層、1000nmのCu層の2層構造を形成し、フォトリソプロセスとドライエッチングにより、第1のポリイミド層10上に形成されたCu層およびTi層をパターンニングして形成する。なお、図12(A)、(B)等においては、見やすくするため、引出し電極15、16をそれぞれ1層に示している。

[0055] 次に、図13に示すように、引出し電極15、16が形成された第1のポリイミド層10上に、感光性ポリイミドを塗布し、露光し、現像し、例えば、窒素雰囲気中、320℃で硬化し、所望の形状からなる第2のポリイミド

層 17 を形成する。第 2 のポリイミド層 16 の厚みは、例えば 6000 nm とする。

[0056] 最後に、図 1、図 2、図 13 に示すように、第 2 のポリイミド層 17 に形成された開口 17a、17b から露出した引出し電極 15、16 上に、端子電極 18、19 を形成して、本発明の第 1 実施形態に係る複合電子部品 100 は完成する。端子電極 18、19 は、例えば、無電解めっき法により、2000 nm の Ni 層、50 nm の Au 層の 2 層構造に形成する。なお、図 13 (A) 等においては、見やすくするため、端子電極 19 を 1 層に示している。

[0057] 以上、本発明の第 1 実施形態に係る薄膜キャパシタとツエナーダイオードの複合電子部品 100 の構造、および製造方法の一例について説明した。しかしながら、本発明が上述した内容に限定されることはなく、発明の趣旨に沿って種々の変更をなすことができる。

[0058] たとえば、第 1 実施形態に係る複合電子部品 100 では、半導体薄膜層 13 として n 型の ZnO 半導体薄膜を用いたが、半導体薄膜層はこれには限定されず、その他の半導体薄膜材料を用いても良い。

[0059] また、第 1 実施形態に係る複合電子部品 100 では、Si 基板 1 に p 型のものを用いたが、Si 基板は n 型であっても良い。ただし、この場合には、半導体薄膜層 13 を p 型のものに変更する必要がある。

[0060] また、第 1 実施形態に係る複合電子部品 100 では、Si 基板 1 に単結晶基板を用いたが、Si 基板は多結晶基板であっても良い。

[0061] また、第 1 実施形態に係る複合電子部品 100 では、キャパシタ 8 を構成する誘電体層 5 に BST を用いているが、材料はこれには限定されず、他の材料を用いるようにしても良い。また、キャパシタ 8 を構成する下部電極層 4、上部電極層 6 に Pt を用いているが、材料はこれには限定されず、他の貴金属電極材料や、導電性酸化物材料を用いるようにしても良い。さらに、キャパシタ 8 の層数も任意であり、誘電体層や中間電極層を追加して層数を増やしても良い。

[0062] また、第1実施形態に係る複合電子部品100では、図4の等価回路図に示すように、1個の薄膜キャパシタと1個のツエナーダイオードを並列に接続しているが、複合電子部品の等価回路はこれには限定されず、他の種々の回路を構成することができる。また、複合電子部品の内部に構成される薄膜キャパシタやツエナーダイオードの個数も任意であり、それぞれ1個には限定されない。

[第2実施形態]

図14(A)、(B)、図15に、本発明の第2実施形態に係る薄膜キャパシタとツエナーダイオードの複合電子部品200を示す。ただし、図14(A)、(B)はそれぞれ、複合電子部品200の異なる断面を示す。図15は、複合電子部品200の等価回路図である。

[0063] 上述した第1実施形態に係る複合電子部品100では、Bドーパ、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ からなるp型Si単結晶基板1を用いたが、第2実施形態に係る複合電子部品200では、これに代えて、Pドーパ、キャリア濃度 $2 \times 10^{16} \text{ cm}^{-3}$ からなるn型Si単結晶基板31を用いた。

[0064] また、上述した第1実施形態に係る複合電子部品100では、半導体薄膜層13としてn型のZnO半導体薄膜を用いたが、第2実施形態に係る複合電子部品200では、これに代えて、半導体薄膜層33としてp型アモルファスSi半導体薄膜を用いた。

[0065] また、上述した第1実施形態に係る複合電子部品100では、ツエナーダイオードは1個とし、引出し電極16を引出し電極12を経由させてSi単結晶基板1に接続していたが、第2実施形態に係る複合電子部品200では、引出し電極12をp型アモルファスSi半導体からなる半導体薄膜層43に置き換えた。

[0066] この結果、第2実施形態に係る複合電子部品200は、2個のツエナーダイオードを備えている。すなわち、上述したn型Si単結晶基板31とp型アモルファスSi半導体からなる半導体薄膜層33で1個のツエナーダイオード34が構成され、n型Si単結晶基板31とp型アモルファスSi半導

体からなる半導体薄膜層 4 3 でもう1個のツエナーダイオード 4 4 が構成されている。

[0067] 第2実施形態に係る複合電子部品 2 0 0 の他の構造は、第1実施形態に係る複合電子部品 1 0 0 の構造と同じとし、図 1 4 における符号も同じものを用いた。

[0068] 図 1 5 に示すように、第2実施形態に係る複合電子部品 2 0 0 は、逆方向直列接続されたツエナーダイオード 3 3 と 3 4 が、キャパシタ 8 と並列に接続された等価回路を有している。

[0069] なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

産業上の利用可能性

[0070] 本発明は、S i 基板上に薄膜キャパシタとツエナーダイオードが形成された薄膜キャパシタとツエナーダイオードの複合電子部品に利用可能である。

符号の説明

[0071] 1 p型S i 単結晶基板、2 第1のS i O₂層、3 密着層 (B S T)、4 下部電極層 (P t)、5 誘電体層 (B S T)、6 上部電極層 (P t)、7 保護層 (B S T)、8 薄膜キャパシタ、9 第2のS i O₂層、1 0 第1のポリイミド層、1 1 a, 1 1 b, 1 1 c, 1 1 d 開口、1 2 引出し電極、1 3 半導体薄膜層 (n型Z n O半導体薄膜)、1 4 ツエナーダイオード、1 5, 1 6 引出し電極、1 7 第2のポリイミド層、1 8, 1 9 端子電極、3 1 n型S i 単結晶基板、3 3, 4 3 半導体薄膜層 (p型アモルファスS i 半導体薄膜)、3 4, 4 4 ツエナーダイオード。

請求の範囲

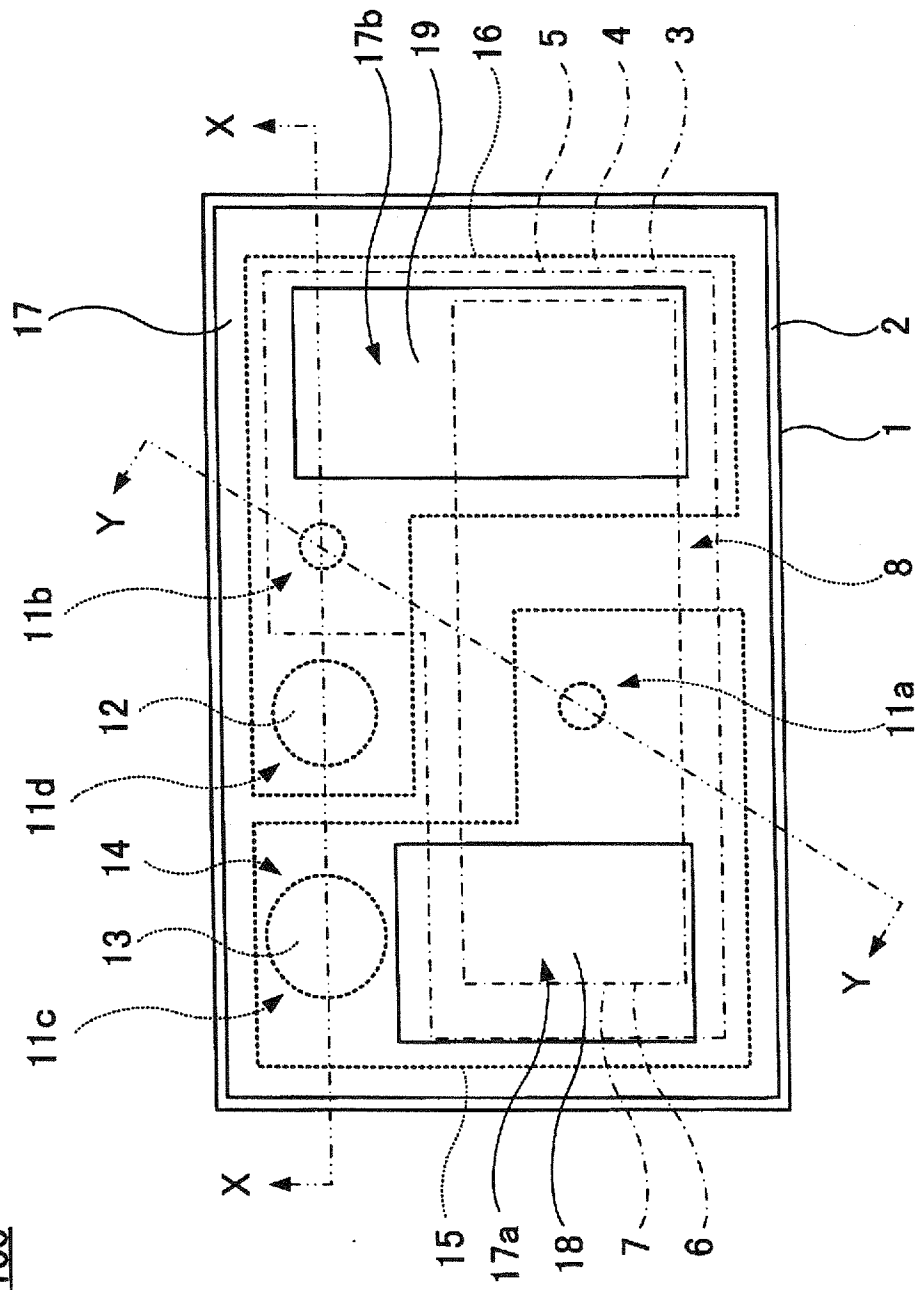
- [請求項1] n型またはp型の導電性を有する単結晶または多結晶からなるS i 基板と、
- 前記S i 基板上に形成された、貴金属電極材料または導電性酸化物材料からなる電極層と、
- ペロブスカイト型誘電体材料からなる誘電体層が積層されてなる薄膜キャパシタと、
- 前記S i 基板上の前記薄膜キャパシタが形成された領域と異なる領域に形成された、前記S i 基板と逆の導電性を有する半導体薄膜層からなり、前記S i 基板とp-n接合をなすツエナーダイオードと、を備えた薄膜キャパシタとツエナーダイオードの複合電子部品であって、
- 前記S i 基板のキャリア濃度が、前記半導体薄膜層のキャリア濃度に比べて小さいことを特徴とする、薄膜キャパシタとツエナーダイオードの複合電子部品。
- [請求項2] 前記薄膜キャパシタと前記ツエナーダイオードが並列接続されていることを特徴とする、請求項1に記載された薄膜キャパシタとツエナーダイオードの複合電子部品。
- [請求項3] n型またはp型の導電性を有する単結晶または多結晶からなるS i 基板を用意する工程と、
- 前記S i 基板上に、貴金属電極材料または導電性酸化物材料からなる電極層と、ペロブスカイト型誘電体材料からなる誘電体層を積層して薄膜キャパシタを形成する工程と、
- 前記薄膜キャパシタを熱処理する工程と、
- 前記S i 基板上の前記薄膜キャパシタが形成された領域と異なる領域に、前記S i 基板と逆の導電性を有する半導体薄膜層を形成し、前記S i 基板とp-n接合をなすツエナーダイオードを形成する工程と、を順に備え、

前記 Si 基板のキャリア濃度が、前記半導体薄膜層のキャリア濃度に比べて小さいことを特徴とする、薄膜キャパシタとツエナーダイオードの複合電子部品の製造方法。

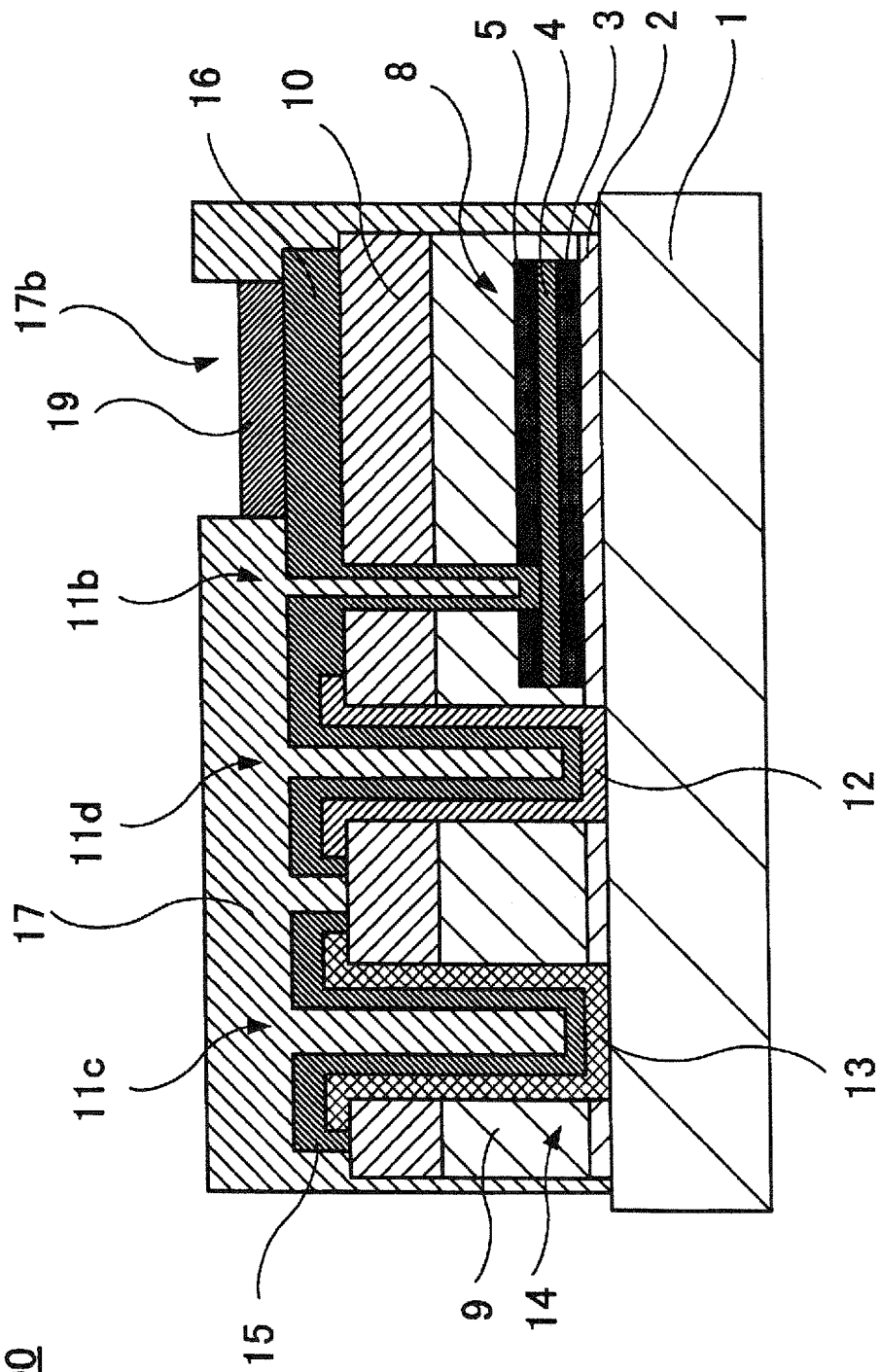
[図1]

FIG.1

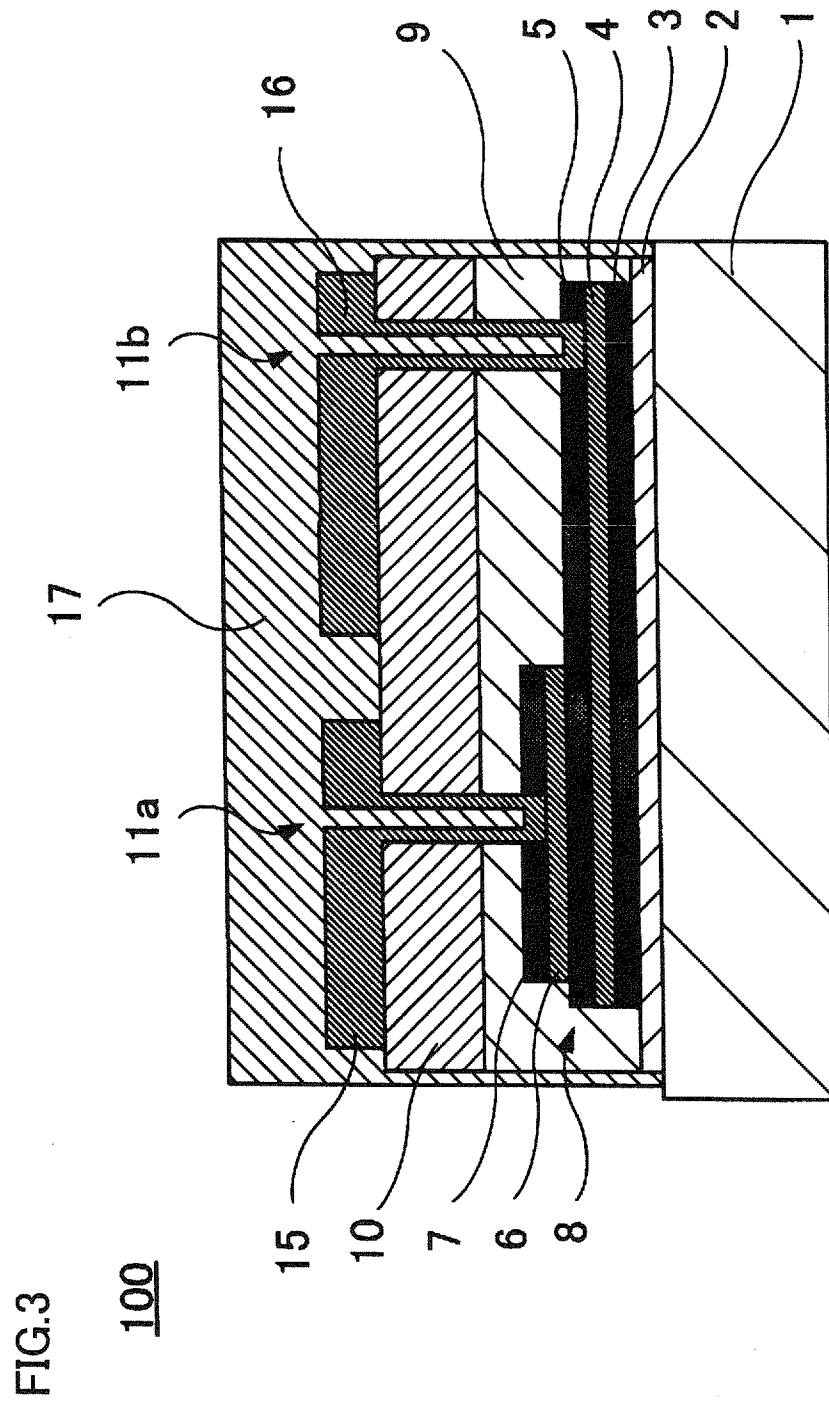
100



[図2]

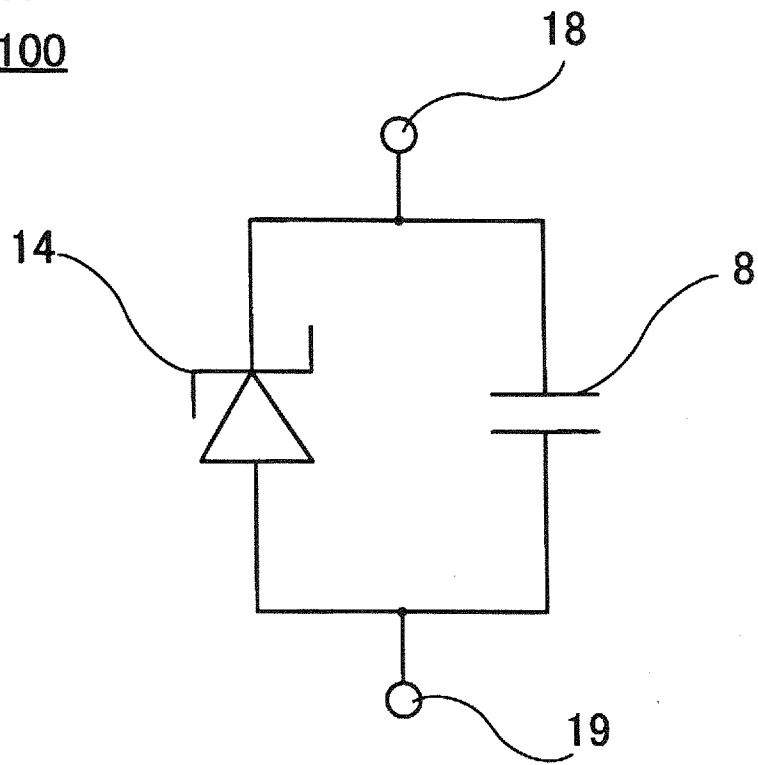
FIG.2
100

[図3]



[図4]

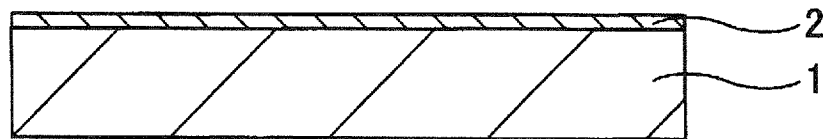
FIG.4

100

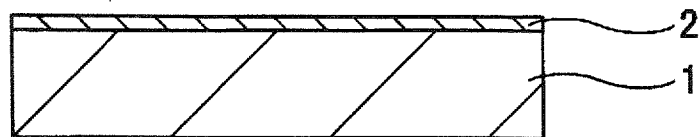
[図5]

FIG.5

(A)



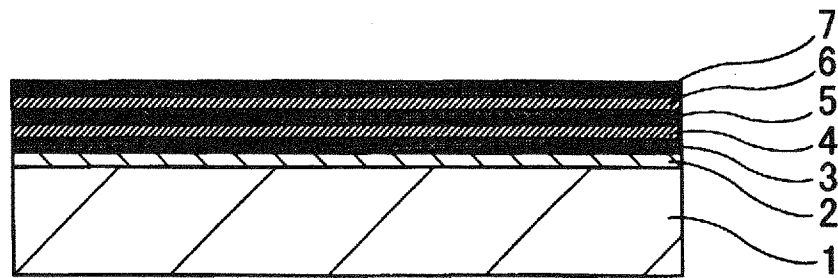
(B)



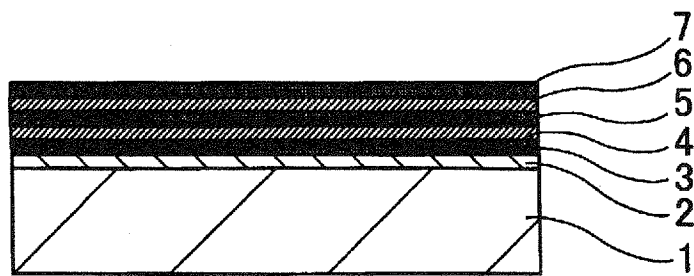
[図6]

FIG.6

(A)



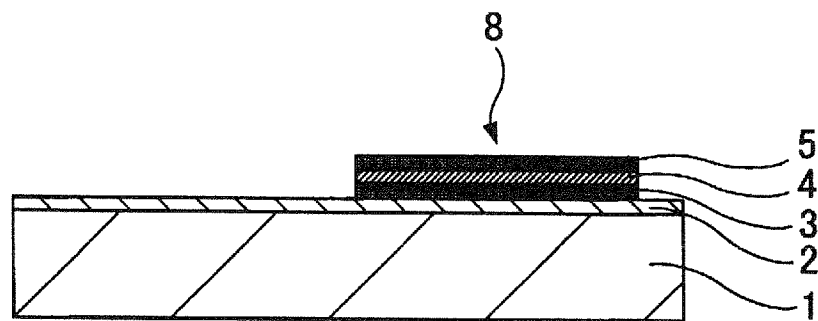
(B)



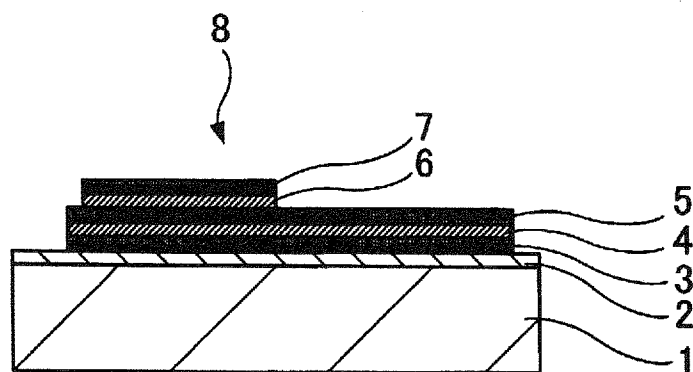
[図7]

FIG.7

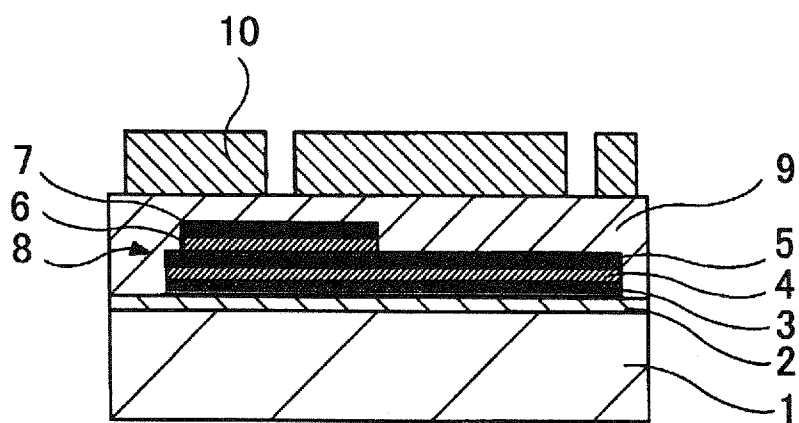
(A)



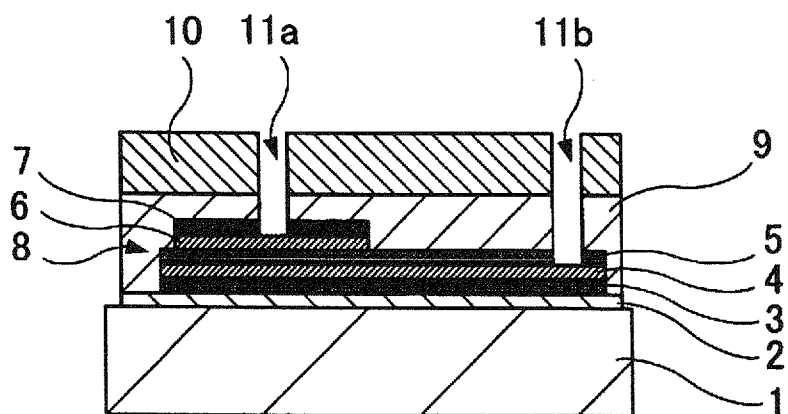
(B)



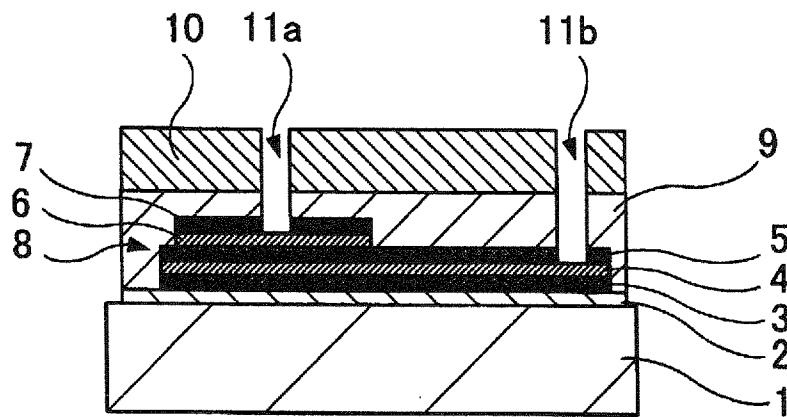
(A)



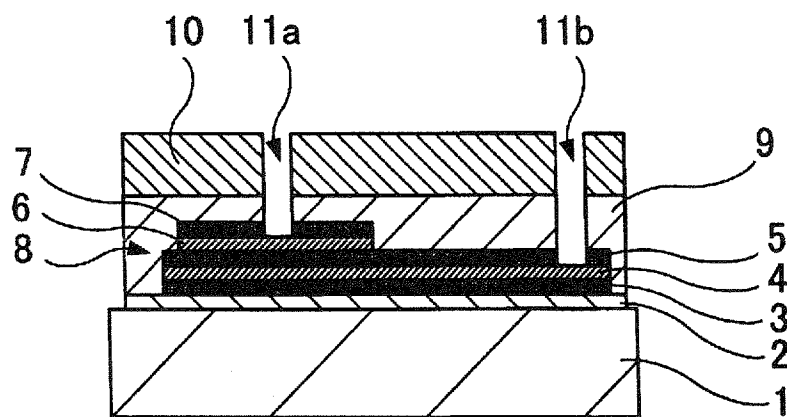
(A)



(A)



(A)



(A)

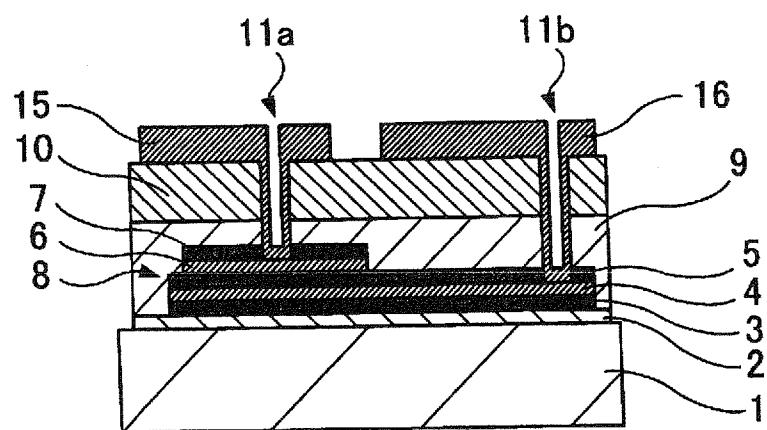
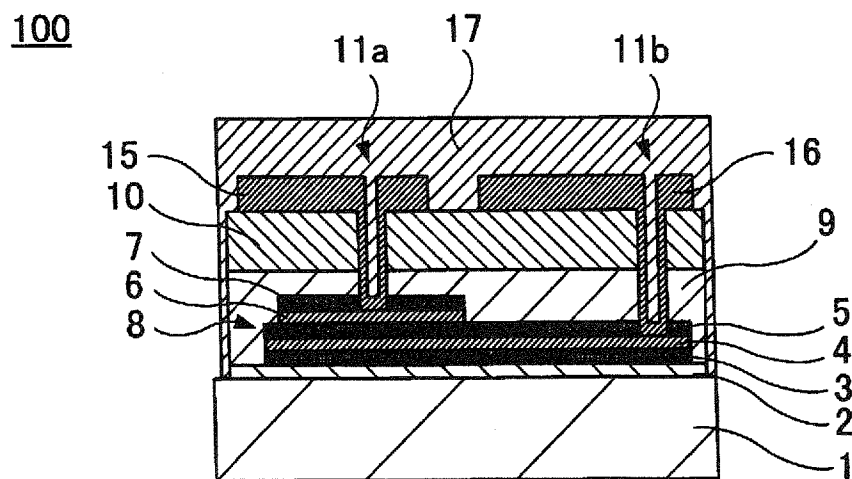
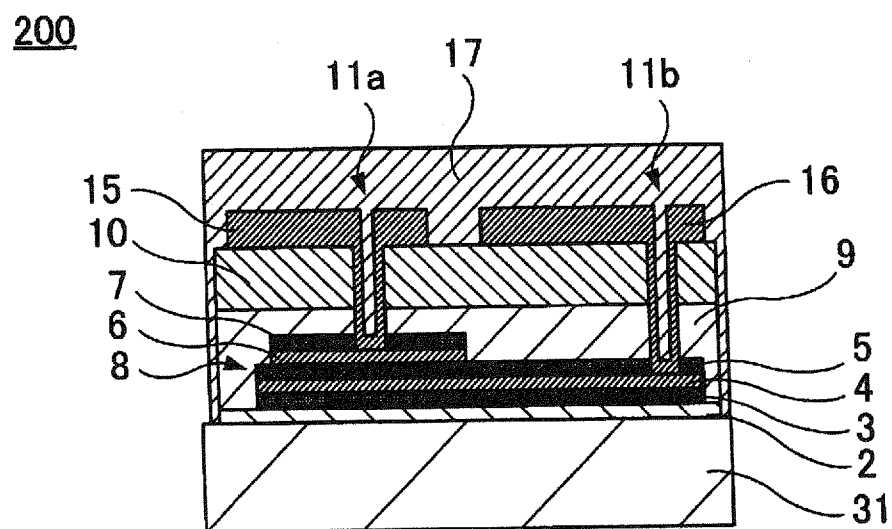


FIG.13
(A)

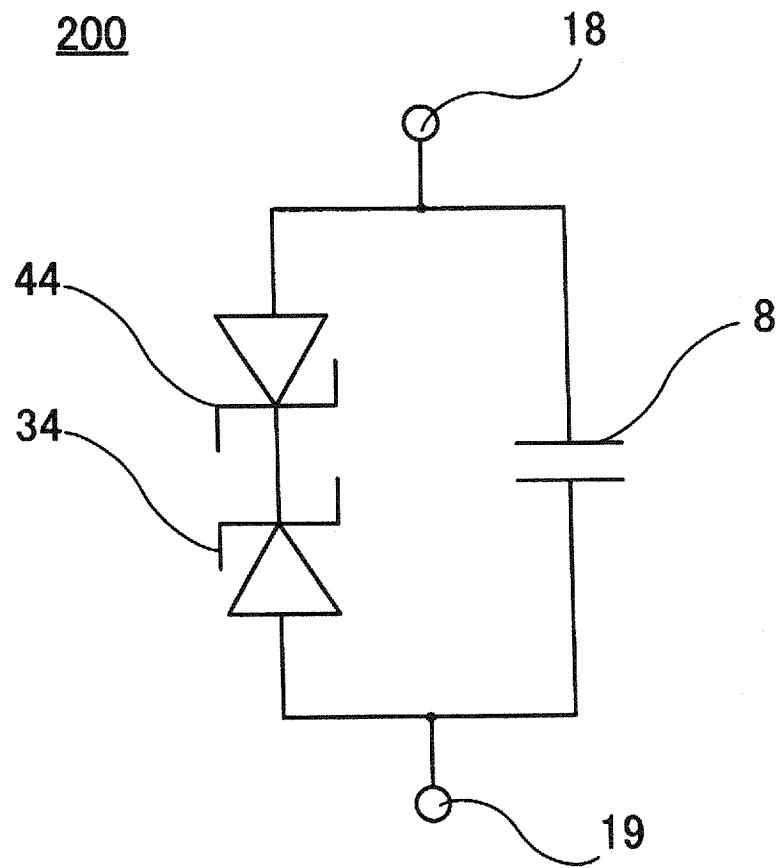


(A)



[図15]

FIG.15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/050920

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/329(2006.01)i, H01L29/861(2006.01)i, H01L29/866(2006.01)i,
H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/329, H01L29/861, H01L29/866, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006/117912 A1 (Murata Mfg. Co., Ltd.), 09 November 2006 (09.11.2006), entire text; all drawings & EP 1876610 A1 & US 2008/0164563 A1	1-3
A	JP 2004-266036 A (Denso Corp.), 24 September 2004 (24.09.2004), entire text; all drawings (Family: none)	1-3
A	JP 2002-329641 A (Kyocera Corp.), 15 November 2002 (15.11.2002), entire text; all drawings & US 2003/0071300 A1	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 April, 2014 (03.04.14)

Date of mailing of the international search report
15 April, 2014 (15.04.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/050920

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-160341 A (Fuji Electric Co., Ltd.), 25 June 1993 (25.06.1993), entire text; all drawings (Family: none)	1-3

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/329(2006.01)i, H01L29/861(2006.01)i, H01L29/866(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/329, H01L29/861, H01L29/866, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2 0 0 6 / 1 1 7 9 1 2 A 1 （株式会社村田製作所） 2 0 0 6 . 1 1 . 0 9、全文全図 & EP 1 8 7 6 6 1 0 A 1 & US 2 0 0 8 / 0 1 6 4 5 6 3 A 1	1 - 3
A	JP 2 0 0 4 - 2 6 6 0 3 6 A （株式会社デンソー） 2 0 0 4 . 0 9 . 2 4、全文全図（ファミリーなし）	1 - 3
A	JP 2 0 0 2 - 3 2 9 6 4 1 A （京セラ株式会社） 2 0 0	1 - 3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 4 . 2 0 1 4

国際調査報告の発送日

1 5 . 0 4 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

5 F

9 2 7 4

工藤 一光

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	2. 11. 15、全文全図 & US 2003/0071300 A1 JP 5-160341 A (富士電機株式会社) 1993. 06. 25、全文全図 (ファミリーなし)	1-3