



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.

G11C 8/08 (2006.01)

G11C 11/4063 (2006.01)

G11C 11/40 (2006.01)

G11C 7/02 (2006.01)

(45) 공고일자 2007년01월09일

(11) 등록번호 10-0666173

(24) 등록일자 2007년01월02일

(21) 출원번호 10-2005-0010372

(22) 출원일자 2005년02월04일

심사청구일자 2005년02월04일

(65) 공개번호 10-2006-0089369

(43) 공개일자 2006년08월09일

(73) 특허권자 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 천기철  
경기도 수원시 팔달구 영통동 롯데아파트 941-1101

(74) 대리인 팍덕영

심사관 : 장호근

전체 청구항 수 : 총 23 항

(54) 네가티브로 제어되는 서브 워드라인 구조의 반도체 메모리장치 및 이의 구동방법

(57) 요약

네가티브로 제어되는 서브 워드라인 구조의 반도체 메모리 장치 및 이의 구동방법이 게시된다. 본 발명의 반도체 메모리 장치에서, 워드라인 인에이블 신호 및 워드라인 구동신호를 네가티브 전압으로 풀다운하는 앤모스 트랜지스터들은 네가티브 전압으로 제어된다. 그러므로, 본 발명의 반도체 메모리 장치에 의하면, 네가티브로 바이어스된 워드라인 구조에서, 네가티브 전압원으로의 방전전류의 유입은 감소된다. 따라서, 본 발명의 반도체 메모리 장치에서는, 네가티브 전압의 변동에 의하여 발생하는 노이즈가 현저히 감소된다.

대표도

도 7

특허청구의 범위

청구항 1.

반도체 메모리 장치에 있어서,

다수개의 서브 워드라인들;

대응하는 각자의 상기 서브 워드라인에 접속되고 프리차이지 동작을 하는 동안에, 각자의 워드라인 인에이블 신호와 각자의 서브 워드라인 구동신호에 응답하여, 각자의 서브 워드라인을 제1 전압에 접속하는 다수개의 서브 워드라인 드라이버들;

대응되는 상기 서브 워드라인 드라이버로 각자의 상기 서브 워드라인 구동신호를 제공하기 위한 구동신호 발생회로들; 및

대응되는 상기 서브 워드라인 드라이버로 각자의 상기 워드라인 인에이블신호를 제공하기 위한 워드라인 인에이블 드라이버들을 구비하며,

상기 워드라인 인에이블 드라이버들 각각은

상위 디코딩 신호를 입력하기 위한 디코더 입력단;

소정의 디코더 제어단;

상기 상위 디코딩 신호 및 소정의 누설차단신호에 응답하여, 상기 디코더 제어단을 제2 전압으로 풀다운하는 제1 디코더 풀다운부;

소정의 예비신호에 응답하여, 상기 디코더 제어단을 상기 제1 전압으로 풀다운하는 제2 디코더 풀다운부로서, 상기 예비신호는 궁극적으로 상기 워드라인 인에이블 신호를 발생시키는 상기 제2 디코더 풀다운부;

상기 상위 디코딩 신호에 응답하여, 상기 디코더 제어단을 풀업하는 디코더 풀업부; 및

상기 디코더 제어단에 응답하여, 상기 제1 전압으로 풀다운되는 상기 예비신호를 발생하는 드라이빙부를 구비하며,

상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이며,

상기 누설차단신호는 상기 워드라인 인에이블 신호의 액티브시에 상기 제1 전압으로 제어되는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 2.

제1 항에 있어서,

상기 예비신호에 응답하여, 상기 디코더 제어단의 풀업을 유지시키는 풀업 유지부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 3.

제1 항에 있어서, 상기 제1 전압은 상기 제2 전압보다 낮은 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 4.

제1 항에 있어서, 상기 제1 전압은 네가티브 전압이고, 상기 제2 전압은 접지전압인 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 5.

반도체 메모리 장치에 있어서,

다수개의 서브 워드라인들;

대응하는 각자의 상기 서브 워드라인에 접속되고 프리차이지 동작을 하는 동안에, 각자의 워드라인 인에이블 신호와 각자의 서브 워드라인 구동신호에 응답하여, 각자의 서브 워드라인을 제1 전압에 접속하는 다수개의 서브 워드라인 드라이버들;

대응되는 상기 서브 워드라인 드라이버로 각자의 상기 서브 워드라인 구동신호를 제공하기 위한 구동신호 발생회로들; 및

대응되는 상기 서브 워드라인 드라이버로 각자의 워드라인 인에이블신호를 제공하기 위한 워드라인 인에이블 드라이버들을 구비하며,

상기 워드라인 인에이블 드라이버들 각각은

상위 디코딩 신호를 입력하기 위한 디코더 입력단;

소정의 디코더 제어단;

상기 상위 디코딩 신호 및 소정의 누설차단신호에 응답하여, 상기 디코더 제어단과 제2 전압사이에 형성되는 제1 디코더 전류패스; 및

소정의 예비신호에 응답하여, 상기 디코더 제어단과 상기 제1 전압사이에 형성되는 제2 디코더 전류패스를 구비하며,

상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이고,

상기 예비신호는 풀다운시에 상기 디코더 제어단에 응답하여 상기 제1 전압으로 제어되며,

상기 누설차단신호는 상기 워드라인 인에이블 신호의 액티브시에 상기 제1 전압으로 제어되는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 6.

제5 항에 있어서, 상기 제1 전압은 네가티브 전압이고, 상기 제2 전압은 접지전압인 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 7.

워드라인 인에이블 신호와 서브 워드라인 구동신호에 응답하여, 서브 워드라인을 제1 전압에 접속하는 서브 워드라인 드라이버를 가지는 반도체 메모리 장치의 구동방법에 있어서,

구동 입력단과 구동 출력단을 구비하는 구동신호 발생회로가 상기 출력단을 통하여 대응되는 서브 워드라인 드라이버로 서브 워드라인 구동신호를 발생하는 단계; 및

디코더 입력단과 디코더 제어단을 구비하는 워드라인 인에이블 드라이버가 대응되는 서브 워드라인 드라이버로 상기 디코더 제어단에 응답하여, 풀다운되는 워드라인 인에이블신호를 발생하는 단계를 구비하며,

상기 워드라인 인에이블신호를 발생하는 단계는

상기 디코더 입력단을 통하여, 상위 디코딩 신호를 수신하는 단계;

상기 상위 디코딩 신호 및 소정의 누설차단신호에 응답하여, 상기 디코더 제어단을 제2 전압으로 풀다운하며, 소정의 예비 신호에 응답하여, 상기 디코더 제어단을 상기 제1 전압으로 풀다운하는 단계로서, 상기 예비신호는 궁극적으로 상기 워드 라인 인에이블 신호를 발생시키는 상기 풀다운하는 단계; 및

상기 디코더 제어단에 응답하여, 상기 제1 전압으로 풀다운되는 상기 예비신호를 발생하는 단계를 구비하며,

상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이고,

상기 누설차단신호는 상기 워드라인 인에이블 신호의 액티브시에 상기 제1 전압으로 제어되는 것을 특징으로 하는 반도체 메모리 장치의 구동방법.

### 청구항 8.

제7 항에 있어서, 상기 제1 전압은 네가티브 전압이고, 상기 제2 전압은 접지전압인 것을 특징으로 하는 반도체 메모리 장치의 구동방법.

### 청구항 9.

워드라인 인에이블 신호와 서브 워드라인 구동신호에 응답하여, 서브 워드라인을 제1 전압에 접속하는 서브 워드라인 드라이버를 가지는 반도체 메모리 장치의 구동방법에 있어서,

구동 입력단과 구동 출력단을 구비하는 구동신호 발생회로가 상기 출력단을 통하여 대응되는 서브 워드라인 드라이버로 서브 워드라인 구동신호를 발생하는 단계; 및

디코더 입력단과 디코더 제어단을 구비하는 워드라인 인에이블 드라이버가 대응되는 서브 워드라인 드라이버로 상기 디코더 제어단에 응답하여, 풀다운되는 워드라인 인에이블신호를 발생하는 단계를 구비하며,

상기 워드라인 인에이블신호를 발생하는 단계는

상기 디코더 입력단을 통하여, 상위 디코딩 신호를 수신하는 단계;

상기 상위 디코딩 신호 및 소정의 누설차단신호에 응답하여, 상기 디코더 제어단과 제2 전압사이에 제1 디코더 전류패스를 형성하는 단계;

소정의 예비신호에 응답하여, 상기 디코더 제어단과 상기 제1 전압사이에 제2 디코더 전류패스를 형성하는 단계로서, 상기 예비신호는 궁극적으로 상기 워드라인 인에이블 신호를 발생시키는 상기 제2 디코더 전류패스를 형성하는 단계; 및

상기 디코더 제어단에 응답하여, 상기 제1 전압으로 풀다운되는 상기 예비신호를 발생하는 단계를 구비하며,

상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이고,

상기 누설차단신호는 상기 워드라인 인에이블 신호의 액티브시에 상기 제1 전압으로 제어되는 것을 특징으로 하는 반도체 메모리 장치의 구동방법.

### 청구항 10.

제9 항에 있어서, 상기 제1 전압은 네가티브 전압이고, 상기 제2 전압은 접지전압인 것을 특징으로 하는 반도체 메모리 장치의 구동방법.

**청구항 11.**

반도체 메모리 장치에 있어서,

다수개의 서브 워드라인들;

대응하는 각자의 상기 서브 워드라인에 접속되고 프리차이지 동작을 하는 동안에, 각자의 워드라인 인에이블 신호와 각자의 서브 워드라인 구동신호에 응답하여, 각자의 서브 워드라인을 제1 전압에 접속하는 다수개의 서브 워드라인 드라이버들;

대응되는 상기 서브 워드라인 드라이버로 각자의 상기 서브 워드라인 구동신호를 제공하기 위한 구동신호 발생회로들; 및

대응되는 상기 서브 워드라인 드라이버로 각자의 워드라인 인에이블신호를 제공하기 위한 워드라인 인에이블 드라이버들을 구비하며,

상기 구동신호 발생회로들 각각은

하위 디코딩 신호를 입력하기 위한 구동 입력단;

상기 서브 워드라인 구동신호를 출력하기 위한 구동 출력단;

상기 구동 출력단에 접속되고, 상기 하위 디코딩 신호에 응답하여, 상기 구동 출력단을 제2 전압으로 풀다운하는 제1 구동 풀다운부;

소정의 구동 제어신호에 응답하여, 상기 구동 출력단을 상기 제1 전압으로 풀다운하는 제2 구동 풀다운부로서, 상기 구동 제어신호는 상기 하위 디코딩 신호에 응답하는 상기 제2 구동 풀다운부; 및

상기 구동 출력단의 풀업에 응답하여, 상기 제2 풀다운부의 누설전류를 방지하기 위하여, 상기 구동 제어신호를 상기 제1 전압으로 제어하기 위한 구동제어부를 구비하며,

상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨인 것을 특징으로 하는 반도체 메모리 장치.

**청구항 12.**

제11 항에 있어서, 상기 제1 전압은 상기 제2 전압보다 낮은 것을 특징으로 하는 반도체 메모리 장치.

**청구항 13.**

제11 항에 있어서, 상기 제1 전압은 네가티브 전압이고, 상기 제2 전압은 접지전압인 것을 특징으로 하는 반도체 메모리 장치.

**청구항 14.**

제11 항에 있어서,

상기 제2 구동 풀다운부는 상기 구동 출력단과 상기 제1 전압사이에 형성되며, 상기 구동 제어신호에 의하여 게이팅되는 제1 앤모스 트랜지스터를 포함하며,

상기 구동제어부는 상기 구동 제어신호와 상기 제1 전압 사이에 형성되며, 상기 구동 출력단에 응답하는 제2 앤모스 트랜지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 15.

반도체 메모리 장치에 있어서,

다수개의 서브 워드라인들;

대응하는 각자의 상기 서브 워드라인에 접속되고 프리차아지 동작을 하는 동안에, 각자의 워드라인 인에이블 신호와 각자의 서브 워드라인 구동신호에 응답하여, 각자의 서브 워드라인을 제1 전압에 접속하는 다수개의 서브 워드라인 드라이버들;

대응되는 상기 서브 워드라인 드라이버로 각자의 상기 서브 워드라인 구동신호를 제공하기 위한 구동신호 발생회로들; 및

대응되는 상기 서브 워드라인 드라이버로 각자의 워드라인 인에이블신호를 제공하기 위한 워드라인 인에이블 드라이버들을 구비하며,

상기 구동신호 발생회로들 각각은

하위 디코딩 신호를 입력하기 위한 구동 입력단;

상기 서브 워드라인 구동신호를 출력하기 위한 구동 출력단;

상기 하위 디코딩 신호에 응답하여, 상기 구동 출력단과 제2 전압 사이에 형성되는 제1 구동 전류패스;

소정의 구동 제어신호에 응답하여, 상기 구동 출력단과 상기 제1 전압 사이에 형성되는 제2 구동 전류패스로서, 상기 구동 제어신호는 상기 하위 디코딩 신호에 응답하는 상기 제2 구동 전류패스; 및

상기 구동 출력단의 풀업에 응답하여, 상기 제2 구동 전류패스의 누설전류를 방지하기 위하여, 상기 구동 제어신호를 상기 제1 전압으로 제어하기 위한 구동제어부를 구비하며,

상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨인 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 16.

제15 항에 있어서, 상기 제1 전압은 네가티브 전압이고, 상기 제2 전압은 접지전압인 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 17.

반도체 메모리 장치에 있어서,

다수개의 서브 워드라인들;

대응하는 각자의 상기 서브 워드라인에 접속되고 프리차아지 동작을 하는 동안에, 각자의 워드라인 인에이블 신호와 각자의 서브 워드라인 구동신호에 응답하여, 각자의 서브 워드라인을 제1 전압에 접속하는 다수개의 서브 워드라인 드라이버들;

대응되는 상기 서브 워드라인 드라이버로 각자의 상기 서브 워드라인 구동신호를 제공하기 위한 구동신호 발생회로들; 및  
 대응되는 상기 서브 워드라인 드라이버로 각자의 워드라인 인에이블신호를 제공하기 위한 워드라인 인에이블 드라이버들  
 을 구비하며,

상기 구동신호 발생회로들 각각은

하위 디코딩 신호를 입력하기 위한 구동 입력단;

상기 서브 워드라인 구동신호를 출력하기 위한 구동 출력단;

상기 하위 디코딩 신호를 수신하기 위한 제1 인버터;

상기 하위 디코딩 신호를 수신하기 위한 제2 인버터;

상기 제1 인버터의 출력신호에 응답하여, 상기 구동 출력단을 승압전압으로 풀업하기 위한 구동 풀업부;

상기 제1 인버터의 출력신호 및 상기 구동 출력단의 신호에 응답하여, 상기 구동 출력단을 제2 전압으로 풀다운하기 위한  
 제1 구동 풀다운부;

소정의 구동 제어신호에 응답하여, 상기 구동 출력단을 상기 제1 전압으로 풀다운하는 제2 구동 풀다운부로서, 상기 구동  
 제어신호는 제2 인버터의 출력신호에 응답하는 상기 제2 구동 풀다운부; 및

상기 구동 출력단의 풀업에 응답하여, 상기 제2 구동 풀다운부의 누설전류를 방지하기 위하여, 상기 구동 제어신호를 상기  
 제1 전압으로 제어하기 위한 구동제어부를 구비하며,

상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨인 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 18.

제17 항에 있어서, 상기 제1 전압은 네가티브 전압이고, 상기 제2 전압은 접지전압인 것을 특징으로 하는 반도체 메모리  
 장치.

### 청구항 19.

제17 항에 있어서,

상기 제2 구동 풀다운부는 상기 구동 출력단과 상기 제1 전압사이에 형성되며, 상기 구동 제어신호에 의하여 게이팅되는  
 제1 앤모스 트랜지스터를 포함하며,

상기 구동제어부는 상기 구동 제어신호와 상기 제1 전압사이에 형성되며, 상기 구동 출력단에 응답하는 제2 앤모스 트랜  
 지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 20.

워드라인 인에이블 신호와 서브 워드라인 구동신호에 응답하여, 서브 워드라인을 제1 전압에 접속하는 서브 워드라인 드  
 라이버를 가지는 반도체 메모리 장치의 구동방법에 있어서,

구동 입력단과 구동 출력단을 구비하는 구동신호 발생회로가 상기 구동 출력단을 통하여 대응되는 서브 워드라인 드라이버로 서브 워드라인 구동신호를 발생하는 단계; 및

디코더 입력단과 디코더 제어단을 구비하는 워드라인 인에이블 드라이버가 대응되는 서브 워드라인 드라이버로 상기 디코더 제어단에 응답하여, 풀다운되는 워드라인 인에이블신호를 발생하는 단계를 구비하며,

상기 서브 워드라인 구동신호를 발생하는 단계는

하위 디코딩 신호를 수신하는 단계;

상기 하위 디코딩 신호에 응답하여, 상기 서브 워드라인 구동신호를 제2 전압으로 풀다운하는 단계; 및

소정의 구동 제어신호에 응답하여, 상기 서브 워드라인 구동신호를 상기 제1 전압으로 풀다운하는 단계를 구비하며,

상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이고,

상기 구동 제어신호는

상기 구동 출력단의 풀업에 응답하여, 상기 제1 전압으로 제어되는 것을 특징으로 하는 반도체 메모리 장치의 구동방법.

## 청구항 21.

제20 항에 있어서, 상기 제1 전압은 네가티브 전압이고, 상기 제2 전압은 접지전압인 것을 특징으로 하는 반도체 메모리 장치의 구동방법.

## 청구항 22.

워드라인 인에이블 신호와 서브 워드라인 구동신호에 응답하여, 서브 워드라인을 제1 전압에 접속하는 서브 워드라인 드라이버를 가지는 반도체 메모리 장치의 구동방법에 있어서,

구동 입력단과 구동 출력단을 구비하는 구동신호 발생회로가 상기 구동 출력단을 통하여 대응되는 서브 워드라인 드라이버로 서브 워드라인 구동신호를 발생하는 단계; 및

디코더 입력단과 디코더 제어단을 구비하는 워드라인 인에이블 드라이버가 대응되는 서브 워드라인 드라이버로 상기 디코더 제어단에 응답하여, 풀다운되는 워드라인 인에이블신호를 발생하는 단계를 구비하며,

상기 서브 워드라인 구동신호를 발생하는 단계는

상기 구동 입력단을 통하여 하위 디코딩 신호를 수신하는 단계;

상기 하위 디코딩 신호에 응답하여, 상기 구동 출력단과 제2 전압 사이에 제1 구동 전류패스를 형성하는 단계; 및

소정의 구동 제어신호에 응답하여, 상기 구동 출력단과 상기 제1 전압 사이에 제2 구동 전류패스를 형성하는 단계를 구비하며,

상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이고,

상기 구동 제어신호는

상기 구동 출력단의 풀업에 응답하여, 상기 제1 전압으로 제어되는 것을 특징으로 하는 반도체 메모리 장치의 구동방법.



## 청구항 23.

제22 항에 있어서, 상기 제1 전압은 네가티브 전압이고, 상기 제2 전압은 접지전압인 것을 특징으로 하는 반도체 메모리 장치의 구동방법.

### 명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 네가티브 워드라인 드라이버 및 이를 포함하는 반도체 메모리 장치에 관한 것이다.

도 1은 전형적인 DRAM의 메모리셀을 나타낸다. 일반적으로, DRAM의 메모리셀의 리프레쉬 시간은 두개의 주요한 누설 전류, 즉, 접합 누설전류(junction leakage current: I1)와 서브 문턱전류(sub-threshold current: I2)에 의하여 감소된다. 접합 누설 전류(I1)는 트랜지스터(M1)의 접합경계(junction boundary)의 결함들에 의하여 발생된다. 서브 문턱전류(I2)는 트랜지스터(M1)을 통하여 흐르는 채널누설전류이다.

접합 누설전류(I1)는 채널의 이온 농도를 낮춤으로써 감소시킬 수 있으나, 이것은 서브 문턱전류(I2)를 증가시키는 원인으로 작용된다. 유사하게 서브 문턱전류(I2)는, 트랜지스터(M1)의 문턱전압을 증가시킴으로써, 감소시킬 수 있다. 그러나, 이것은 접합 누설전류(I1)을 증가시키는 원인으로 작용한다.

이와 같은 접합 누설전류(I1)와 서브 문턱전류(I2)를 동시에 감소시키기 위하여 고안된 것이, 네가티브로 바이어스되는 워드라인 구조이다. 네가티브 워드라인 구조를 가지는 반도체 메모리 장치는 선택되지 않은 메모리셀들의 워드라인들로 네가티브 전압(VBB: 전형적으로 -0.4V 내지 -0.5V)을 공급한다.

그러나, 네가티브로 바이어스되는 워드라인 구조를 가지는 반도체 메모리 장치의 구현시에, 네가티브 전압원으로서의 방전 전류의 유입에 따른 노이즈가 발생할 수 있다. 즉, 워드라인이 승압전압 또는 전원전압으로부터 네가티브 전압(VBB)으로 방전되는 프리차이지 동작에서, 네가티브 전압원으로서의 방전전류의 유입이 필연적으로 발생한다. 이때, 네가티브 전압원으로서의 방전전류의 유입이 지나치게 큰 경우에는, 네가티브 전압(VBB)의 노이즈(noise)가 크게 되어, 반도체 메모리 장치의 오동작을 유발하게 된다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 네가티브로 바이어스되는 워드라인 구조를 가지는 반도체 메모리 장치에서, 네가티브 전압원으로서의 방전전류의 유입을 감소시켜, 네가티브 전압의 변동에 의하여 발생하는 노이즈를 감소시킬 수 있는 반도체 메모리 장치 및 이의 구동방법을 제공하는 데 있다.

### 발명의 구성

상기와 같은 기술적 과제를 달성하기 위한 본 발명의 일면은 반도체 메모리 장치에 관한 것이다. 본 발명의 일면에 따른 반도체 메모리 장치는 다수개의 서브 워드라인들; 대응하는 각자의 상기 서브 워드라인에 접속되고 프리차이지 동작을 하는 동안에, 각자의 워드라인 인에이블 신호와 각자의 서브 워드라인 구동신호에 응답하여, 각자의 서브 워드라인을 제1 전압에 접속하는 다수개의 서브 워드라인 드라이버들; 대응되는 상기 서브 워드라인 드라이버로 각자의 상기 서브 워드라인 구동신호를 제공하기 위한 구동신호 발생회로들; 및 대응되는 상기 서브 워드라인 드라이버로 각자의 상기 워드라인 인에이블신호를 제공하기 위한 워드라인 인에이블 드라이버들을 구비한다. 상기 워드라인 인에이블 드라이버들 각각은 상위 디코딩 신호를 입력하기 위한 디코더 입력단; 소정의 디코더 제어단; 상기 상위 디코딩 신호 및 소정의 누설차단신호에 응답하여, 상기 디코더 제어단을 제2 전압으로 풀다운하는 제1 디코더 풀다운부; 소정의 예비신호에 응답하여, 상기 디코더 제

어단을 상기 제1 전압으로 풀다운하는 제2 디코더 풀다운부로서, 상기 예비신호는 궁극적으로 상기 워드라인 인에이블 신호를 발생시키는 상기 제2 디코더 풀다운부; 상기 상위 디코딩 신호에 응답하여, 상기 디코더 제어단을 풀업하는 디코더 풀업부; 및 상기 디코더 제어단에 응답하여, 상기 제1 전압으로 풀다운되는 상기 예비신호를 발생하는 드라이빙부를 구비한다. 상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이다. 상기 누설차단신호는 상기 워드라인 인에이블 신호의 액티브시에 상기 제1 전압으로 제어된다.

상기와 같은 기술적 과제를 달성하기 위한 본 발명의 다른 일면도 반도체 메모리 장치에 관한 것이다. 본 발명의 다른 일면에 따른 반도체 메모리 장치도 다수개의 서브 워드라인들; 다수개의 서브 워드라인 드라이버들; 구동신호 발생회로들; 및 워드라인 인에이블 드라이버들을 구비한다. 상기 구동신호 발생회로들 각각은 하위 디코딩 신호를 입력하기 위한 구동 입력단; 상기 서브 워드라인 구동신호를 출력하기 위한 구동 출력단; 상기 구동 출력단에 접속되고, 상기 하위 디코딩 신호에 응답하여, 상기 구동 출력단을 제2 전압으로 풀다운하는 제1 구동 풀다운부; 소정의 구동 제어신호에 응답하여, 상기 구동 출력단을 상기 제1 전압으로 풀다운하는 제2 구동 풀다운부로서, 상기 구동 제어신호는 상기 하위 디코딩 신호에 응답하는 상기 제2 구동 풀다운부; 및 상기 구동 출력단의 풀업에 응답하여, 상기 제2 풀다운부의 누설전류를 방지하기 위하여, 상기 구동 제어신호를 상기 제1 전압으로 제어하기 위한 구동제어부를 구비한다. 그리고, 상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이다.

상기와 같은 다른 기술적 과제를 달성하기 위한 본 발명의 일면은 워드라인 인에이블 신호와 서브 워드라인 구동신호에 응답하여, 서브 워드라인을 제1 전압에 접속하는 서브 워드라인 드라이버를 가지는 반도체 메모리 장치의 구동방법에 관한 것이다. 본 발명의 일면에 따른 반도체 메모리 장치의 구동방법은 구동 입력단과 구동 출력단을 구비하는 구동신호 발생회로가 상기 출력단을 통하여 대응되는 서브 워드라인 드라이버로 서브 워드라인 구동신호를 발생하는 단계; 및 디코더 입력단과 디코더 제어단을 구비하는 워드라인 인에이블 드라이버가 대응되는 서브 워드라인 드라이버로 상기 디코더 제어단에 응답하여, 풀다운되는 워드라인 인에이블신호를 발생하는 단계를 구비한다. 상기 워드라인 인에이블신호를 발생하는 단계는 상기 디코더 입력단을 통하여, 상위 디코딩 신호를 수신하는 단계; 상기 상위 디코딩 신호 및 소정의 누설차단신호에 응답하여, 상기 디코더 제어단을 제2 전압으로 풀다운하며, 소정의 예비신호에 응답하여, 상기 디코더 제어단을 상기 제1 전압으로 풀다운하는 단계로서, 상기 예비신호는 궁극적으로 상기 워드라인 인에이블 신호를 발생시키는 상기 풀다운하는 단계; 및 상기 디코더 제어단에 응답하여, 상기 제1 전압으로 풀다운되는 상기 예비신호를 발생하는 단계를 구비한다. 그리고, 상기 누설차단신호는 상기 워드라인 인에이블 신호의 액티브시에 상기 제1 전압으로 제어된다. 그리고, 상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이다.

상기와 같은 다른 기술적 과제를 달성하기 위한 본 발명의 일면도 워드라인 인에이블 신호와 서브 워드라인 구동신호에 응답하여, 서브 워드라인을 제1 전압에 접속하는 서브 워드라인 드라이버를 가지는 반도체 메모리 장치의 구동방법에 관한 것이다. 본 발명의 일면에 따른 반도체 메모리 장치의 구동방법도 서브 워드라인 구동신호를 발생하는 단계; 및 워드라인 인에이블신호를 발생하는 단계를 구비한다. 상기 서브 워드라인 구동신호를 발생하는 단계는 하위 디코딩 신호를 수신하는 단계; 상기 하위 디코딩 신호에 응답하여, 상기 서브 워드라인 구동신호를 제2 전압으로 풀다운하는 단계; 및 소정의 구동 제어신호에 응답하여, 상기 서브 워드라인 구동신호를 상기 제1 전압으로 풀다운하는 단계를 구비한다. 상기 구동 제어신호는 상기 구동 출력단의 풀업에 응답하여, 상기 제1 전압으로 제어된다. 그리고, 상기 제1 전압은 상기 제2 전압보다 낮은 전압 레벨이다.

본 발명과 본 발명의 동작상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다. 각 도면을 이해함에 있어서, 동일한 부재는 가능한 한 동일한 참조부호로 도시하고자 함에 유의해야 한다. 그리고, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 공지 기능 및 구성에 대한 상세한 기술은 생략된다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그리고, 본 명세서에서, 네가티브 전압(VBB)은 제1 전압으로, 접지전압(VSS)은 제2 전압으로 불릴 수 있다.

도 2는 통상적인 서브 워드라인 드라이버 구조를 이용한 반도체 메모리 장치의 코어(core) 구조를 나타내는 도면으로서, 본 발명의 반도체 메모리 장치가 적용될 수 있다. 도 2에 도시되는 바와 같이, 반도체 메모리 장치의 코어 구조는 메모리셀 어레이들(ARRAY), 감지증폭기 블락들(SAs), 서브 워드라인 블락들(32), 로우 디코더(38), 워드라인 인에이블 드라이버(39) 및 컨전션 영역(CONJUNCTION)을 구비한다. 상기 컨전션 영역(CONJUNCTION)은 워드라인에 승압전압을 공급하기 위한 구동신호 발생회로(40, 50)을 구비한다.

각각의 메모리셀 어레이(ARRAY)는 개별 메모리셀들(MC)을 구비한다. 서브 워드라인(WL)과 비트라인(BL/BLB)의 교차점에 위치하는 각 메모리셀(MC)은 하나의 셀 트랜지스터와 셀 캐패시터를 갖는다.

서브 워드라인들은 서브 워드라인 블락들(32) 내에 위치하는 서브 워드라인 드라이버(36)들에 의하여 구동된다. 서브 워드라인 드라이버(36)들 각각은 로우 디코더(38)로부터 출력되는 각각의 워드라인 인에이블 신호(WEI)와 아래에서 설명되는 반도체 메모리 장치 전반에 분포된 워드라인의 일종인 서브 워드라인 구동신호(PXID)들에 의하여 제어된다.

로우 디코더(38)는 상위 로우 어드레스들(MRADD, 본 실시예에서는, RA2~RA8)에 응답하여 워드라인 인에이블 신호들(WEI)을 발생한다. 상위 로우 어드레스들(MRADD)은 로우 디코더(38)의 외부에 있는 워드라인 인에이블 드라이버(39)에 의하여 버퍼링된다. 워드라인 인에이블 드라이버(39)는 로우 디코더(38)의 내부에 있을 수 있다.

워드라인 인에이블 드라이버(39)는 대응되는 상기 서브 워드라인 드라이버(36)로 각자의 워드라인 인에이블신호(WEI<i>)를 제공한다. 즉, 상기 워드라인 인에이블 드라이버(39)는 상위 로우 어드레스들(MRADD)을 수신하고, 디코딩하여 워드라인 인에이블 신호(WEI<i>)중의 하나의 워드라인 인에이블 신호를 활성화시킨다. 활성화된 각 워드라인 인에이블 신호(WEI)는 승압전압(VPP)레벨을 갖는다.

구동신호 발생회로(40)는 대응되는 상기 서브 워드라인 드라이버(36)로 각자의 서브 워드라인 구동신호(PXID)를 제공한다.

하위 디코딩 신호 발생회로(42)는 하위 로우 어드레스들(LRADD, 본 실시예에서는, RA0, RA1)을 수신하고, 디코딩하여 4개의 하위 디코딩 신호들(PXI<j>, j는 0 내지 3)을 발생시킨다. 상기 하위 디코딩 신호들(PXI<j>)은 반도체 메모리 장치에 전반적으로 분포된다. 상기 하위 디코딩 신호들(PXI<j>)은 컨정션 영역(CONJUNCTION) 내에 전형적으로 위치하는 구동신호 발생회로(40, 50)들을 구동한다. 상기 구동신호 발생회로(40, 50)들은 서브 워드라인 드라이버(36)들을 구동하는 상보적인 신호선들인 PXID/PXIB선을 구동한다.

메모리셀이 액세스될 때, 대응하는 워드라인 인에이블 신호(WEI)와 PXID/PXIB 신호들은 활성화된다. 대응하는 서브 워드라인 드라이버(36, SWD)는 대응되는 서브 워드라인(WL)을 승압전압(VPP)로 구동한다. 액세스 동작이 완전히 끝난 후에, 서브 워드라인 드라이버(36)는 서브 워드라인(WL)들을 접지전압(VSS)를 거쳐, 네가티브 전압(VBB)로 프리차이지한다. PX선들과 워드라인 드라이버 회로를 반도체 메모리 장치에 분포시킴으로써, 반도체 메모리 장치는 더 고속으로 동작할 수 있다.

도 3 및 도 4는 각각 도 2의 서브 워드라인 드라이버(SWD, 36)의 예들을 나타내는 도면으로서, 도 3은 통상적인 NMOS 형 서브 워드라인 드라이버를 나타내고, 도 4는 통상적인 CMOS 형 서브 워드라인 드라이버를 나타낸다. 여기서, PXIB는 하위 디코딩 신호(PXI)와 서로 반대되는 위상을 갖는 신호이고, 활성화된 하위 디코딩 신호(PXI)는 승압전압(VPP)레벨을 갖는다. WEIB는 워드라인 인에이블 신호(WEI)와 서로 반대되는 위상을 갖는 신호이다.

따라서, 도 3 및 도 4의 서브 워드라인 드라이버는 하위 디코딩 신호(PXI) 및 워드라인 인에이블 신호(WEI)에 응답하여 서브 워드라인(WL)을 승압전압(VPP) 레벨로 구동한다.

그리고, 도 3 및 도 4의 서브 워드라인 드라이버는 대응하는 각자의 상기 서브 워드라인(WL)에 접속되고 프리차이지 동작을 하는 동안에, 각자의 워드라인 인에이블 신호(WEI)와 각자의 서브 워드라인 구동신호(PXID)에 응답하여, 각자의 서브 워드라인(WL)을 네가티브 전압(VBB)에 접속한다.

도 5는 도 2의 워드라인 인에이블 드라이버(39)를 구현하는 하나의 예이며, 도 6은 구동신호 발생회로(40, 50)를 구현하는 하나의 예를 나타내는 도면이다. 도 5를 참조하면, 워드라인 인에이블 드라이버(39)는 피모스 트랜지스터(503) 및 앤모스 트랜지스터(505)를 구비한다.

반도체 메모리 장치의 액티브 동작시에, 상위 디코딩 신호(WEXI)에 의하여 워드라인 인에이블 신호(WEI)가 선택되면, 상기 워드라인 인에이블 신호(WEI)는 피모스 트랜지스터(503)에 의하여 승압전압(VPP)으로 풀업된다. 여기서, 상위 디코딩 신호(WEXI)는 상위 로우 어드레스(MRADD)로 디코딩되는 신호이다. 상기 워드라인 인에이블 신호(WEI)는 피모스 트랜지스터(503)에 의하여 승압전압(VPP)으로 풀업된다.

그리고, 워드라인 인에이블 신호(WEI)는 앤모스 트랜지스터(505)에 의하여 네가티브 전압(VBB)으로 방전된다.

도 6을 참조하면, 구동신호 발생회로(40)는 다수개의 인버터들(610, 620, 630), 두개의 트랜지스터들(650, 680) 및 지연회로(660)를 구비한다.

전원전압(VCC)은 메모리셀 어레이(ARRAY)의 공급전압으로 하이(high)레벨을 갖는다. 하위 디코딩 신호(PXI)가 로우(low)에서 하이(high)로 천이하는 경우, 인버터(620)의 출력신호(PXID)는 승압전압(VPP) 레벨을 갖는다. 이 경우, 도 3 및 도 4의 서브 워드라인(WL)도 활성화된 워드라인 인에이블 신호(WEI)에 응답하여 승압전압(VPP) 레벨을 갖는다.

하위 디코딩 신호(PXI)가 하이(H)에서 로우(L)로 천이하는 경우, 인버터(620)의 출력신호(PXID)는 하이(H) 레벨로부터 로우(L) 레벨로 감소한다. 인버터(620)의 출력신호(PXID)가 트랜지스터(650)의 문턱전압(threshold voltage)보다 높은 경우, 인버터(620)의 출력단의 대부분의 전류는 트랜지스터(650)를 통하여 접지전압(VSS)으로 방전된다. 이때, 높은 문턱전압을 가지는 트랜지스터(680)에 의하여, 인버터(620)의 출력단은 적은 전류를 네가티브 전압(VBB)쪽으로 방전한다.

트랜지스터(650)의 게이트에 접속된 지연회로(660)에 의하여, 인버터(620)의 출력전압(PXID)이 거의 0이 될 때까지 인버터(620)의 출력단의 전류는 트랜지스터(650)를 통하여 접지전압(VSS)으로 방전된다. 트랜지스터(650)가 턴-오프된 후, 인버터(620)의 출력신호(PXID)의 전압은 트랜지스터(680)를 통하여 네가티브 전원(VBB)레벨로 된다.

즉, 인버터(620)의 출력신호(PXID)는 접지전압(VSS)를 거쳐 네가티브 전압(VBB)으로 방전된다. 그러므로, 트랜지스터(680)를 통하여 흐르는 전류에 따른 네가티브 전압(VBB)의 변동은 감소될 수 있다.

그러나, 반도체 메모리 장치의 동작 전압이 점차 낮아지면, 도 5 및 도 6의 실시예는 오동작을 일으킬 가능성은 증가한다. 즉, 반도체 메모리 장치의 동작 전압이 점차 낮아짐에 따라, 인버터(620)의 출력신호의 방전을 원활하게 하기 위해서는, 트랜지스터(680)는 낮은 문턱전압이 요구된다. 이 경우, 서브 워드라인(WL)이 활성화되는 액티브 동작시에, 승압전압(VPP)에서 네가티브 전압(VBB) 사이의 트랜지스터(680)를 통한 누설전류가 발생할 수 있다. 또한, 도 5의 앤모스 트랜지스터(505)의 문턱전압도 함께 낮아지게 되고, 액티브 동작시에 승압전압(VPP)에서 네가티브 전압(VBB) 사이의 트랜지스터(503)를 통한 누설전류가 발생할 수 있다. 이에 따라, 승압전압(VPP) 및 네가티브 전압(VBB)의 노이즈가 발생할 수 있다. 그리고, 도 5의 앤모스 트랜지스터(505) 및 도 6의 앤모스 트랜지스터(680)의 문턱전압을 조절하기 위하여, 별도의 불순물 도핑공정이 필요하고, 이에 따라 공정단계가 증가하는 문제점이 있다. 또한, 이와 같은 불순물 도핑 공정을 통해서도, 도 5의 앤모스 트랜지스터(505) 및 도 6의 앤모스 트랜지스터(680)의 문턱전압을 알맞게 조절하기 매우 어려운 제조 공정들이 있다(예를 들면, FINFET 공정).

도 7는 본 발명의 일 실시예에 따른 반도체 메모리 장치에 적용되는 워드라인 인에이블 드라이버(39)의 예를 나타내는 도면이다. 도 7을 참조하면, 대응되는 상기 서브 워드라인 드라이버(36)로 상기 워드라인 인에이블신호(WEI)를 제공하기 위한 워드라인 인에이블 드라이버(39)는 디코더 입력단(NIDC), 디코더 제어단(NCDC), 제1 디코더 폴다운부(710), 제2 디코더 폴다운부(720), 드라이빙부(730), 디코더 풀업부(740) 및 풀업 유지부(750)를 구비한다.

디코더 입력단(NIDC)을 통하여, 상위 디코딩 신호(WEXI)가 입력된다.

제1 디코더 폴다운부(710)는 상위 디코딩 신호(WEXI) 및 소정의 누설차단신호(PNWEN)에 응답하여, 상기 디코더 제어단(NCDC)을 접지전압(VSS)으로 폴다운한다. 상기 누설차단신호(PNWEN)는, 워드라인 인에이블 신호(WEI)의 액티브시에 네가티브 전압(VBB)으로 제어된다. 본 명세서에서, 네가티브 전압(VBB)은 제1 전압으로, 접지전압(VSS)은 제2 전압으로 불릴 수 있음은 전술한 바와 같다. 바람직하기로, 제1 디코더 폴다운부(710)는 접지전압(VSS)와 디코더 제어단(NCDC) 사이에 형성되는 2개의 앤모스 트랜지스터들(710a, 710b)를 포함한다. 앤모스 트랜지스터(710a)는 상위 디코딩 신호(WEXI)에 의하여 게이팅된다. 앤모스 트랜지스터(710b)는, 상기 누설차단신호(PNWEN)에 의하여, 게이팅된다. 그러므로, 상기 디코더 제어단(NCDC)가 접지전압(VSS) 이하로 하강할 때, 앤모스 트랜지스터(710b)를 통한 누설전류의 발생이 감소된다.

제1 디코더 폴다운부(710)는 상위 디코딩 신호(WEXI) 및 소정의 누설차단신호(PNWEN)에 응답하여, 상기 디코더 제어단(NCDC)과 접지전압(VSS) 사이에 제1 디코더 전류패스(IDC1)을 형성한다. 그러므로, 상기 디코더 제어단(NCDC)은 폴다운시에 상기 제1 디코더 폴다운부(710)에 의하여 접지전압(VSS)으로 폴다운된다.

제2 디코더 폴다운부(720)는 예비신호(VPRE)에 응답하여, 상기 디코더 제어단(NCDC)을 네가티브 전압(VBB)으로 폴다운한다. 예비신호(VPRE)는 궁극적으로 상기 워드라인 인에이블 신호(WEI)를 발생시킨다. 도 7의 워드라인 인에이블 드라이버(39)에서는, 상기 예비신호(VPRE)와 상기 워드라인 인에이블 신호(WEI)는 동일하다. 바람직하기로는, 상기 제2 디코더 폴다운부(720)는 디코더 제어단(NCDC)과 네가티브 전압(VBB) 사이에 형성되며, 상기 예비신호(VPRE)에 의하여

게이팅되는 앤모스 트랜지스터(720a)를 포함한다. 제2 디코더 폴다운부(720)는 예비신호(VPRE)에 응답하여, 상기 디코더 제어단(NCDC)과 네가티브 전압(VBB) 사이에 제2 디코더 전류패스(IDC2)를 형성한다. 그러므로, 상기 디코더 제어단(NCDC)은 폴다운시에 상기 제2 디코더 폴다운부(720)에 의하여 네가티브 전압(VBB)으로 폴다운된다.

상기 드라이빙부(730)는 디코더 제어단(NCDC)에 응답하여, 네가티브 전압(VBB)으로 폴다운되는 예비신호(VPRE)를 발생한다. 즉, 상기 예비신호(VPRE)는 폴다운시에 상기 디코더 제어단(NCDC)에 응답하여 네가티브 전압(VBB)으로 제어된다. 바람직하기로, 상기 드라이빙부(730)는 승압전압(VPP)과 네가티브 전압(VBB) 사이에 형성되는 인버터로 구현된다. 그러므로, 예비신호(VPRE)는 승압전압(VPP)과 네가티브 전압(VBB) 사이를 스윙한다.

디코더 풀업부(740)는 지연승압 디코딩 신호(PDWEX)에 응답하여, 상기 디코더 제어단(NCDC)을 승압전압(VPP)으로 풀업한다. 지연승압 디코딩 신호(PDWEX)는 상위 디코딩 신호(WEXI)에 대하여 소정의 시간으로 지연하며, 접지전압(VSS)과 승압전압(VPP) 사이를 스윙한다. 결국, 상기 디코더 풀업부(740)는 상위 디코딩 신호(WEXI)에 응답한다. 바람직하기로, 상기 디코더 풀업부(740)는 상기 디코더 제어단(NCDC)과 승압전압(VPP) 사이에 형성되며, 상기 지연승압 디코딩 신호(PDWEX)에 의하여 게이팅되는 피모스 트랜지스터(740a)를 구비한다. 그러므로, 상기 디코더 제어단(NCDC)은 디코더 풀업부(740)에 의하여, 승압전압(VPP)으로 풀업된다.

풀업 유지부(750)는 예비신호(VPRE)에 응답하여, 디코더 제어단(NCDC)의 승압전압(VPP)으로의 풀업을 유지한다. 바람직하기로, 상기 풀업 유지부(750)는 디코더 제어단(NCDC)과 승압전압(VPP) 사이에 형성되는 피모스 트랜지스터(750a)를 포함한다. 그러므로, 상기 디코더 제어단(NCDC)이 승압전압(VPP)으로 풀업하는 경우, 네가티브 전압(VBB)으로 제어되는 예비신호(VPRE)에 게이팅되는 피모스 트랜지스터(750a)에 의하여, 상기 디코더 제어단(NCDC)은 승압전압(VPP)을 유지한다.

도 8은 도 7에 도시되는 워드라인 인에이블 드라이버(39)의 타이밍도를 나타낸다. 도 3, 도 4, 도 7 및 도 8을 참조하여, 워드라인 인에이블 드라이버(39)의 동작이 상세히 설명된다.

상위 디코딩 신호(WEXI)가 접지전압(VSS)에서 전원전압(VCC)으로 천이하는 경우, 제1 디코더 폴다운부(710) 및 드라이빙부(730)에 의하여 워드라인 인에이블 신호(WED)는 네가티브 전압(VBB)에서 승압전압(VPP)로 천이한다. 따라서, 도 3 또는 도 4의 서브 워드라인 드라이버(36)의 서브 워드라인(WL)은 활성화되는 서브 워드라인 구동신호(PXID) 및 비활성화된 PXIB에 응답하여 승압전압(VPP)으로 풀업된다. 이때, 누설차단신호(PNWEN)은 네가티브 전압(VBB)으로 제어된다. 그러므로, 제1 디코더 폴다운부(710)를 통한 누설전류는 거의 발생되지 않는다.

여기서, 워드라인 인에이블 신호(WED)의 액티브시에, 누설차단신호(PNWEN)의 네가티브 전압(VBB)으로의 천이는 지연승압 디코딩 신호(PDWEX)의 승압전압(VPP)으로의 천이보다 소정의 제어시간(TD)만큼 늦게 발생한다. 이는, 상기 디코더 제어단(NCDC)의 접지전압(VSS)로의 폴다운을 위한 시간을 충분히 확보하기 위함이다.

상기 상위 디코딩 신호(WEXI)가 전원전압(VCC)에서 접지전압(VSS)으로 천이하는 경우, 디코더 풀업부(740) 및 드라이빙부(730)에 의하여 워드라인 인에이블 신호(WED)는 네가티브 전압(VBB)으로 하강한다.

도 9는 본 발명의 실시예에 따른 반도체 메모리 장치에 적용되는 구동신호 발생회로(40)의 예를 나타내는 도면이다. 도 9를 참조하면, 대응되는 서브 워드라인 드라이버(36)로 서브 워드라인 구동신호(PXID)를 제공하기 위한 구동신호 발생회로(40)는 구동 입력단(NIDR), 구동 출력단(NODR), 제1 인버터(910), 제2 인버터(920), 구동 풀업부(930), 제1 구동 폴다운부(940), 제2 구동 폴다운부(950) 및 구동제어부(960)를 포함한다.

구동 입력단(NIDR)를 통하여, 하위 디코딩 신호(PXI)가 입력된다. 서브 워드라인 구동신호(PXID)는 구동 출력단(NODR)를 통하여 출력된다.

제1 및 제2 인버터(910, 920)는 하위 디코딩 신호(PXI)를 수신한다. 상기 제1 인버터(910)의 피모스 트랜지스터(910a)는 소오스 단자가 승압전압(VPP)에 연결되며, 앤모스 트랜지스터(910b)는 소오스 단자가 접지전압(VSS)에 연결된다. 그러므로, 제1 인버터(910)의 출력신호(N914)는 하위 디코딩 신호(PXI)의 논리상태에 따라 승압전압(VPP)과 접지전압(VSS) 사이를 스윙한다.

구동 풀업부(930)는 제1 인버터(910)의 출력신호(N914)에 응답하여, 구동 출력단(NODR)을 승압전압(VPP)으로 풀업한다. 바람직하기로, 구동 풀업부(930)는 승압전압(VPP)과 구동 출력단(NODR) 사이에 형성되며, 제1 인버터(910)의 출력신호(N914)에 의하여 게이팅되는 피모스 트랜지스터(930a)를 포함한다.

제1 구동 폴다운부(940)는 제1 인버터(910)의 출력신호(N914) 및 상기 구동 출력단(NODR)의 신호에 응답하여, 상기 구동 출력단(NODR)을 접지전압(VSS)으로 폴다운한다. 바람직하기로, 제1 구동 폴다운부(940)는 접지전압(VSS)과 구동 출력단(NODR) 사이에 형성되는 2개의 앤모스 트랜지스터들(940a, 940b)를 포함한다. 앤모스 트랜지스터(940a)는 제1 인버터(910)의 출력신호(N914)에 의하여 게이팅된다. 앤모스 트랜지스터(940b)는, 구동 출력단(NODR)의 신호가 지연회로(945)에 의하여 지연되는 신호 PXIDG에 의하여, 게이팅된다. 상기 제1 구동 폴다운부(940)는 제1 인버터(910)의 출력신호(N914) 즉, 하위 디코딩 신호(PXI) 및 상기 구동 출력단(NODR)의 신호에 응답하여, 상기 구동 출력단(NODR)과 접지전압(VSS) 사이에 제1 구동 전류패스(IDR1)을 형성한다.

제2 구동 폴다운부(950)는 소정의 구동 제어신호(DRCON)에 응답하여, 상기 구동 출력단(NODR)을 네가티브 전압(VBB)으로 폴다운한다. 바람직하기로는, 상기 제2 구동 폴다운부(950)는 구동 출력단(NODR)과 네가티브 전압(VBB) 사이에 형성되며, 상기 구동 제어신호(DRCON)에 의하여 게이팅되는 앤모스 트랜지스터(950a)를 포함한다. 본 실시예에서, 상기 구동 제어신호(DRCON)는 제2 인버터(920)의 출력신호인 PXIB와 동일한 신호이다. 상기 제2 구동 폴다운부(950)는 구동 제어신호(DRCON)에 응답하여, 상기 구동 출력단(NODR)과 전원전압(VBB) 사이에 제2 구동 전류패스(IDR2)을 형성한다.

구동제어부(960)는 구동 출력단(NODR)의 풀업에 응답하여, 구동 제어신호(DRCON)를 네가티브 전압(VBB)으로 제어한다. 이와 같이, 네가티브 전압(VBB)으로 제어되는 구동 제어신호(DRCON)에 의하여, 상기 제2 구동 폴다운부(950)의 누설전류가 방지된다.

바람직하기로는, 구동제어부(960)는 구동 제어신호(DRCON)와 네가티브 전압(VBB) 사이에 형성되며, 상기 구동 출력단(NODR)에 의하여 게이팅되는 앤모스 트랜지스터(960a)를 포함한다.

앤모스 트랜지스터(925)는, 구동 제어신호(DRCON)가 지연회로(965)에 의하여 지연되는 신호(PXIBDG)에 의하여 게이팅되어, 인버터(920)의 폴다운 경로를 형성한다.

지연회로들(945, 965)에 의하여, 상기 서브 워드라인 구동신호(PXID) 및 상기 구동 제어신호(DRCON)가 앤모스 트랜지스터(940b, 925)의 문턱전압 이하로 내려간 후에도, 소정의 시간동안 계속하여 접지전압(VSS)으로 폴다운될 수 있다.

도 10은 도 9에 도시되는 구동신호 발생회로(40)의 타이밍도를 나타낸다. 도 3, 도 4, 도 9 및 도 10을 참조하면, 구동신호 발생회로(40)의 동작이 상세히 설명된다.

하위 디코딩 신호(PXI)가 접지전압(VSS)에서 승압전압(VPP)으로 천이하는 경우, 인버터들(910, 920, 930)에 의하여 서브 워드라인 구동신호(PXID)는 네가티브 전압(VBB)에서 승압전압(VPP)로 천이한다. 따라서, 도 3 또는 도 4의 서브 워드라인 드라이버(36)의 서브 워드라인(WL)은 활성화되는 워드라인 인에이블 신호(WEI) 및 비활성화된 PXIB에 응답하여 승압전압(VPP)으로 풀업된다. 이때, 트랜지스터(960a)가 턴온되므로, 상기 구동 제어신호(DRCON)은 네가티브 전압(VBB)으로 제어된다. 그러므로, 트랜지스터(950a)를 통한 누설전류는 거의 발생되지 않는다.

여기서, 앤모스 트랜지스터(925)는 신호 PXIB를 소정의 제1 지연시간(td1)으로 지연하는 신호 PXIBG에 의하여 게이팅된다. 이는 신호 PXIB의 접지전압(VSS)으로의 폴다운을 위한 시간을 충분히 확보하기 위함이다.

상기 하위 디코딩 신호(PXI)가 승압전압(VPP)에서 접지전압(VSS)으로 천이하는 경우, 서브 워드라인 구동신호(PXID)는 트랜지스터들(940a, 940b)을 통하여 접지전압(VSS)으로 하강한다. 그리고, 구동 제어신호(DRCON)가 전원전압(VCC)으로 제어되므로, 서브 워드라인 구동신호(PXID)는 트랜지스터(950a)를 통하여, 네가티브 전압(VBB)으로 하강된다.

그리고, 앤모스 트랜지스터(940b)는 서브 워드라인 구동신호(PXID)를 소정의 제2 지연시간(td2)으로 지연하는 신호 PXIDG에 의하여 게이팅된다. 이는 서브 워드라인 구동신호(PXID)의 접지전압(VSS)으로의 폴다운을 위한 시간을 충분히 확보하기 위함이다.

도 11 및 도 12는 본 발명의 반도체 메모리 장치에서의 서브 워드라인 드라이버, 구동신호 발생회로, 워드라인 인에이블 드라이버의 배치도이다. 도 11에서는, NMOS형 서브 워드라인 드라이버가 적용되며, 도 12에서는 CMOS형 서브 워드라인 드라이버가 적용된다. 도 11 및 도 12에서와 같이, 구동신호 발생회로의 각 요소가 서브 워드라인 블락들(SWDs)의 양측에 분산됨으로써, 효율적으로 레이아웃할 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**발명의 효과**

상기와 같은 본 발명의 반도체 메모리 장치에서, 워드라인 인에이블 신호 및 워드라인 구동신호를 네가티브 전압으로 풀다운하는 앤모스 트랜지스터들은 네가티브 전압으로 제어된다. 그러므로, 본 발명의 반도체 메모리 장치에 의하면, 네가티브로 바이어스된 워드라인 구조에서, 네가티브 전압원으로서의 방전전류의 유입은 감소된다. 따라서, 본 발명의 반도체 메모리 장치에서는, 네가티브 전압의 변동에 의하여 발생하는 노이즈가 현저히 감소된다.

**도면의 간단한 설명**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 전형적인 DRAM의 메모리셀을 나타낸다.

도 2는 통상적인 서브 워드라인 드라이버 구조를 이용한 반도체 메모리 장치의 코어(core) 구조를 나타내는 도면

도 3 및 도 4는 각각 도 2의 서브 워드라인 드라이버의 예들을 나타내는 도면으로서, 도 3은 통상적인 NMOS 형 서브 워드라인 드라이버를 나타내고, 도 4는 통상적인 CMOS 형 서브 워드라인 드라이버를 나타낸다.

도 5는 도 2의 워드라인 인에이블 드라이버를 구현하는 하나의 예이며, 도 6은 구동신호 발생회로를 구현하는 하나의 예를 나타내는 도면이다.

도 7는 본 발명의 일 실시예에 따른 반도체 메모리 장치에 적용되는 워드라인 인에이블 드라이버의 예를 나타내는 도면이다.

도 8은 도 7에 도시되는 워드라인 인에이블 드라이버(39)의 타이밍도를 나타낸다.

도 9는 본 발명의 실시예에 따른 반도체 메모리 장치에 적용되는 구동신호 발생회로(40)의 예를 나타내는 도면이다.

도 10은 도 9에 도시되는 구동신호 발생회로의 타이밍도를 나타낸다.

도 11 및 도 12는 본 발명의 반도체 메모리 장치에서의 서브 워드라인 드라이버, 구동신호 발생회로, 워드라인 인에이블 드라이버의 배치도이다. 도 11에서는, NMOS형 서브 워드라인 드라이버가 적용되며, 도 12에서는 CMOS형 서브 워드라인 드라이버가 적용된다.

\* 도면의 주요부분에 대한 부호의 설명 \*

PXID: 서브 워드라인 구동신호 WEI: 워드라인 인에이블 신호

VPP: 승압전압 VBB: 네가티브 전압

MRADD: 상위 로우 어드레스 LRADD: 하위 로우 어드레스

SWD, 36: 서브 워드라인 드라이버

39:워드라인 인에이블 드라이버

NIDC: 디코더 입력단 NCDC: 디코더 제어단

710: 제1 디코더 폴다운부 720: 제2 디코더 폴다운부

730: 드라이빙부 740: 디코더 풀업부

750: 풀업 유지부

40, 50: 구동신호 발생회로

NIDR: 구동 입력단 NODR: 구동 출력단

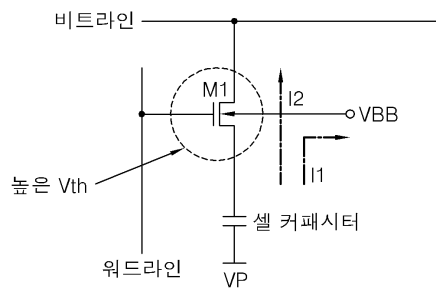
930: 구동 풀업부 940: 제1 구동 폴다운부

950: 제2 구동 폴다운부 960: 구동 제어부

DRCON: 구동 제어신호

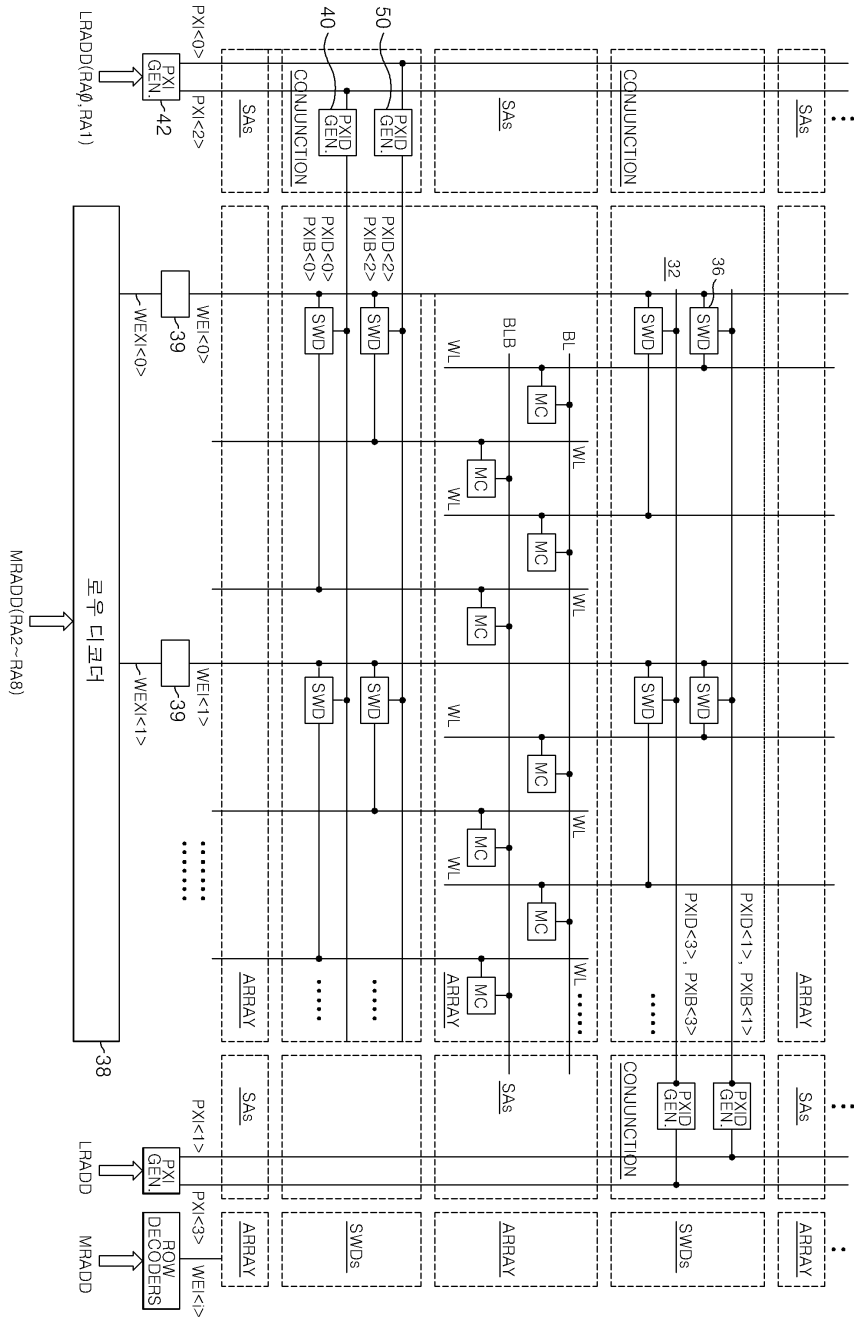
도면

도면1

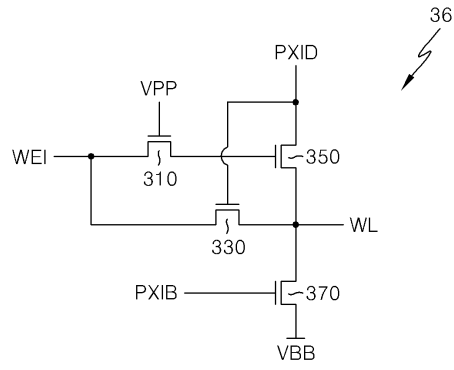




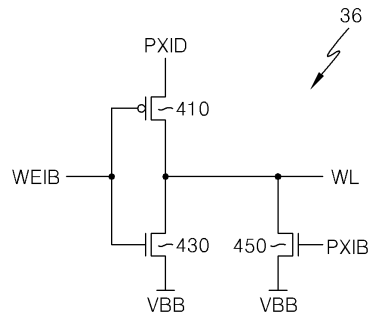
도면2



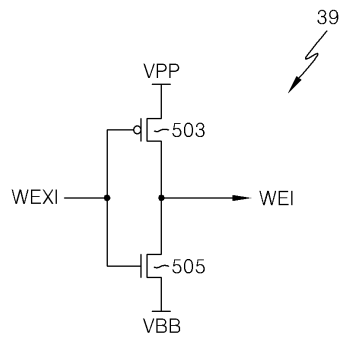
도면3



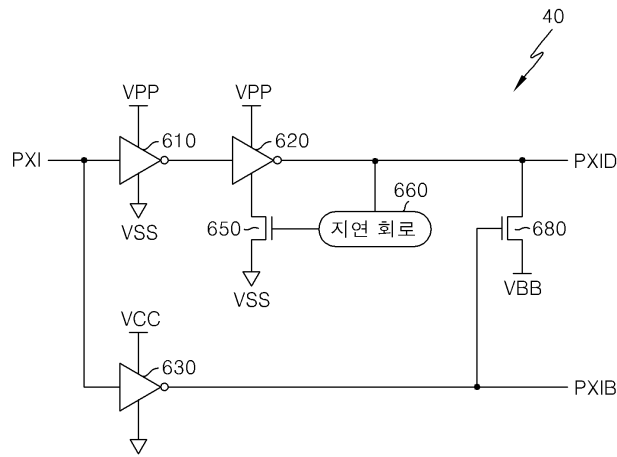
도면4



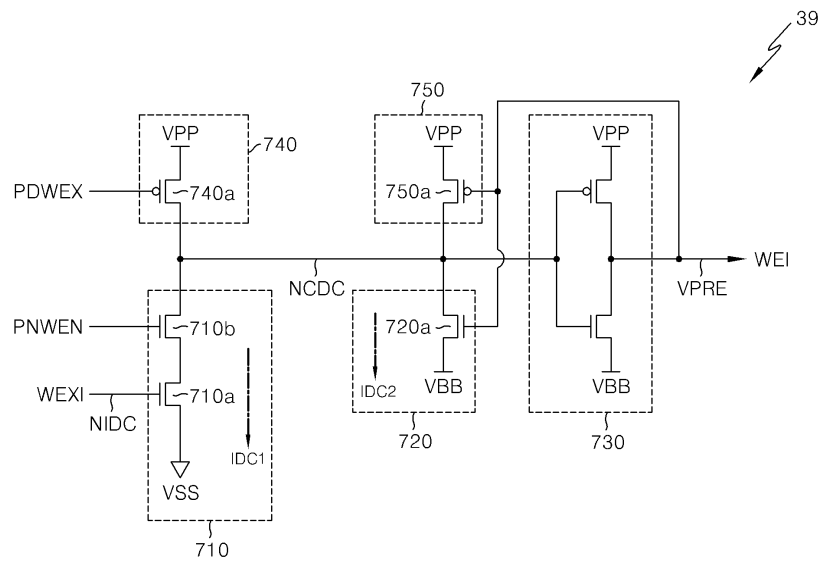
도면5



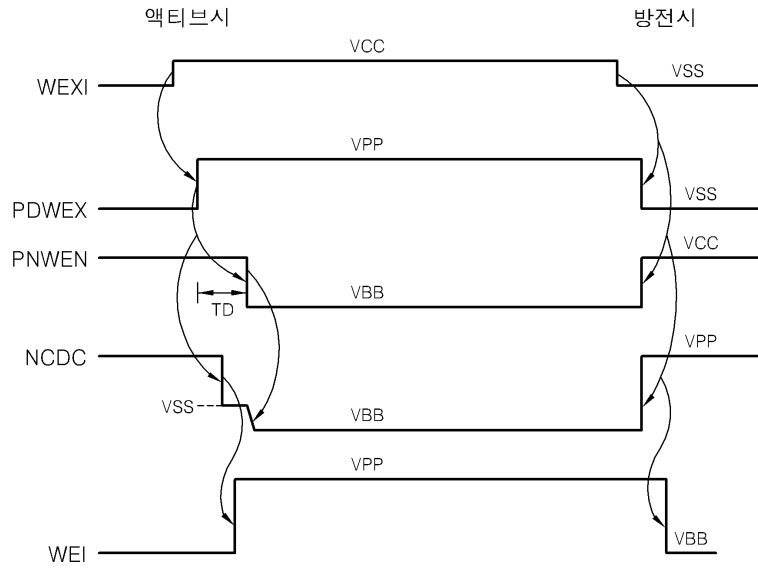
도면6



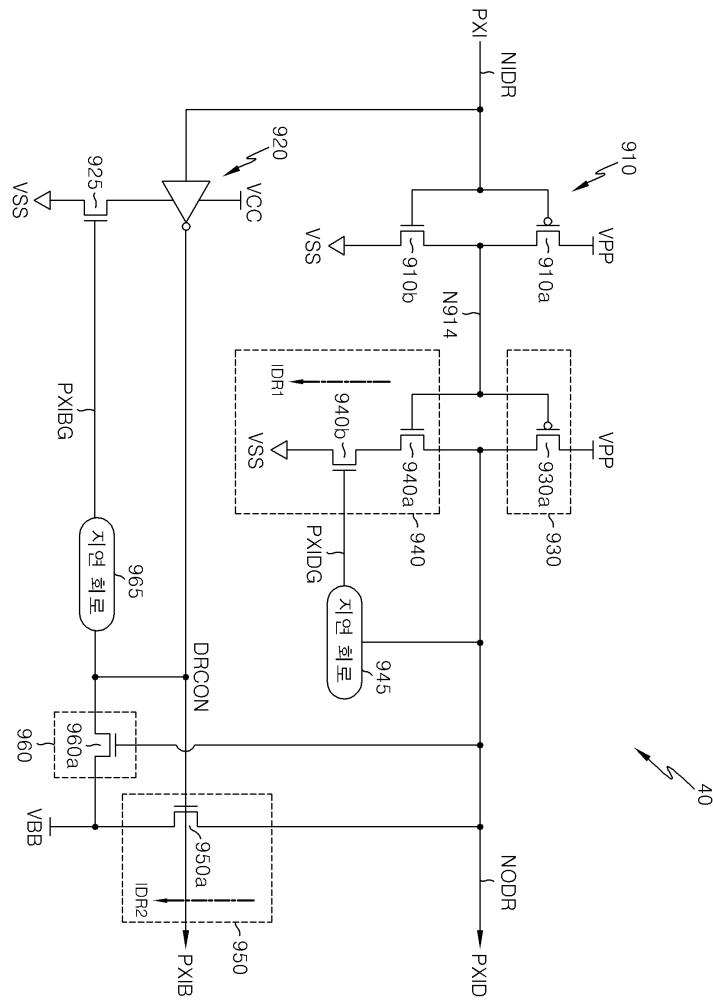
도면7



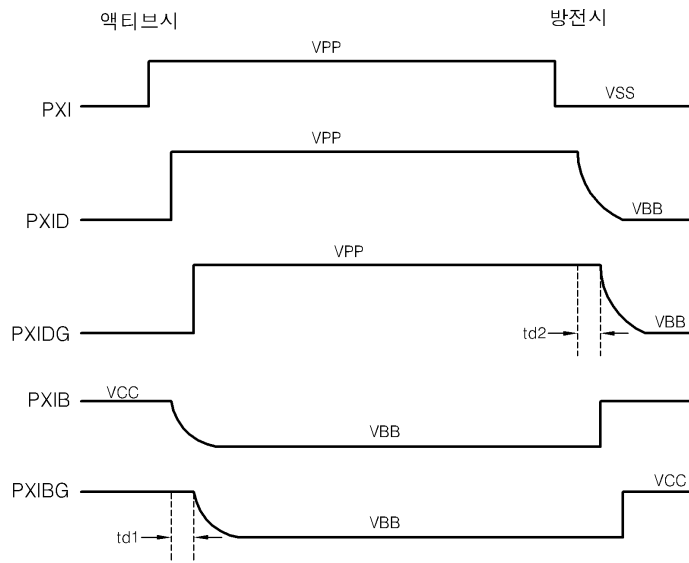
도면8



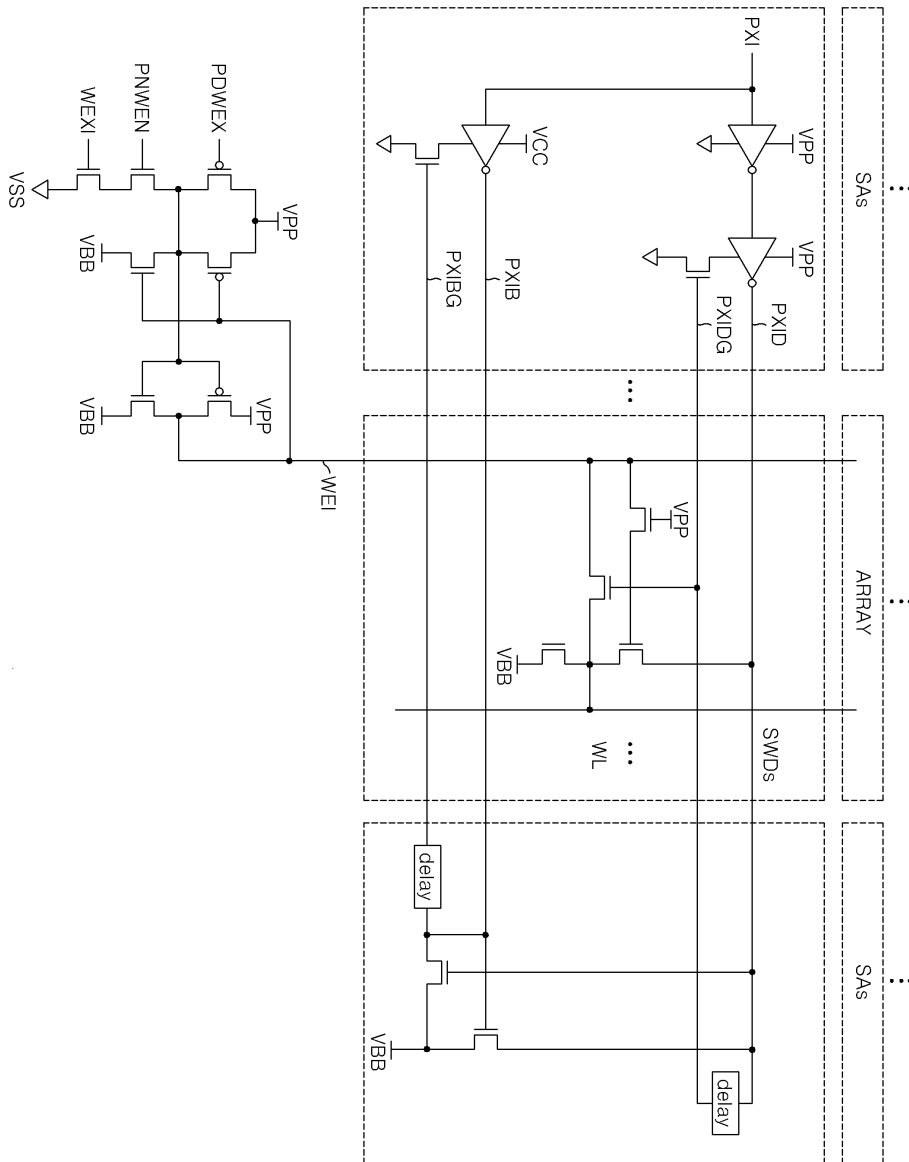
도면9



도면10



도면11



도면12

