

(12) 发明专利申请

(10) 申请公布号 CN 102402491 A

(43) 申请公布日 2012. 04. 04

(21) 申请号 201010289079. 6

(22) 申请日 2010. 09. 13

(71) 申请人 智微科技股份有限公司

地址 中国台湾新竹

(72) 发明人 庄海峰

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 郭蔚

(51) Int. Cl.

G06F 13/20(2006. 01)

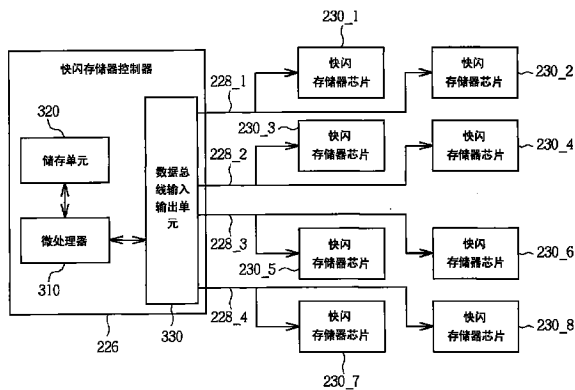
权利要求书 1 页 说明书 4 页 附图 5 页

(54) 发明名称

电子装置、经由至少一总线来存取多个芯片的控制器以及经由至少一总线以存取多个芯片的方法

(57) 摘要

一电子装置包含有多个芯片、至少一总线以及一控制器，其中该多个芯片包含有一第一芯片以及一第二芯片，该总线包含有多条数据线，且该控制器经由该总线耦接于该多个芯片，并用来存取该多个芯片。该控制器依据一外部数据欲写入至该多个芯片中哪一芯片的信息来决定该外部数据通过该多条数据线传送时的一数据传输配置，其中该数据传输配置为该外部数据的多个位在该多条数据线上的排列顺序，且对应该第一芯片的一第一数据传输配置异于对应该第二芯片的一第二数据传输配置。



1. 一种电子装置,包含有:

多个芯片,包含有一第一芯片以及一第二芯片;

至少一总线,其中该总线包含有多条数据线;以及

一控制器,经由该总线耦接于该多个芯片,用来存取该多个芯片,并依据一外部数据欲写入至该多个芯片中哪一芯片的信息来决定该外部数据通过该多条数据线传送时的一数据传输配置,其中该数据传输配置为该外部数据的多个位在该多条数据线上的排列顺序,以及对应该第一芯片的一第一数据传输配置异于对应该第二芯片的一第二数据传输配置。

2. 根据权利要求1所述的电子装置,其特征在于,该多个芯片中每一芯片为一内存芯片,以及该控制器为一内存控制器。

3. 根据权利要求2所述的电子装置,其特征在于,该内存芯片为一闪存(Flash Memory)芯片。

4. 根据权利要求1所述的储存装置,其特征在于,该控制器通过查表的方式来决定该数据传输配置。

5. 一种经由至少一总线来存取多个芯片的控制器,该总线包含有多条数据线,该控制器包含有:

一储存单元,用来储存对应至多个芯片的多种数据传输配置,其中该多个数据传输配置中每一数据传输配置为一外部数据的多个位在该多条数据线上的排列顺序;以及

一微处理器,用来存取该多个芯片,并依据该外部数据欲写入至该多个芯片中哪一芯片的信息来自该多种数据传输配置中选择其一,并据以将该外部数据传送至所欲写入的芯片。

6. 根据权利要求5所述的控制器,其特征在于,该多个芯片中每一芯片为一内存芯片,以及该控制器为一内存控制器。

7. 根据权利要求6所述的控制器,其特征在于,该内存芯片为一闪存(Flash Memory)芯片。

8. 根据权利要求5所述的控制器,其特征在于,该多种数据传输配置具有至少两种不同的数据传输配置,其分别对应至该多个芯片中的不同芯片。

9. 一种经由至少一总线以存取多个芯片的方法,其中该多个芯片包含有一第一芯片以及一第二芯片,且该总线包含有多条数据线,该方法包含有:

接收一外部数据;以及

依据该外部数据欲写入至该多个芯片中哪一芯片的信息来决定该外部数据通过该多条数据线传送时的一数据传输配置,其中该数据传输配置为该外部数据的多个位在该多条数据线上的排列顺序,以及对应该第一芯片的一第一数据传输配置异于对应该第二芯片的一第二数据传输配置。

10. 根据权利要求9所述的方法,其特征在于,该多个芯片中每一芯片为一内存芯片,以及该控制器为一内存控制器。

11. 根据权利要求10所述的方法,其特征在于,该内存芯片为一闪存(Flash Memory)芯片。

12. 根据权利要求9所述的方法,其特征在于,决定该外部数据通过该多条数据线传送时的该数据传输配置的步骤包含有:

通过查表的方式来决定该数据传输配置。

电子装置、经由至少一总线来存取多个芯片的控制器以及 经由至少一总线以存取多个芯片的方法

【技术领域】

【0001】 本发明是有关于一种电子储存装置,尤指一种具有多种数据传输配置的电子装置、经由至少一总线来存取多个芯片的控制器以及经由至少一总线以存取多个芯片的方法。

【背景技术】

【0002】 在传统的闪存中,闪存控制器通过总线同时传送命令信号、地址信号以及所需储存的数据至闪存芯片中,并对闪存芯片进行存取,然而,因为总线需要同时传送命令信号、地址信号以及所需储存的数据,故总线中的多条数据线并无法随意交换所需传送的信号。详细来说,请参考图 1,图 1 为现有闪存控制器 102 通过一总线 103 连接至多个闪存芯片 104、106 的示意图。如图 1 所示,闪存控制器 102 的接脚 $D_0 \sim D_7$ 必需要分别连接至闪存芯片 104、106 的接脚 $D_0 \sim D_7$,闪存芯片 104、106 才能正确地接收来自闪存控制器 102 的信号,而不能够将总线 103 中的数据线随意交换连接(例如将闪存控制器 102 的接脚 D_0 连接至闪存芯片 104 的接脚 D_4 ,并将闪存控制器 102 的接脚 D_4 连接至闪存芯片 104 的接脚 $D_0 \dots$ 等等)。如此一来,因为闪存控制器 102 的接脚 $D_0 \sim D_7$ 与闪存芯片 104、106 的接脚 $D_0 \sim D_7$ 必需确实一一对应连接,会造成在电路板布局上的不便,亦即可能需要使用较多层的电路板或是在电路板上需要较多的接孔(via hole)以及复杂的绕线,造成设计与制造上成本的增加。

【发明内容】

【0003】 因此,本发明的目的之一在于提供一种具有多种数据传输配置的电子装置、经由至少一总线来存取多个芯片的控制器以及经由至少一总线以存取多个芯片的方法,其可以有效地降低电路板布局上的复杂度,并降低电路板在设计与制造上的成本,以解决上述的问题。

【0004】 依据本发明的一实施例,一电子装置包含有多个芯片、至少一总线以及一控制器,其中该多个芯片包含有一第一芯片以及一第二芯片,该总线包含有多条数据线,且该控制器经由该总线耦接于该多个芯片,并用来存取该多个芯片。该控制器依据一外部数据欲写入至该多个芯片中哪一芯片的信息来决定该外部数据通过该多条数据线传送时的一数据传输配置,其中该数据传输配置为该外部数据的多个位在该多条数据线上的排列顺序,且对应该第一芯片的一第一数据传输配置异于对应该第二芯片的一第二数据传输配置。

【0005】 依据本发明的另一实施例,其揭露一种经由至少一总线来存取多个芯片的控制器,其中该总线包含有多条数据线,且该控制器包含有一储存单元以及一微处理器。该储存单元用来储存对应至多个芯片的多种数据传输配置,其中该多个数据传输配置中每一数据传输配置为一外部数据的多个位在该多条数据线上的排列顺序;该微处理器用来存取该多个芯片,并依据该外部数据欲写入至该多个芯片中哪一芯片的信息来自该多种数据传输配

置中选择其一,并据以将该外部数据传送至所欲写入的芯片。

[0006] 依据本发明的另一实施例,其揭露一种经由至少一总线以存取多个芯片的方法,其中该多个芯片包含有一第一芯片以及一第二芯片,且该总线包含有多条数据线,该方法包含有:接收一外部数据;以及依据该外部数据欲写入至该多个芯片中哪一芯片的信息来决定该外部数据通过该多条数据线传送时的一数据传输配置,其中该数据传输配置为该外部数据的多个位在该多条数据线上的排列顺序,以及对应该第一芯片的一第一数据传输配置异于对应该第二芯片的一第二数据传输配置。

【附图说明】

[0007] 图 1 为现有闪存控制器通过一总线连接至多个闪存芯片的示意图。

[0008] 图 2 为依据本发明一实施例的快闪存储装置的示意图。

[0009] 图 3 为图 2 所示的闪存控制器、多个数据总线以及闪存芯片组的示意图。

[0010] 图 4 为图 3 所示的闪存控制器、总线 228_1 以及闪存芯片 230_1、230_2 的示意图。

[0011] 图 5 为依据本发明一实施例的一种经由至少一总线以存取多个芯片的方法的流程图。

【主要组件符号说明】

[0013]

102、226	闪存控制器
103	总线
104、106、230_1 ~ 230_8	闪存芯片
200	快闪存储装置
210	接口电路
221	实体层处理装置
222	接口控制器
223	本地总线
224	内存
225	处理器
228_1 ~ 228_4	总线
230	闪存芯片组
310	微处理器
320	储存单元
330	数据总线输入输出单元
500、502	步骤

[0014]

【具体实施方式】

[0015] 请参考图 2,图 2 为依据本发明一实施例的快闪存储装置 200 的示意图。如图 2 所示,快闪存储装置 200 包含有一接口电路 210、一实体层 (physicallayer) 处理装置 221、一接口控制器 222、一本地总线 223、一内存 224、一处理器 225 以及一闪存控制器 226、多个数据总线 228 以及一内存芯片组 (在本实施例中以闪存芯片组 230 为例),其中接口电路 210 可以为串行先进技术附加装置 (Serial Advanced Technology Attachment,SATA) 接口、通用串行总线 (Universal Serial Bus,USB) 接口或是外围组件互连 (Peripheral Component Interconnect Express,PCIE) 接口其中之一,也可以是结合 USB 以及 SATA 接口,或是 USB、

SATA 以及 PCIE 接口的任意组合 ;此外,实体层处理装置 221 可以依据接口电路的规格而采用 SATA、USB 或是 PCIE 实体层处理装置,或是 USB、SATA 以及 PCIE 实体层处理装置的任意组合 ;且接口控制器 222 亦可以依据接口电路的规格而采用 SATA、USB 或是 PCIE 接口控制器,或是 USB、SATA 以及 PCIE 接口控制器的任意组合 ;快闪存储装置 200 可为一可携式存储装置,且可以与一计算机主机 240 中的接口插座 250 连结。

[0016] 请参考图 3,图 3 为依据本发明一实施例的闪存控制器 226、多个数据总线 228 以及闪存芯片组 230 的示意图。如图 3 所示,闪存控制器 226 包含有一微处理器 310、一储存单元 320 以及一数据总线输入输出单元 330,且闪存控制器 226 通过数据总线 228_1 ~ 228_4 分别连接至闪存芯片 230_1 ~ 230_8。此外,每一个数据总线 228_1 ~ 228_4 均包含有多条数据线 (于本实施例中,每一个数据总线 228_1 ~ 228_4 包含有 8 条数据线 $L_1 \sim L_8$),且储存单元 320 用来储存对应至闪存芯片 230_1 ~ 230_8 的多种数据传输配置,其中该多个数据传输配置中每一数据传输配置为一外部数据的多个位在多条数据线上的排列顺序。举例来说,闪存芯片 230_1 对应至一第一数据传输配置,其中来自主机 240 的数据 $D_0 \sim D_7$ 分别通过 8 条数据线 $L_1 \sim L_8$ 传送至闪存芯片 230_1 ;此外,闪存芯片 230_2 对应至一第二数据传输配置,其中来自主机 240 的数据 $D_0 \sim D_7$ 分别通过 8 条数据线 $L_8, L_7, L_6, L_5, L_4, L_3, L_2, L_1$ 传送至闪存芯片 230_2...等等。

[0017] 举例详细说明图 3 所示的闪存控制器 226、总线 228_1 以及闪存芯片 230_1、230_2 及相关的操作流程,请参考图 4,微处理器 310 首先会接收来自主机 240 的一外部数据,并依据该外部数据欲写入至多个闪存芯片 230_1 ~ 230_8 中哪一芯片的信息来决定该外部数据通过多条数据线 $L_1 \sim L_8$ 传送时的一数据传输配置。假设该外部数据欲写入图 4 所示的闪存芯片 230_1,则微处理器 310 自储存单元 320 中选择对应于闪存芯片 230_1 的一第一数据传输配置,并据以控制数据总线输入输出单元 330 以将该外部数据中的位 $D_0 \sim D_7$ 依序通过数据线 $L_1 \sim L_8$ 传送至闪存芯片 230_1 ;另一方面,假设该外部数据欲写入闪存芯片 230_2,则微处理器 310 自储存单元 320 中选择对应于闪存芯片 230_2 的一第二数据传输配置,并据以控制数据总线输入输出单元 330 以将该外部数据中的位 $D_0 \sim D_7$ 依序通过数据线 $L_8 \sim L_1$ 传送至闪存芯片 230_1。如上所述,因为闪存芯片 230_1 与 230_2 并不需要经由相同的数据线来接收相同的数据 (例如闪存芯片 230_1 自数据线 L_1 接收该外部数据的位 D_0 ,而闪存芯片 230_2 却可以自数据线 L_8 接收该外部数据的位 D_0),且数据总线输入输出单元 330 可以动态地切换该外部数据的位 $D_0 \sim D_7$ 分别由哪一条数据线传送至闪存芯片中,如此一来,闪存芯片 230_1 与 230_2 与闪存控制器 226 的间的电路布局会比较有弹性,而设计者也可以有效率地降低电路板布局上的复杂度,并降低电路板在设计与制造上的成本。

[0018] 需注意的是,再图 2 至图 4 的实施例中,以快闪存储装置来作为说明,然而,本发明并不以此为限。于本发明的其它实施例中,快闪存储装置 200 可以为其它任何形式的储存装置,且闪存芯片 230_1 ~ 230_8 亦可以为其它的储存芯片,特别是针对储存装置中的数据总线并非单纯传送数据信号的情形 (例如数据总线会同时传送命令信号、地址信号以及所需储存的数据至储存芯片中),本发明可确实降低电路板布局上的复杂度。而上述这些设计上的变化均应隶属于本发明的范畴。

[0019] 请参考图 5,图 5 为依据本发明一实施例的一种经由至少一总线以存取多个芯片的方法的流程图,其中该多个芯片包含有一第一芯片以及一第二芯片,且该总线包含有多

条数据线。参考图 5, 流程叙述如下:

[0020] 步骤 500: 接收一外部数据。

[0021] 步骤 502: 依据该外部数据欲写入至该多个芯片中哪一芯片的信息来决定该外部数据通过该多条数据线传送时的一数据传输配置, 其中该数据传输配置为该外部数据的多个位在该多条数据线上的排列顺序, 以及对应该第一芯片的一第一数据传输配置异于对应该第二芯片的一第二数据传输配置。

[0022] 简要归纳本发明, 于本发明的电子装置、经由至少一总线来存取多个芯片的控制器以及经由至少一总线以存取多个芯片的方法中, 依据一外部数据欲写入至多个芯片中哪一芯片的信息来决定该外部数据通过该总线的多条数据线传送时的一数据传输配置。如此一来, 便可以增加电路板上布局的弹性, 以降低电路板在设计与制造上的成本。

[0023] 以上所述仅为本发明的较佳实施例, 凡依本发明申请专利范围所做的均等变化与修饰, 皆应属本发明的涵盖范围。

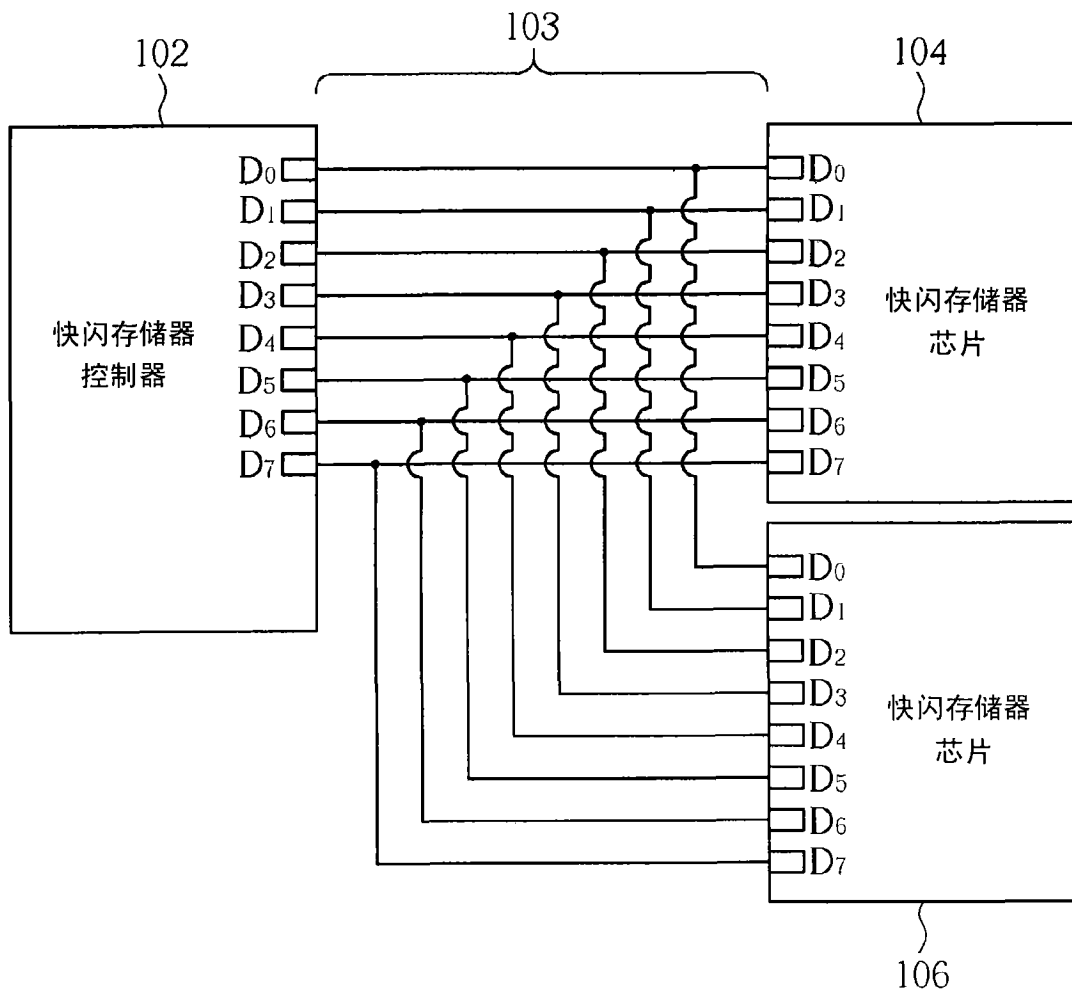


图 1

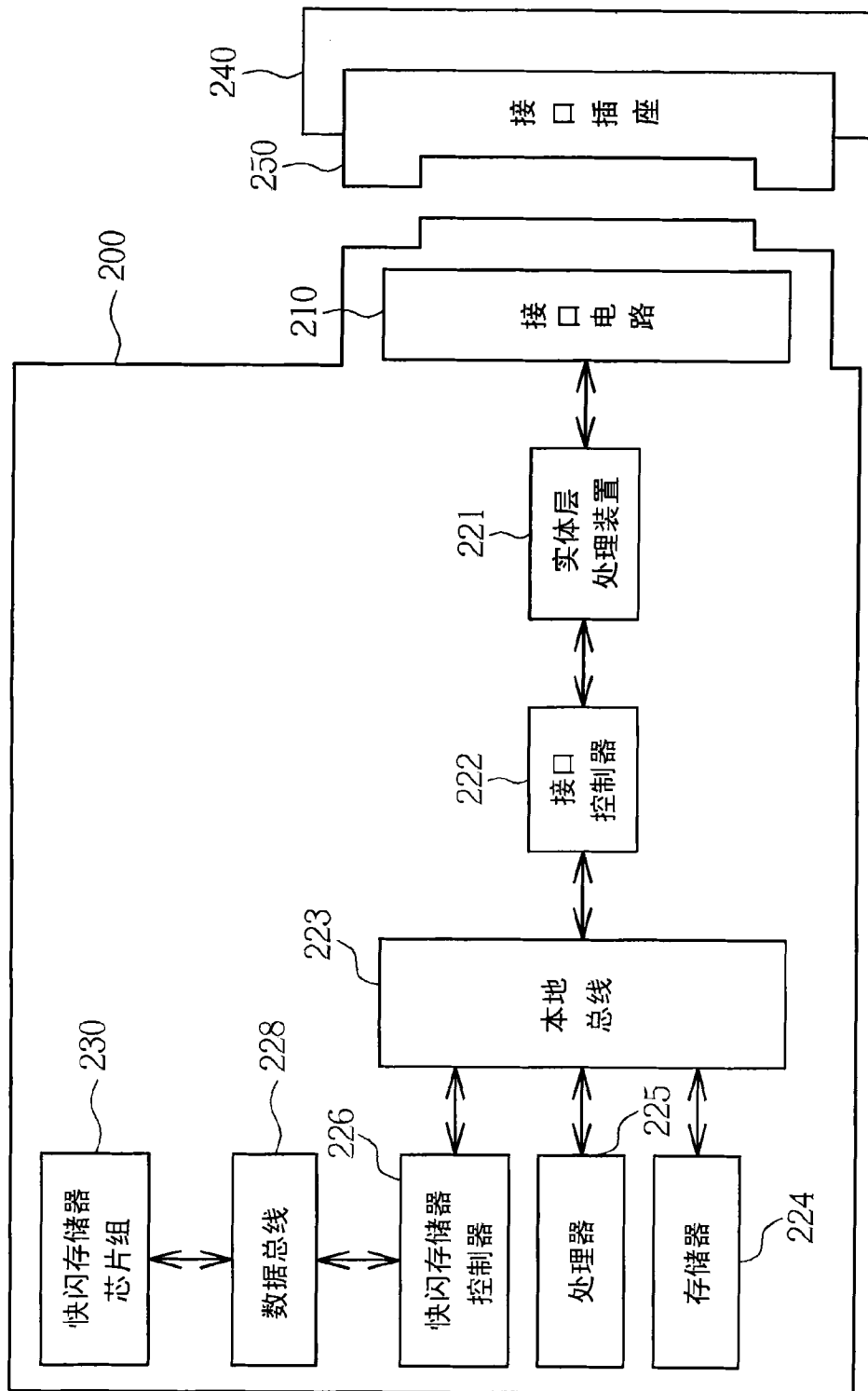


图 2

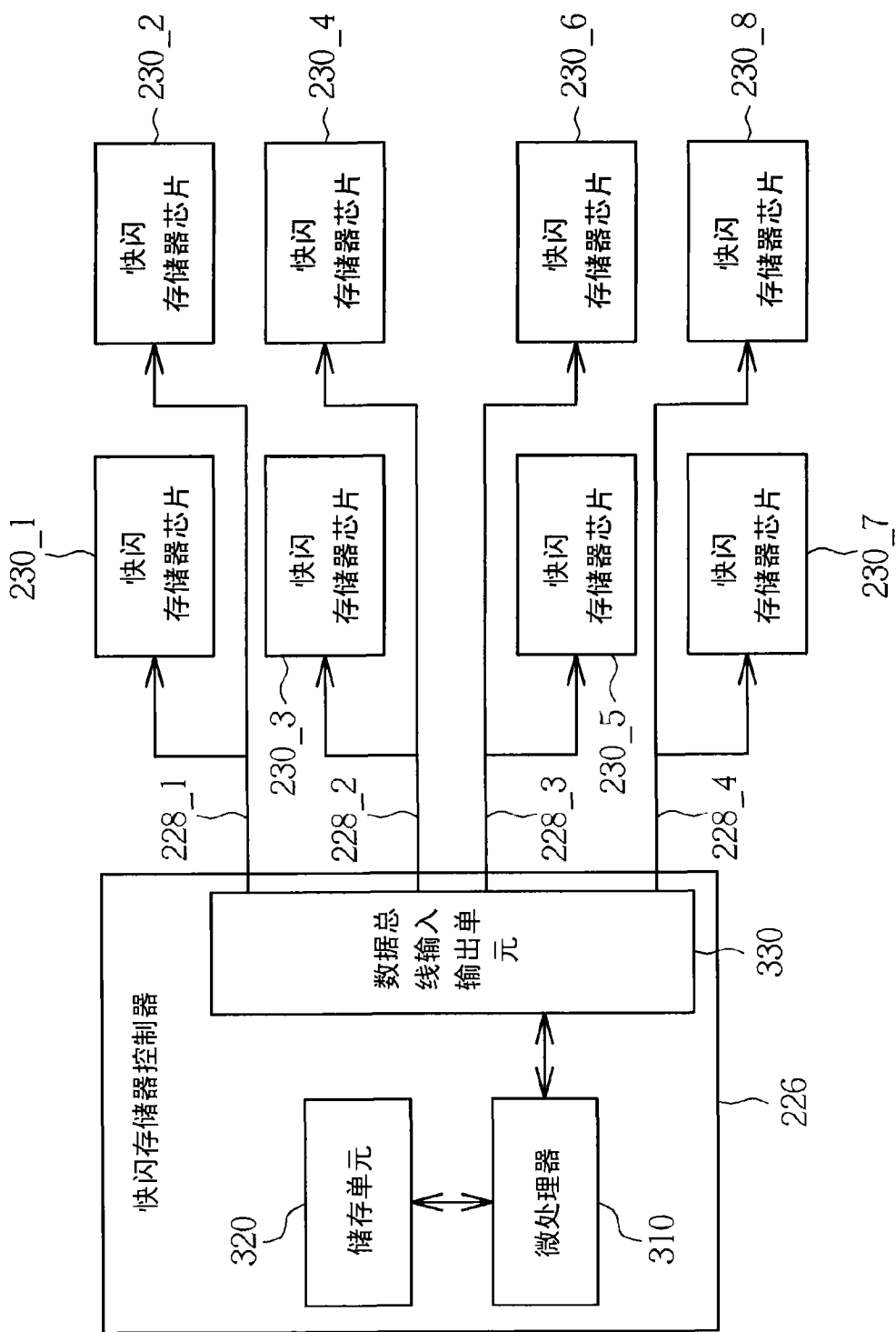


图 3

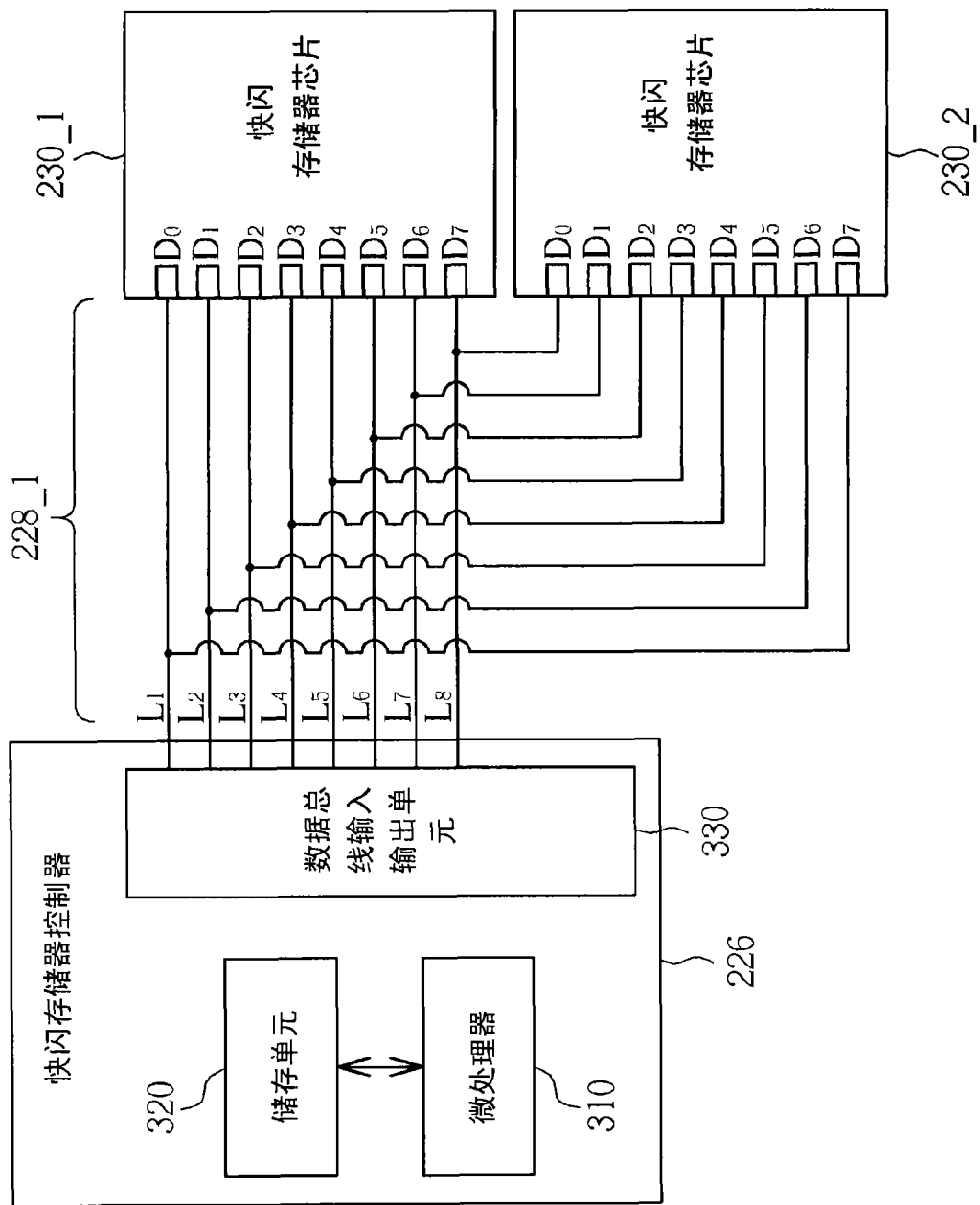


图 4

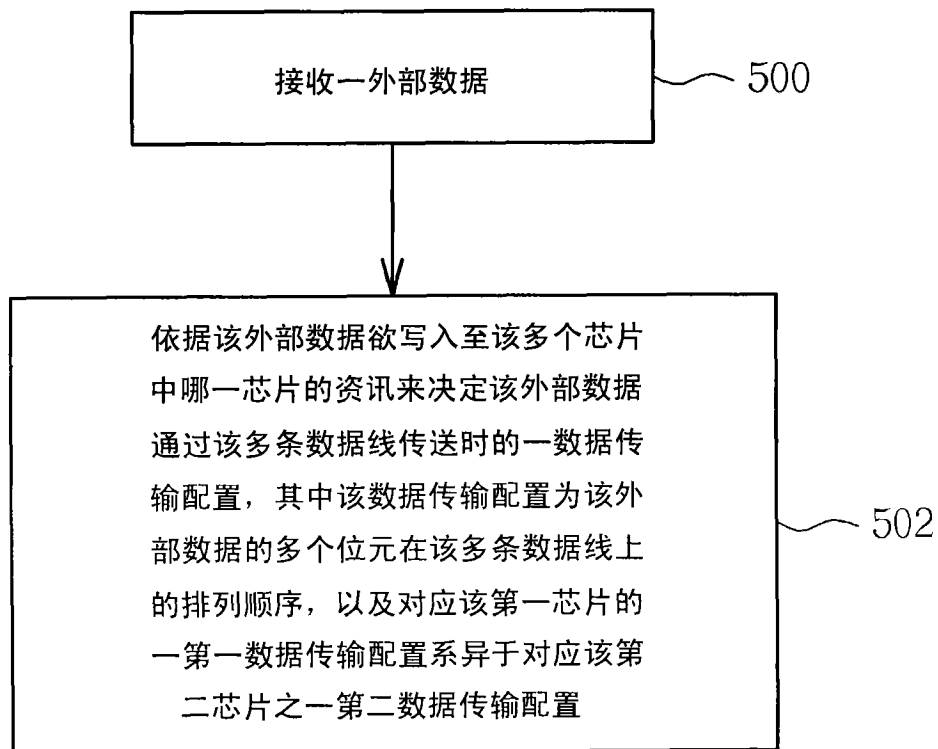


图 5