



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I451424 B

(45) 公告日：中華民國 103 (2014) 年 09 月 01 日

(21) 申請案號：098133821

(22) 申請日：中華民國 98 (2009) 年 10 月 06 日

(51) Int. Cl. : G11C16/22 (2006.01)

H02H3/24 (2006.01)

(30) 優先權：2009/04/17 美國

61/170,116

(71) 申請人：晨星半導體股份有限公司 (中華民國) MSTAR SEMICONDUCTOR, INC (TW)  
新竹縣竹北市台元街 26 號 4 樓之 1

(72) 發明人：李孟書 LEE, MENG SHU (TW)；李清新 LEE, CHING HSIN (TW)；李浩榮 LI, HAO JUNG (TW)；郭柏竣 KUO, PO CHUN (TW)

(74) 代理人：祁明輝；林素華；涂綺玲

(56) 參考文獻：

TW 200807436A

TW 200836221A

CN 1132191C

US 3859638

US 4399524

US 5384747A

US 6735117B2

US 6856556B1

審查人員：鄧嘉琳

申請專利範圍項數：16 項 圖式數：4 共 0 頁

(54) 名稱

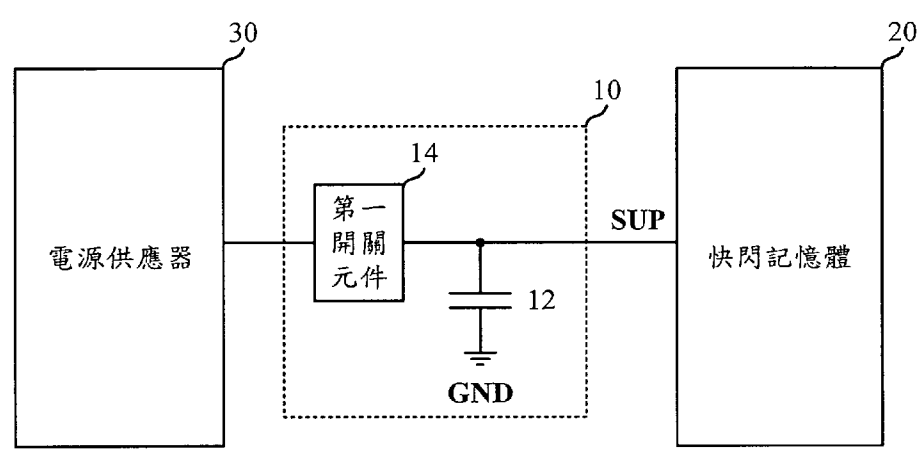
應用於快閃記憶體之保護電路及電源系統

PROTECTING CIRCUIT AND POWER SUPPLY SYSTEM FOR FLASH MEMORY

(57) 摘要

本發明提供一種應用於一快閃記憶體的保護電路。該快閃記憶體具有一電源接腳。一電源供應器提供一參考電壓。該保護電路包含一電容及一開關元件。該電容係電連接於該電源接腳及接地點間。該開關元件係電連接於該電源接腳及該電源供應器之間。當該參考電壓高於一門檻電壓，該開關元件係處於導通狀態，使該參考電壓經由該開關元件輸入至該電源接腳；當該參考電壓低於該門檻電壓，該開關元件則處於斷路狀態。

A protecting circuit for a flash memory is provided. A reference voltage is provided by a power supply. The protecting circuit includes a capacitor and a switch device. The capacitor is electrically connected between the power pin and a ground node. The switch device is electrically connected between the power pin and the power supply. When the reference voltage is higher than a threshold voltage, the switch device is in a conducted state to let the reference voltage be inputted to the power pin via the switch device; when the reference voltage is lower than the threshold voltage, the switch device is in an open state.



- 10 . . . 保護電路
- 12 . . . 第一電容
- 14 . . . 第一開關元  
件
- 20 . . . 快閃記憶體
- 30 . . . 電源供應器
- GND . . . 接地點
- SUP . . . 電源接腳

圖一

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：91133821

※申請日：98 10 6

※IPC 分類：G11C16/22 (2006.01)  
H02H 3/24 (2006.01)

## 一、發明名稱：(中文/英文)

應用於快閃記憶體之保護電路及電源系統/

PROTECTING CIRCUIT AND POWER SUPPLY SYSTEM  
FOR FLASH MEMORY

## 二、中文發明摘要：

本發明提供一種應用於一快閃記憶體的保護電路。該快閃記憶體具有一電源接腳。一電源供應器提供一參考電壓。該保護電路包含一電容及一開關元件。該電容係電連接於該電源接腳及接地點間。該開關元件係電連接於該電源接腳及該電源供應器之間。當該參考電壓高於一門檻電壓，該開關元件係處於導通狀態，使該參考電壓經由該開關元件輸入至該電源接腳；當該參考電壓低於該門檻電壓，該開關元件則處於斷路狀態。

## 三、英文發明摘要：

A protecting circuit for a flash memory is provided. A reference voltage is provided by a power supply. The protecting circuit includes a capacitor and a switch device. The capacitor is electrically connected between the power pin and a ground node. The switch device is electrically connected between the power pin and the power supply. When the reference voltage is higher than a threshold voltage, the switch device is in a conducted state to let the reference voltage be inputted to the power pin via the switch device;

when the reference voltage is lower than the threshold voltage, the switch device is in an open state.

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

10：保護電路

12：第一電容

14：第一開關元件

20：快閃記憶體

30：電源供應器

GND：接地點

SUP：電源接腳

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係與記憶體相關，並且特別地，本發明係關於應用於快閃記憶體的保護電路。

### 【先前技術】

快閃記憶體(flash memory)是一種非揮發性記憶體，儲存在其中的資料並不會因為電源被關閉而消失。由於快閃記憶體具有體積輕巧、耗電量低、抗震性佳、寫入速度快的優點，因此被廣泛應用在記憶卡、隨身碟、數位相機、可攜式電子遊戲機、迷你電腦等多種電子產品中。

快閃記憶體係利用浮閘(floating gate)電晶體儲存資料，依其存取方式主要分為 NOR 和 NAND 兩種型態；前者通常用於儲存程式碼，後者則通常被用來儲存數據資料。以每個電晶體所能儲存的資料數量來區分，NAND 型快閃記憶體又可被區分為單階單元(single-level cell, SLC)與多階單元(multi-level cell, MLC)兩種架構。

SLC 架構的 NAND 快閃記憶體具有速度快，耗電量低的優點，其中的每個儲存單元可儲存一個資訊位元。MLC 架構的 NAND 快閃記憶體的傳輸速度較慢，耗電量高，但其中的每個儲存單元可儲存兩個以上的資訊位元，製造成本也較低。

NOR 型快閃記憶體具有各自獨立的位址接腳、資料接腳及控制接腳。相對地，NAND 型快閃記憶體係透過單一輸入/輸出接腳來傳送位址、數據資料及指令，並藉由不同的控制信號來標識目前正在該輸入/輸出接腳上傳輸的資訊種類。

就 NAND 型快閃記憶體而言，在資料寫入程序中，外部的控制晶片或微處理器係透過該輸入/輸出接腳依序將目標位址以及數據資料傳送給快閃記憶體。將要被寫入的數據資料首先被暫放在快閃記憶體的暫存器中，直到收到控制晶片或微處理器下達的編寫指令後，快閃記憶體才會在一段編寫時間之內將這些數據資料由暫存器轉移到對應於目標位址的儲存單元。

如果在這段編寫時間結束前，快閃記憶體的供電發生意外中斷的狀況，正在被寫入某個儲存單元的數據資料極可能會遭到破壞，進入不確定或錯誤的電壓狀態。由於快閃記憶體中所儲存的可能是正在被執行/運算當中的程式碼或重要數據，如果其中的資料出現錯誤，可能會導致整個電子產品當機或發生嚴重的錯誤。

此外，現有的許多快閃記憶體都包含一寫入保護接腳。當該寫入保護接腳被設定為寫入保護狀態，快閃記憶體就會拒絕外部系統儲存資料的指令。理論上，也只有該寫入保護接腳被設定為寫入允許狀態時，快閃記憶體才能夠開始執行資料寫入程序。

然而，如果在上述編寫時間之內，使用者或外部系統不小心將快閃記憶體的寫入保護接腳切換至寫入保護狀態，原本正在執行當中的資料寫入程序將會被中止。當時正在被寫入某個儲存單元的數據資料也可能會因此遭到破壞，進而影響電子產品的正常運作。

相較於 SLC 架構的 NAND 快閃記憶體，若 MLC 架構的 NAND 快閃記憶體在資料寫入程序中發生電源意外中斷或寫入保護接腳被改變的狀況，結果會更為嚴重。因為不僅只正在被寫入儲存單元的數據資料遭到破壞，原先存放在同一個儲存單元中的其他數據資料也極可能同時被損毀。

目前並沒有針對以上快閃記憶體之資料毀損問題提出解決方案的先前技術。

### 【發明內容】

本發明提供了一種應用於快閃記憶體的保護電路及電源系統。在電源中斷時，藉由適當維持快閃記憶體之電源接腳的電壓，以避免快閃記憶體之資料寫入程序因電源中斷而失敗的狀況。

根據本發明之一具體實施例為一保護電路，其中包含一電容及一第一開關元件。該電容係電連接於快閃記憶體的電源接腳及一接地點間。該第一開關元件則是電連接於該電源接腳及將一參考電壓提供給該電源接腳的電源供應器之間。



當該參考電壓高於一門檻電壓，該第一開關元件係處於導通狀態，當該參考電壓低於該門檻電壓，該第一開關元件則處於斷路狀態。

在該第一開關元件處於導通狀態的情況下，該電源供應器會對保護電路中的電容充電。一旦該電源供應器所提供的參考電壓被中斷，該第一開關元件就會進入斷路狀態。該電源接腳及電源供應器之間的連結被中斷之後，該電容將會對該電源接腳放電，確保該快閃記憶體能順利完成其資料寫入程序。

根據本發明另一實施例，本發明應用於一快閃記憶體之電源系統包含一電源供應器、一第一開關元件及一第一電容。該快閃記憶體具有一電源接腳，電源供應器用以提供一參考電壓。第一開關元件電連接於該電源接腳及該電源供應器間，當該參考電壓高於一門檻電壓，該第一開關元件係處於一導通狀態，使該參考電壓經由該第一開關元件輸入至該電源接腳；當該參考電壓低於該門檻電壓，該第一開關元件則處於一斷路狀態。第一電容電連接於該電源接腳及一接地點間。

關於本發明之優點與精神可以藉由以下的發明詳述及所附圖式得到進一步的瞭解。

#### 【實施方式】

請參閱圖一，其係本發明應用於快閃記憶體的保護電路之一第一具體實施例之示意圖。保護電路 10 包含一第一電容 12 及一第一開關元件 14。快閃記憶體 20 具有一電源接腳 SUP。電源供應器 30 係透過電源接腳 SUP 將一參考電壓  $V_{DD}$  提供給快閃記憶體 20，做為快閃記憶體 20 內部電路運作的電力來源。實務上，快閃記憶體 20 可以為一 SLC 或 MLC 架構的 NAND 型快閃記憶體。

如圖一所示，第一電容 12 係電連接於快閃記憶體 20 的電源接腳 SUP 及一接地點 GND 之間。第一開關元件 14 則是電連接於電源接腳 SUP 及電源供應器 30 之間。根據本發明，第一開關元件 14 的狀態係與參考電壓  $V_{DD}$  的電壓值相關。當參考電壓  $V_{DD}$  高於一預設的門檻電壓  $V_{TH}$ ，第一開關元件 14 會處於導通狀態；當參考電壓  $V_{DD}$  低於門檻電壓  $V_{TH}$ ，第一開關元件 14 則是處於斷路狀態。

於實際應用中，電路設計者可以利用一二極體，例如為一蕭特基二極體(Schottky diode)，或是其他具有上述導通特性的電路元件做為第一開關元件 14。此外，門檻電壓  $V_{TH}$  可被設定為大致等於或略小於參考電壓  $V_{DD}$ 。以參考電壓  $V_{DD}$  等於 3.3 伏特的情況為例，門檻電壓  $V_{TH}$  可相對地被設定為 3.2 伏特或 3 伏特。

當第一開關元件 14 係處於導通狀態，電源供應器 30 除了將參考電壓  $V_{DD}$  提供給電源接腳 SUP，還會對第一電容 12

充電，直至第一電容 12 與電源接腳 SUP 相連的端點之電壓亦等於參考電壓  $V_{DD}$ 。由此可知，在電源供應器 30 正常供電的情況下，第一電容 12 與第一開關元件 14 對快閃記憶體 20 幾乎是不會造成影響的。

一旦電源供應器 30 發生供電不穩定或電力突然中斷的狀況，導致參考電壓  $V_{DD}$  的電壓值下降至低於門檻電壓  $V_{TH}$ ，第一開關元件 14 將會進入斷路狀態，令電源接腳 SUP 的電壓值不會隨著參考電壓  $V_{DD}$  的波動而急遽下降。先前已充電完成的第一電容 12 此時即發揮作用，開始對電源接腳 SUP 放電，讓快閃記憶體 20 可以繼續維持一段時間的正常運作，例如完成正在進行中的資料寫入程序。藉此，保護電路 10 可避免快閃記憶體 20 在資料寫入程序中因電力不穩定或中斷造成的資料毀損情況。

根據本發明，第一電容 12 所具有的電容值可以與快閃記憶體 20 於其編寫時間中的運作耗電量相關。更明確地說，電路設計者可根據快閃記憶體 20 在編寫時間中所需要的電量來決定第一電容 12 的電容值大小，讓第一電容 12 中儲存的電量足以支撐快閃記憶體 20 完成在這段編寫時間之內的運作。

請參閱圖二，圖二為根據本發明之第二具體實施例的示意圖。於此實施例中，快閃記憶體 20 具有一寫入保護接腳 WP，並且當寫入保護接腳 WP 的輸入電壓為低準位，快閃記憶體 20 將拒絕執行資料寫入程序。如圖二所示，此實施例中

的寫入保護接腳 WP 被固定電連接至電源接腳 SUP。藉此，在快閃記憶體 20 執行資料寫入程序的過程中，寫入保護接腳 WP 的電壓也會因第一電容的存在而被確保大致維持在高準位狀態。

圖二所示之保護電路適用於可另外受軟體控制以進入或解除快閃記憶體的寫入保護狀態，因此快閃記憶體並不會因為其寫入保護接腳被固定連接至特定電壓而完全喪失寫入保護的功能。圖二所示之保護電路能確保這種快閃記憶體在資料寫入程序中不會因寫入保護接腳的狀態被切換而導致資料毀損。

請參閱圖三，圖三為根據本發明之第三具體實施例的示意圖。此實施例中的保護電路進一步包含一第二電容 16。第二電容 16 電連接於寫入保護接腳 WP 及接地點 GND 之間，且寫入保護接腳 WP 亦透過第一開關元件 14 電連接至電源供應器 30。

當第一開關元件 14 係處於導通狀態，電源供應器 30 除了對第一電容 12 充電，還會對第二電容 16 充電，直至第二電容 16 與寫入保護接腳 WP 相連的端點之電壓等於參考電壓  $V_{DD}$ 。當參考電壓  $V_{DD}$  低於門檻電壓  $V_{TH}$ ，第一開關元件 14 處於斷路狀態，寫入保護接腳 WP 與電源供應器 30 之間的連接也會被切斷。此時第二電容 16 將會協助將寫入保護接腳 WP 的電壓維持在大約等於  $V_{DD}$  的狀態達一特定時間。

第三具體實施例與第二具體實施例的主要差別在於，第三具體實施例中的寫入保護接腳 WP 係由第二電容 16 負責維持其電壓，而非與電源接腳 SUP 共用第一電容 12。於實際應用中，電路設計者可根據快閃記憶體 20 的編寫時間長短來決定第二電容 16 的電容值大小，讓第二電容 16 中儲存的電量足以讓寫入保護接腳 WP 在快閃記憶體 20 的編寫時間之內維持在高準位電壓的狀態。藉此，同樣可以確保快閃記憶體在資料寫入程序中不會因寫入保護接腳的狀態被切換而導致資料毀損。

請參閱圖四，圖四為根據本發明之第四具體實施例的示意圖。此實施例同樣假設當寫入保護接腳 WP 的輸入電壓為低準位時，快閃記憶體 20 將拒絕執行資料寫入程序，在此實施例中，本發明之保護電路進一步包含第二開關元件 18 及電阻 19。

電阻 19 係電連接於寫入保護接腳 WP 與電源接腳 SUP 之間。第二開關元件 18 係電連接於寫入保護接腳 WP 與接地點 GND 之間。當第二開關元件 18 被導通，寫入保護接腳 WP 係電連接至接地點 GND。實務上，第二開關元件 18 可利用一個或多個金氧半導體元件來實現。

如圖四所示，第二開關元件 18 係由一記憶體控制器 40 控制。在一般的情況下，記憶體控制器 40 可將第二開關元件 18 關閉，讓寫入保護接腳 WP 僅透過電阻 19 連接至電源接

腳 SUP，而不受到第二開關元件 18 及其連接的接地點 GND 影響。由於寫入保護接腳 WP 的輸入電阻通常極大，因此寫入保護接腳 WP 與電源接腳 SUP 的電位幾乎相等。根據本發明之保護電路同樣可以提供寫入保護接腳 WP 如第二實施例中所述之保護效果。

當使用者希望令快閃記憶體 20 進入寫入保護狀態，記憶體控制器 40 可將第二開關元件 18 導通，藉此讓寫入保護接腳 WP 被電連接至接地端 GND，以達到令快閃記憶體 20 進入寫入保護狀態的效果。只要電阻 19 的阻值夠大，電源接腳 SUP 的電位不會受到太大影響。在一實施態樣中，第二開關元件 18 可整合於記憶體控制器 40 內部。

根據本發明之第五具體實施例為包含圖一所示之保護電路 10 及電源供應器 30 的電源系統。其運作方式及概念第一實施例相仿，因此不再贅述。需說明的是，此電源系統亦可如圖二、圖三、圖四所示，進一步包含將寫入保護接腳 WP 維持在高準位狀態的線路及元件。

綜上所述，由於根據本發明之保護電路和電源系統能夠適當維持提供給快閃記憶體之電源接腳以及寫入保護接腳的電壓，因此可避免快閃記憶體之資料寫入程序因電源中斷而失敗的狀況，進而確保電子產品的正常運作。根據本發明的保護電路及電源系統可被應用在各種採用快閃記憶體作為儲存裝置的電子裝置中，發揮良好的保護作用。

藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。

**【圖式簡單說明】**

圖一為根據本發明之第一具體實施例中的保護電路之示意圖。

圖二為根據本發明之第二具體實施例中的保護電路之示意圖。

圖三為根據本發明之第三具體實施例中的保護電路之示意圖。

圖四為根據本發明之第四具體實施例中的保護電路之示意圖。

**【主要元件符號說明】**

10：保護電路

12：第一電容

14：第一開關元件

16：第二電容

18：第二開關元件

19：電阻

30：電源供應器

20：快閃記憶體

40：記憶體控制器

WP：寫入保護接腳

SUP：電源接腳

GND：接地點



## 七、申請專利範圍：

- 1、一種應用於一快閃記憶體之保護電路，該快閃記憶體具有一電源接腳，一電源供應器提供一參考電壓，該保護電路包含：
  - 一第一電容，電連接於該電源接腳及一接地點間；以及
  - 一第一開關元件，電連接於該電源接腳及該電源供應器間，當該參考電壓高於一門檻電壓，該第一開關元件係處於一導通狀態，該參考電壓經由該第一開關元件輸入至該電源接腳；當該參考電壓低於該門檻電壓，該第一開關元件則處於一斷路狀態；其中該快閃記憶體具有一寫入保護接腳，且該寫入保護接腳係電連接至該電源接腳與該第一電容。
- 2、如申請專利範圍第1項所述之保護電路，其中該第一電容具有一第一電容值，並且該第一電容值與該快閃記憶體於一編寫時間中之一耗電量相關。
- 3、如申請專利範圍第1項所述之保護電路，其中該第一開關元件為一二極體。
- 4、如申請專利範圍第1項所述之保護電路，其中當該第一開關元件係處於該導通狀態，該電源供應器對該第一電容充電；當該第一開關元件係處於該斷路狀態，該第一電容對該電源接腳放電。
- 5、如申請專利範圍第1項所述之保護電路，其中該快閃記憶體為一NAND型快閃記憶體。

- 6、如申請專利範圍第5項所述之保護電路，其中該NAND型快閃記憶體為一多層單元(multi-level cell, MLC) NAND型快閃記憶體。
- 7、一種應用於一快閃記憶體之保護電路，該快閃記憶體具有一電源接腳，一電源供應器提供一參考電壓，該保護電路包含：
- 一第一電容，電連接於該電源接腳及一接地點間；以及
  - 一第一開關元件，電連接於該電源接腳及該電源供應器間，當該參考電壓高於一門檻電壓，該第一開關元件係處於一導通狀態，該參考電壓經由該第一開關元件輸入至該電源接腳；當該參考電壓低於該門檻電壓，該第一開關元件則處於一斷路狀態；
- 其中該快閃記憶體具有一寫入保護接腳，該保護電路更包含：
- 一電阻，電連接於該寫入保護接腳與該電源接腳之間；
  - 以及
  - 一第二開關元件，電連接於該寫入保護接腳與該接地點之間，當該第二開關元件被導通，該寫入保護接腳係電連接至該接地點。
- 8、一種應用於一快閃記憶體之保護電路，該快閃記憶體具有一電源接腳，一電源供應器提供一參考電壓，該保護電路包含：
- 一第一電容，電連接於該電源接腳及一接地點間；以及
  - 一第一開關元件，電連接於該電源接腳及該電源供應器間，當該參考電壓高於一門檻電壓，該第一開關元件

係處於一導通狀態，該參考電壓經由該第一開關元件輸入至該電源接腳；當該參考電壓低於該門檻電壓，該第一開關元件則處於一斷路狀態；

其中該快閃記憶體具有一寫入保護接腳，該保護電路更包含：

一第二電容，電連接於該寫入保護接腳及該接地點之間，該寫入保護接腳亦透過該第一開關元件電連接至該電源供應器，其中該第二電容具有一第二電容值，並且該第二電容值與該快閃記憶體之一編寫時間相關。

9、一種應用於一快閃記憶體之電源系統，該快閃記憶體具有一電源接腳，該電源系統包含：

一電源供應器，用以提供一參考電壓；

一第一開關元件，電連接於該電源接腳及該電源供應器間，當該參考電壓高於一門檻電壓，該第一開關元件係處於一導通狀態，該參考電壓經由該第一開關元件輸入至該電源接腳；當該參考電壓低於該門檻電壓，該第一開關元件則處於一斷路狀態；以及

一第一電容，電連接於該電源接腳及一接地點間；

其中該快閃記憶體具有一寫入保護接腳，且該寫入保護接腳係電連接至該電源接腳與該第一電容。

10、如申請專利範圍第9項所述之電源系統，其中該第一電容具有一第一電容值，且該第一電容值與該快閃記憶體於一編寫時間中之一耗電量相關。

11、如申請專利範圍第9項所述之電源系統，其中該第一開關元

件為一二極體。

- 12、如申請專利範圍第9項所述之電源系統，其中當該第一開關元件係處於該導通狀態，該電源供應器對該第一電容充電；當該第一開關元件係處於該斷路狀態，該第一電容對該電源接腳放電。
- 13、如申請專利範圍第9項所述之電源系統，其中該快閃記憶體為一NAND型快閃記憶體。
- 14、如申請專利範圍第13項所述之電源系統，其中該NAND型快閃記憶體為一多層單元(multi-level cell, MLC) NAND型快閃記憶體。
- 15、一種應用於一快閃記憶體之電源系統，該快閃記憶體具有一電源接腳，該電源系統包含：
  - 一電源供應器，用以提供一參考電壓；
  - 一第一開關元件，電連接於該電源接腳及該電源供應器間，當該參考電壓高於一門檻電壓，該第一開關元件係處於一導通狀態，該參考電壓經由該第一開關元件輸入至該電源接腳；當該參考電壓低於該門檻電壓，該第一開關元件則處於一斷路狀態；以及
  - 一第一電容，電連接於該電源接腳及一接地點間；其中該快閃記憶體具有一寫入保護接腳，該電源系統更包含：
  - 一電阻，電連接於該寫入保護接腳與該電源接腳之間；
  - 以及
  - 一第二開關元件，電連接於該寫入保護接腳與該接地點之間，當該第二開關元件被導通，該寫入保護接腳係

電連接至該接地點。

16、一種應用於一快閃記憶體之電源系統，該快閃記憶體具有一電源接腳，該電源系統包含：

一電源供應器，用以提供一參考電壓；

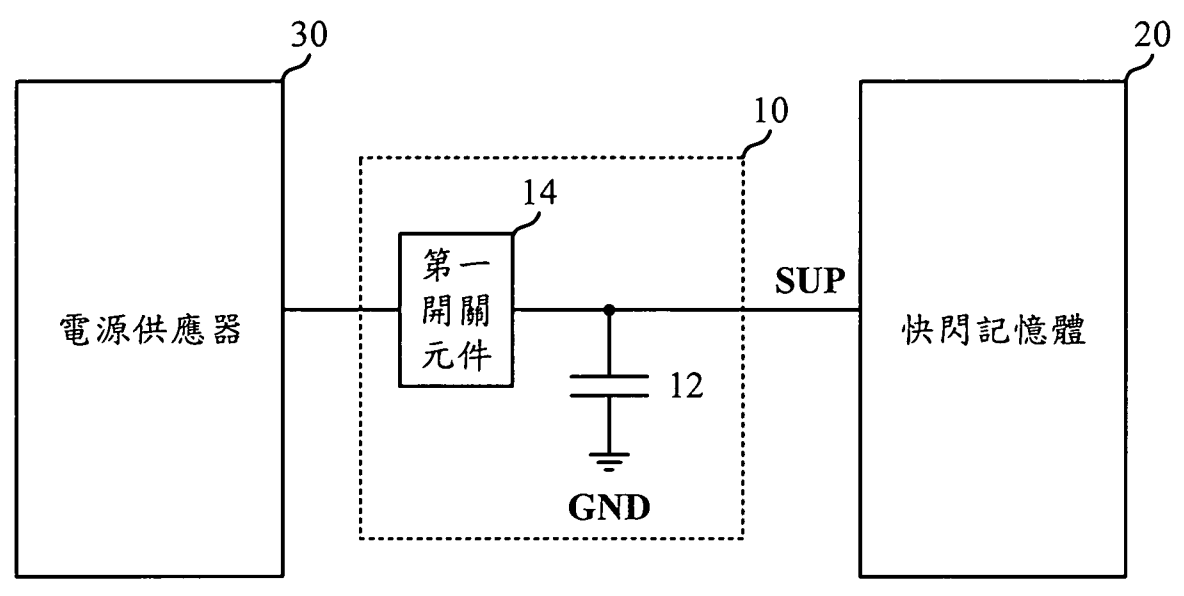
一第一開關元件，電連接於該電源接腳及該電源供應器間，當該參考電壓高於一門檻電壓，該第一開關元件係處於一導通狀態，該參考電壓經由該第一開關元件輸入至該電源接腳；當該參考電壓低於該門檻電壓，該第一開關元件則處於一斷路狀態；以及

一第一電容，電連接於該電源接腳及一接地點間；

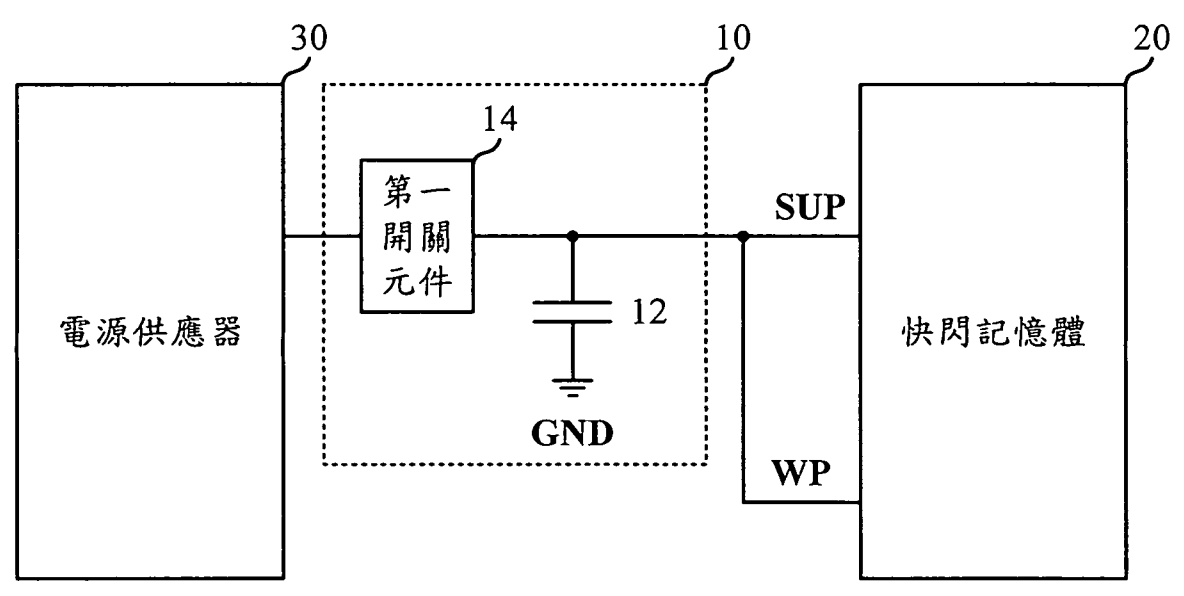
其中該快閃記憶體具有一寫入保護接腳，該電源系統更包含：

一第二電容，電連接於該寫入保護接腳及該接地點之間，該寫入保護接腳亦透過該第一開關元件電連接至該電源供應器，其中該第二電容具有一第二電容值，並且該第二電容值與該快閃記憶體之一編寫時間相關。

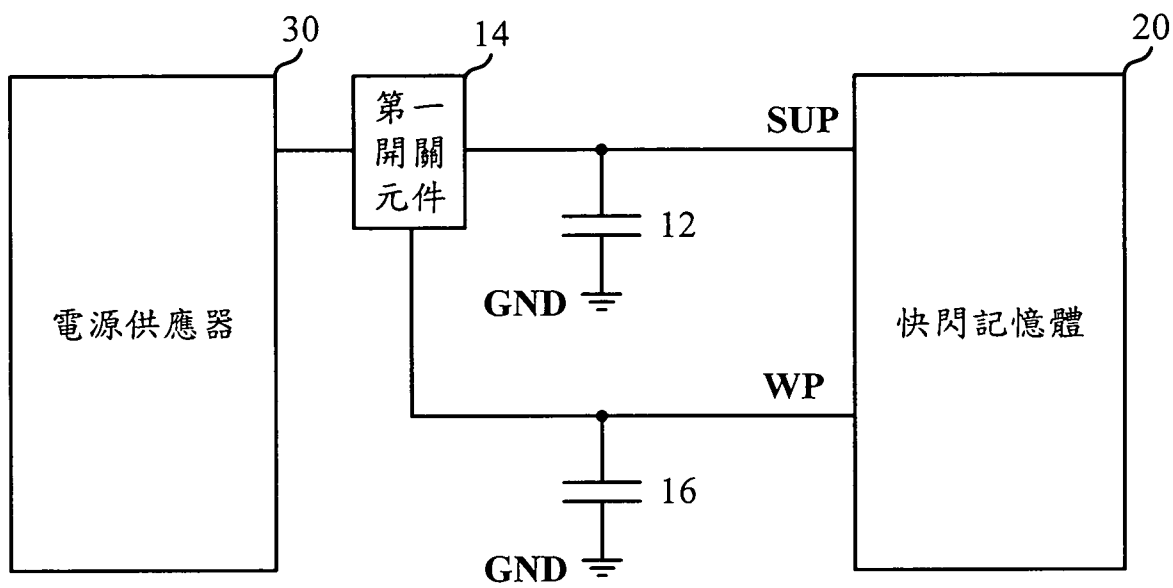
八、圖式：



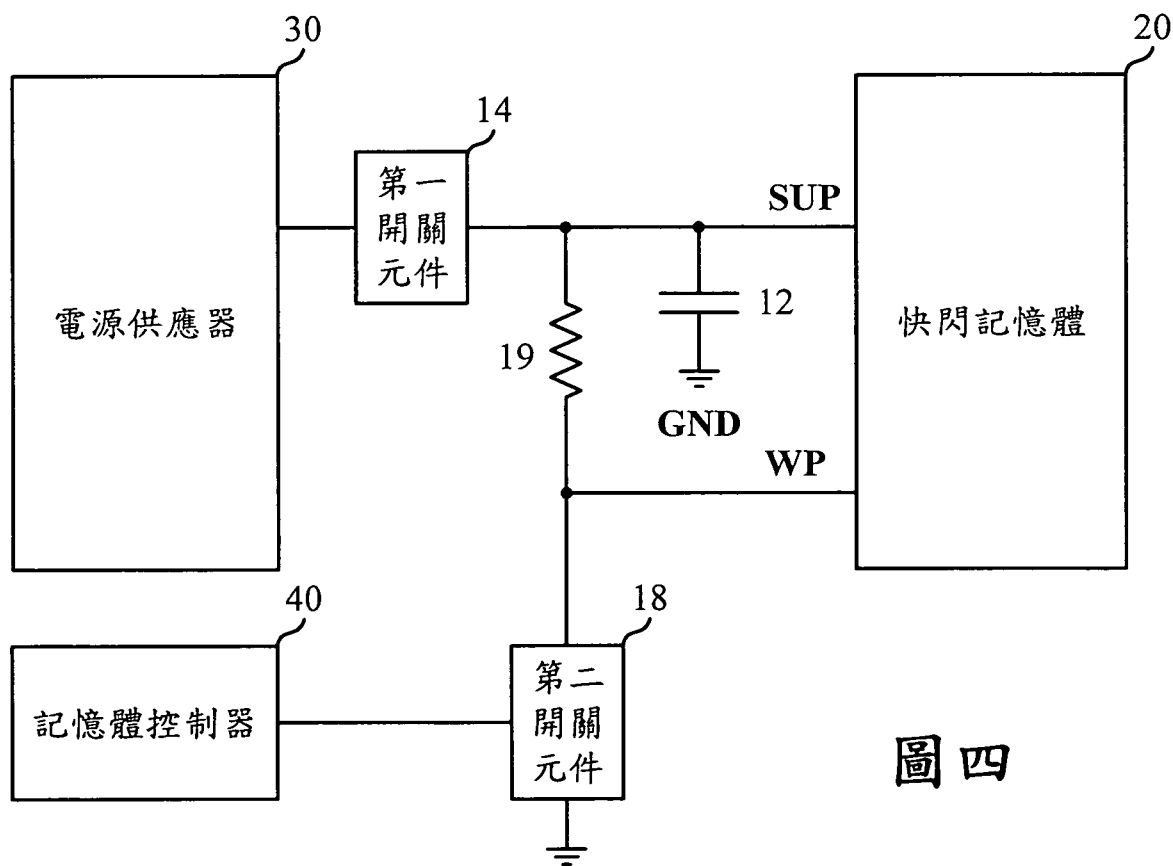
圖一



圖二



圖三



圖四