



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I492511 B

(45) 公告日：中華民國 104 (2015) 年 07 月 11 日

(21) 申請案號：103118234

(22) 申請日：中華民國 103 (2014) 年 05 月 26 日

(51) Int. Cl. : H02M3/156 (2006.01)

H02M3/125 (2006.01)

(30) 優先權：2013/05/28 中國大陸

201310204458.4

(71) 申請人：茂力科技股份有限公司 (美國) MONOLITHIC POWER SYSTEMS, INC. (US)
美國

(72) 發明人：鄭成剛 DENG, DEITTY (CN)

(74) 代理人：蔡清福；蔡駁理

(56) 參考文獻：

US 7952900B2

US 2006/0043943A1

US 2009/0021227A1

US 2012/0119715A1

審查人員：彭極富

申請專利範圍項數：13 項 圖式數：9 共 40 頁

(54) 名稱

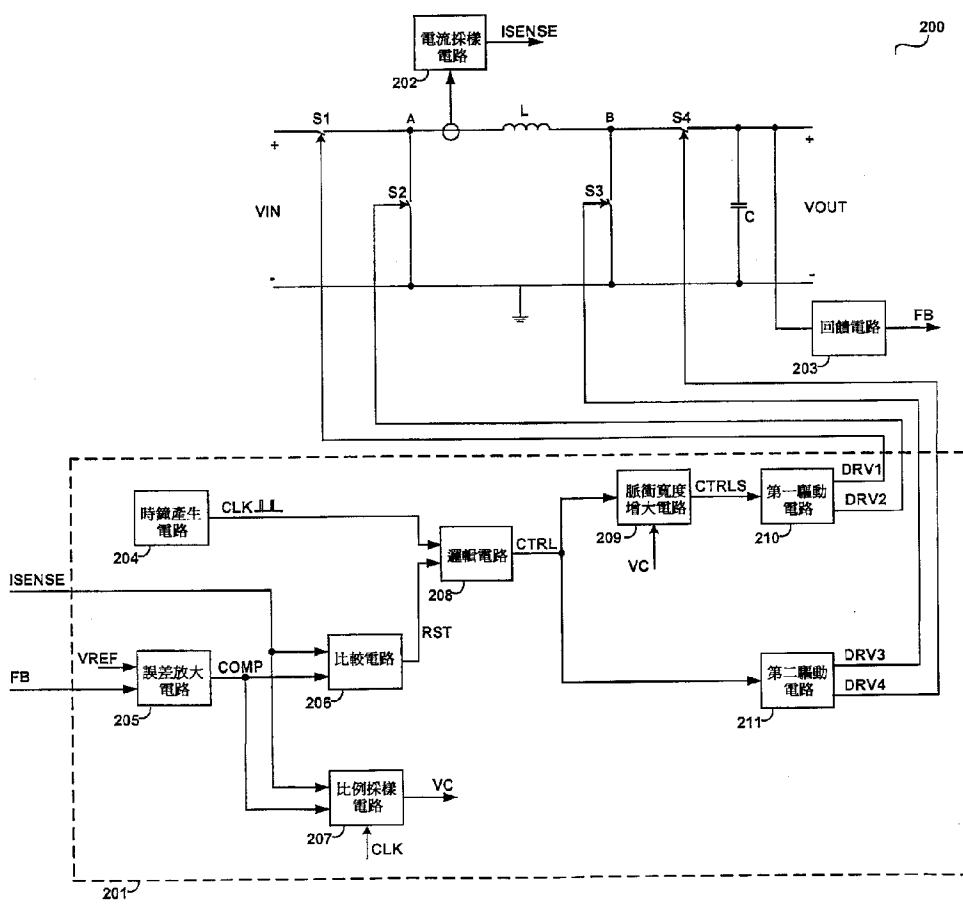
升降壓變換器及其控制器和控制方法

BUCK-BOOST CONVERTER AND ITS CONTROLLER, AND CONTROL METHOD THEREOF

(57) 摘要

公開了升降壓變換器及其控制器和控制方法。該控制器包括：誤差放大電路，基於參考信號和回饋信號產生補償信號；比較電路，將電流採樣信號與補償信號進行比較，產生重定信號；比例採樣電路，基於時鐘信號對電流採樣信號與補償信號之差進行採樣，產生比例採樣信號；邏輯電路，基於時鐘信號和重定信號產生邏輯控制信號；脈衝寬度增大電路，基於邏輯控制信號和比例採樣信號產生和值控制信號，其中脈衝寬度增大電路將邏輯控制信號的脈衝寬度增大一調製值，以產生和值控制信號的脈衝寬度，該調製值受比例採樣信號調節；第一驅動電路，基於和值控制信號控制第一開關管和第二開關管；以及第二驅動電路，基於邏輯控制信號控制第三開關管和第四開關管。

A controller used in a buck-boost converter includes a clock generator, an error amplifying circuit, a comparing circuit, a proportional sampling circuit, a logic circuit, a pulse width increasing circuit, first and second driving circuits. Based on a clock signal generated by the clock generator, the proportional sampling circuit samples the difference between a current sensing signal and a compensation signal generated by the error amplifying circuit, and generates a proportional sampling signal. The pulse width increasing circuit generates a sum control signal based on the proportional sampling signal and a logic control signal generated by the logic circuit, wherein a modulation value adjusted by the proportional sampling signal is added to the pulse width of the logic control signal to generate the pulse width of the sum control signal. The first and second driving circuits generate driving signals based on the sum control signal and the logic control signal.



第 2 圖

- 200 . . . 升降壓變換器
- 201 . . . 控制器
- 202 . . . 電流採樣電路
- 203 . . . 回饋電路
- 204 . . . 時鐘產生電路
- 205 . . . 誤差放大電路
- 206 . . . 比較電路
- 207 . . . 比例採樣電路
- 208 . . . 邏輯電路
- 209 . . . 脈衝寬度增大電路
- 210、211 . . . 驅動電路
- A、B . . . 節點
- C . . . 輸出電容器
- CLK . . . 時鐘信號
- COMP . . . 補償信號
- CTRL . . . 邏輯控制信號
- CTRLS . . . 和值控制信號
- DRV1、DRV2、DRV3、DRV4 . . . 驅動信號
- FB . . . 回饋信號
- ISENSE . . . 電流採樣信號
- L . . . 電感器
- RST . . . 重定信號
- S1、S2、S3、S4 . . . 開關管
- VC . . . 比例採樣信號

VIN . . . 輸入電壓

VOUT . . . 輸出電
壓

VREF . . . 參考信號



申請日: 103.5.26

IPC分類:

H02M 3/156 (2006.01)

H02M 3/156 (2006.01)

【發明摘要】

【中文發明名稱】 升降壓變換器及其控制器和控制方法

【英文發明名稱】 Buck-Boost Converter And Its Controller, And Control Method Thereof

【中文】

公開了升降壓變換器及其控制器和控制方法。該控制器包括：誤差放大電路，基於參考信號和回饋信號產生補償信號；比較電路，將電流採樣信號與補償信號進行比較，產生重定信號；比例採樣電路，基於時鐘信號對電流採樣信號與補償信號之差進行採樣，產生比例採樣信號；邏輯電路，基於時鐘信號和重定信號產生邏輯控制信號；脈衝寬度增大電路，基於邏輯控制信號和比例採樣信號產生和值控制信號，其中脈衝寬度增大電路將邏輯控制信號的脈衝寬度增大一調製值，以產生和值控制信號的脈衝寬度，該調製值受比例採樣信號調節；第一驅動電路，基於和值控制信號控制第一開關管和第二開關管；以及第二驅動電路，基於邏輯控制信號控制第三開關管和第四開關管。

【英文】

A controller used in a buck-boost converter includes a clock generator, an error amplifying circuit, a comparing circuit, a proportional sampling circuit, a logic circuit, a pulse width increasing circuit, first and second driving circuits. Based on a clock signal generated by the clock generator, the proportional sampling circuit samples the difference between a current sensing signal and a compensation signal generated by the error amplifying circuit, and generates a proportional sampling signal. The pulse width increasing circuit generates a sum control signal based on the proportional sampling

signal and a logic control signal generated by the logic circuit, wherein a modulation value adjusted by the proportional sampling signal is added to the pulse width of the logic control signal to generate the pulse width of the sum control signal. The first and second driving circuits generate driving signals based on the sum control signal and the logic control signal.

【指定代表圖】 第2圖

【代表圖之符號簡單說明】

- 200：升降壓變換器
- 201：控制器
- 202：電流採樣電路
- 203：回饋電路
- 204：時鐘產生電路
- 205：誤差放大電路
- 206：比較電路
- 207：比例採樣電路
- 208：邏輯電路
- 209：脈衝寬度增大電路
- 210、211：驅動電路
- A、B：節點
- C：輸出電容器
- CLK：時鐘信號
- COMP：補償信號
- CTRL：邏輯控制信號

第 2 頁，共 3 頁(發明摘要)

CTRLS：和值控制信號

DRV1、DRV2、DRV3、DRV4：驅動信號

FB：回饋信號

ISENSE：電流採樣信號

L：電感器

RST：重定信號

S1、S2、S3、S4：開關管

VC：比例採樣信號

VIN：輸入電壓

VOUT：輸出電壓

VREF：參考信號

【發明說明書】

【中文發明名稱】 升降壓變換器及其控制器和控制方法

【英文發明名稱】 Buck-Boost Converter And Its Controller, And Control Method Thereof

【技術領域】

【0001】本發明涉及電子電路，尤其涉及升降壓變換器及其控制器和控制方法。

【先前技術】

【0002】隨著消費類電子產品市場的迅速發展，可攜式電子產品不斷向小型化、輕型化轉變，產品的體積變小使得其電池的體積和容量也隨之減小。這就要求盡可能地提高此類產品供電模組的轉換效率，減小功耗，並使其能在較寬的電池電壓變化範圍內提供穩定的輸出電壓，以便延長電池的使用時間。能在寬輸入範圍下工作的升降壓變換器被廣泛用於此類場合。

【0003】第1圖是傳統四開關升降壓變換器的電路原理圖。該升降壓變換器將輸入電壓 V_{IN} 轉換為輸出電壓 V_{OUT} ，包括開關管 $S1\sim S4$ 、電感器 L 以及輸出電容器 C 。當開關管 $S1$ 、 $S3$ 導通，開關管 $S2$ 、 $S4$ 關斷時，電感器 L 儲存能量。當開關管 $S1$ 、 $S3$ 關斷，開關管 $S2$ 、 $S4$ 導通時，電感器 L 儲存的能量被提供至負載。由於四個開關管 $S1\sim S4$ 均持續工作，傳統升降壓變換器的功率損耗較大。

【0004】為了降低功耗，可以根據輸入輸出電壓的不同關係採用不同的工作模式，以減少同時工作的開關數量。當輸入電壓 V_{IN} 小於輸出電壓 V_{OUT} 時，升降壓變換器工作於升壓模式，開關管 $S1$ 恆定導通，開關管 $S2$ 恆定關

斷，開關管S3和S4通過脈衝寬度調製進行控制。當輸入電壓VIN大於輸出電壓VOUT時，升降壓變換器工作於降壓模式，開關管S4恆定導通，開關管S3恆定關斷，開關管S1和S2通過脈衝寬度調製進行控制。

【0005】然而，根據輸入輸出電壓關係來判斷工作模式，使得控制迴路與電壓反饋迴路之間的關係複雜，加大了系統設計和測試的難度。此外，不同工作模式之間的轉換，也會引起各電路參數（例如電壓、電流、占空比）的突變，輸出電壓VOUT上可能會出現跳變尖峰。

【發明內容】

【0006】根據本發明實施例的一種升降壓變換器的控制器，該升降壓變換器將輸入電壓轉換為輸出電壓，包括第一開關管、第二開關管、第三開關管、第四開關管和電感器，該控制器包括：時鐘產生電路，產生週期性的時鐘信號；誤差放大電路，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端接收參考信號，第二輸入端接收代表輸出電壓的回饋信號，誤差放大電路基於參考信號和回饋信號，在輸出端產生補償信號；比較電路，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端接收代表流過電感器電流的電流採樣信號，第二輸入端耦接至誤差放大電路的輸出端以接收補償信號，比較電路將電流採樣信號與補償信號進行比較，在輸出端產生重定信號；比例採樣電路，具有第一輸入端、第二輸入端、第三輸入端和輸出端，其中第一輸入端接收電流採樣信號，第二輸入端耦接至誤差放大電路的輸出端以接收補償信號，第三輸入端耦接至時鐘產生電路以接收時鐘信號，比例採樣電路基於時鐘信號，對電流採樣信號與補償信號之差進行採樣，在輸出端產生比例採樣信號；邏輯電路，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至時鐘產生電路以接收時鐘信

號，第二輸入端耦接至比較電路的輸出端以接收重定信號，邏輯電路基於時鐘信號和重定信號，在輸出端產生邏輯控制信號；脈衝寬度增大電路，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至邏輯電路的輸出端以接收邏輯控制信號，第二輸入端耦接至比例採樣電路的輸出端以接收比例採樣信號，脈衝寬度增大電路基於邏輯控制信號和比例採樣信號，在輸出端產生和值控制信號，其中脈衝寬度增大電路將邏輯控制信號的脈衝寬度增大一調製值，以產生和值控制信號的脈衝寬度，該調製值受比例採樣信號調節；第一驅動電路，具有輸入端、第一輸出端和第二輸出端，其中輸入端耦接至脈衝寬度增大電路的輸出端以接收和值控制信號，第一驅動電路基於和值控制信號，在第一輸出端和第二輸出端分別產生第一驅動信號和第二驅動信號，以控制第一開關管和第二開關管；以及第二驅動電路，具有輸入端、第一輸出端和第二輸出端，其中輸入端耦接至邏輯電路的輸出端以接收邏輯控制信號，第二驅動電路基於邏輯控制信號，在第一輸出端和第二輸出端分別產生第三驅動信號和第四驅動信號，以控制第三開關管和第四開關管。

【0007】根據本發明實施例的一種升降壓變換器，包括如前所述的控制器。

【0008】根據本發明實施例的一種升降壓變換器的控制方法，該升降壓變換器將輸入電壓轉換為輸出電壓，包括第一開關管、第二開關管、第三開關管、第四開關管和電感器，該控制方法包括：採樣輸出電壓，產生回饋信號；採樣流過電感器的電流，產生電流採樣信號；基於參考信號和回饋信號，產生補償信號；將電流採樣信號與補償信號進行比較，產生重定信號；基於時鐘信號和重定信號，產生邏輯控制信號；基於時鐘信號，對電流採樣信號與補償信號之差進行採樣，產生比例採樣信號；基於比例採樣信號，將邏輯控制信號的脈衝寬度增大一調製值，以產生和值控制信號的

第 3 頁，共 21 頁(發明說明書)

脈衝寬度；基於和值控制信號，產生第一驅動信號和第二驅動信號以控制第一開關管和第二開關管；以及基於邏輯控制信號，產生第三驅動信號和第四驅動信號以控制第三開關管和第四開關管。

【0009】根據本發明的實施例，基於時鐘信號對電流採樣信號與補償信號之差進行採樣，以產生比例採樣信號，並基於邏輯控制信號和比例採樣信號產生和值控制信號以控制第一和第二開關管，同時基於邏輯控制信號控制第三和第四開關管，實現了升降壓變換器在多個工作模式之間的自動、平滑轉換，使得各電路參數在模式轉換時連續且平滑，也使電路設計與測試均變得更為容易。此外，在本發明的實施例中，無需額外的輸入電壓回饋電路與模式判斷電路，這無疑使得升降壓變換器的結構變得更為簡單，且加強了系統的可靠性。

【圖式簡單說明】

【0010】為了更好的理解本發明，將根據以下附圖對本發明的實施例進行描述：

第1圖為傳統四開關升降壓變換器的電路原理圖；

第2圖為根據本發明一實施例的升降壓變換器200的示意性框圖；

第3A圖至第3C圖為根據本發明一實施例的第2圖所示升降壓變換器200在不同模式下的工作波形圖；

第4圖為根據本發明一實施例的比例採樣電路407的電路原理圖；

第5圖為根據本發明一實施例的升降壓變換器500的示意性框圖；

第6圖為根據本發明一實施例的脈衝寬度增大電路609的電路原理圖；

第7A圖至第7C圖為根據本發明一實施例的第6圖所示脈衝寬度增大電路609在不同模式下的工作波形圖；

第8圖為根據本發明一實施例的升降壓變換器800的電路原理圖；

第9圖為根據本發明一實施例的升降壓變換器控制方法的流程圖。

附圖沒有對實施例的所有電路或結構進行顯示。貫穿所有附圖相同的附圖標記表示相同或相似的部件或特徵。

【實施方式】

【0011】下面將詳細描述本發明的具體實施例，應當注意，這裡描述的實施例只用於舉例說明，並不用於限制本發明。在以下描述中，為了提供對本發明的透徹理解，闡述了大量特定細節。然而，對於本領域普通技術人員顯而易見的是，不必採用這些特定細節來實行本發明。在其他實施例中，為了避免混淆本發明，未具體描述公知的電路、材料或方法。

【0012】在整個說明書中，對“一個實施例”、“實施例”、“一個示例”或“示例”的提及意味著：結合該實施例或示例描述的特定特徵、結構或特性被包含在本發明至少一個實施例中。因此，在整個說明書的各個地方出現的短語“在一個實施例中”、“在實施例中”、“一個示例”或“示例”不一定都指同一實施例或示例。此外，可以以任何適當的組合和/或子組合將特定的特徵、結構或特性組合在一個或多個實施例或示例中。此外，本領域普通技術人員應當理解，在此提供的附圖都是為了說明的目的，並且附圖不一定是按比例繪製的。應當理解，當稱“元件”“連接到”或“耦接”到另一元件時，它可以是直接連接或耦接到另一元件或者可以存在中間元件。相反，當稱元件“直接連接到”或“直接耦接到”另一元件時，不存在中間元件。相同的附圖標記指示相同的元件。這裡使用的術語“和/或”包括一個或多個相關列出的專案的任何和所有組合。

【0013】第2圖為根據本發明一實施例的升降壓變換器200的示意性框圖。該升降壓變換器200包括開關管S1~S4、電感器L、輸出電容器C、控制器201、電流採樣電路202以及回饋電路203。開關管S1具有第一端、第二端和控制端，其中第一端接收輸入電壓VIN。開關管S2具有第一端、第二端和控制端，其中第一端耦接至開關管S1的第二端，第二端接地。電感器L具有第一端(節點A)和第二端(節點B)，其中第一端耦接至開關管S1的第二端和開關管S2的第一端。開關管S3具有第一端、第二端和控制端，其中第一端耦接至電感器L的第二端，第二端接地。開關管S4具有第一端、第二端和控制端，其中第一端耦接至電感器L的第二端和開關管S3的第一端，第二端提供輸出電壓VOUT。輸出電容器C耦接在開關管S4的第二端和地之間。開關管S1-S4可以是任何可控半導體開關裝置，例如金屬氧化物半導體場效應電晶體(MOSFET)、絕緣柵雙極電晶體(IGBT)等。

【0014】電流採樣電路202採樣流過電感器L的電流，並產生代表該電流的電流採樣信號ISENSE。電流採樣電路202可以採用任何常用的電流採樣方法，例如電流採樣電阻器、電流感測器、電流鏡等。電流採樣電路202可以直接採樣流過電感器L的電流，也可以通過採樣流過開關管S1的電流來獲取電流採樣信號ISENSE。

【0015】回饋電路203具有輸入端和輸出端，其中輸入端耦接至開關管S4的第二端以接收輸出電壓VOUT，回饋電路203採樣輸出電壓VOUT，在輸出端產生代表輸出電壓VOUT的回饋信號FB。控制器201耦接至電流採樣電路202和回饋電路203以接收電流採樣信號ISENSE和回饋信號FB，並基於電流採樣信號ISENSE和回饋信號FB產生驅動信號DRV1~DRV4以分別控制開關管S1~S4。控制器201可以為積體電路，也可以部分或全部地由分立電子元件組成。

【0016】如第2圖所示，控制器201包括時鐘產生電路204、誤差放大電路205、比較電路206、比例採樣電路207、邏輯電路208、脈衝寬度增大電路209、第一驅動電路210以及第二驅動電路211。時鐘產生電路204產生週期性的時鐘信號CLK。誤差放大電路205具有第一輸入端、第二輸入端和輸出端，其中第一輸入端接收參考信號VREF，第二輸入端耦接至回饋電路203的輸出端以接收回饋信號FB，誤差放大電路205基於參考信號VREF和回饋信號FB，在輸出端產生補償信號COMP。誤差放大電路205可由任何具有誤差比例積分功能的數位或者類比電路構成。

【0017】比較電路206具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至電流採樣電路202的輸出端以接收電流採樣信號ISENSE，第二輸入端耦接至誤差放大電路205的輸出端以接收補償信號COMP，比較電路206將電流採樣信號ISENSE與補償信號COMP進行比較，在輸出端產生重定信號RST。比較電路206可由任何具有比較功能的數位或者類比電路構成。

【0018】比例採樣電路207具有第一輸入端、第二輸入端、第三輸入端和輸出端，其中第一輸入端耦接至電流採樣電路202的輸出端以接收電流採樣信號ISENSE，第二輸入端耦接至誤差放大電路205的輸出端以接收補償信號COMP，第三輸入端耦接至時鐘產生電路204以接收時鐘信號CLK。比例採樣電路207基於時鐘信號CLK，對電流採樣信號ISENSE與補償信號COMP之差進行採樣，在輸出端產生比例採樣信號VC。在一個實施例中，比例採樣電路207在時鐘信號CLK的上升沿（或高電平）對電流採樣信號ISENSE與補償信號COMP之差進行採樣。比例採樣信號可表示為 $VC=k1*(ISENSE_{valley}-COMP)$ ，其中k1為比例係數， $ISENSE_{valley}$ 為電流採樣信號ISENSE在當前開關週期中的最小值（谷值）。在一些實施例中，需要適當

選取比例係數 k_1 ， k_1 過大，則控制環路容易出現振盪， k_1 過小，則升降壓變換器的瞬態回應差。

【0019】邏輯電路208具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至時鐘產生電路204以接收時鐘信號CLK，第二輸入端耦接至比較電路206的輸出端以接收重定信號RST，邏輯電路208基於時鐘信號CLK和重定信號RST，在輸出端產生邏輯控制信號CTRL。一般地，在時鐘信號CLK的上升沿，邏輯控制信號CTRL由低電平變為高電平。當電流採樣信號ISENSE增大至補償信號COMP時，邏輯控制信號CTRL由高電平變為低電平。在一個實施例中，若電流採樣信號ISENSE持續大於或等於補償信號COMP（即 $ISENSE_{valley} \geq COMP$ ），邏輯控制信號CTRL將保持低電平，其脈衝寬度TON等於零。

【0020】脈衝寬度增大電路209具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至邏輯電路208的輸出端以接收邏輯控制信號CTRL，第二輸入端耦接至比例採樣電路207的輸出端以接收比例採樣信號VC，脈衝寬度增大電路209基於邏輯控制信號CTRL和比例採樣信號VC，在輸出端產生和值控制信號CTRLS。脈衝寬度增大電路209將邏輯控制信號CTRL的脈衝寬度TON增大一調製值TTH，以產生和值控制信號CTRLS的脈衝寬度TONS，其中該調製值TTH受比例採樣信號VC調節。在一個實施例中，當比例採樣信號VC小於零時（ $ISENSE_{valley} < COMP$ ），調製值TTH為恆定值。當比例採樣信號VC大於或等於零時（ $ISENSE_{valley} \geq COMP$ ），調製值TTH隨比例採樣信號VC增大而減小，隨比例採樣信號VC減小而增大。

【0021】脈衝寬度增大電路209可以是任何可實現脈寬增大功能的類比或者數位電路。特別地，由於和值控制信號CTRLS的脈衝寬度TONS必然大於

等於零，而小於等於邏輯控制信號CTRL的週期T，因而當TON+TTH大於T時，和值控制信號CTRLS的脈衝寬度TONS被限制至等於T。

【0022】第一驅動電路210具有輸入端、第一輸出端和第二輸出端，其中輸入端耦接至脈衝寬度增大電路209以接收和值控制信號CTRLS，第一輸出端耦接至開關管S1的控制端，第二輸出端耦接至開關管S2的控制端。第一驅動電路211基於和值控制信號CTRLS，分別在第一輸出端和第二輸出端產生驅動信號DRV1和DRV2。一般地，驅動信號DRV1與DRV2互補。在一些實施例中，爲了避免開關管S1和S2直通，第一驅動電路210還包括死區時間控制電路，以在驅動信號DRV1與DRV2之間引入死區時間。

【0023】第二驅動電路211具有輸入端、第一輸出端和第二輸出端，其中輸入端耦接至邏輯電路208以接收邏輯控制信號CTRL，第一輸出端耦接至開關管S3的控制端，第二輸出端耦接至開關管S4的控制端。第二驅動電路211基於邏輯控制信號CTRL，分別在第一輸出端和第二輸出端產生驅動信號DRV3和DRV4。一般地，驅動信號DRV3與DRV4互補。在一些實施例中，爲了避免開關管S3和S4直通，第二驅動電路211還包括死區時間控制電路，以在驅動信號DRV3與DRV4之間引入死區時間。

【0024】以下以工作於電流連續模式下的升降壓變換器爲例進行說明，但本領域技術人員可知，類似的分析方式對工作于電流斷續模式下的升降壓變換器也適用。

【0025】當邏輯控制信號CTRL的脈衝寬度TON等於零時，即TON=0，升降壓變換器200工作於降壓模式。第3A圖爲根據本發明一實施例的第2圖所示升降壓變換器200在降壓模式下的工作波形圖。此時電流採樣信號的穀值ISENSE_{valley}大於補償信號COMP，邏輯控制信號CTRL保持低電平。開關管S3恆定關斷，而開關管S4恆定導通，節點B的電壓VB等於輸出電壓VOUT。

由於 $I_{SENSE_{valley}}$ 大於COMP，比例採樣信號VC大於零，和值控制信號CTRLS的脈衝寬度TONS等於調製值TTH，隨比例採樣信號VC變化而變化。節點A的電壓VA也基於和值控制信號CTRLS在輸入電壓VIN與零電壓之間切換。根據電感伏秒平衡定律，可以得到：

$$VIN * TTH / T = VOUT \quad (\text{公式1})$$

【0026】當 $0 < TON < (T - TTH)$ ，升降壓變換器200工作於升降壓模式。第3B圖為根據本發明一實施例的第2圖所示升降壓變換器200在升降壓模式下的工作波形圖。此時 $I_{SENSE_{valley}}$ 小於COMP。在時鐘信號CLK的上升沿，邏輯控制信號CTRL由低電平變為高電平，開關管S3導通，開關管S4關斷，流過電感器L的電流逐漸增大，電流採樣信號ISENSE也逐漸增大。當電流採樣信號ISENSE增大至補償信號COMP時，邏輯控制信號CTRL由高電平變為低電平。由於 $I_{SENSE_{valley}}$ 小於COMP，比例採樣信號VC小於零，調製值TTH為恆定值。和值控制信號CTRLS的脈衝寬度TONS等於 $TON + TTH$ 。在升降壓模式下，開關管S1~S4均參與工作。節點A的電壓VA基於和值控制信號CTRLS在輸入電壓VIN與零電壓之間切換。節點B的電壓VB基於邏輯控制信號CTRL在零電壓與輸出電壓VOUT之間切換。根據電感伏秒平衡定律，可以得到：

$$VIN * (TON + TTH) / T = VOUT * (1 - TON / T) \quad (\text{公式2})$$

【0027】當 $TON \geq T - TTH$ ，和值控制信號CTRLS的脈衝寬度TONS被限制至等於T，升降壓變換器200工作於升壓模式。第3C圖為根據本發明一實施例的第2圖所示升降壓變換器200在升壓模式下的工作波形圖。此時和值控制信號CTRLS保持高電平，開關管S1恆定導通，而開關管S2恆定關斷，節點A的電壓VA等於輸入電壓VIN。在時鐘信號CLK的上升沿，邏輯控制信號CTRL由低電平變為高電平，開關管S3導通，開關管S4關斷，流過電感器L

的電流逐漸增大，電流採樣信號ISENSE也逐漸增大。當電流採樣信號ISENSE增大至補償信號COMP時，邏輯控制信號CTRL由高電平變為低電平。節點B的電壓VB基於邏輯控制信號CTRL在零電壓與輸出電壓VOUT之間切換。根據電感伏秒平衡定律，可以得到：

$$V_{IN} = V_{OUT} * (1 - T_{ON}/T) \quad (\text{公式3})$$

【0028】由以上分析可知，升降壓變換器200可基於邏輯控制信號CTRL的脈衝寬度TON在降壓模式、升降壓模式和升壓模式之間自動、平滑地進行轉換，這使得各電路參數（例如電壓、電流、占空比等）在模式切換時連續且平滑，也使電路設計與測試均變得更為容易。此外，升降壓變換器200無需額外的輸入電壓回饋電路與模式判斷電路，這無疑降低了系統的體積與成本，也加強了系統的可靠性。

【0029】由以上分析還可知，調製值TTH的恆定值的選取需考慮到應用所需升降壓區域的大小。恆定值越大，升降壓區域越小，升降壓電路的效率越高，但模式轉換越容易受輸入/輸出電壓上擾動的影響。一般地，該恆定值大於零，而小於邏輯控制信號CTRL的週期T。

【0030】第4圖為根據本發明一實施例的比例採樣電路407的電路原理圖。該比例採樣電路407包括誤差放大器EA1以及採樣保持電路412。誤差放大器EA1具有同相輸入端、反相輸入端和輸出端，其中同相輸入端耦接至電流採樣電路的輸出端以接收電流採樣信號ISENSE，反相輸入端耦接至誤差放大電路的輸出端以接收補償信號COMP，誤差放大器EA1基於電流採樣信號ISENSE和補償信號COMP，在輸出端產生比例誤差信號VD。採樣保持電路412具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至誤差放大器EA1的輸出端以接收比例誤差信號VD，第二輸入端耦接至時鐘產生電路以接收時鐘信號CLK，採樣保持電路412在時鐘信號CLK的上升沿（或

高電平) 對比例誤差信號VD進行採樣保持，在輸出端產生比例採樣信號VC。

【0031】第5圖為根據本發明一實施例的升降壓變換器500的示意性框圖。該升降壓變換器500與第2圖所示升降壓變換器200的結構相似。在定頻峰值電流控制中，當占空比大於0.5時，輸出電壓上會出現次諧波振盪。爲了消除上述次諧波振盪，根據本發明的實施例，可以在電流採樣信號ISENSE上疊加一斜坡信號VSLOPE。斜坡信號VSLOPE與電流採樣信號ISENSE之和被提供至比較電路506和比例採樣電路507。

【0032】斜坡信號VSLOPE通常爲週期性的三角波信號或鋸齒波信號。然而，正如前面分析的，在降壓模式下，邏輯控制信號CTRL的脈衝寬度TON等於零，開關S1和S2的占空比主要由比例採樣信號VC而非由電感峰值電流決定。因此，在降壓模式下可以無需進行斜坡補償，此時可使斜坡信號VSLOPE等於零，以減小電路損耗並提高控制精度。在第5圖所示實施例中，升降壓變換器500還包括斜坡信號產生電路513。斜坡信號產生電路513具有輸入端和輸出端，其中輸入端耦接至邏輯電路508的輸出端以接收邏輯控制信號CTRL，斜坡信號產生電路513基於邏輯控制信號CTRL，在輸出端產生斜坡信號VSLOPE。當邏輯控制信號CTRL的脈衝寬度TON等於零時，斜坡信號VSLOPE的值也等於零。

【0033】在一些應用中，爲了保證脈衝寬度增大電路可靠工作，要求送入其中的信號具有有一個最小脈衝寬度TON_MIN。在一個實施例中，如第5圖所示，控制電路501還包括或閘OR1。或閘OR1具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至時鐘產生電路504以接收時鐘信號CLK，第二輸入端耦接至邏輯電路508的輸出端以接收邏輯控制信號CTRL，輸出端耦接至脈衝寬度增大電路509的輸入端以提供第一控制信號

CTRL1。時鐘信號CLK的脈衝寬度被設置為等於最小脈衝寬度TON_MIN。在其他實施例中，或閘OR1並非是必需的，邏輯電路508可直接使邏輯控制信號CTRL具有最小脈衝寬度TON_MIN，例如，使邏輯控制信號CTRL在時鐘信號CLK為高電平時恒為高電平。此時，邏輯控制信號CTRL將在經過進一步處理後方被送入第二驅動電路511，以保證升降壓變換器可工作於降壓模式。

【0034】在實際應用中，由於寄生參數的影響，在電流採樣信號的穀值ISENSE_{valley}增大至略高於補償信號COMP，即升降壓變換器由升降壓模式進入降壓模式時，比例採樣電路507也許由於其內部特性（例如輸入級的負偏置）使得本應該為正的比例採樣信號VC實際為0或者為負。此時邏輯控制信號CTRL的脈衝寬度TON等於零，而調製值TTH為恆定值，和值控制信號CTRLS的脈衝寬度TONS也將為恆定值而不再受控。升降壓變換器將喪失調節輸出電壓VOUT的能力，導致輸出電壓VOUT在模式切換時出現尖峰。為了解決上述問題，在第5圖所示的實施例中，一偏置信號Voffset被疊加至比例採樣電路507的第一輸入端。比例採樣電路507基於時鐘信號CLK，對ISENSE+VSLOPE+Voffset與補償信號COMP之差進行採樣，以產生比例採樣信號VC。對第5圖所示的升降壓變換器500而言，比例採樣信號可表示為 $VC=k1*(ISENSE_{valley}+VSLOPE+Voffset-COMP)$ 。當比例採樣信號VC大於或等於零，即 $(ISENSE_{valley}+VSLOPE+Voffset) \geq COMP$ 時，和值控制信號CTRLS的脈衝寬度TONS等於TON+TTH，其中調製值TTH隨比例採樣信號VC增大而減小，隨比例採樣信號VC減小而增大。偏置信號Voffset的存在導致和值控制信號CTRLS的脈衝寬度TONS在升降壓變換器自升降壓模式進入降壓模式之前，即隨比例採樣信號VC變化而變化，使得升降壓變換器的模式轉換更為平滑。

【0035】第6圖為根據本發明一實施例的脈衝寬度增大電路609的電路原理圖。脈衝寬度增大電路609包括二極體D1、電阻器R1、電容器C1、電流源IS以及比較器COM1。二極體D1具有陽極和陰極，其中陽極耦接至或閘OR1的輸出端以接收第一邏輯控制信號CTRL1。電阻器R1具有第一端和第二端，其中第一端耦接至二極體D1的陽極，第二端耦接至二極體D1的陰極。電容器C1具有第一端和第二端，其中第一端耦接至二極體D1的陰極，第二端接地。電流源IS具有第一端、第二端和控制端，其中第一端耦接至二極體D1的陰極，第二端接地，控制端耦接至比例採樣電路507的輸出端以接收比例採樣信號VC。電流源IS的電流值受比例採樣信號VC調節。在一個實施例中，當比例採樣信號VC小於零時，電流源IS的電流值等於零。當比例採樣信號VC大於或等於零時，電流源IS的電流值隨比例採樣信號VC增大而增大，隨比例採樣信號VC減小而減小。在一些實施例中，電流源IS的電流值與比例採樣信號VC成正比，可表示為 $IS=k2*VC$ ，其中k2為常數。比較器COM1具有同相輸入端、反相輸入端和輸出端，其中同相輸入端耦接至電容器C1的第一端接收電容器C1兩端的電壓V1，反相輸入端接收閾值電壓VTH，輸出端耦接至第一驅動電路510的輸入端以提供和值控制信號CTRLS。以下將結合第7A圖至第7C圖對脈衝寬度增大電路609的工作原理作詳細說明。

【0036】第7A圖為根據本發明一實施例的第6圖所示脈衝寬度增大電路609在降壓模式下的工作波形圖。此時邏輯控制信號CTRL的脈衝寬度TON等於0，比例採樣信號VC大於零，電流源IS的電流值等於 $k2*VC$ 。如第7A圖所示，當時鐘信號CLK由低電平變為高電平時，二極體D1導通，電容器C1通過二極體D1被快速充電，其兩端的電壓V1迅速增大。當電壓V1增大至閾值電壓VTH時，和值控制信號CTRLS由低電平變為高電平。電壓V1將持續增

大，直至達到最大電壓VMAX。當時鐘信號CLK由高電平變為低電平時，二極體D1關斷，電容器C1通過電阻器R1和電流源IS被緩慢放電，其兩端的電壓V1逐漸減小。當電壓V1減小至閾值電壓VTH時，和值控制信號CTRLS由高電平變為低電平。電容器C1自最大電壓VMAX被放電至閾值電壓VTH所需的時間即為調製值TTH。根據電容安秒平衡定律，在電容器C1放電時，電容器C1兩端的電壓V1可以表示為：

$$V1 = (VMAX + R1 * k2 * VC) * e^{-t/(R1 * C1)} - R1 * k2 * VC \quad (\text{公式4})$$

【0037】則可以計算出調製值TTH為：

$$TTH = -R1 * C1 * \ln((VTH + R1 * k2 * VC) / (VMAX + R1 * k2 * VC)) \quad (\text{公式5})$$

【0038】根據公式5可知，此時調製值TTH隨比例採樣信號VC增大而減小，隨比例採樣信號VC減小而增大。

【0039】第7B圖為根據本發明一實施例的第6圖所示脈衝寬度增大電路609在升降壓模式下的工作波形圖。此時邏輯控制信號CTRL的脈衝寬度TON大於0且小於T-TTH，比例採樣信號VC小於零，電流源IS的電流值等於零。如第7B圖所示，當邏輯控制信號CTRL由低電平變為高電平時，二極體D1導通，電容器C1通過二極體D1被快速充電，其兩端的電壓V1迅速增大。當電壓V1增大至閾值電壓VTH時，和值控制信號CTRLS由低電平變為高電平。電壓V1將持續增大，直至達到最大電壓VMAX。當邏輯控制信號CTRL由高電平變為低電平時，二極體D1關斷，電容器C1通過電阻器R1被緩慢放電，其兩端的電壓V1逐漸減小。當電壓V1減小至閾值電壓VTH時，和值控制信號CTRLS由高電平變為低電平。電容器C1自最大電壓VMAX被放電至閾值電壓VTH所需的時間即為調製值TTH。根據電容安秒平衡定律，在電容器C1放電時，電容器C1兩端的電壓V1可以表示為：

$$V1 = VMAX * e^{-t/(R1 * C1)} \quad (\text{公式6})$$

【0040】則可以計算出調製值TTH為：

$$TTH = -R1 * C1 * \ln(VTH/VMAX) \quad (\text{公式7})$$

【0041】根據公式7可知，此時調製值TTH為恆定值，由最大電壓VMAX、閾值電壓VTH、電阻器R1的阻值和電容器C1的容值決定。

【0042】第7C圖為根據本發明一實施例的第6圖所示脈衝寬度增大電路609在升壓模式下的工作波形圖。此時邏輯控制信號CTRL的脈衝寬度TON大於T-TTH，比例採樣信號VC小於零，電流源IS的電流值等於零。如第7C圖所示，當邏輯控制信號CTRL由低電平變為高電平時，二極體D1導通，電容器C1通過二極體D1被快速充電，其兩端的電壓V1迅速增大。當電壓V1增大至閾值電壓VTH時，和值控制信號CTRLS由低電平變為高電平。電壓V1將持續增大，直至達到最大電壓VMAX。當邏輯控制信號CTRL由高電平變為低電平時，二極體D1關斷，電容器C1通過電阻器R1被緩慢放電，其兩端的電壓V1逐漸減小。由於在電壓V1減小至閾值電壓VTH前，邏輯控制信號CTRL由低電平變為高電平，電壓V1將再次增大。因此，和值控制信號CTRLS一直保持高電平，其脈衝寬度TONS等於T。

【0043】第8圖為根據本發明一實施例的升降壓變換器800的電路原理圖。其中開關管S1~S4均為N型MOSFET。回饋電路803包括電阻器R3和R4構成的電阻分壓器。誤差放大電路805包括誤差放大器EA2。誤差放大器EA2具有同相輸入端、反相輸入端和輸出端，其中同相輸入端接收參考信號VREF，反相輸入端耦接至回饋電路803以接收回饋信號FB，誤差放大器EA2基於參考信號VREF和回饋信號FB，在輸出端產生補償信號COMP。比較電路806包括比較器COM2。比較器COM2具有同相輸入端、反相輸入端和輸出端，其中同相輸入端接收電流採樣信號ISENSE與斜坡信號VSLOPE之

和，反相輸入端耦接至誤差放大器EA2的輸出端以接收補償信號COMP，輸出端提供重定信號RST。

【0044】比例採樣電路807的結構與第4圖所示比例採樣電路407相似。邏輯電路808包括觸發器FF。觸發器FF具有置位端、復位端和輸出端，其中置位元端耦接至時鐘產生電路804以接收時鐘信號CLK，重定端耦接至比較器COM2的輸出端以接收重定信號RST。觸發器FF基於時鐘信號CLK和重定信號RST，在輸出端產生邏輯控制信號CTRL。在時鐘信號CLK的上升沿，觸發器FF被置位元，邏輯控制信號CTRL為高電平。當電流採樣信號ISENSE與斜坡信號VSLOPE之和大於或等於補償信號COMP時，重定信號RST為高電平，觸發器FF被重定，邏輯控制信號CTRL為低電平。觸發器FF為重定優先，若重定信號RST保持高電平（即 $ISENSE_{valley} + VSLOPE \geq COMP$ ），邏輯控制信號CTRL將保持低電平，其脈衝寬度TON等於零。

【0045】脈衝寬度增大電路809的結構與第6圖所示脈衝寬度增大電路609的結構基本相同。第一驅動電路810包括延遲電路DL2以及反或閘NOR1，其連接結構如第8圖所示。在第8圖所示實施例中，時鐘信號CLK經過延遲電路DL1後方被送入觸發器FF。在延遲電路DL1、DL2以及反或閘NOR1的作用下，第一驅動電路810產生的驅動信號DRV1和DRV2互補，且兩者之間存在必要的死區時間。

【0046】第二驅動電路811包括延遲電路DL3以及反或閘NOR2，其連接結構如第8圖所示。在延遲電路DL3以及反或閘NOR2的作用下，第二驅動電路811產生的驅動信號DRV3和DRV4互補，且兩者之間存在必要的死區時間。

【0047】斜坡信號產生電路813包括二極體D2、電阻器R2以及電容器C2。二極體D2具有陽極和陰極，其中陰極耦接至邏輯電路808的輸出端以接收

邏輯控制信號CTRL，陽極耦接以提供斜坡信號VSLOPE。電阻器R2具有第一端和第二端，其中第一端耦接至二極體D2的陰極，第二端耦接至二極體D2的陽極。電容器C2具有第一端和第二端，其中第一端耦接至二極體D2的陽極，第二端接地。在邏輯控制信號CTRL的脈衝寬度TON大於零時，斜坡信號VSLOPE為週期性的鋸齒波信號。在邏輯控制信號CTRL的脈衝寬度TON等於零時，斜坡信號VSLOPE也為零。

【0048】第9圖為根據本發明一實施例的升降壓變換器控制方法的流程圖。該控制方法包括步驟S920~S928。

【0049】在步驟S920，採樣輸出電壓，產生回饋信號。

【0050】在步驟S921，採樣流過電感器的電流，產生電流採樣信號。

【0051】在步驟S922，基於參考信號和回饋信號，產生補償信號。

【0052】在步驟S923，將電流採樣信號與補償信號進行比較，產生重定信號。

【0053】在步驟S924，基於時鐘信號和重定信號，產生邏輯控制信號。

【0054】在步驟S925，基於時鐘信號，對電流採樣信號與補償信號之差進行採樣，產生比例採樣信號。在一個實施例中，一偏置信號在步驟S925中被疊加至電流採樣信號。

【0055】在步驟S926，基於比例採樣信號，將邏輯控制信號的脈衝寬度增大一調製值，以產生和值控制信號的脈衝寬度。在一個實施例中，當比例採樣信號小於零時，該調製值恆定；當比例採樣信號大於零時，該調製值隨比例採樣信號增大而減小，隨比例採樣信號減小而增大。

【0056】在步驟S927，基於和值控制信號，產生第一驅動信號和第二驅動信號以控制第一開關管和第二開關管。一般地，第一驅動信號和第二驅動信號互補，而且在第一驅動信號和第二驅動信號之間設置有死區時間。

【0057】在步驟S928，基於邏輯控制信號，產生第三驅動信號和第四驅動信號以控制第三開關管和第四開關管。一般地，第三驅動信號和第四驅動信號互補，而且在第三驅動信號和第四驅動信號之間設置有死區時間。

【0058】在一個實施例中，該方法還包括將斜坡信號疊加至電流採樣信號。該斜坡信號可以為週期性的鋸齒波或三角波信號，也可以是基於邏輯控制信號而產生。

【0059】雖然已參照幾個典型實施例描述了本發明，但應當理解，所用的術語是說明和示例性、而非限制性的術語。由於本發明能夠以多種形式具體實施而不脫離發明的精神或實質，所以應當理解，上述實施例不限於任何前述的細節，而應在隨附申請專利範圍所限定的精神和範圍內廣泛地解釋，因此落入申請專利範圍或其等效範圍內的全部變化和改型都應為隨附申請專利範圍所涵蓋。

【符號說明】

【0060】

- 200、500：升降壓變換器
- 201：控制器
- 202、502、802：電流採樣電路
- 203、503、803：回饋電路
- 204、504、804：時鐘產生電路
- 205、505、805：誤差放大電路
- 206、506、806：比較電路
- 207、507、807：比例採樣電路
- 208、508、808：邏輯電路

209、509、809：脈衝寬度增大電路

210、211、510、511、810、811：驅動電路

501：控制電路

513、813：斜坡信號產生電路

609：脈衝寬度增大電路

A、B：節點

C：輸出電容器

C1、C2：電容器

CLK：時鐘信號

COM1：比較器

COMP：補償信號

CTRL、CTRL1：邏輯控制信號

CTRLS：和值控制信號

D1、D2：二極體

DL1、DL2、DL3：延遲電路

DRV1、DRV2、DRV3、DRV4：驅動信號

EA1、EA2：誤差放大器

FB：回饋信號

FF：觸發器

IS：電流源

ISENSE：電流採樣信號

L：電感器

NOR1、NOR2：反或閘

OR1：或閘

R1、R2：電阻器

RST：重定信號

S1、S2、S3、S4：開關管

T：週期

TON：脈衝寬度

TON_MIN：最小脈衝寬度

TONS：和值控制信號CTRLS的脈衝寬度

TTH：調製值

V1：電壓

VA：節點A的電壓

VB：節點B的電壓

VC：比例採樣信號

VD：比例誤差信號

VIN：輸入電壓

VMAX：最大電壓

Voffset：偏置信號

VOUT：輸出電壓

VREF：參考信號

VSLOPE：斜坡信號

VTH：閾值電壓

【發明申請專利範圍】

【第1項】一種升降壓變換器的控制器，該升降壓變換器將輸入電壓轉換為輸出電壓，包括第一開關管、第二開關管、第三開關管、第四開關管和電感器，該控制器包括：

時鐘產生電路，產生週期性的時鐘信號；

誤差放大電路，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端接收參考信號，第二輸入端接收代表輸出電壓的回饋信號，誤差放大電路基於參考信號和回饋信號，在輸出端產生補償信號；

比較電路，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端接收代表流過電感器電流的電流採樣信號，第二輸入端耦接至誤差放大電路的輸出端以接收補償信號，比較電路將電流採樣信號與補償信號進行比較，在輸出端產生重定信號；

比例採樣電路，具有第一輸入端、第二輸入端、第三輸入端和輸出端，其中第一輸入端接收電流採樣信號，第二輸入端耦接至誤差放大電路的輸出端以接收補償信號，第三輸入端耦接至時鐘產生電路以接收時鐘信號，比例採樣電路基於時鐘信號，對電流採樣信號與補償信號之差進行採樣，在輸出端產生比例採樣信號；

邏輯電路，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至時鐘產生電路以接收時鐘信號，第二輸入端耦接至比較電路的輸出端以接收重定信號，邏輯電路基於時鐘信號和重定信號，在輸出端產生邏輯控制信號；

脈衝寬度增大電路，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至邏輯電路的輸出端以接收邏輯控制信號，第二輸入端耦接至比例採樣電路的輸出端以接收比例採樣信號，脈衝寬度增大電路基於邏輯控制信號和比例採樣信號，在輸出端產生和值控制信號，其中脈衝寬度增大電路將邏輯控

制信號的脈衝寬度增大一調製值，以產生和值控制信號的脈衝寬度，該調製值受比例採樣信號調節；

第一驅動電路，具有輸入端、第一輸出端和第二輸出端，其中輸入端耦接至脈衝寬度增大電路的輸出端以接收和值控制信號，第一驅動電路基於和值控制信號，在第一輸出端和第二輸出端分別產生第一驅動信號和第二驅動信號，以控制第一開關管和第二開關管；以及

第二驅動電路，具有輸入端、第一輸出端和第二輸出端，其中輸入端耦接至邏輯電路的輸出端以接收邏輯控制信號，第二驅動電路基於邏輯控制信號，在第一輸出端和第二輸出端分別產生第三驅動信號和第四驅動信號，以控制第三開關管和第四開關管。

【第2項】如申請專利範圍第1項所述的控制器，其中當比例採樣信號小於零時，所述調製值為恆定值；當比例採樣信號大於零時，所述調製值隨比例採樣信號增大而減小，隨比例採樣信號減小而增大。

【第3項】如申請專利範圍第1項所述的控制器，還包括：

或閘，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至時鐘產生電路以接收時鐘信號，第二輸入端耦接至邏輯電路的輸出端以接收邏輯控制信號，輸出端耦接至脈衝寬度增大電路的輸入端。

【第4項】如申請專利範圍第1項所述的控制器，其中所述脈衝寬度增大電路包括：

第一二極體，具有陽極和陰極，其中陽極耦接至邏輯電路的輸出端以接收邏輯控制信號；

第一電阻器，具有第一端和第二端，其中第一端耦接至第一二極體的陽極，第二端耦接至第一二極體的陰極；

第一電容器，具有第一端和第二端，其中第一端耦接至第一二極體的陰極，

第二端接地；

電流源，具有第一端、第二端和控制端，其中第一端耦接至第一二極體的陰極，第二端接地，控制端耦接至比例採樣電路的輸出端以接收比例採樣信號；以及

比較器，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至第一電容器的第一端，第二輸入端接收閾值電壓，輸出端耦接至第一驅動電路的輸入端以提供和值控制信號。

【第5項】如申請專利範圍第4項所述的控制器，其中當比例採樣信號小於零時，所述電流源的電流值等於零；當比例採樣信號大於零時，所述電流源的電流值隨比例採樣信號增大而增大，隨比例採樣信號減小而減小。

【第6項】如申請專利範圍第1項所述的控制器，還包括：

斜坡信號產生電路，具有輸入端和輸出端，其中輸入端耦接至邏輯電路的輸出端以接收邏輯控制信號，斜坡信號產生電路基於邏輯控制信號，在輸出端產生被疊加至電流採樣信號的斜坡信號。

【第7項】如申請專利範圍第1項所述的控制器，其中所述比例採樣電路包括：

誤差放大器，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端接收電流採樣信號，第二輸入端耦接至誤差放大電路的輸出端以接收補償信號，誤差放大器基於電流採樣信號和補償信號，在輸出端產生比例誤差信號；以及

採樣保持電路，具有第一輸入端、第二輸入端和輸出端，其中第一輸入端耦接至誤差放大器的輸出端以接收比例誤差信號，第二輸入端耦接至時鐘產生電路以接收時鐘信號，採樣保持電路基於時鐘信號對比例誤差信號進行採樣保持，在輸出端產生比例採樣信號。

【第8項】如申請專利範圍第1項所述的控制器，其中一偏置信號被疊加至所述比例採樣電路的第一輸入端。

【第9項】一種升降壓變換器，包括如申請專利範圍第1項至第8項中任一項所述的控制器。

【第10項】一種升降壓變換器的控制方法，該升降壓變換器將輸入電壓轉換為輸出電壓，包括第一開關管、第二開關管、第三開關管、第四開關管和電感器，該控制方法包括：

採樣輸出電壓，產生回饋信號；

採樣流過電感器的電流，產生電流採樣信號；

基於參考信號和回饋信號，產生補償信號；

將電流採樣信號與補償信號進行比較，產生重定信號；

基於時鐘信號和重定信號，產生邏輯控制信號；

基於時鐘信號，對電流採樣信號與補償信號之差進行採樣，產生比例採樣信號；

基於比例採樣信號，將邏輯控制信號的脈衝寬度增大一調製值，以產生和值控制信號的脈衝寬度；

基於和值控制信號，產生第一驅動信號和第二驅動信號以控制第一開關管和第二開關管；以及

基於邏輯控制信號，產生第三驅動信號和第四驅動信號以控制第三開關管和第四開關管。

【第11項】如申請專利範圍第10項所述的控制方法，其中當比例採樣信號小於零時，所述調製值恆定；當比例採樣信號大於零時，所述調製值隨比例採樣信號增大而減小，隨比例採樣信號減小而增大。

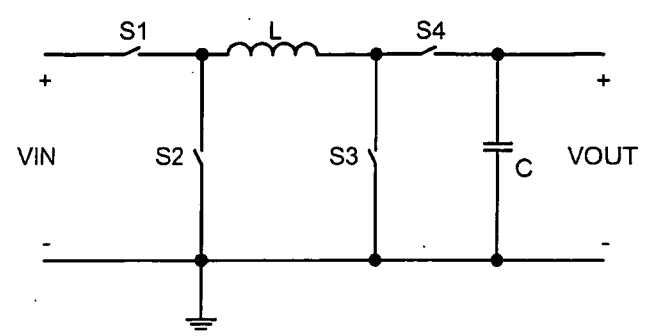
【第12項】如申請專利範圍第10項所述的控制方法，還包括：

基於邏輯控制信號，產生斜坡信號；以及

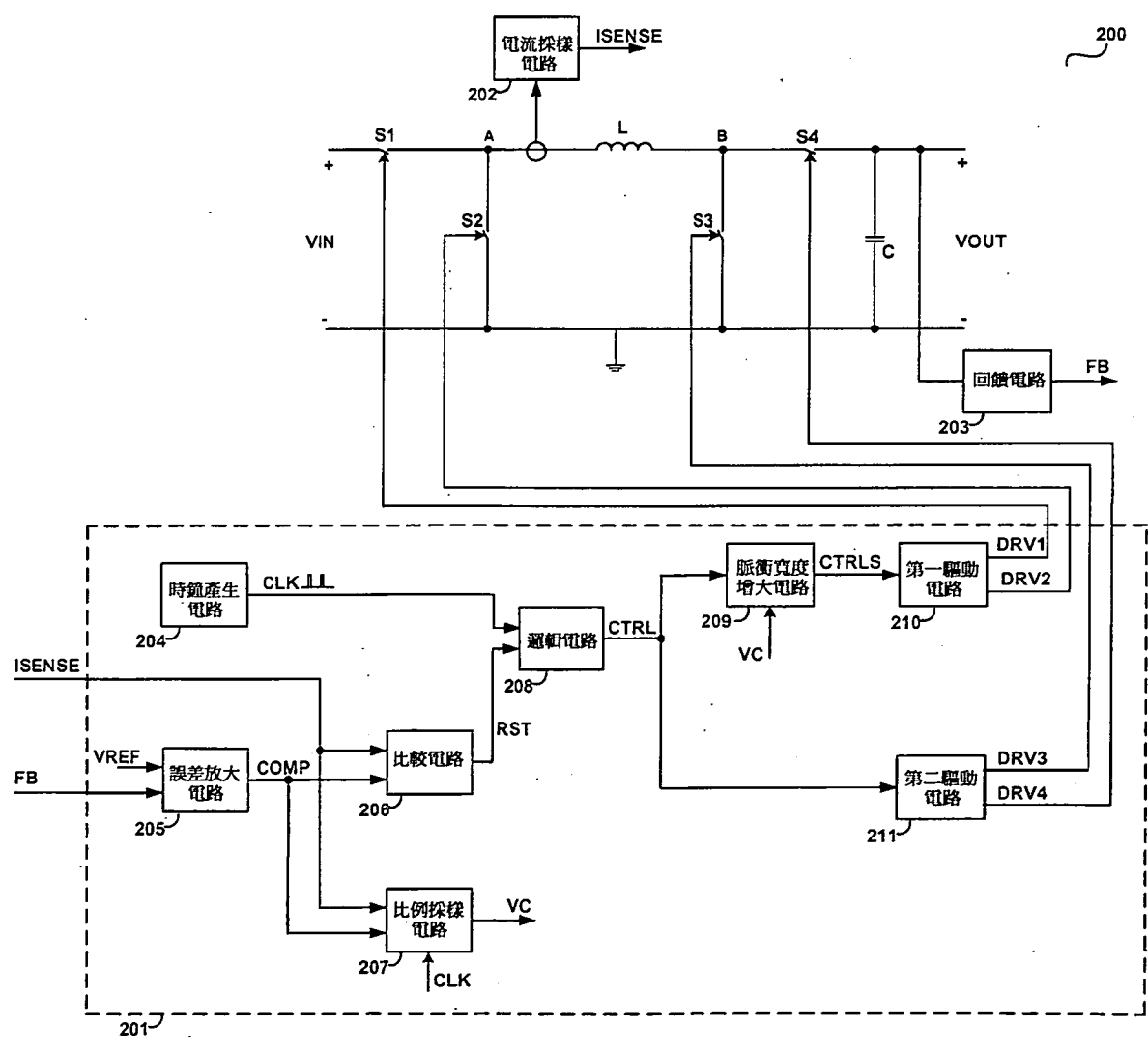
將斜坡信號疊加至電流採樣信號。

【第13項】如申請專利範圍第10項所述的控制方法，其中在產生比例採樣信號的步驟中，一偏置信號被疊加至所述電流採樣信號。

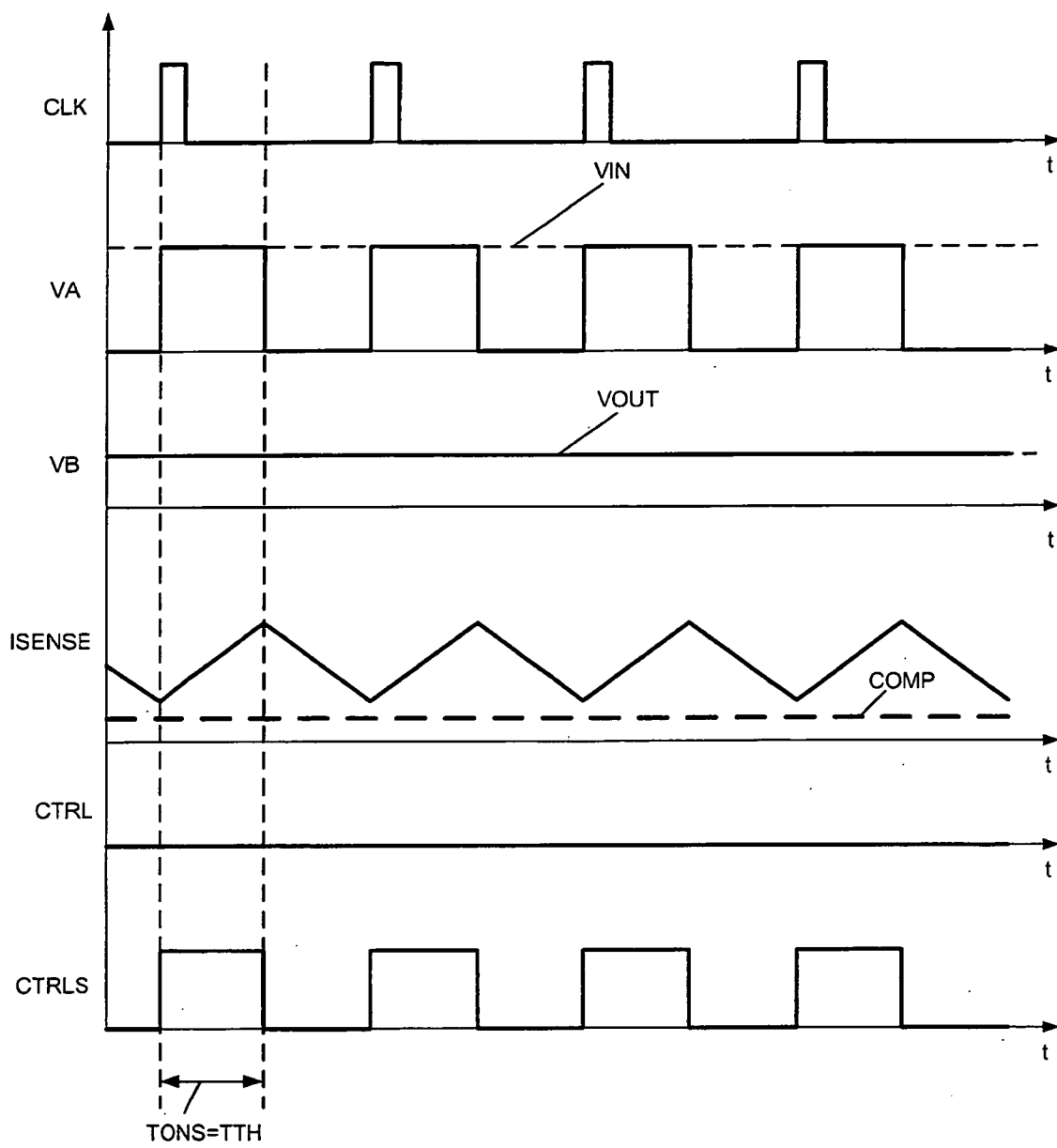
【發明圖式】



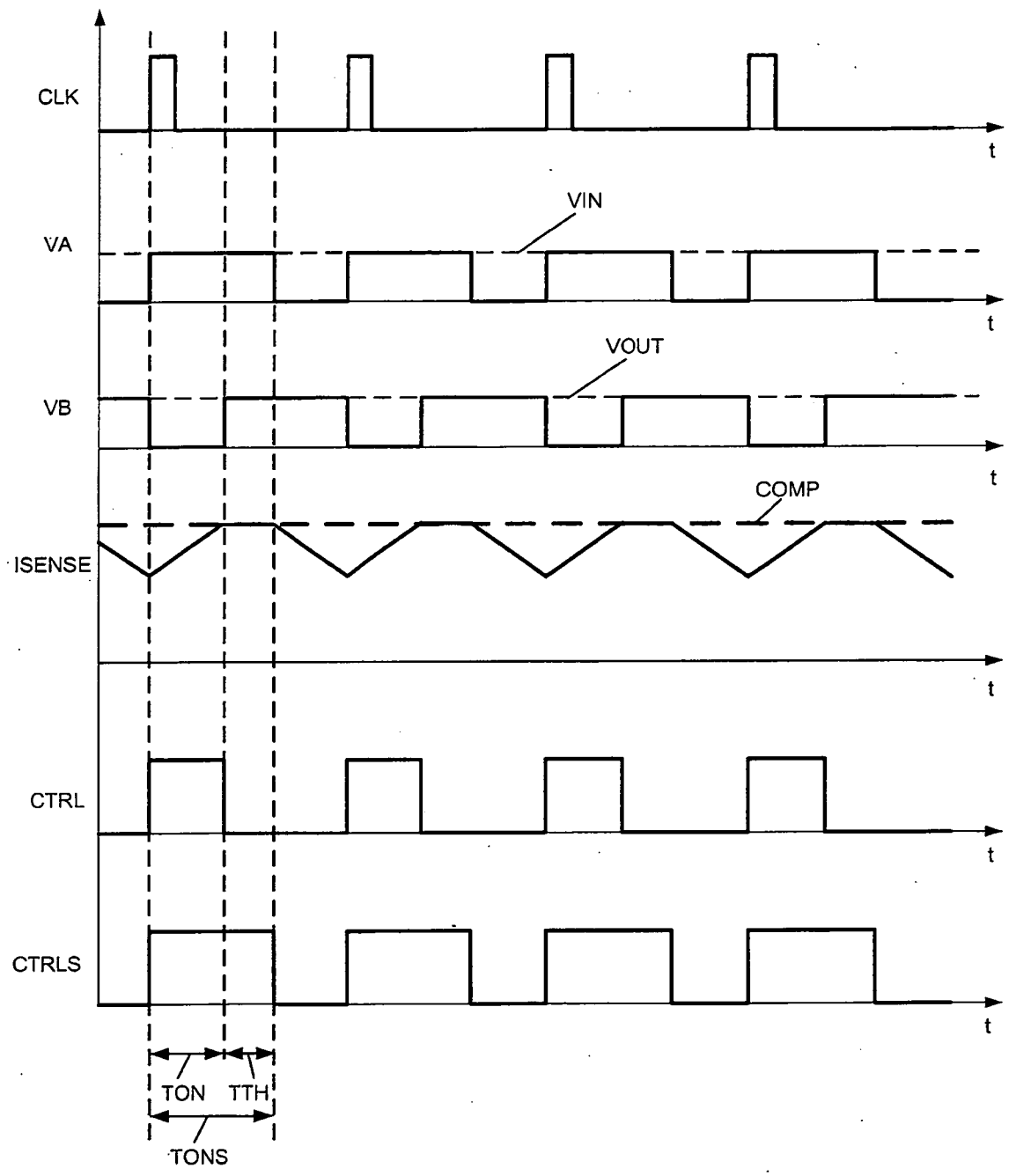
第 1 圖



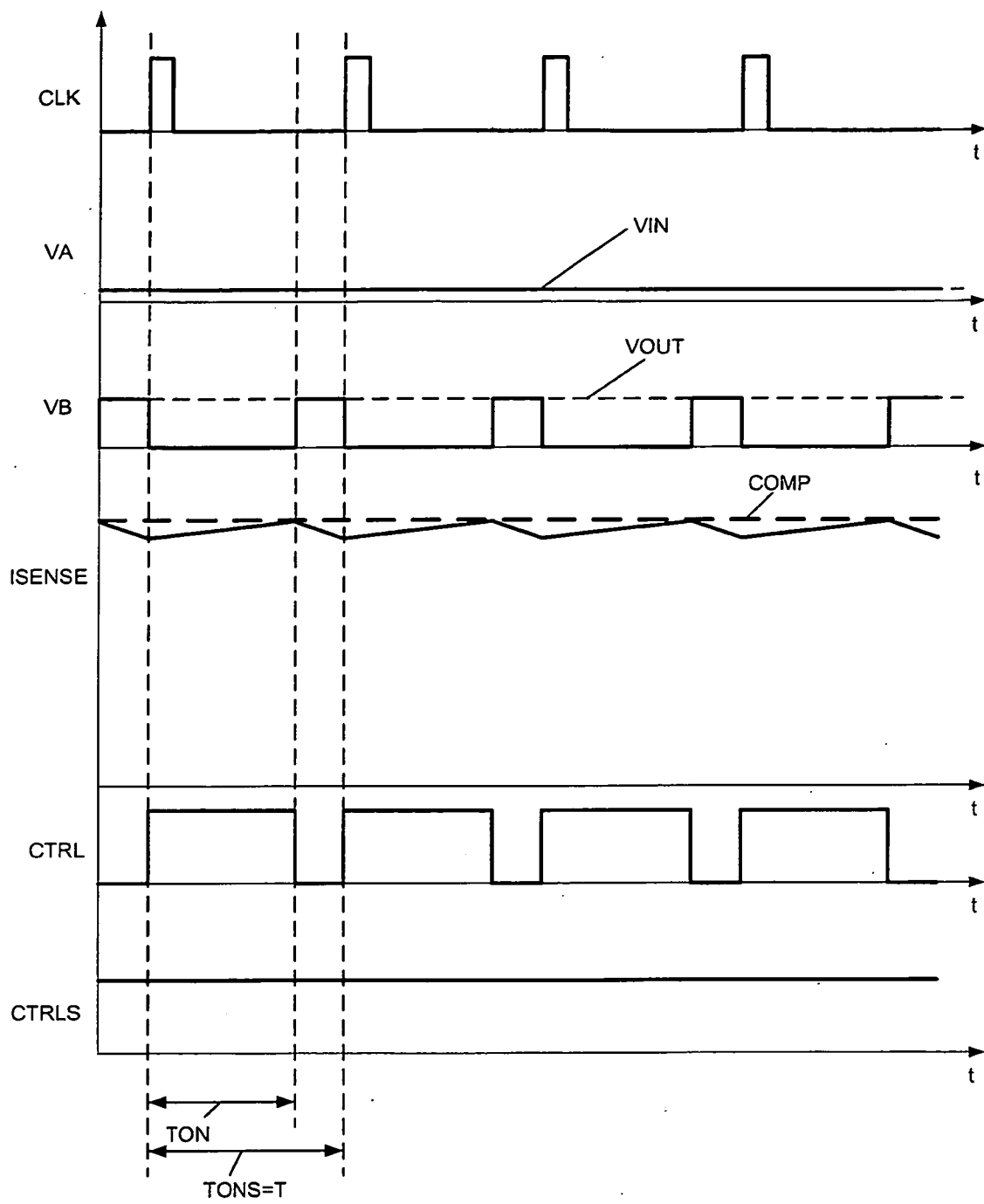
第 2 圖



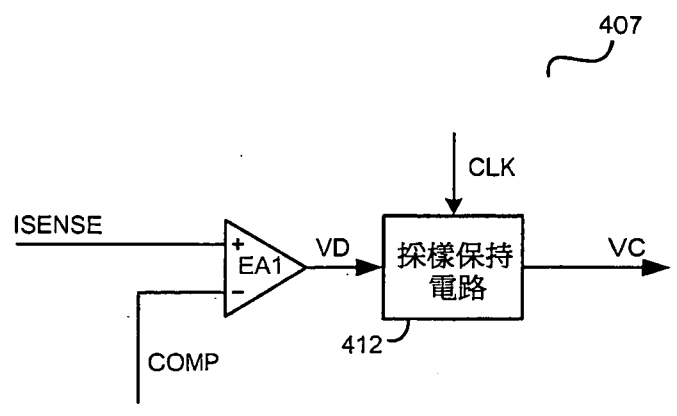
第 3A 圖



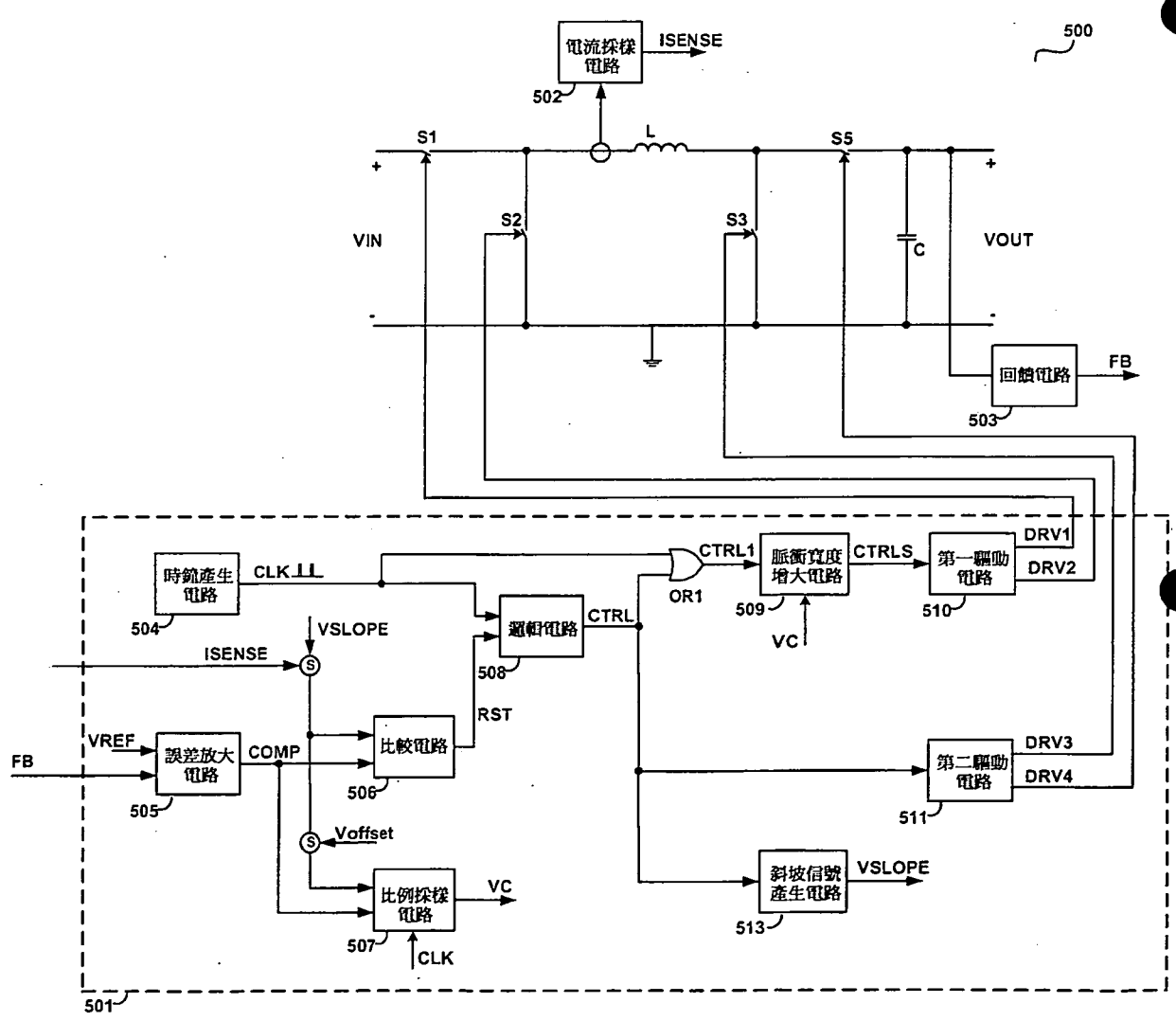
第 3B 圖



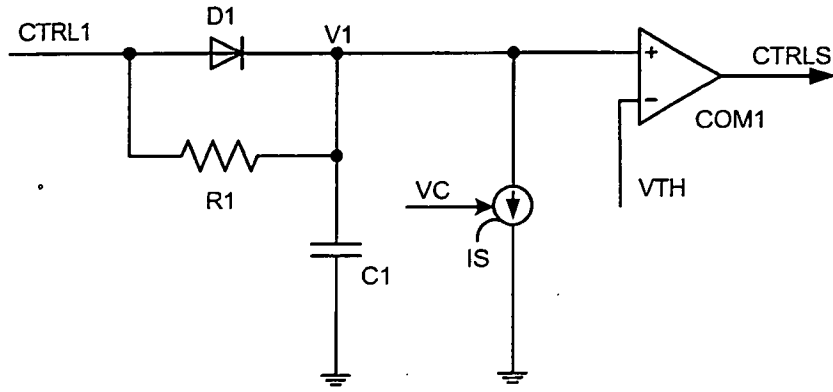
第 3C 圖



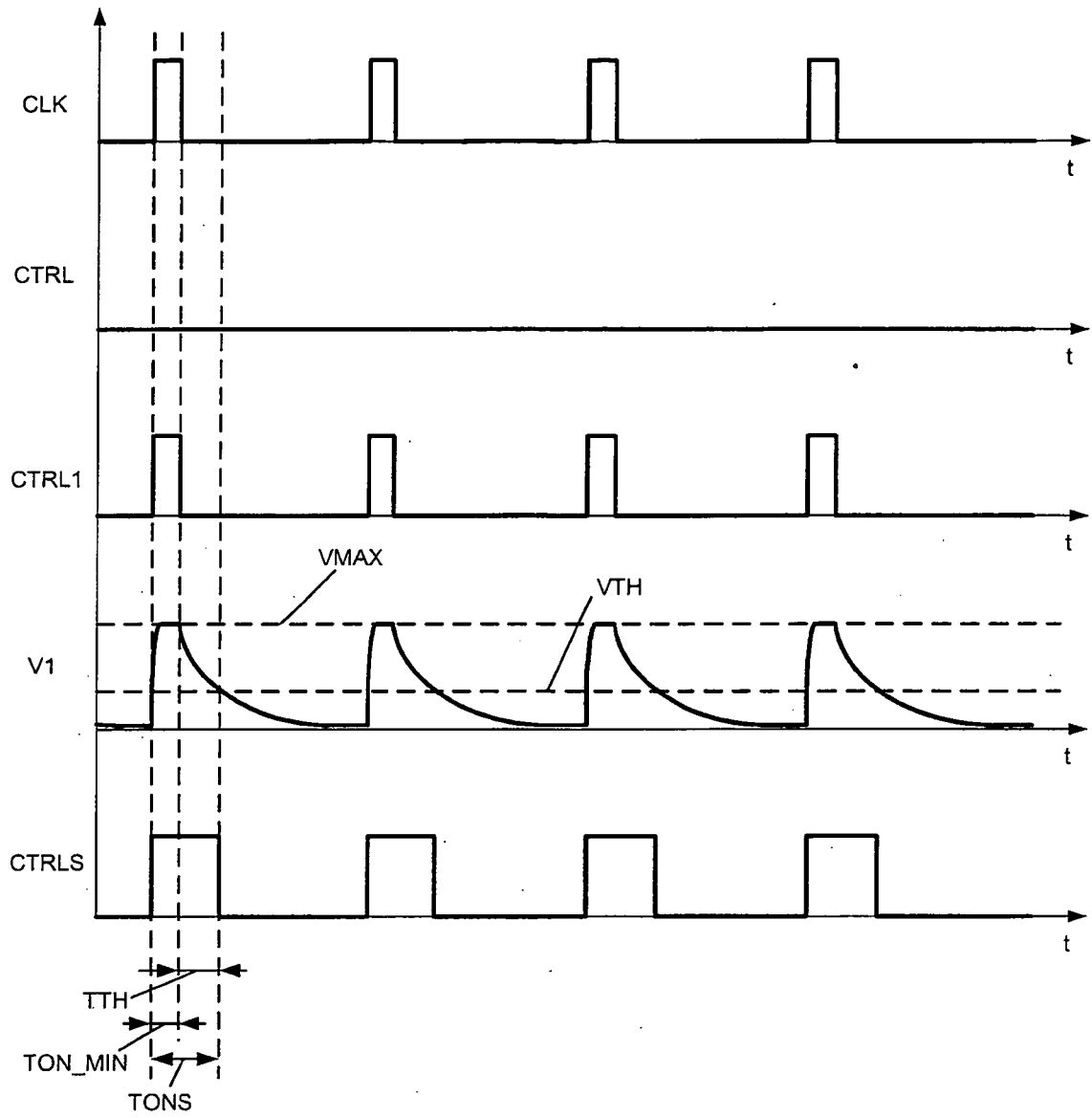
第 4 圖



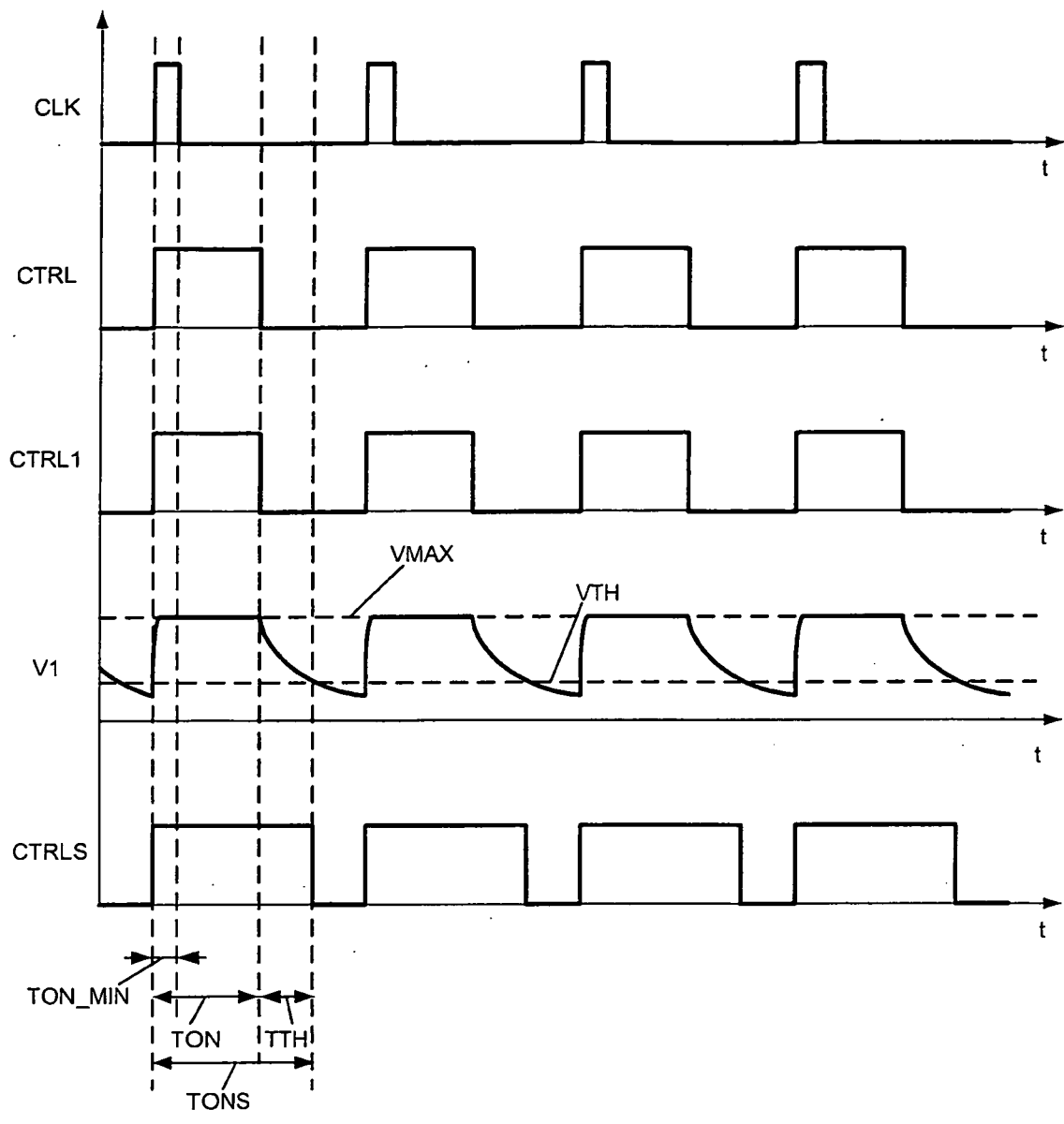
第 5 圖



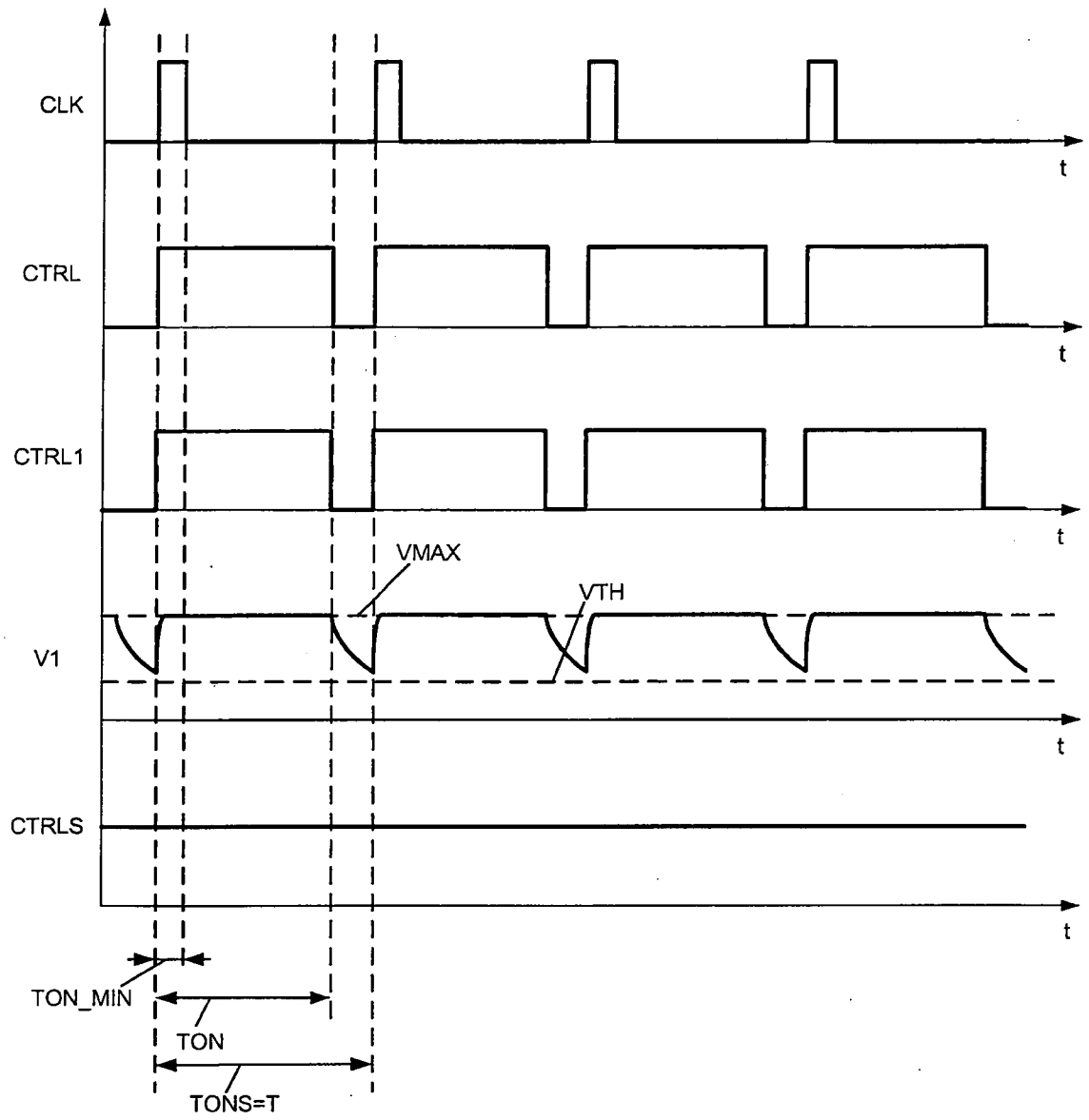
第 6 圖



第 7A 圖

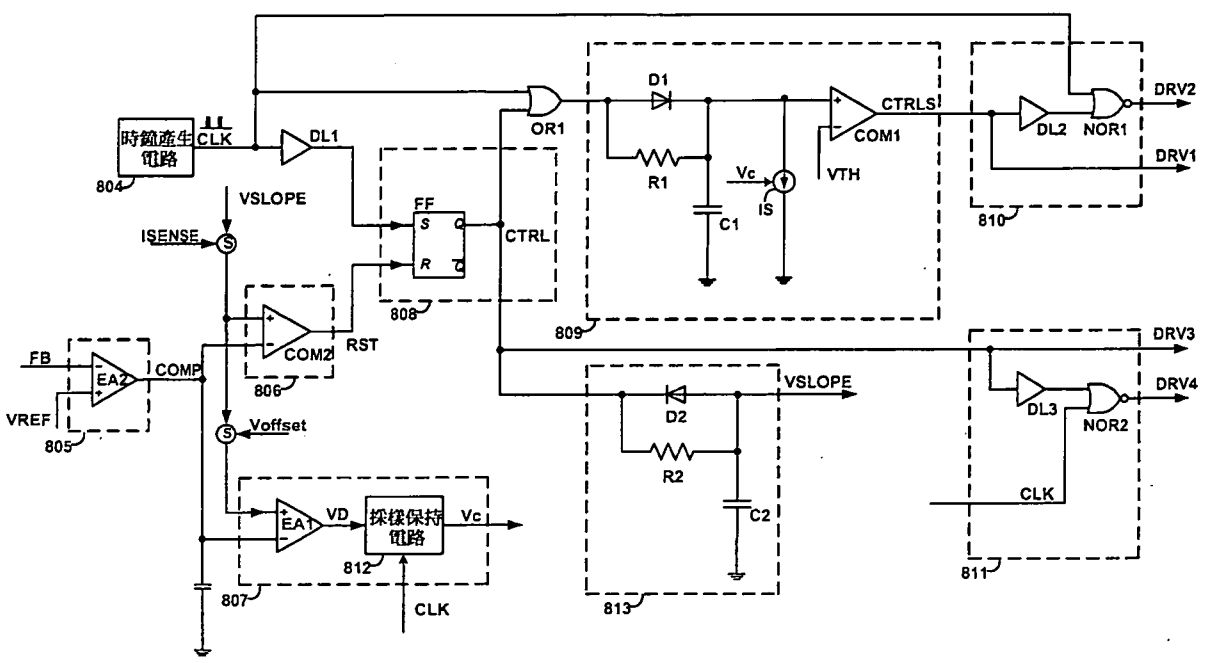
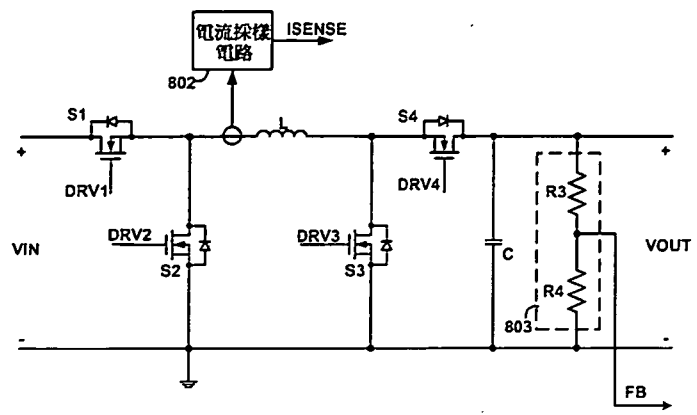


第 7B 圖

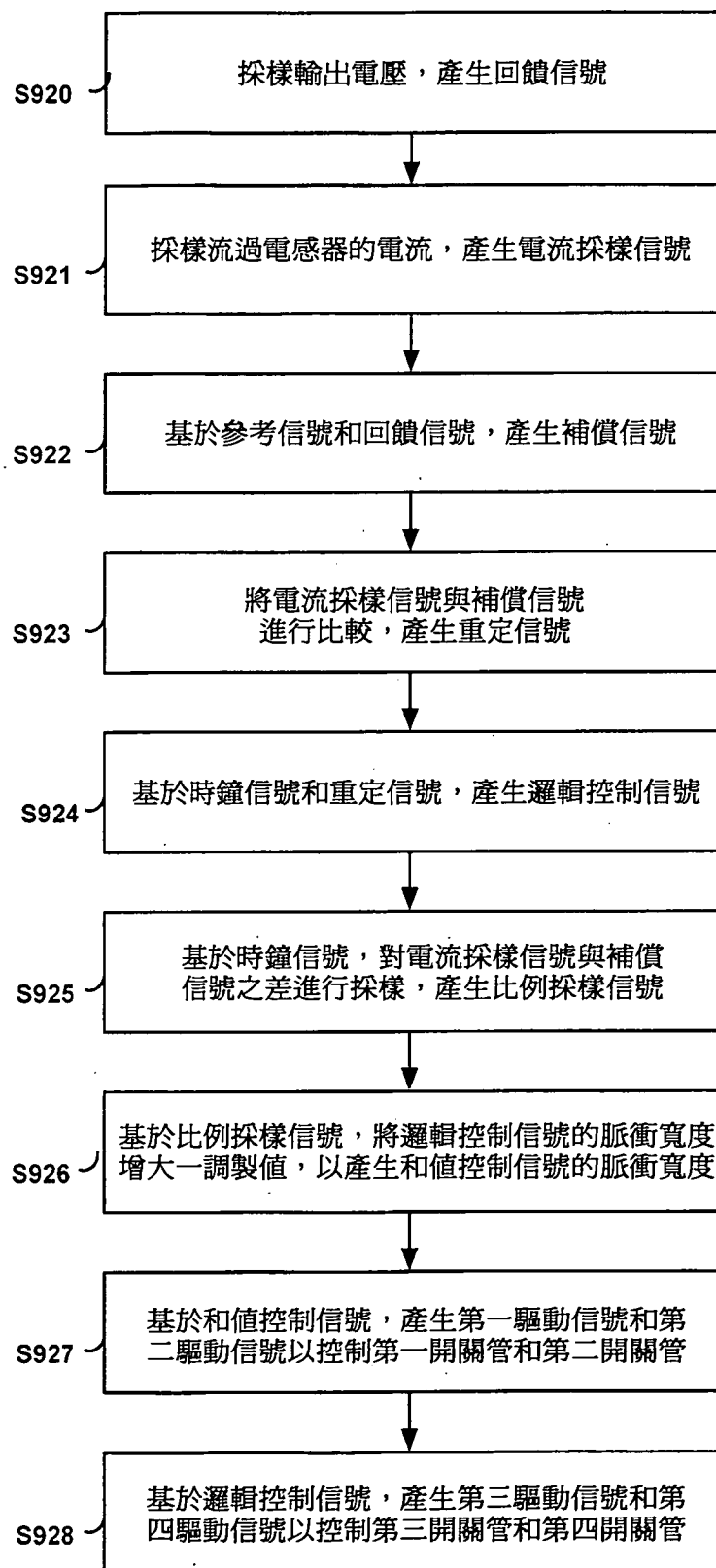


第 7C 圖

800



第 8 圖



第 9 圖