



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0016624
(43) 공개일자 2020년02월17일

(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) H01L 23/29 (2006.01)
H01L 23/31 (2006.01) H01L 23/485 (2006.01)
(52) CPC특허분류
H01L 23/481 (2013.01)
H01L 23/29 (2013.01)
(21) 출원번호 10-2018-0091938
(22) 출원일자 2018년08월07일
심사청구일자 2018년08월07일

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
배성환
경기도 수원시 영통구 매영로 150 (매탄동)
김정수
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

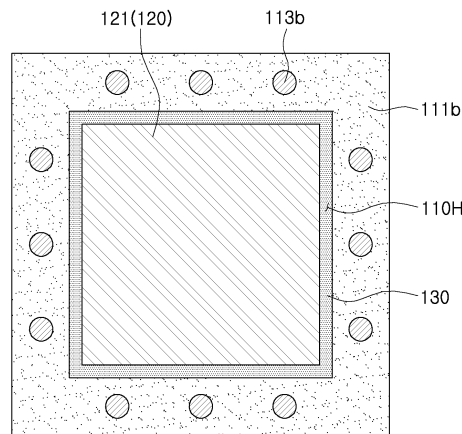
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 팬-아웃 반도체 패키지

(57) 요약

본 개시는 한층 이상의 배선층을 포함하며, 관통홀을 갖는 프레임; 상기 관통홀에 배치되며, 접속패드가 배치된 활성면 및 상기 활성면의 반대측인 비활성면을 갖는 반도체칩; 상기 프레임 및 상기 반도체칩의 비활성면 각각의 적어도 일부를 덮으며, 상기 배선층의 적어도 일부를 오픈시키는 제1개구부를 갖는 봉합재; 상기 봉합재 상에 배치되며, 상기 제1개구부 내에 형성되어 상기 배선층의 적어도 일부를 오픈시키는 제2개구부를 갖는 절연층; 상기 절연층 상에 배치된 도전성 패턴층; 상기 제2개구부에 배치되며, 상기 배선층 및 상기 도전성 패턴층을 전기적으로 연결하는 도전성 비아; 및 상기 프레임 및 상기 반도체칩의 활성면 상에 배치되며, 한층 이상의 재배선층을 포함하는 연결구조체; 를 포함하며, 상기 도전성 패턴층 및 상기 재배선층은 상기 접속패드와 전기적으로 연결된, 팬-아웃 반도체 패키지에 관한 것이다.

대표도 - 도10



I - I'

(52) CPC특허분류

H01L 23/31 (2013.01)

H01L 23/3114 (2013.01)

H01L 23/485 (2013.01)

H01L 2224/02379 (2013.01)

(72) 발명자

최원

경기도 수원시 영통구 매영로 150 (매탄동)

김성환

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

한층 이상의 배선층을 포함하며, 관통홀을 갖는 프레임;

상기 관통홀에 배치되며, 접속패드가 배치된 활성면 및 상기 활성면의 반대측인 비활성면을 갖는 반도체칩;

상기 프레임 및 상기 반도체칩의 비활성면 각각의 적어도 일부를 덮으며, 상기 배선층의 적어도 일부를 오픈시키는 제1개구부를 갖는 봉합재;

상기 봉합재 상에 배치되며, 상기 제1개구부 내에 형성되어 상기 배선층의 적어도 일부를 오픈시키는 제2개구부를 갖는 절연층;

상기 절연층 상에 배치된 도전성 패턴층;

상기 제2개구부에 배치되며, 상기 배선층 및 상기 도전성 패턴층을 전기적으로 연결하는 도전성 비아; 및

상기 프레임 및 상기 반도체칩의 활성면 상에 배치되며, 한층 이상의 재배선층을 포함하는 연결구조체;를 포함하며,

상기 도전성 패턴층 및 상기 재배선층은 상기 접속패드와 전기적으로 연결된,

팬-아웃 반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 절연층은 상기 제1 및 제2개구부 사이의 적어도 일부를 채우는,

팬-아웃 반도체 패키지.

청구항 3

제 1 항에 있어서,

상기 봉합재 및 상기 절연층은 서로 물성이 다른,

팬-아웃 반도체 패키지.

청구항 4

제 3 항에 있어서,

상기 봉합재는 비감광성 절연물질을 포함하고,

상기 절연층은 감광성 절연물질을 포함하는,

팬-아웃 반도체 패키지.

청구항 5

제 3 항에 있어서,

상기 봉합재 및 상기 절연층은 서로 다른 물성의 비감광성 절연층인,
팬-아웃 반도체 패키지.

청구항 6

제 1 항에 있어서,
상기 봉합재 및 상기 절연층 사이에 배치된 보강층; 을 더 포함하며,
상기 제1개구부는 상기 보강층을 관통하며,
상기 보강층은 상기 봉합재 및 상기 절연층 보다 엘라스틱 모듈러스가 큰,
팬-아웃 반도체 패키지.

청구항 7

제 6 항에 있어서,
상기 보강층은 유리섬유, 무기필러, 및 절연수지를 포함하는,
팬-아웃 반도체 패키지.

청구항 8

제 6 항에 있어서,
상기 보강층 및 상기 절연층 사이에 배치된 수지층; 을 더 포함하며,
상기 제1개구부는 상기 수지층을 관통하며,
상기 보강층은 상기 수지층 보다 엘라스틱 모듈러스가 큰,
팬-아웃 반도체 패키지.

청구항 9

제 1 항에 있어서,
상기 절연층 상에 배치되며, 상기 도전성 패턴층의 적어도 일부를 오픈시키는 제3개구부를 갖는 커버층; 을 더 포함하는,
팬-아웃 반도체 패키지.

청구항 10

제 9 항에 있어서,
상기 도전성 패턴층의 오픈된 표면에는 표면처리층이 배치된,
팬-아웃 반도체 패키지.

청구항 11

제 1 항에 있어서,

상기 프레임은 상기 연결구조체와 접하는 제1절연층, 상기 연결구조체와 접하며 상기 제1절연층에 매립된 제1배선층, 상기 제1절연층의 상기 제1배선층이 매립된 층의 반대측 상에 배치된 제2배선층, 상기 제1절연층의 상기 제1배선층이 매립된 층의 반대측 상에 배치되어 상기 제2배선층의 적어도 일부를 덮는 제2절연층, 상기 제2절연층의 상기 제2배선층이 매립된 층의 반대측 상에 배치된 제3배선층, 상기 제1절연층을 관통하며 상기 제1 및 제2배선층을 전기적으로 연결하는 제1배선비아, 및 상기 제2절연층을 관통하며 상기 제2 및 제3배선층을 전기적으로 연결하는 제2배선비아를 포함하는,

팬-아웃 반도체 패키지.

청구항 12

제 11 항에 있어서,

상기 제1 및 제2개구부는 상기 제3배선층의 적어도 일부를 오픈시키는,

팬-아웃 반도체 패키지.

청구항 13

제 1 항에 있어서,

상기 프레임은 제1절연층, 상기 제1절연층의 일면 상에 배치된 제1배선층, 상기 제1절연층의 타면 상에 배치된 제2배선층, 상기 제1절연층의 일면 상에 배치되어 상기 제1배선층의 적어도 일부를 덮는 제2절연층, 상기 제2절연층의 상기 제1배선층이 매립된 층의 반대측 상에 배치된 제3배선층, 상기 제1절연층의 타면 상에 배치되어 상기 제2배선층의 적어도 일부를 덮는 제3절연층, 상기 제3절연층의 상기 제2배선층이 매립된 층의 반대측 상에 배치된 제4배선층, 상기 제1절연층을 관통하며 상기 제1 및 제2배선층을 전기적으로 연결하는 제1배선비아, 상기 제2절연층을 관통하며 상기 제1 및 제3배선층을 전기적으로 연결하는 제2배선비아, 및 상기 제3절연층을 관통하며 상기 제2 및 제4배선층을 전기적으로 연결하는 제3배선비아를 포함하는,

팬-아웃 반도체 패키지.

청구항 14

제 13 항에 있어서,

상기 제1 및 제2개구부는 상기 제4배선층의 적어도 일부를 오픈시키는,

팬-아웃 반도체 패키지.

청구항 15

한층 이상의 재배선층을 포함하는 제1연결구조체;

상기 제1연결구조체 상에 배치되며, 상기 재배선층과 전기적으로 연결된 전기연결부재를 갖는 제2연결구조체;

상기 제1연결구조체 상에 배치되며, 상기 재배선층과 전기적으로 연결된 접속패드를 갖는 반도체칩;

상기 제1연결구조체 상에 배치되며, 상기 제2연결구조체 및 상기 반도체칩 각각의 적어도 일부를 덮으며, 상기 전기연결부재의 적어도 일부를 오픈시키는 제1개구부를 갖는 봉합재; 및

상기 봉합재 상에 배치되며, 상기 제1개구부 내에 형성되어 상기 전기연결부재의 적어도 일부를 오픈시키는 제2개구부를 갖는 절연층; 을 포함하며,

상기 봉합재 및 상기 절연층은 서로 다른 재료를 포함하는,

팬-아웃 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 개시는 반도체 패키지, 예를 들면, 팬-아웃 반도체 패키지에 관한 것이다.

배경 기술

[0003] 최근 반도체칩에 관한 기술 개발의 주요한 추세 중의 하나는 부품의 크기를 축소하는 것이며, 이에 패키지 분야에서도 소형 반도체칩 등의 수요 급증에 따라 소형의 크기를 가지면서 다수의 핀을 구현하는 것이 요구되고 있다. 이에 부합하기 위하여 제안된 패키지 기술 중의 하나가 팬-아웃 패키지이다. 팬-아웃 패키지는 접속단자를 반도체칩이 배치된 영역 외로도 재배선하여, 소형의 크기를 가지면서도 다수의 핀을 구현할 수 있게 해준다.

[0005] 한편, 최근 프리미엄급 스마트폰 제품의 전기적 특성 개선 및 공간의 효율적 활용을 위해 반도체 패키지 구조에서 백사이드 회로를 형성하는 것이 요구되고 있으며, 칩의 특성의 고도화 및 면적 감소 요구에 맞추어 백사이드 회로의 라인 및 스페이스에 대한 요구치가 증가하고 있다.

발명의 내용

해결하려는 과제

[0007] 본 개시의 여러 목적 중 하나는 봉합재의 재료와 상관없이 봉합재 상에 도전성 패턴층과 도전성 비아를 용이하게 형성할 수 있으며, 도전성 비아의 신뢰성 또한 우수한 팬-아웃 반도체 패키지 구조를 제공하는 것이다.

과제의 해결 수단

[0009] 본 개시를 통하여 제안하는 여러 해결 수단 중 하나는 봉합재의 개구부를 절연층으로 채우고, 절연층으로 채워진 봉합재의 개구부에 다시 개구부를 형성하는 방법으로 봉합재 상에 도전성 비아의 비아홀을 구현하는 것이다.

[0011] 예를 들면, 본 개시에서 제안하는 일례에 따른 팬-아웃 반도체 패키지는, 한층 이상의 배선층을 포함하며, 관통홀을 갖는 프레임; 상기 관통홀에 배치되며, 접속패드가 배치된 활성면 및 상기 활성면의 반대측인 비활성면을 갖는 반도체칩; 상기 프레임 및 상기 반도체칩의 비활성면 각각의 적어도 일부를 덮으며, 상기 배선층의 적어도 일부를 오픈시키는 제1개구부를 갖는 봉합재; 상기 봉합재 상에 배치되며, 상기 제1개구부 내에 형성되어 상기 배선층의 적어도 일부를 오픈시키는 제2개구부를 갖는 절연층; 상기 절연층 상에 배치된 도전성 패턴층; 상기 제2개구부에 배치되며, 상기 배선층 및 상기 도전성 패턴층을 전기적으로 연결하는 도전성 비아; 및 상기 프레임 및 상기 반도체칩의 활성면 상에 배치되며, 한층 이상의 재배선층을 포함하는 연결구조체;를 포함하며, 상기 도전성 패턴층 및 상기 재배선층은 상기 접속패드와 전기적으로 연결된 것일 수 있다.

[0013] 또는, 본 개시에서 제안하는 일례에 따른 팬-아웃 반도체 패키지는, 한층 이상의 재배선층을 포함하는 제1연결구조체; 상기 제1연결구조체 상에 배치되며, 상기 재배선층과 전기적으로 연결된 전기연결부재를 갖는 제2연결구조체; 상기 제1연결구조체 상에 배치되며, 상기 재배선층과 전기적으로 연결된 접속패드를 갖는 반도체칩; 상기 제1연결구조체 상에 배치되며, 상기 제2연결구조체 및 상기 반도체칩 각각의 적어도 일부를 덮으며, 상기 전기연결부재의 적어도 일부를 오픈시키는 제1개구부를 갖는 봉합재; 및 상기 봉합재 상에 배치되며, 상기 제1개구부 내에 형성되어 상기 전기연결부재의 적어도 일부를 오픈시키는 제2개구부를 갖는 절연층;을 포함하며, 상기 봉합재 및 상기 절연층은 서로 다른 재료를 포함하는 것일 수 있다.

발명의 효과

[0015] 본 개시의 여러 효과 중 일 효과로서 봉합재의 재료의 선택의 폭이 넓으며, 또한 흡습이나 약품영향을 최소화하여 도전성 비아의 신뢰성을 개선할 수 있는, 팬-아웃 반도체 패키지를 제공할 수 있다.

도면의 간단한 설명

[0017] 도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도다.
 도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.
 도 3a 및 도 3b는 팬-인 반도체 패키지의 패키징 전후를 개략적으로 나타낸 단면도다.
 도 4는 팬-인 반도체 패키지의 패키징 과정을 개략적으로 나타낸 단면도다.
 도 5는 팬-인 반도체 패키지가 인쇄회로기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
 도 6은 팬-인 반도체 패키지가 인쇄회로기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
 도 7은 팬-아웃 반도체 패키지의 개략적인 모습을 나타낸 단면도다.
 도 8은 팬-아웃 반도체 패키지가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
 도 9는 팬-아웃 반도체 패키지의 일례를 개략적으로 나타낸 단면도다.
 도 10은 도 9의 반도체 패키지의 개략적인 I-I' 절단 평면도다.
 도 11a 및 도 11b는 도 9의 팬-아웃 반도체 패키지의 도전성 비아를 위한 제1 및 제2개구부의 형성 과정을 개략적으로 나타낸 공정도다.
 도 12는 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.
 도 13은 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.
 도 14는 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.
 도 15는 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.
 도 16은 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부된 도면을 참조하여 본 개시에 대해 설명한다. 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장되거나 축소될 수 있다.

[0020] 전자기기

[0022] 도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도이다.

[0024] 도면을 참조하면, 전자기기(1000)는 메인보드(1010)를 수용한다. 메인보드(1010)에는 칩 관련부품(1020), 네트워크 관련부품(1030), 및 기타부품(1040) 등이 물리적 및/또는 전기적으로 연결되어 있다. 이들은 후술하는 다른 부품과도 결합되어 다양한 신호라인(1090)을 형성한다.

[0026] 칩 관련부품(1020)으로는 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의

메모리 칩; 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩; 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 형태의 칩 관련 부품이 포함될 수 있음은 물론이다. 또한, 이들 부품(1020)이 서로 조합될 수 있음은 물론이다.

[0028] 네트워크 관련부품(1030)으로는, Wi-Fi(IEEE 802.11 패밀리 등), WiMAX(IEEE 802.16 패밀리 등), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPS, GPRS, CDMA, TDMA, DECT, Bluetooth, 3G, 4G, 5G 및 그 이후의 것으로 지정된 임의의 다른 무선 및 유선 프로토콜들이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다수의 무선 또는 유선 표준들이나 프로토콜들 중의 임의의 것이 포함될 수 있다. 또한, 네트워크 관련부품(1030)이 칩 관련 부품(1020)과 더불어 서로 조합될 수 있음은 물론이다.

[0030] 기타부품(1040)으로는, 고주파 인덕터, 페라이트 인덕터, 파워 인덕터, 페라이트 비즈, LTCC(low Temperature Co-Firing Ceramics), EMI(Electro Magnetic Interference) filter, MLCC(Multi-Layer Ceramic Condenser) 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다양한 용도를 위하여 사용되는 수동부품 등이 포함될 수 있다. 또한, 기타부품(1040)이 칩 관련 부품(1020) 및/또는 네트워크 관련 부품(1030)과 더불어 서로 조합될 수 있음은 물론이다.

[0032] 전자기기(1000)의 종류에 따라, 전자기기(1000)는 메인보드(1010)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품을 포함할 수 있다. 다른 부품의 예를 들면, 카메라(1050), 안테나(1060), 디스플레이(1070), 배터리(1080), 오디오 코덱(미도시), 비디오 코덱(미도시), 전력 증폭기(미도시), 나침반(미도시), 가속도계(미도시), 자이로스코프(미도시), 스피커(미도시), 대량 저장 장치(예컨대, 하드디스크 드라이브)(미도시), CD(compact disk)(미도시), 및 DVD(digital versatile disk)(미도시) 등이 있으며, 다만, 이에 한정되는 것은 아니고, 이 외에도 전자기기(1000)의 종류에 따라 다양한 용도를 위하여 사용되는 기타 부품 등이 포함될 수 있음은 물론이다.

[0034] 전자기기(1000)는, 스마트 폰(smart phone), 개인용 정보 단말기(personal digital assistant), 디지털 비디오 카메라(digital video camera), 디지털 스틸 카메라(digital still camera), 네트워크 시스템(network system), 컴퓨터(computer), 모니터(monitor), 태블릿(tablet), 랩탑(laptop), 넷북(netbook), 텔레비전(television), 비디오 게임(video game), 스마트 워치(smart watch), 오토모티브(Automotive) 등일 수 있다. 다만, 이에 한정되는 것은 아니며, 이들 외에도 데이터를 처리하는 임의의 다른 전자기기일 수 있음은 물론이다.

[0036] 도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.

[0038] 도면을 참조하면, 반도체 패키지는 상술한 바와 같은 다양한 전자기기에 다양한 용도로써 적용된다. 예를 들면, 스마트 폰(1100)의 바디(1101) 내부에는 메인보드 등의 인쇄회로기판(1110)이 수용되어 있으며, 이러한 인쇄회로기판(1110)에는 다양한 부품(1120)들이 물리적 및/또는 전기적으로 연결되어 있다. 또한, 카메라(1130)와 같이 인쇄회로기판(1110)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품이 바디(1101) 내에 수용되어 있다. 부품(1120) 중 일부는 칩 관련부품일 수 있으며, 예를 들면, 반도체 패키지(1121)일 수 있으나, 이에 한정되는 것은 아니다. 전자기기는 반드시 스마트 폰(1100)에 한정되는 것은 아니며, 상술한 바와 같이 다른 전자기기일 수도 있음은 물론이다.

[0040] 반도체 패키지

[0042] 일반적으로 반도체칩은 수많은 미세 전기 회로가 집적되어 있으나 그 자체로는 반도체 완성품으로서의 역할을 할 수 없으며, 외부의 물리적 또는 화학적 충격에 의해 손상될 가능성이 존재한다. 그래서 반도체칩 자체를 그대로 사용하지 않고 반도체칩을 패키징하여 패키지 상태로 전자기기 등에 사용하고 있다.

[0044] 반도체 패키징이 필요한 이유는, 전기적인 연결이라는 관점에서 볼 때, 반도체칩과 전자기기의 메인보드의 회로 폭에 차이가 있기 때문이다. 구체적으로, 반도체칩의 경우, 접속패드의 크기와 접속패드간의 간격이 매우 미세한 반면 전자기기에 사용되는 메인보드의 경우, 부품 실장 패드의 크기 및 부품 실장 패드의 간격이 반도체칩의 스케일보다 훨씬 크다. 따라서, 반도체칩을 이러한 메인보드 상에 바로 장착하기 어려우며 상호간의 회로 폭 차이를 완충시켜 줄 수 있는 패키징 기술이 요구되는 것이다.

[0046] 이러한 패키징 기술에 의하여 제조되는 반도체 패키지는 구조 및 용도에 따라서 팬-인 반도체 패키지(Fan-in semiconductor package)와 팬-아웃 반도체 패키지(Fan-out semiconductor package)로 구분될 수 있다.

[0048] 이하에서는, 도면을 참조하여 팬-인 반도체 패키지와 팬-아웃 반도체 패키지에 대하여 보다 자세히 알아보도록 한다.

[0050] (팬-인 반도체 패키지)

[0052] 도 3a 및 도 3b는 팬-인 반도체 패키지의 패키징 전후를 개략적으로 나타낸 단면도다.

[0053] 도 4는 팬-인 반도체 패키지의 패키징 과정을 개략적으로 나타낸 단면도다.

[0055] 도면을 참조하면, 반도체칩(2220)은 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등을 포함하는 바디(2221), 바디(2221)의 일면 상에 형성된 알루미늄(Al) 등의 도전성 물질을 포함하는 접속패드(2222), 및 바디(2221)의 일면 상에 형성되며 접속패드(2222)의 적어도 일부를 덮는 산화막 또는 질화막 등의 패시베이션막(2223)을 포함하는, 예를 들면, 베어(Bare) 상태의 집적회로(IC)일 수 있다. 이때, 접속패드(2222)는 매우 작기 때문에, 집적회로(IC)는 전자기기의 메인보드 등은 물론, 중간 레벨의 인쇄회로기판(PCB)에도 실장 되기 어렵다.

[0057] 이에, 접속패드(2222)를 재배선하기 위하여 반도체칩(2220) 상에 반도체칩(2220)의 사이즈에 맞춰 연결구조체(2240)를 형성한다. 연결구조체(2240)는 반도체칩(2220) 상에 감광성 절연수지(PID)와 같은 절연 물질로 절연층(2241)을 형성하고, 접속패드(2222)를 오픈시키는 비아홀(2243h)을 형성한 후, 배선패턴(2242) 및 비아(2243)를 형성하여 형성할 수 있다. 그 후, 연결구조체(2240)를 보호하는 패시베이션층(2250)을 형성하고, 개구부(2251)를 형성한 후, 언더범프금속(2260) 등을 형성한다. 즉, 일련의 과정을 통하여, 예를 들면, 반도체칩(2220), 연결구조체(2240), 패시베이션층(2250), 및 언더범프금속(2260)을 포함하는 팬-인 반도체 패키지(2200)가 제조된다.

[0059] 이와 같이, 팬-인 반도체 패키지는 반도체칩의 접속패드, 예컨대 I/O(Input/Output) 단자를 모두 소자 안쪽에 배치시킨 패키지형태이며, 팬-인 반도체 패키지는 전기적 특성이 좋으며 저렴하게 생산할 수 있다. 따라서, 스마트폰에 들어가는 많은 소자들이 팬-인 반도체 패키지 형태로 제작되고 있으며, 구체적으로는 소형이면서도 빠른 신호 전달을 구현하는 방향으로 개발이 이루어지고 있다.

- [0061] 다만, 팬-인 반도체 패키지는 I/O 단자를 모두 반도체칩 안쪽에 배치해야 하는바 공간적인 제약이 많다. 따라서, 이러한 구조는 많은 수의 I/O 단자를 갖는 반도체칩이나 크기가 작은 반도체칩에 적용하는데 어려운 점이 있다. 또한, 이러한 취약점으로 인하여 전자기기의 메인보드에 팬-인 반도체 패키지가 직접 실장 되어 사용될 수 없다. 반도체칩의 I/O 단자를 재배선 공정으로 그 크기와 간격을 확대하였다 하더라도, 전자기기 메인보드에 직접 실장 될 수 있을 정도의 크기와 간격을 가지는 것은 아니기 때문이다.
- [0063] 도 5는 팬-인 반도체 패키지가 인쇄회로기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
- [0064] 도 6은 팬-인 반도체 패키지가 인쇄회로기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
- [0066] 도면을 참조하면, 팬-인 반도체 패키지(2200)는 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 인쇄회로기판(2301)을 통하여 다시 한 번 재배선되며, 최종적으로는 인쇄회로기판(2301) 상에 팬-인 반도체 패키지(2200)가 실장된 상태로 전자기기의 메인보드(2500)에 실장될 수 있다. 이때, 솔더볼(2270) 등은 언더필 수지(2280) 등으로 고정될 수 있으며, 외측은 몰딩재(2290) 등으로 커버될 수 있다. 또는, 팬-인 반도체 패키지(2200)는 별도의 인쇄회로기판(2302) 내에 내장(Embedded) 될 수 도 있으며, 내장된 상태로 인쇄회로기판(2302)에 의하여 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 다시 한 번 재배선되고, 최종적으로 전자기기의 메인보드(2500)에 실장될 수 있다.
- [0068] 이와 같이, 팬-인 반도체 패키지는 전자기기의 메인보드에 직접 실장 되어 사용되기 어렵기 때문에, 별도의 인쇄회로기판 상에 실장된 후 다시 패키징 공정을 거쳐 전자기기 메인보드에 실장되거나, 또는 인쇄회로기판 내에 내장된 채로 전자기기 메인보드에 실장되어 사용되고 있다.
- [0070] (팬-아웃 반도체 패키지)
- [0072] 도 7은 팬-아웃 반도체 패키지의 개략적인 모습을 나타낸 단면도다.
- [0074] 도면을 참조하면, 팬-아웃 반도체 패키지(2100)는, 예를 들면, 반도체칩(2120)의 외측이 봉합재(2130)로 보호되며, 반도체칩(2120)의 접속패드(2122)가 연결구조체(2140)에 의하여 반도체칩(2120)의 바깥쪽까지 재배선된다. 이때, 연결구조체(2140) 상에는 패시베이션층(2150)이 더 형성될 수 있으며, 패시베이션층(2150)의 개구부에는 언더범프금속(2160)이 더 형성될 수 있다. 언더범프금속(2160) 상에는 솔더볼(2170)이 더 형성될 수 있다. 반도체칩(2120)은 바디(2121), 접속패드(2122) 등을 포함하는 집적회로(IC)일 수 있다. 연결구조체(2140)는 절연층(2141), 절연층(2241) 상에 형성된 배선층(2142), 접속패드(2122)와 배선층(2142) 등을 전기적으로 연결하는 비아(2143)를 포함할 수 있다.
- [0076] 이와 같이, 팬-아웃 반도체 패키지는 반도체칩 상에 형성된 연결구조체를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태이다. 상술한 바와 같이, 팬-인 반도체 패키지는 반도체칩의 I/O 단자를 모두 반도체칩 안쪽에 배치시켜야 하고 이에 소자 사이즈가 작아지면 볼 크기와 피치를 줄여야 하므로 표준화된 볼 레이아웃을 사용할 수 없다. 반면, 팬-아웃 반도체 패키지는 이와 같이 반도체칩 상에 형성된 연결구조체를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태인바 반도체칩의 크기가 작아지더라도 표준화된 볼 레이아웃을 그대로 사용할 수 있는바, 후술하는 바와 같이 전자기기의 메인보드에 별도의 인쇄회로기판 없이도 실장될 수 있다.

- [0078] 도 8은 팬-아웃 반도체 패키지가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
- [0080] 도면을 참조하면, 팬-아웃 반도체 패키지(2100)는 솔더볼(2170) 등을 통하여 전자기기의 메인보드(2500)에 실장될 수 있다. 즉, 상술한 바와 같이, 팬-아웃 반도체 패키지(2100)는 반도체칩(2120) 상에 반도체칩(2120)의 사이즈를 벗어나는 팬-아웃 영역까지 접속패드(2122)를 재배선할 수 있는 연결구조체(2140)를 형성하기 때문에, 표준화된 볼 레이아웃을 그대로 사용할 수 있으며, 그 결과 별도의 인쇄회로기판 등 없이도 전자기기의 메인보드(2500)에 실장될 수 있다.
- [0082] 이와 같이, 팬-아웃 반도체 패키지는 별도의 인쇄회로기판 없이도 전자기기의 메인보드에 실장될 수 있기 때문에, 인쇄회로기판을 이용하는 팬-인 반도체 패키지 대비 두께를 얇게 구현할 수 있는바 소형화 및 박형화가 가능하다. 또한, 열 특성과 전기적 특성이 우수하여 모바일 제품에 특히 적합하다. 또한, 인쇄회로기판(PCB)을 이용하는 일반적인 POP(Package on Package) 타입 보다 더 컴팩트하게 구현할 수 있고, 휨 현상 발생으로 인한 문제를 해결할 수 있다.
- [0084] 한편, 팬-아웃 반도체 패키지는 이와 같이 반도체칩을 전자기기의 메인보드 등에 실장하기 위하여, 그리고 외부의 충격으로부터 반도체칩을 보호하기 위한 패키지 기술을 의미하는 것으로, 이와는 스케일, 용도 등이 상이하며, 팬-인 반도체 패키지가 내장되는 인쇄회로기판 등의 인쇄회로기판(PCB)과는 다른 개념이다.
- [0086] 이하에서는, 봉합재의 재료의 선택의 폭이 넓으며, 또한 도전성 비아의 신뢰성을 개선할 수 있는, 팬-아웃 반도체 패키지를 도면을 참조하여 설명한다.
- [0088] 도 9는 반도체 패키지의 일례를 개략적으로 나타낸 단면도다.
- [0089] 도 10은 도 9의 반도체 패키지의 개략적인 I-I' 절단 평면도다.
- [0091] 도면을 참조하면, 일례에 따른 팬-아웃 반도체 패키지(100A)는 한층 이상의 배선층(112a, 112b, 112c)을 포함하며 관통홀(110H)을 갖는 프레임(110), 관통홀(110H)에 배치되며 접속패드(122)가 배치된 활성면 및 활성면의 반대측인 비활성면을 갖는 반도체칩(120), 프레임(110) 및 반도체칩(120)의 비활성면 각각의 적어도 일부를 덮으며 최상층 배선층(112c)의 적어도 일부를 오픈시키는 제1개구부(130h)를 갖는 봉합재(130), 봉합재(130) 상에 배치되며 제1개구부(130h)에 형성되어 최상층 배선층(112c)의 적어도 일부를 오픈시키는 제2개구부(180h)를 갖는 절연층(180), 절연층(180) 상에 배치된 도전성 패턴층(132), 제2개구부(180h)에 배치되며 최상층 배선층(112c) 및 도전성 패턴층(132)을 전기적으로 연결하는 도전성 비아(133), 및 프레임(110) 및 반도체칩(120)의 활성면 상에 배치되며 한층 이상의 재배선층(142)을 포함하는 연결구조체(140)를 포함한다. 도전성 패턴층(132)과 배선층(112a, 112b, 112c)과 재배선층(142)은 접속패드(122)와 전기적으로 연결된다. 필요에 따라서 연결구조체(140) 상에는 최하층 재배선층(142)의 적어도 일부를 오픈시키는 제3개구부(150h)를 갖는 패시베이션층(150)이 배치될 수 있으며, 제3개구부(150h) 상에는 각각 언더범프금속(160)이 배치될 수 있고, 언더범프금속(160)은 전기연결구조체(170)와 각각 연결될 수 있다.
- [0093] 최근 프리미엄급 스마트폰 제품의 전기적 특성 개선 및 공간의 효율적 활용을 위해 반도체 패키지 구조에서 백사이드 회로를 형성하는 것이 요구되고 있으며, 칩의 특성의 고도화 및 면적 감소 요구에 맞추어 백사이드 회로의 라인 및 스페이스에 대한 요구치가 증가하고 있다. 이에 반도체칩을 밀봉하는 몰딩재에 도금으로 백사이드 회로를 형성하는 기술이 제안되고 있다. 다만, 반도체칩을 밀봉한 후 백사이드 회로를 형성하는 과정에서 열을 받은 몰딩재가 지속적으로 경화되어 원래의 물성 특성을 상실할 수 있다. 따라서, 백사이드 회로 형성시에 백사이드 회로와 몰딩재 사이의 밀착력 확보가 어렵게 되며, 미세회로의 구현시 표면조도 형성에 어려움이 발생할 수 있다. 이러한 문제를 해결하기 위하여, 몰딩재 상에 절연층을 추가로 적층하고, 추가로 적층된 절연층에 백

사이드 회로를 형성하는 것을 고려해볼 수 있으나, 이 경우 두께가 두꺼워지는 문제가 있으며, 두께를 감소시키기 위하여 두께가 얇은 이중자재를 사용할 경우에는 자재간 물성특성 차이로 인하여 백사이드 회로를 위한 비아홀 형성 방법이나 클리어링에 제약이 발생할 수 있다.

[0095] 반면, 일례에 따른 팬-아웃 반도체 패키지(100A)는 봉합재(130) 상에 절연층(180)을 추가로 적층하고, 절연층(180)에 도전성 패턴층(132)과 도전성 비아(133)를 형성하되, 도전성 비아(133)의 형성을 위한 비아홀로 복수의 개구부(130h, 180h)를 이용한다. 예컨대, 봉합재(130)와 절연층(180)에 이중 비아홀 형태가 되도록 제1 및 제2 개구부(130h, 180h)를 형성한다. 즉, 도전성 비아(133)가 형성되는 비아홀은 제2개구부(180h)이며, 제2개구부(180h)는 봉합재(130)를 관통하지 않고 제1개구부(130h)를 채우는 절연층(180)만 관통한다. 따라서, 상술한 바와 같이 봉합재(130)와 재료가 다른 얇은 두께의 절연층(180)을 사용하더라도, 이중자재간 물성특성 차이로 인한 비아홀 형성의 제약이 발생하지 않는다. 예컨대, 봉합재(130)가 비감광성 절연층이고 절연층(180)이 감광성 절연층인 경우라도, 봉합재(130)에 레이저로 제1개구부(130h)를 형성하고, 그 후 절연층(180)에 포토리소그래피로 제2개구부(180h)를 형성할 수 있다. 즉, 독립적으로 제1 및 제2개구부(130h, 180h)를 형성할 수 있어 이중자재간 물성 차이에 기한 제약이 거의 없으며, 따라서 봉합재(130) 및/또는 절연층(180)의 재료 선택 자유도가 높다. 또한, 제1개구부(130h)와 제2개구부(180h) 사이에 절연재료인 절연층(180)이 배치되기 때문에, 흡습이나약품영향을 감소시킬 수 있어, 신뢰성도 확보할 수 있다.

[0097] 이하, 일례에 따른 팬-아웃 반도체 패키지(100A)에 포함되는 각각의 구성에 대하여 보다 자세히 설명한다.

[0099] 프레임(110)은 절연층(111a, 111b)의 구체적인 재료에 따라 패키지(100A)의 강성을 보다 개선시킬 수 있으며, 봉합재(130)의 두께 균일성 확보 등의 역할을 수행할 수 있다. 프레임(110)은 절연층(111a, 111b)을 관통하는 관통홀(110H)을 가질 수 있다. 관통홀(110H)에는 반도체칩(120)이 배치되며, 필요에 따라서는 수동부품(미도시)이 함께 배치될 수도 있다. 관통홀(110H)은 벽면이 반도체칩(120)을 둘러싸는 형태일 수 있으나, 반드시 이에 한정되는 것은 아니다. 프레임(110)은 절연층(111a, 111b) 외에도 배선층(112a, 112b, 112c)과 배선비아(113a, 113b)를 포함하며, 따라서 연결구조체로 기능할 수 있다. 이때, 배선층(112a, 112b, 112c)과 배선비아(113a, 113b)는 전기연결부재로 기능할 수 있다. 필요에 따라서는, 프레임(110) 대신 다른 형태의 상/하 전기적 연결 경로를 제공할 수 있는 전기연결부재를 갖는 연결구조체가 배치될 수 있다.

[0101] 프레임(110)은 연결구조체(140)와 접하는 제1절연층(111a), 연결구조체(140)와 접하며 제1절연층(111a)에 매립된 제1배선층(112a), 제1절연층(111a)의 제1배선층(112a)이 매립된층의 반대측 상에 배치된 제2배선층(112b), 제1절연층(111a)의 제1배선층(112a)이 매립된층의 반대측 상에 배치되며 제2배선층(112b)의 적어도 일부를 덮는 제2절연층(111b), 및 제2절연층(111b)의 제2배선층(112b)이 매립된 층의 반대측 상에 배치된 제3배선층(112c)을 포함한다. 제1 및 제2배선층(112a, 112b)과 제2 및 제3배선층(112b, 112c)은 각각 제1 및 제2절연층(111a, 111b)을 관통하는 제1 및 제2배선비아(113a, 113b)를 통하여 전기적으로 연결된다. 제1 내지 제3배선층(112a, 112b, 112c)은 연결구조체(140)의 재배선층(142)을 통하여 접속패드(122)와 전기적으로 연결된다.

[0103] 절연층(111a, 111b)의 재료는 특별히 한정되는 않는다. 예를 들면, 절연물질이 사용될 수 있는데, 이때 절연물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지가 무기필러와 혼합된 수지, 예를 들면, ABF(Ajinomoto Build-up Film) 등이 사용될 수 있다. 또는, 무기필러와 함께 유리섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 상술한 수지가 함침된 재료, 예를 들면, 프리프레그(prepreg) 등이 사용될 수 있다. 필요에 따라서는, 감광성 절연(Photo Imagable Dielectric: PID) 수지를 사용할 수도 있다.

[0105] 배선층(112a, 112b, 112c)은 배선비아(113a, 113b)와 함께 패키지의 상/하 전기적 연결 경로를 제공할 수 있으며, 접속패드(122)를 재배선하는 역할을 수행할 수 있다. 배선층(112a, 112b, 112c)의 형성물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질

을 사용할 수 있다. 배선층(112a, 112b, 112c)은 해당 층의 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(Ground: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 또한, 비아 패드, 와이어 패드, 전기연결구조체 패드 등을 포함할 수 있다. 배선층(112a, 112b, 112c)은 공지의 도금공정으로 형성될 수 있으며, 각각 시드층 및 도체층으로 구성될 수 있다. 배선층(112a, 112b, 112c)의 두께는 재배선층(142)의 두께보다 두꺼울 수 있다.

[0107] 제1배선층(112a)은 제1절연층(111a)의 내부로 리세스될 수 있다. 이와 같이, 제1배선층(112a)이 제1절연층(111a) 내부로 리세스되어 제1절연층(111a)의 하면과 제1배선층(112a)의 하면이 단차를 가지는 경우, 제1봉합재(131) 형성 물질이 블리딩되어 제1배선층(112a)을 오염시키는 것을 방지할 수도 있다.

[0109] 배선비아(113a, 113b)는 서로 다른 층에 형성된 배선층(112a, 112b, 112c)을 전기적으로 연결시키며, 그 결과 프레임(110) 내에 전기적 경로를 형성시킨다. 배선비아(113a, 113b)의 형성물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 사용할 수 있다. 배선비아(113a, 113b)는 각각 도전성 물질로 충전된 필드 타입의 비아일 수도 있고, 또는 도전성 물질이 비아 홀의 벽면을 따라 형성된 컨포멀 타입의 비아일 수도 있다. 또한, 각각 테이퍼 형상을 가질 수 있다. 배선비아(113a, 113b)도 도금공정으로 형성될 수 있으며, 시드층 및 도체층으로 구성될 수 있다.

[0111] 제1배선비아(113a)를 위한 홀을 형성할 때 제1배선층(112a)의 일부 패드가 스톱퍼(stopper) 역할을 수행할 수 있는바, 제1배선비아(113a)는 윗면의 폭이 아랫면의 폭보다 큰 테이퍼 형상인 것이 공정상 유리할 수 있다. 이 경우, 제1배선비아(113a)는 제2배선층(112b)의 패드 패턴과 일체화될 수 있다. 또한, 제2배선비아(113b)를 위한 홀을 형성할 때 제2배선층(112b)의 일부 패드가 스톱퍼 역할을 수행할 수 있는바, 제2배선비아(113b)는 윗면의 폭이 아랫면의 폭보다 큰 테이퍼 형상인 것이 공정상 유리할 수 있다. 이 경우, 제2배선비아(113b)는 제3배선층(112c)의 패드 패턴과 일체화될 수 있다.

[0113] 한편, 도면에는 도시하지 않았으나, 필요에 따라서 전자파 차폐의 목적이나 방열 목적으로 프레임(110)의 관통홀(110H)의 벽면에 금속층(미도시)이 배치될 수도 있으며, 금속층(미도시)은 반도체칩(120)을 둘러쌀 수 있다.

[0115] 반도체칩(120)은 소자 수백 내지 수백만 개 이상이 하나의 칩 안에 집적화된 집적회로(IC: Integrated Circuit)일 수 있다. 이때 집적회로는, 예를 들면, 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩일 수 있으나, 이에 한정되는 것은 아니며, 전력관리 집적회로(PMIC: Power Management IC)나, 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩, 또는 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩 등일 수도 있다.

[0117] 반도체칩(120)은 별도의 범프나 배선층이 형성되지 않은 베어(Bare) 상태의 집적회로일 수 있다. 다만, 이에 한정되는 것은 아니며, 필요에 따라서는 패키지 타입의 집적회로일 수도 있다. 집적회로는 액티브 웨이퍼를 기반으로 형성될 수 있다. 이 경우 반도체칩(120)의 바디(121)를 이루는 소재로는 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등이 사용될 수 있다. 바디(121)에는 다양한 회로가 형성되어 있을 수 있다. 접속패드(122)는 반도체칩(120)을 다른 구성요소와 전기적으로 연결시키기 위한 것으로, 형성 물질로는 각각 알루미늄(Al) 등의 도전성 물질을 특별한 제한 없이 사용할 수 있다. 바디(121) 상에는 접속패드(122)를 노출시키는 패시베이션막(123)이 형성될 수 있으며, 패시베이션막(123)은 산화막 또는 질화막 등일 수 있고, 또는 산화막과 질화막의 이중층일 수도 있다. 기타 필요한 위치에 각각 절연막(미도시) 등이 더 배치될 수도 있다. 한편, 반도체칩(120)은 접속패드(122)가 배치된 면이 활성면이 되며, 그 반대측이 비활성면이 된다. 이때, 반도체칩(120)의 활성면에 패시베이션막(123)이 형성된 경우에는 반도체칩(120)의 활성면은 패시베이션막(123)의 최하면을 기준으로

위치 관계를 판단한다.

- [0119] 봉합재(130)는 프레임(110) 및 반도체칩(120)을 캡슐화한다. 또한, 관통홀(110H)의 적어도 일부를 채운다. 봉합재(130)는 절연물질을 포함하며, 절연물질로는 무기필러 및 절연수지를 포함하는 재료, 예컨대 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들에 무기필러와 같은 보강재가 포함된 수지, 구체적으로 ABF, FR-4, BT, 수지 등이 사용될 수 있다. 또한, EMC와 같은 몰딩 물질을 사용할 수 있으며, 필요에 따라 감광성 재료, 즉 PIE(Photo Imagable Encapsulant)를 사용할 수도 있다. 필요에 따라 열경화성 수지나 열가소성 수지와 같은 절연수지가 무기필러 및/또는 유리섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 함침된 재료를 사용할 수도 있다.
- [0121] 절연층(180)은 봉합재(130) 상에 배치되며, 봉합재(130)를 덮는다. 절연층(180)은 봉합재(130)와 다른 재료를 포함할 수 있다. 예컨대, 절연층(180)은 봉합재(130)와 엘라스틱 모듈러스나 열팽창계수와 같은 물성이 다른 재료를 포함할 수 있다. 절연층(180)은 절연물질을 포함하며, 이때 절연물질로는 감광성 절연물질, 즉 PID를 사용할 수 있다. 이 경우, 얇은 두께로 절연층(180)의 형성이 가능하며, 제2개구부(180h)를 형성할 때 파인 피치로 형성이 가능 하는 등 또한 미세화로 형성에 용이하며, 나아가 패키지의 전체 두께를 감소시킬 수 있다. 다만, 반드시 PID로 제한되는 것은 아니며, 재료 선택의 특별한 제약은 없다.
- [0123] 제1개구부(130h)는 봉합재(130)의 적어도 일부를 관통하며 프레임(110)의 최상층에 위치한 제3배선층(112c)의 적어도 일부를 오픈시킨다. 제1개구부(130h)는 절연층(180)으로 적어도 일부가 채워진다. 절연층(180)으로 채워진 제1개구부(130h)에는 제2개구부(180h)가 형성된다. 즉, 제2개구부(180h)는 제1개구부(130h)를 채우는 절연층(180)을 관통하며 프레임(110)의 최상층에 위치한 제3배선층(112c)의 적어도 일부를 오픈시킨다. 제1 및 제2개구부(130h, 180h) 사이에는 절연층(180)이 배치된다. 즉, 제1 및 제2개구부(130h, 180h)는 각각 독립적으로 봉합재(130)와 절연층(180)에 형성되는바, 이중재료로 이들을 선택하여도 무방하다.
- [0125] 도전성 패턴층(132)은 절연층(180) 상에 배치된다. 도전성 패턴층(132) 역시 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 포함할 수 있다. 도전성 패턴층(132)은 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(GrouND: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 또한, 비아 패드, 와이어 패드, 전기연결구조체 패드 등을 포함할 수 있다. 도전성 패턴층(132)은 공지의 도금공정으로 형성될 수 있으며, 각각 시드층 및 도체층으로 구성될 수 있다.
- [0127] 도전성 비아(133)는 제2개구부(180h)에 형성되어 도전성 패턴층(132)과 제3배선층(112c)을 전기적으로 연결한다. 도전성 비아(133) 역시 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 포함할 수 있다. 도전성 비아(133)는 도전성 물질로 충전된 필드 타입의 비아일 수도 있고, 또는 도전성 물질이 비아 홀의 벽면을 따라 형성된 컨포멀 타입의 비아일 수도 있다. 또한, 테이퍼 형상을 가질 수 있다. 도전성 비아(133)도 도금공정으로 형성될 수 있으며, 시드층 및 도체층으로 구성될 수 있다.
- [0129] 연결구조체(140)는 반도체칩(120)의 접속패드(122)를 재배선할 수 있다. 연결구조체(140)를 통하여 다양한 기능을 가지는 수십 수백의 반도체칩(120)의 접속패드(122)가 각각 재배선 될 수 있으며, 전기연결구조체(170)를 통하여 그 기능에 맞춰 외부에 물리적 및/또는 전기적으로 연결될 수 있다. 연결구조체(140)는 한층 이상의 절연층(141)과 한층 이상의 재배선층(142)과 한층 이상의 접속비아(143)를 포함하며, 이들은 도면에 도시한 것 보다 많을 수도, 적을 수도 있다.

- [0131] 절연층(141)의 물질로는 절연물질이 사용될 수 있는데, 이때 절연물질로는 감광성 절연물질(PID)을 사용할 수 있으며, 이 경우 포토 비아를 통한 파인 피치의 도입도 가능해지는데, 반도체칩(120)의 수십 내지 수백만의 접속패드(122)를 매우 효과적으로 재배선할 수 있다.
- [0133] 재배선층(142)은 반도체칩(120)의 접속패드(122)를 재배선하여 전기연결구조체(170)와 전기적으로 연결시킬 수 있다. 재배선층(142)의 형성물질 역시 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 사용할 수 있다. 재배선층(142) 역시 설계 디자인에 따라서 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(Ground: GND) 패턴, 파워(PoWer: PWR) 패턴, 신호(Signal: S) 패턴 등을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 또한, 비아 패드, 전기연결구조체 패드 등을 포함할 수 있다.
- [0135] 접속비아(143)는 서로 다른 층에 형성된 재배선층(142)을 전기적으로 연결하며, 또한 반도체칩(120)의 접속패드(122)와 재배선층(142)을 전기적으로 연결한다. 접속비아(143)는 반도체칩(120)이 베어 다이인 경우 접속패드(122)와 물리적으로 접할 수 있다. 접속비아(143)의 형성물질로는 마찬가지로 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 사용할 수 있다. 접속비아(143) 역시 도전성 물질로 완전히 충전될 수 있으며, 또는 도전성 물질이 비아의 벽을 따라 형성된 것일 수도 있다. 또한, 접속비아(143)의 형상으로 역시 테이퍼 형상이 적용될 수 있다.
- [0137] 패시베이션층(150)은 부가적인 구성으로, 연결구조체(140)를 외부의 물리적 화학적 손상 등으로부터 보호할 수 있다. 패시베이션층(150)은 절연수지 및 무기필러를 포함하되, 유리섬유는 포함하지 않을 수 있다. 예컨대, 패시베이션층(150)은 ABF일 수 있으나, 이에 한정되는 것은 아니다. 패시베이션층(150)은 최하층의 재배선층(142)의 적어도 일부를 오픈시키는 제3개구부(150h)를 가질 수 있다.
- [0139] 언더범프금속(160) 역시 부가적인 구성으로, 전기연결구조체(170)의 접속 신뢰성을 향상시켜주며, 그 결과 일례에 따른 팬-아웃 반도체 패키지(100A)의 보드 레벨 신뢰성을 개선할 수 있다. 언더범프금속(160)은 수십 내지 수만 개 있을 수 있다. 각각의 언더범프금속(160)은 패시베이션층(150)을 관통하는 제3개구부(150h)를 통하여 재배선층(142)과 연결될 수 있다. 언더범프금속(160)은 금속을 이용하여 공지의 메탈화 방법으로 형성할 수 있으나, 이에 한정되는 것은 아니다.
- [0141] 전기연결구조체(170)는 반도체 패키지(100A)를 외부와 물리적 및/또는 전기적으로 연결시키기 위한 구성이다. 예를 들면, 반도체 패키지(100A)는 전기연결구조체(170)를 통하여 전자기기의 메인보드에 실장될 수 있다. 전기연결구조체(170)는 저융점 금속, 예를 들면, 주석(Sn)이나 또는 주석(Sn)을 포함하는 합금으로 구성될 수 있다. 보다 구체적으로는 솔더(solder) 등으로 형성될 수 있으나, 이는 일례에 불과하며 재질이 특별히 이에 한정되는 것은 아니다. 전기연결구조체(170)는 랜드(land), 볼(ball), 핀(pin) 등일 수 있다. 전기연결구조체(170)는 다중층 또는 단일층으로 형성될 수 있다. 다중층으로 형성되는 경우에는 구리 필러(pillar) 및 솔더를 포함할 수 있으며, 단일층으로 형성되는 경우에는 주석-은 솔더나 구리를 포함할 수 있으나, 역시 이는 일례에 불과하며 이에 한정되는 것은 아니다. 전기연결구조체(170)의 개수, 간격, 배치 형태 등은 특별히 한정되지 않으며, 통상의 기술자에게 있어서 설계 사항에 따라 충분히 변형이 가능하다. 예를 들면, 전기연결구조체(170)의 수는 접속패드(122)의 수에 따라서 수십 내지 수천 개일 수 있으며, 그 이상 또는 그 이하의 수를 가질 수도 있다.
- [0143] 전기연결구조체(170) 중 적어도 하나는 팬-아웃 영역에 배치된다. 팬-아웃 영역이란 반도체칩(120)이 배치된 영역을 벗어나는 영역을 의미한다. 팬-아웃(fan-out) 패키지는 팬-인(fan-in) 패키지에 비하여 신뢰성이 우수하고, 다수의 I/O 단자 구현이 가능하며, 3D 인터코넥션(3D interconnection)이 용이하다. 또한, BGA(Ball Grid Array) 패키지, LGA(Land Grid Array) 패키지 등과 비교하여 패키지 두께를 얇게 제조할 수 있으며, 가격

경쟁력이 우수하다.

- [0145] 필요에 따라서, 절연층(180) 상에는 도전성 패턴층(132)의 적어도 일부를 오픈시키는 제4개구부(190h)를 갖는 커버층(190)이 배치될 수 있다. 커버층(190)은 ABF 등을 포함할 수 있으나, 이에 한정되는 것은 아니다. 오픈된 도전성 패턴층(132)의 표면에는 표면처리층(132P)이 배치될 수 있다. 표면처리층(132P)은 당해 기술분야에 공지된 것이라면 특별히 한정되는 것은 아니며, 예를 들어, 전해 금도금, 무전해 금도금, OSP 또는 무전해 주석도금, 무전해 은도금, 무전해 니켈도금/치환금도금, DIG 도금, HASL 등에 의해 형성될 수 있다.
- [0147] 도 11a 및 도 11b는 도 9의 팬-아웃 반도체 패키지의 도전성 비아를 위한 제1 및 제2개구부의 형성 과정을 개략적으로 나타낸 공정도다.
- [0149] 도 11a를 참조하면, 먼저 봉합재(130)에 프레임(110)의 제3배선층(112c)의 적어도 일부를 오픈시키는 제1개구부(130h)를 형성한다. 제1개구부(130h)는 봉합재(130)의 재료에 따라서 가공 방법을 선택할 수 있으며, 예컨대 봉합재(130)가 ABF와 같은 비감광성 절연층인 경우에는, 제3배선층(112c)을 스타퍼층으로 이용하는 레이저 가공 등으로 형성할 수 있다. 제1개구부(130h)를 형성한 후에는 봉합재(130)의 재료에 맞춰서 클리어링을 수행할 수 있다. 예컨대, 봉합재(130)가 ABF와 같은 비감광성 절연층인 경우에는, 디스미어 처리로 클리어링할 수 있다.
- [0151] 도 11b를 참조하면, 다음으로 봉합재(130) 상에 절연층(180)을 형성한다. 절연층(180)은 얇은 두께로 형성할 수 있다. 절연층(180)은 감광성 절연물질을 도포한 후 경화하여 형성하거나, 또는 감광성 절연필름을 라미네이션하는 방법 등으로 형성할 수 있다. 다음으로, 절연층(180)의 제1개구부(130h)를 채우는 영역에 프레임(110)의 제3배선층(112c)의 적어도 일부를 오픈시키는 제2개구부(180h)를 형성한다. 제2개구부(180h)는 절연층(180)의 재료에 따라서 가공 방법을 선택할 수 있으며, 예컨대 절연층(180)이 PID와 같은 감광성 절연층인 경우에는, 포토리소그래피 방법으로 형성할 수 있으며, 클리어링 역시 현상으로 수행할 수 있다. 이후, 도금 공정으로 절연층(180) 상에, 그리고 제2개구부(180h)에 도전성 패턴층(미도시)과 도전성 비아(미도시)를 형성할 수 있다.
- [0153] 도 12는 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.
- [0155] 도면을 참조하면, 다른 일례에 따른 팬-아웃 반도체 패키지(100B)는 상술한 일례에 따른 팬-아웃 반도체 패키지(100A)에 있어서, 봉합재(130) 및 절연층(180) 사이에 배치된 보강층(136)과, 보강층(136) 및 절연층(180) 사이에 배치된 수지층(138)을 더 포함한다. 즉, 다른 일례에 따른 팬-아웃 반도체 패키지(100B)는 봉합재(130), 보강층(136), 수지층(138), 및 절연층(180) 순으로 적층된 형태를 가진다. 보강층(136)은 패키지의 강성을 도입하여 위피지를 제어하는 역할을 수행할 수 있다. 이러한 관점에서, 보강층(136)은 봉합재(130), 절연층(180), 및 수지층(138) 각각 보다 엘라스틱 모듈러스가 클 수 있다. 제1개구부(130h)는 봉합재(130)뿐만 아니라 보강층(136) 및 수지층(138) 역시 관통한다. 즉, 수지층(138)은 보강층(136)에 제1개구부(130h)를 형성하기 위하여 도입된 것일 수 있다. 예컨대, 보강층(136)만 존재하는 경우 레이저 가공이 어려울 수 있으나, 수지층(138)의 존재로 레이저 가공이 용이하여, 보강층(136)과 수지층(138)을 관통하는 제1개구부(130h)를 용이하게 형성할 수 있다.
- [0157] 보강층(136)의 재료로는 강성을 유지할 수 있는 재료를 사용하며, 예를 들면, 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지가 무기필러와 함께 유리섬유 등의 심재에 상술한 수지가 함침된 재료, 예를 들면, 프리프레그 등이 사용될 수 있다. 반면, 수지층(138)은 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지와, 무기필러를 포함하되, 유리섬유는 포함하지 않는 재료, 예를 들면, ABF 등이 사용될 수 있다. 이러한 재료의 보강층(136) 및 수지층(138)을 관통하는 제1개구부(130h)는 형성 과정에서 디스미어로 비아홀 클리닝 과정을 거칠 수 있으며, 유리섬유를 포함하는 보강층(136) 부분에서는 필요에

따라서 에칭 과정을 통하여 클리어링을 거칠 수 있다.

[0159] 한편, 다른 일례에 따른 팬-아웃 반도체 패키지(100B)에서는 봉합재(130) 및 절연층(180) 모두 비감광성 절연층일 수 있다. 즉, 절연층(180) 역시도 절연수지와 무기필러를 포함하는, 예를 들면, ABF 등일 수 있다. 다만, 절연층(180)은 봉합재(130)의 재료의 구체적인 조성은 다를 수 있다. 즉, 절연층(180)과 봉합재(130)는 엘라스틱 모듈러스나 열팽창계수와 같은 물성이 서로 다를 수 있다. 절연층(180)이 비감광성 절연층인 경우, 제2개구부(180h)를 형성 가정에서 디스미어로 비아홀 클리닝 과정을 거칠 수 있다. 이 경우 표면조도의 형성이 용이한바, 도전성 패턴층(132)과 도전성 비아(133) 등의 도금층을 형성할 때 화학동 미도금 리스크 등을 감소시킬 수 있다. 그 외에 다른 내용은 상술한 도 9 내지 도 11b를 통하여 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.

[0161] 도 13은 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.

[0163] 도면을 참조하면, 다른 일례에 따른 팬-아웃 반도체 패키지(100C)는 상술한 일례에 따른 팬-아웃 반도체 패키지(100A)에 있어서, 프레임(110)이 다른 형태를 가진다. 구체적으로, 다른 일례에 따른 팬-아웃 반도체 패키지(100C)는 프레임(110)이 제1절연층(111a), 제1절연층(111a)의 일면 상에 배치된 제1배선층(112a), 제1절연층(111a)의 타면 상에 배치된 제2배선층(112b), 제1절연층(111a)의 일면 상에 배치되어 제1배선층(112a)의 적어도 일부를 덮는 제2절연층(111b), 제2절연층(111b)의 제1배선층(112a)이 매립된 측의 반대측 상에 배치된 제3배선층(112c), 제1절연층(111a)의 타면 상에 배치되어 제2배선층(112b)의 적어도 일부를 덮는 제3절연층(111c), 제3절연층(111c)의 제2배선층(112b)이 매립된 측의 반대측 상에 배치된 제4배선층(112d), 제1절연(111a)층을 관통하며 제1 및 제2배선층(112a, 112b)을 전기적으로 연결하는 제1배선비아(113a), 제2절연층(111b)을 관통하며 제1 및 제3배선층(112a, 112c)을 전기적으로 연결하는 제2배선비아(113b), 및 제3절연층(111c)을 관통하며 제2 및 제4배선층(112b, 112d)을 전기적으로 연결하는 제3배선비아(113c)를 포함한다. 제1 및 제2개구부(130h, 180h)는 제4배선층(112d)의 적어도 일부를 각각 오픈시킨다. 프레임(110)은 보다 많은 수의 배선층(112a, 112b, 112c, 112d)를 가지는바, 연결구조체(140)를 더욱 간소화할 수 있다.

[0165] 제1절연층(111a)은 제2절연층(111b) 및 제3절연층(111c)보다 두께가 두꺼울 수 있다. 제1절연층(111a)은 기본적으로 강성 유지를 위하여 상대적으로 두꺼울 수 있으며, 제2절연층(111b) 및 제3절연층(111c)은 더 많은 수의 배선층(112c, 112d)을 형성하기 위하여 도입된 것일 수 있다. 제1절연층(111a)은 제2절연층(111b) 및 제3절연층(111c)과 상이한 절연물질 포함할 수 있다. 예를 들면, 제1코어절연층(111a)은 유리섬유와 같은 심재, 무기필러, 및 절연수지를 포함하는, 예컨대, 프리프레그일 수 있고, 제2절연층(111b) 및 제3절연층(111c)은 무기필러 및 절연수지를 포함하는 ABF 또는 PID 일 수 있으나, 이에 한정되는 것은 아니다. 유사한 관점에서, 제1절연층(111a)을 관통하는 제1배선비아(113a)는 제2 및 제3절연층(111b, 111c)을 관통하는 제2 및 제3배선비아(113b, 113c)보다 직경이 클 수 있다. 또한, 제1배선비아(113a)는 모래시계 또는 원기둥 형상을 가지는 반면, 제2 및 제3배선비아(113b, 113c)는 서로 반대 방향의 테이퍼 형상을 가질 수 있다. 제1 내지 제4배선층(112a, 112b, 112c, 112d)의 두께는 재배선층(142)의 두께보다 두꺼울 수 있다. 제1 내지 제4배선층(112a, 112b, 112c, 112d)과 제1 내지 제3배선비아(113a, 113b)의 재료나 역할 등을 포함하는, 그 외에 다른 내용은 상술한 도 9 내지 도 12를 통하여 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.

[0167] 도 14는 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.

[0169] 도면을 참조하면, 다른 일례에 따른 팬-아웃 반도체 패키지(100D)는 상술한 다른 일례에 따른 팬-아웃 반도체 패키지(100C)에 있어서, 봉합재(130) 및 절연층(180) 사이에 배치된 보강층(136)과, 보강층(136) 및 절연층(180) 사이에 배치된 수지층(138)을 더 포함한다. 즉, 다른 일례에 따른 팬-아웃 반도체 패키지(100D)는 봉합재(130), 보강층(136), 수지층(138), 및 절연층(180) 순으로 적층된 형태를 가진다. 그 외에 다른 내용은 상술

한 도 9 내지 도 13을 통하여 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.

[0171] 도 15는 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.

[0173] 도면을 참조하면, 다른 일례에 따른 팬-아웃 반도체 패키지(100E)는 상술한 일례에 따른 팬-아웃 반도체 패키지(100A)에 있어서 프레임(110)이 복수의 관통홀(110H1, 110H2)를 가지며, 각각의 관통홀(110H1, 110H2)에는 제1 및 제2반도체칩(120a, 120b)이 각각 배치된다. 제1 및 제2반도체칩(120a, 120b)은 각각 바디(121a, 121b)와 접속패드(122a, 122b)와 패시베이션막(123a, 123b)을 포함하는 집적회로(IC) 다이일 수 있다. 제한되지 않는 일례로써, 제1반도체칩(120a)은 어플리케이션 프로세서(AP)일 수 있고, 제2반도체칩(120b)은 전력관리 집적회로(PMIC)일 수 있으나, 이에 한정되는 것은 아니다. 제1 및 제2반도체칩(120a, 120b)은 연결구조체(140)의 재배선층(142)을 통하여 전기적으로 연결될 수 있다. 그 외에 다른 내용은 상술한 도 9 내지 도 14를 통하여 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.

[0175] 도 16은 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸다.

[0177] 도면을 참조하면, 다른 일례에 따른 팬-아웃 반도체 패키지(100F)는 상술한 다른 일례에 따른 팬-아웃 반도체 패키지(100B)에 있어서 프레임(110)이 복수의 관통홀(110H1, 110H2)를 가지며, 각각의 관통홀(110H1, 110H2)에는 제1 및 제2반도체칩(120a, 120b)이 각각 배치된다. 그 외에 다른 내용은 상술한 도 9 내지 도 15를 통하여 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.

[0179] 본 개시에서 하측, 하부, 하면 등은 편의상 도면의 단면을 기준으로 아래쪽 방향을 의미하는 것으로 사용하였고, 상측, 상부, 상면 등은 그 반대 방향을 의미하는 것으로 사용하였다. 다만, 이는 설명의 편의상 방향을 정의한 것으로, 특허청구범위의 권리범위가 이러한 방향에 대한 기재에 의하여 특별히 한정되는 것이 아님은 물론이며, 상/하의 개념은 언제든지 바뀔 수 있다.

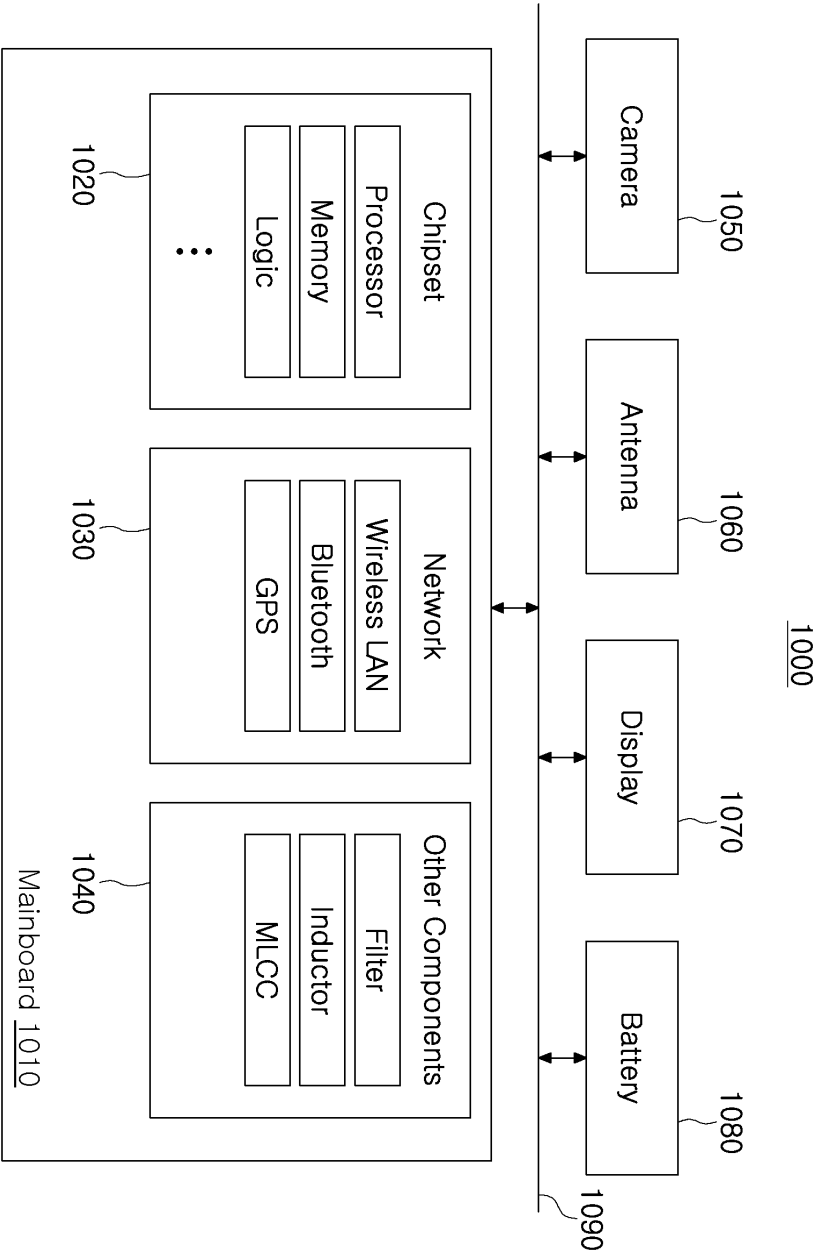
[0181] 본 개시에서 연결된다는 의미는 직접 연결된 것뿐만 아니라, 접착제 층 등을 통하여 간접적으로 연결된 것을 포함하는 개념이다. 또한, 전기적으로 연결된다는 의미는 물리적으로 연결된 경우와 연결되지 않은 경우를 모두 포함하는 개념이다. 또한, 제1, 제2 등의 표현은 한 구성요소를 다른 구성요소를 구분 짓기 위해 사용되는 것으로, 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 경우에 따라서는 권리범위를 벗어나지 않으면서, 제1 구성요소는 제2 구성요소로 명명될 수도 있고, 유사하게 제2 구성요소는 제1 구성요소로 명명될 수도 있다.

[0183] 본 개시에서 사용된 일례 라는 표현은 서로 동일한 실시 예를 의미하지 않으며, 각각 서로 다른 고유한 특징을 강조하여 설명하기 위해서 제공된 것이다. 그러나, 상기 제시된 일례들은 다른 일례의 특징과 결합되어 구현되는 것을 배제하지 않는다. 예를 들어, 특정한 일례에서 설명된 사항이 다른 일례에서 설명되어 있지 않더라도, 다른 일례에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 일례에 관련된 설명으로 이해될 수 있다.

[0185] 본 개시에서 사용된 용어는 단지 일례를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 이때, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

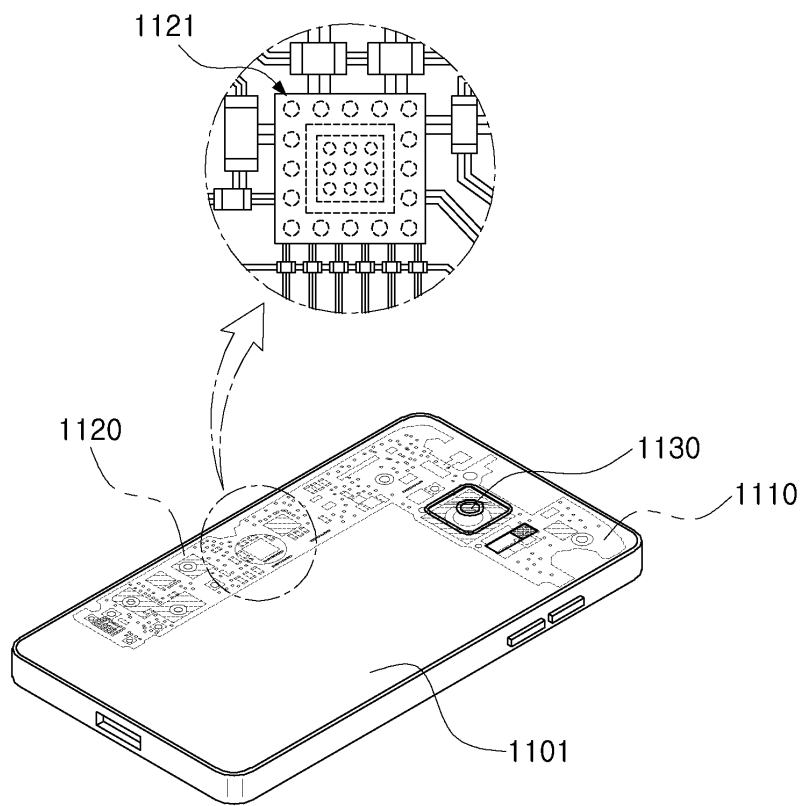
도면

도면1

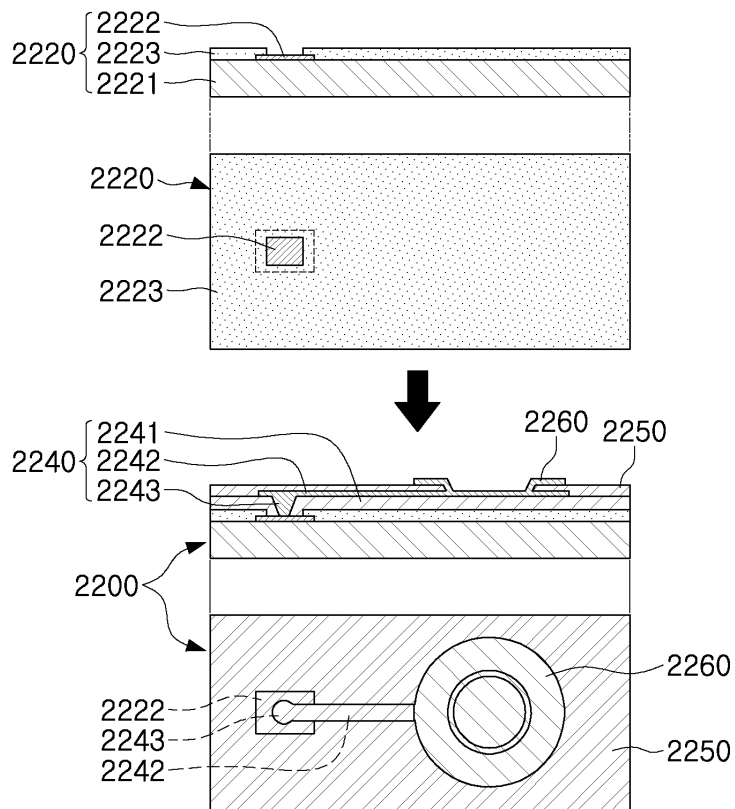


도면2

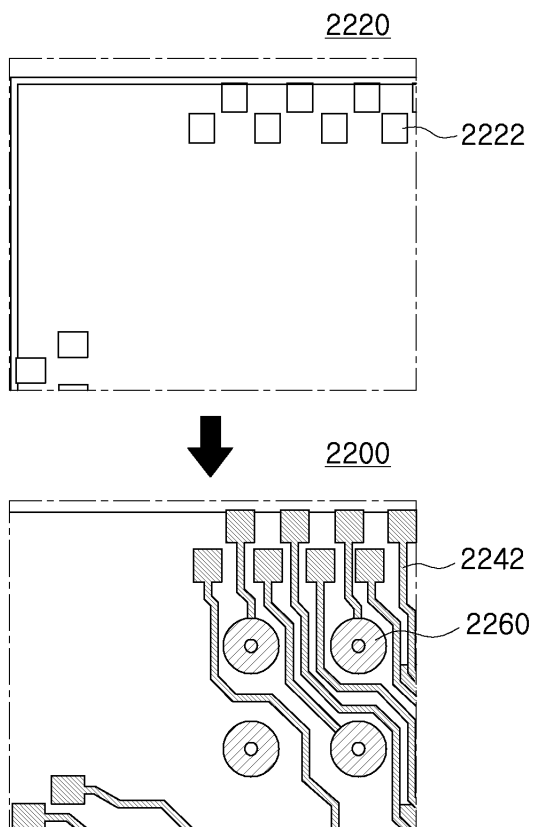
1100



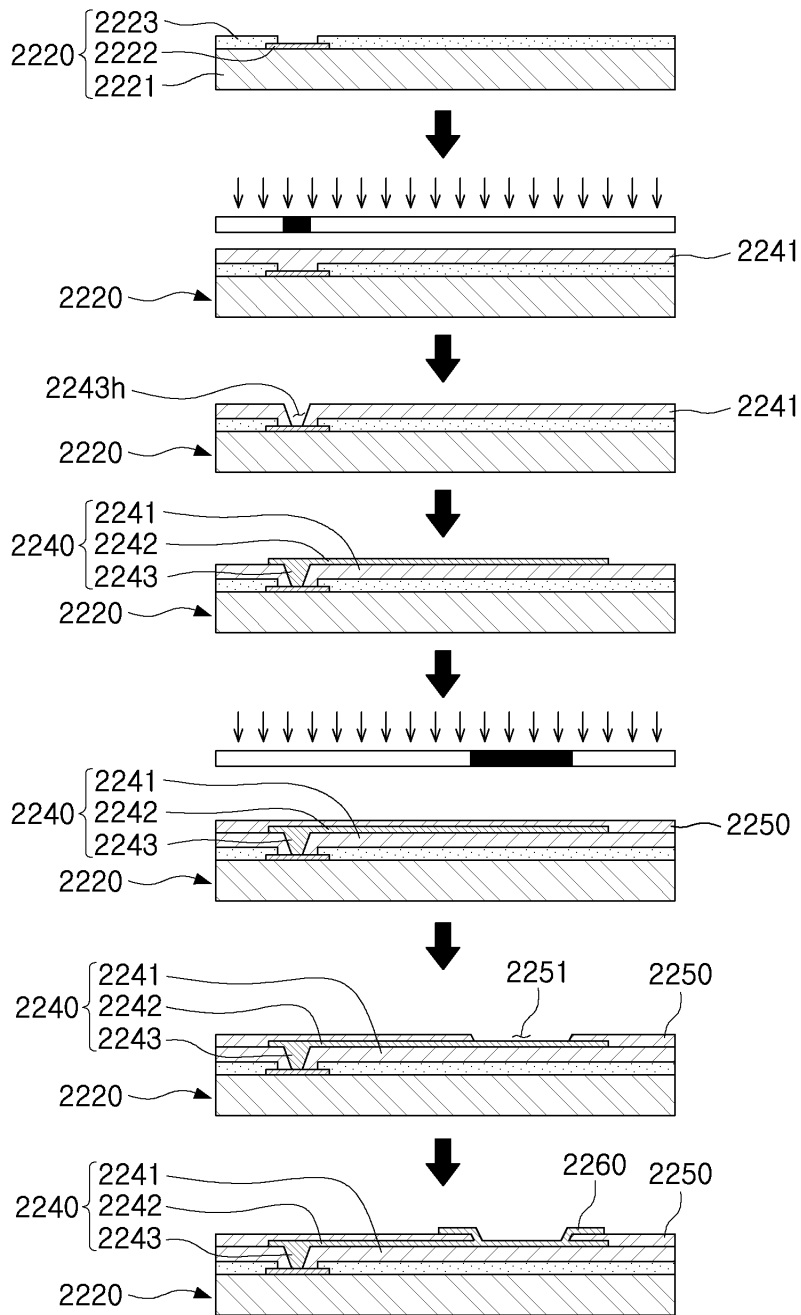
도면3a



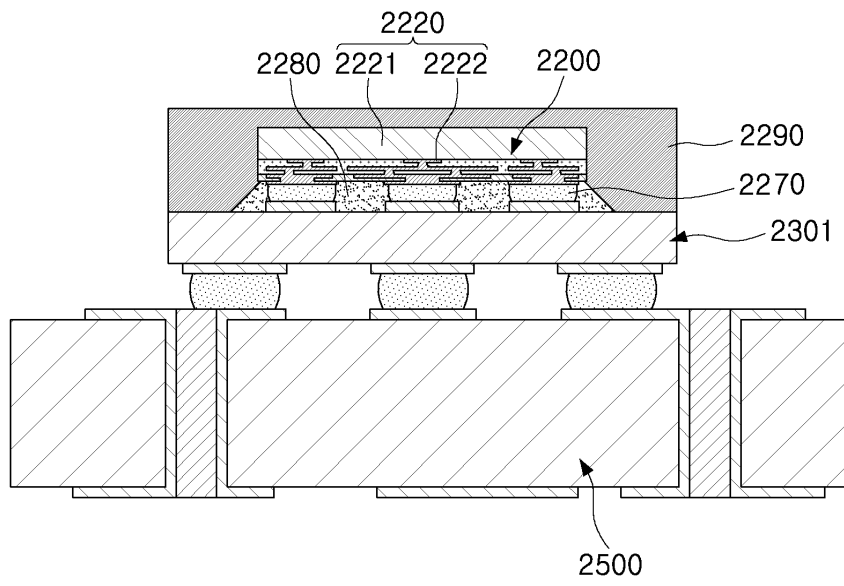
도면3b



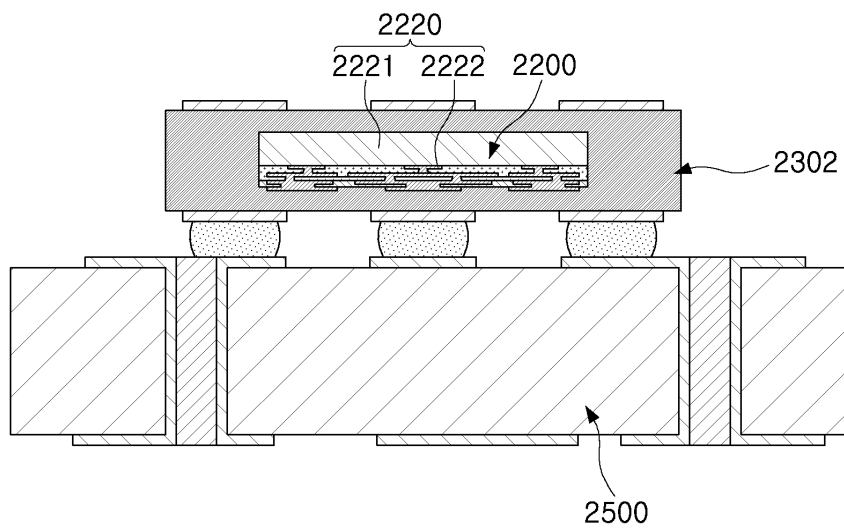
도면4



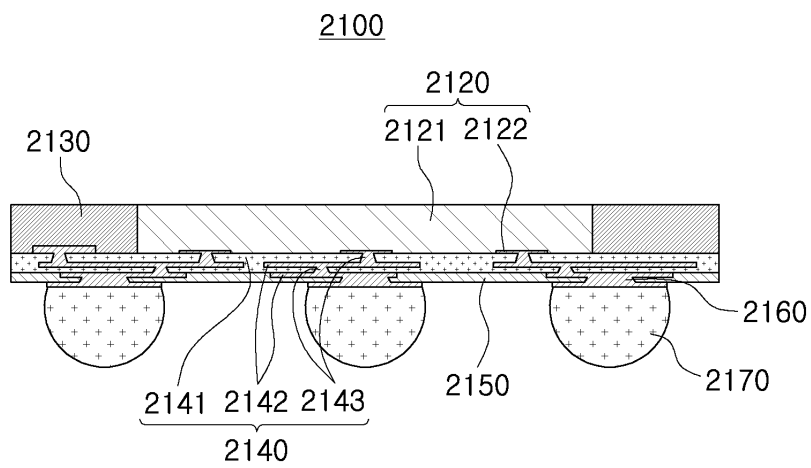
도면5



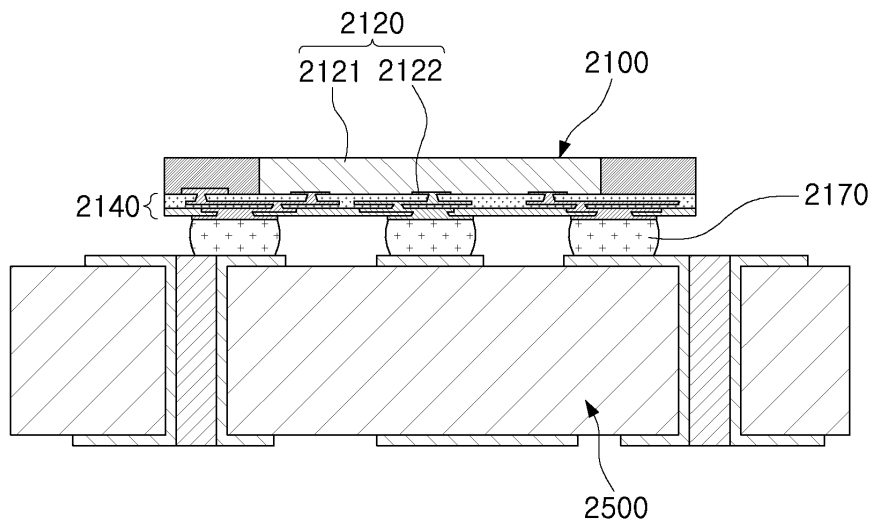
도면6



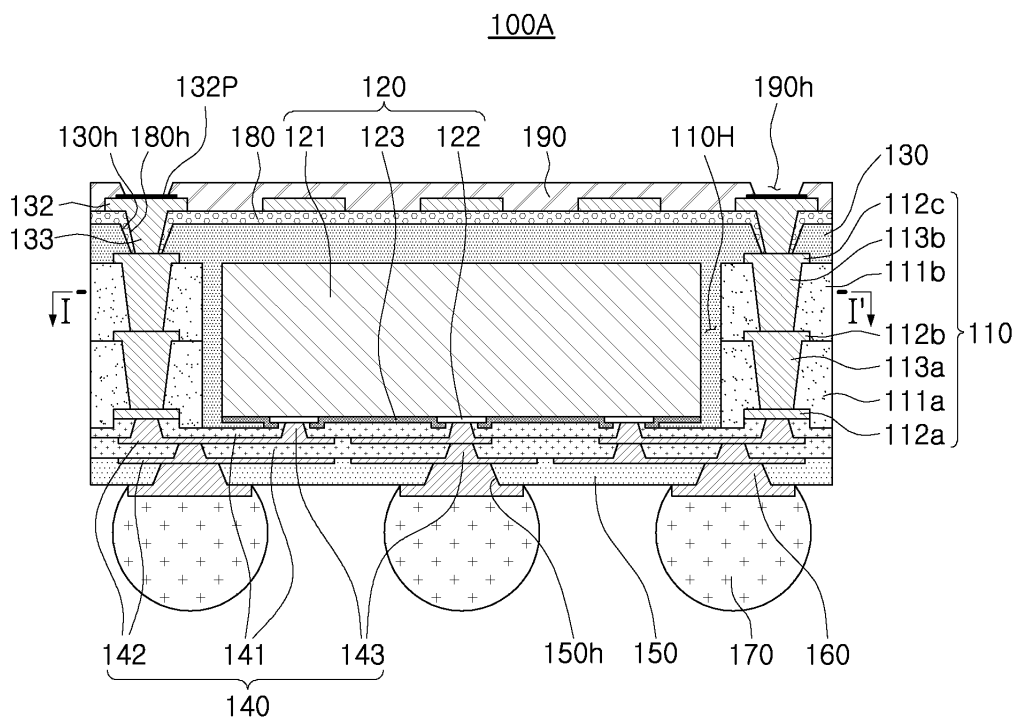
도면7



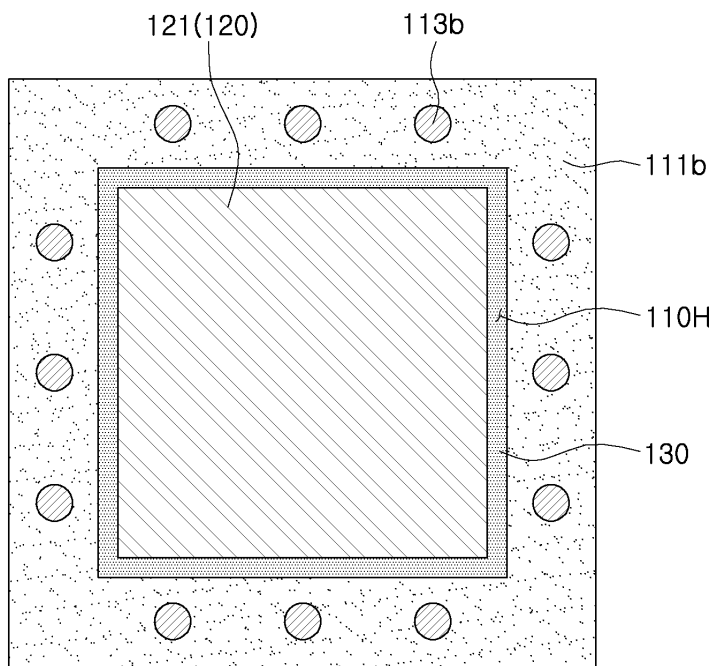
도면8



도면9

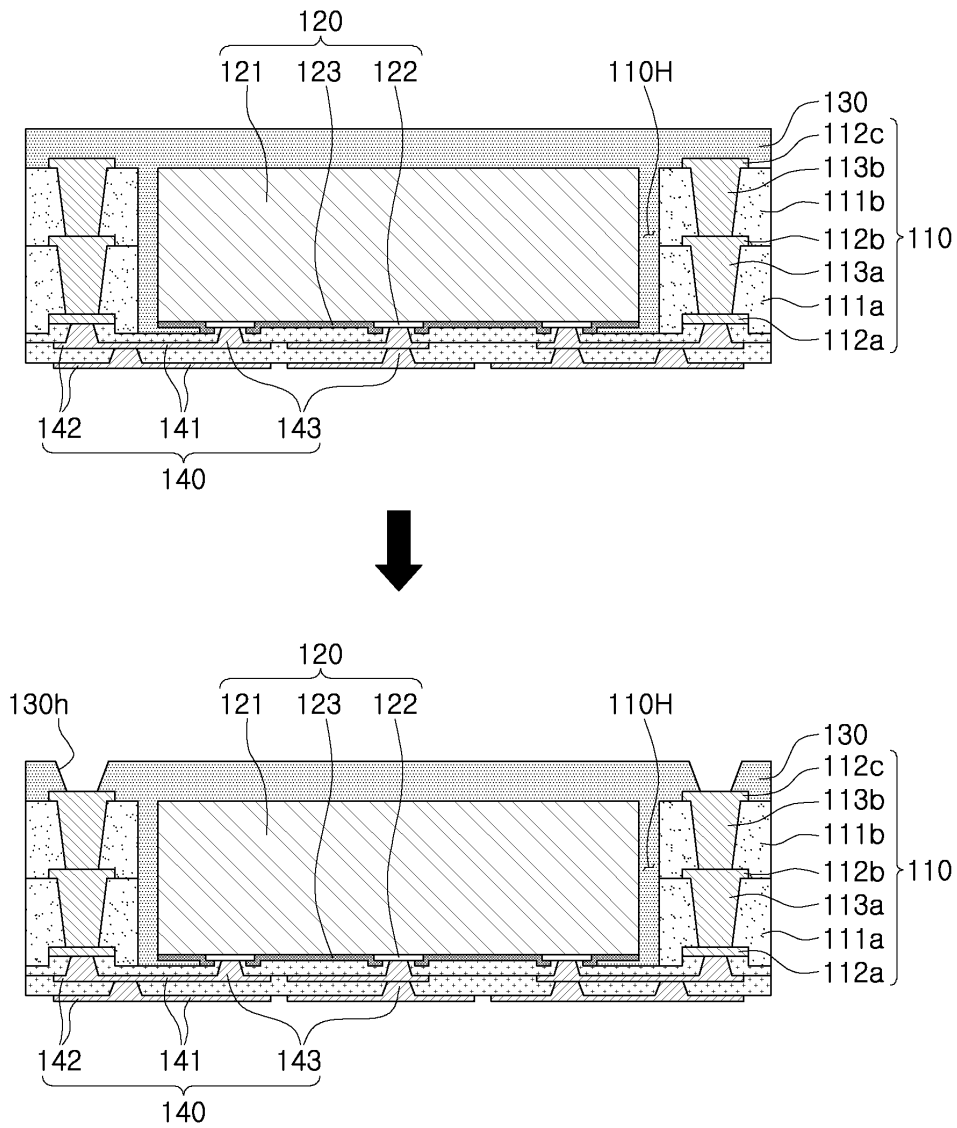


도면10

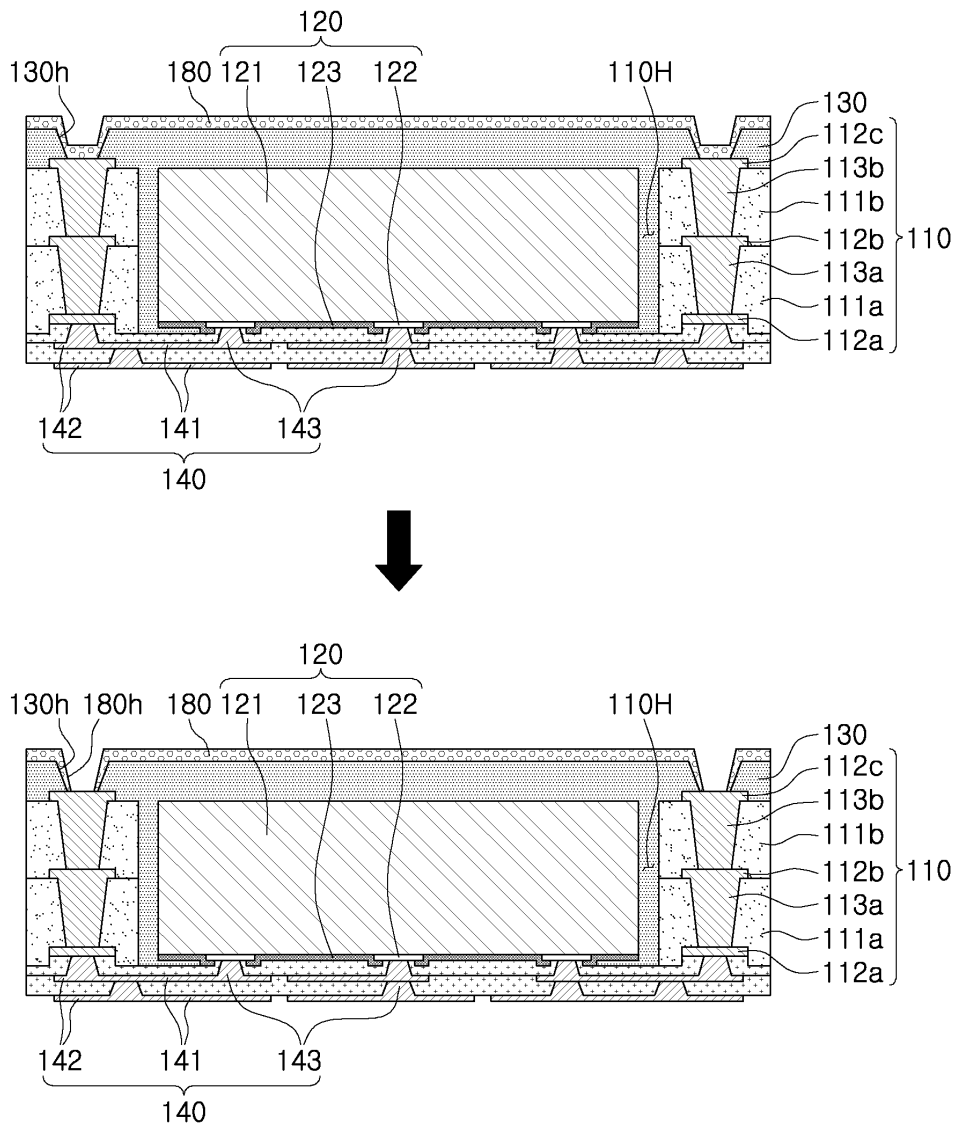


I - I'

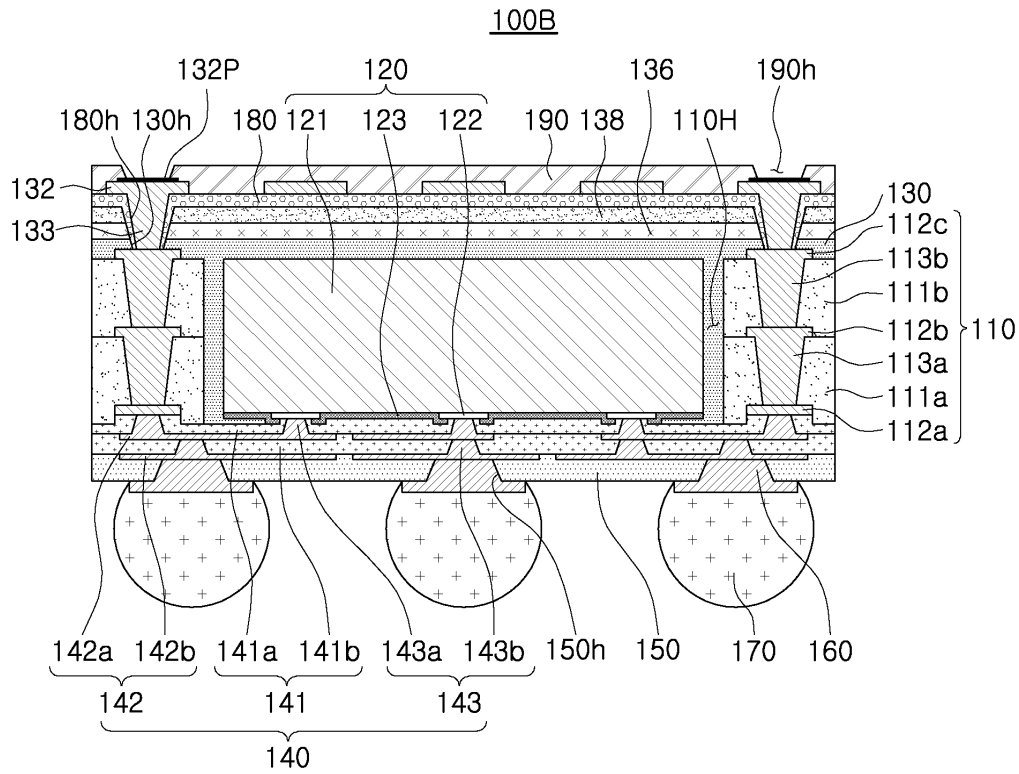
도면11a



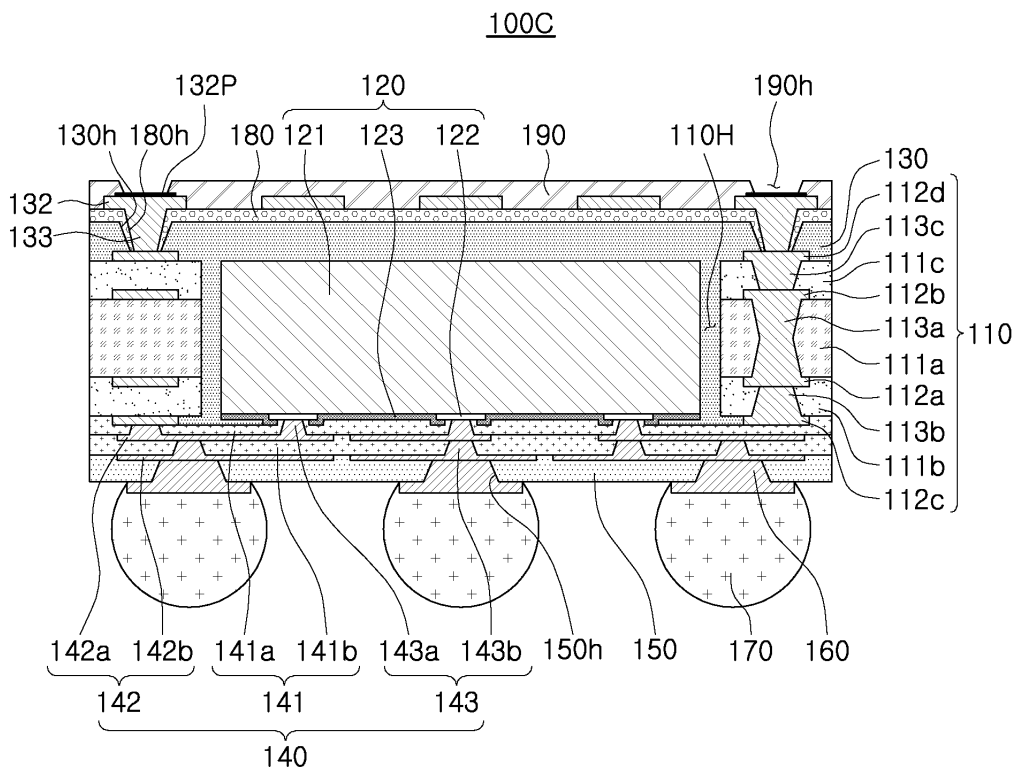
도면11b



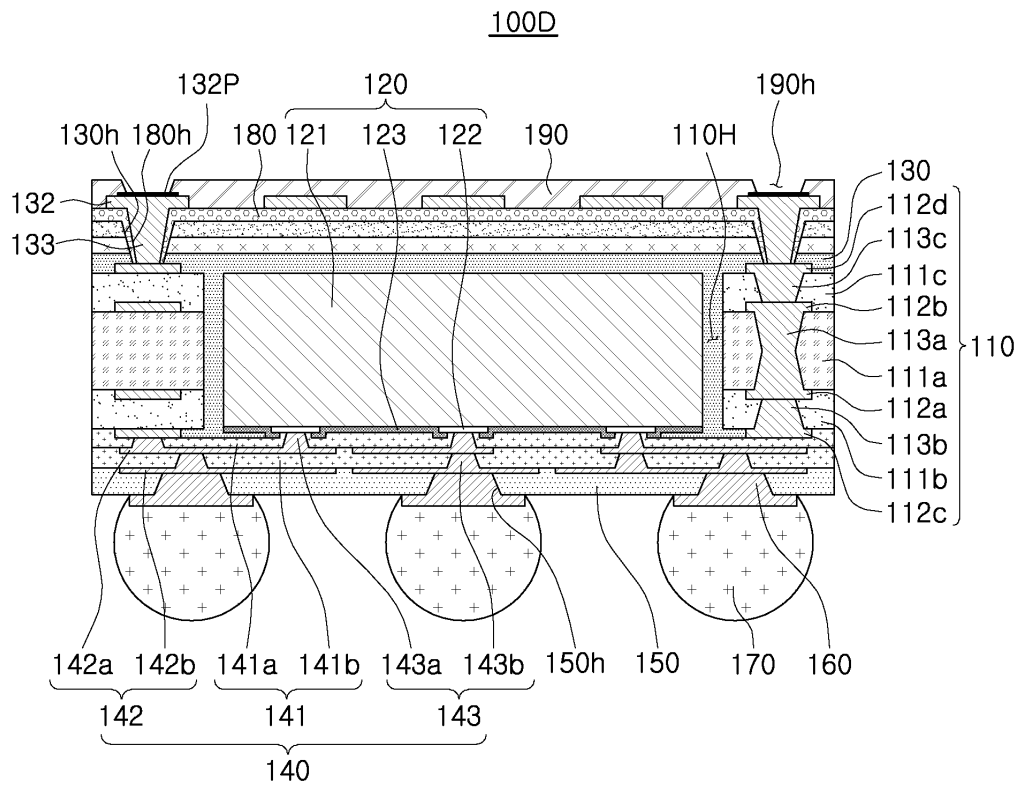
도면12



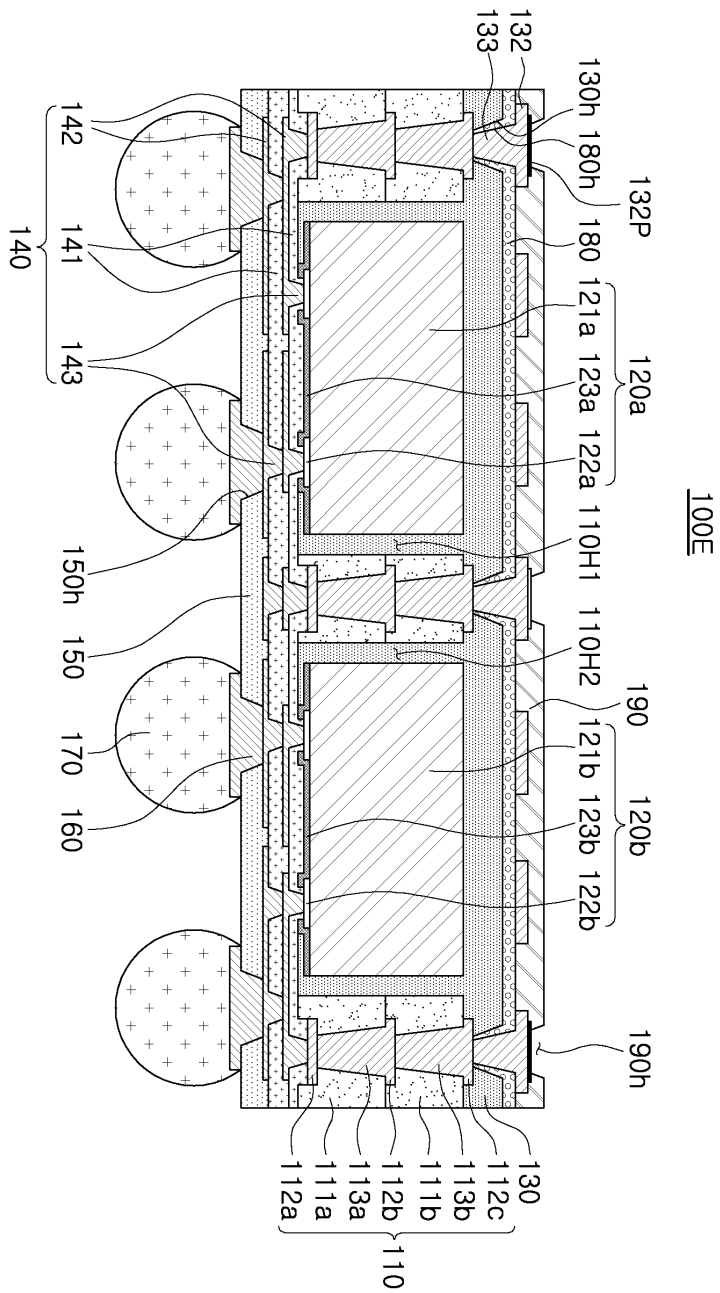
도면13



도면14



도면15



도면16

