

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-39192

(P2010-39192A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
G03F 1/08 (2006.01)	G03F 1/08 A	2H095
H01L 21/027 (2006.01)	G03F 1/08 D	
	H01L 21/30 5O2P	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号	特願2008-201948 (P2008-201948)	(71) 出願人	308033711
(22) 出願日	平成20年8月5日(2008.8.5)		OKIセミコンダクタ株式会社
			東京都八王子市東浅川町550番地1
		(74) 代理人	100086807
			弁理士 柿本 恭成
		(71) 出願人	591048162
			OKIセミコンダクタ宮城株式会社
			宮城県黒川郡大衡村沖の平1番
		(74) 代理人	100086807
			弁理士 柿本 恭成
		(74) 代理人	100091362
			弁理士 阿仁屋 節雄
		(74) 代理人	100090136
			弁理士 油井 透

最終頁に続く

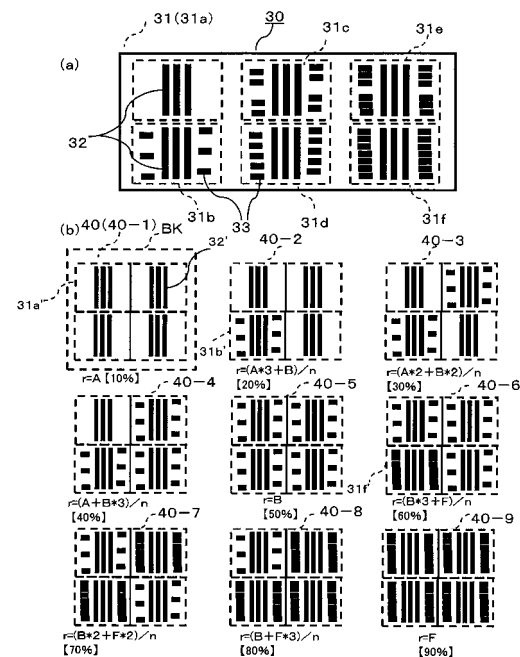
(54) 【発明の名称】 フォトマスク、及びフォトレジストパターンの形成方法

(57) 【要約】

【課題】 マスクデータ作図工数の軽減、マスクデータ容量の圧縮、及びマスク占有面積縮小を可能にする。

【解決手段】 少ない種類のTEGパターンチップ31(=31a~31f)を有するフォトマスク30を用いて、そのTEGパターンチップ31の種類よりも多い種類の、且つそれぞれ異なるパターンレシオの単位ブロックBKのフォトレジストパターン40(=40-1~40-9)をウェハ上に形成するようにしている。即ち、フォトマスク30に形成されたパターンレシオ比の異なる複数のTEGパターンチップ31を組み合わせることで、各ウェハの任意領域に対して様々なパターンレシオ比のフォトレジストパターン40を形成するようにしている。予めフォトマスク30上に形成する必要チップ数を抑えられる。

【選択図】 図1



本発明の実施例1のフォトマスク及びフォトレジストパターン

【特許請求の範囲】

【請求項 1】

パターンレシオ比の異なる回路パターンが形成された複数の回路チップと、
パターンレシオ比の異なる複数のレシオ調整用チップと、
を有することを特徴とするフォトマスク。

【請求項 2】

前記回路パターンは、テスト・エレメント・グループパターンであることを特徴とする
請求項 1 記載のフォトマスク。

【請求項 3】

前記レシオ調整用チップには、
前記回路パターンを被覆するための遮光パターンと、
単位面積当たりの個数が異なるレシオ調整用のダミーパターンと、
が形成されていることを特徴とする請求項 1 又は 2 記載のフォトマスク。

【請求項 4】

請求項 3 記載のフォトマスクを用いたフォトレジストパターン形成方法であって、
前記回路チップのレシオを制御するために前記フォトマスク中の前記複数の回路チップ
と前記複数のレシオ調整用チップとを組み合わせ、
前記回路チップのみを露光する第 1 の露光処理と、
前記第 1 の露光処理における露光ショットの位置と等しく、且つ前記第 1 の露光処理に
続けて、前記レシオ調整用チップのみを連続露光する第 2 の露光処理と、
を行って前記回路パターン及び前記ダミーパターンを有するフォトレジストパターンを
ウェハ上に形成することを特徴とするフォトレジストパターンの形成方法。

【請求項 5】

前記露光処理では、ブラインド露光を行うことを特徴とする請求項 4 記載のフォトレジ
ストパターンの形成方法。

【請求項 6】

前記回路パターンは、テスト・エレメント・グループパターンであることを特徴とする
請求項 4 又は 5 記載のフォトレジストパターンの形成方法。

【請求項 7】

パターンレシオ比の異なる複数の回路チップが形成されたフォトマスクを用い、
露光処理及び現像処理により、前記回路チップの種類よりも多い種類の、且つそれぞれ
異なるパターンレシオの単位ブロックからなるフォトレジストパターンをウェハ上に形成
することを特徴とするフォトレジストパターンの形成方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置用のフォトマスク、及びフォトレジストパターンの形成方法、特
に、半導体回路パターンのレシオ制御方法に関するものである。

【背景技術】

【0002】

図 6 (a) ~ (e) は、従来の半導体製造プロセスにおけるフォトリソ工程の一般的な
フローを示す概略の図である。

【0003】

フォトリソ工程では、先ず、図 6 (a) の被エッチング膜の堆積処理において、半導体
基板からなるウェハ 1 上に被エッチング膜 2 を堆積した後、図 6 (b) のレジスト塗布処
理において、フォトレジスト 3 の塗布を行う。次に、図 6 (c) の露光装置 10 を用いた
露光処理において、露光光源 11 で照射される箇所に、遮光膜で回路パターンを形成した
フォトマスク 20 をセットし、露光光源 11 からフォトマスク 20 を透過した露光光 H を
投影レンズ 12 によってフォトレジスト 3 上に結像し、このフォトレジスト 3 中に回路パ
ターンの潜像 3a を形成する。図 6 (d) の現像処理において、露光光 H に感光した部分

10

20

30

40

50

は除去され（ポジ型フォトリジストの場合）、フォトリジスト 3 中に形成された回路パターンの潜像 3 a がフォトリジストパターン 3 b として形成される。その後、図 6（e）のエッチング処理において、フォトリジストパターン 3 b で被覆されない被エッチング膜 2 の部分がエッチングされ、被エッチング膜 2 に回路パターン 2 a が形成される。

【0004】

図 7（a）、（b）は、図 6 の露光装置 1 0 による従来の一般的なブラインド露光の説明図であり、同図（a）はフォトマスク 2 0 上の全チップ 2 1 A、2 1 B、2 1 C を露光する場合の図、及び、同図（b）はフォトマスク 2 0 上のチップ 2 0 B のみを露光する場合の図である。この図 7 では、図 6 の露光処理において露光装置 1 0 の露光光源 1 1 側からフォトマスク 2 0 を眺めた図が示されている。

10

【0005】

露光装置 1 0 に 2 枚 1 組の L 字状の遮光板 1 3-1、1 3-2 が、露光光源 1 1 とフォトマスク 2 0 との間に設置されている。遮光板 1 3-1、1 3-2 を露光光 H の入射方向に対して垂直方向に上下左右に駆動させることで、図 7（a）、（b）に示されるように、露光光源 1 1 からフォトマスク 2 0 に照射される露光光 H の光透過領域 1 4 を限定し、フォトマスク 2 0 に形成した例えば 3 個のチップ 2 1 A、2 1 B、2 1 C の内の特定のチップのみを露光することが可能となる。

【0006】

従来、ウェハ面内或いは局所的なパターンレシオ（ratio、比率、割合）の違いが、エッチングパターンの寸法或いは形状の均一性や、化学的機械的研磨（Chemical Mechanical Polishing、以下「CMP」という。）の膜削りレートに影響することが知られている。そのため、様々なレシオの回路パターンを形成したフォトリジストパターン 3 b のサンプルを用いて、パターンレシオ依存性の評価を行い、最適なプロセス条件を見出す手法が一般によく用いられている。

20

【0007】

以下に様々なレシオの回路パターンを形成した例を図 8 及び図 9 に示す。

図 8 及び図 9（a）、（b-1）、（b-2）は、従来のパターンレシオ比のテスト・エレメント・グループ（Test Element Group、以下「TEG」という。）パターンの形成方法を示す図である。特に、図 8 は、従来において異なるパターンレシオ比の TEG パターンを形成したフォトマスクの例を示す平面図である。更に、図 9（a）、（b-1）、（b-2）は、従来において図 7 のフォトマスクによる露光で形成したフォトリジストパターンの例を示す平面図であり、同図（a）はウェハの図、同図（b-1）は図 8 の TEG パターンチップ 2 2 b により形成したフォトリジストパターンの図、及び、同図（b-2）は図 8 の TEG パターンチップ 2 2 d により形成したフォトリジストパターンの図である。

30

【0008】

図 8 のフォトマスク 2 0 では、TEG パターン 2 3 に、それぞれ矩形状のダミーパターン 2 4 を付加したチップ、即ち、単位面積当たりのダミーパターン 2 4 の個数を変化させることで、6 種類の異なるパターンレシオの TEG パターンチップ 2 2（=2 2 a～2 2 f）が形成されている。

40

【0009】

図 9（b-1）、（b-2）では、TEG パターンチップ 2 2 b、2 2 d のブラインド露光により異なるパターンレシオの TEG を形成したフォトリジストパターン 3 b が示されている。例えば、図 9（b-1）では、フォトリジスト TEG パターン 2 3' 及びフォトリジストダミーパターン 2 4' を有する同一のフォトリジストパターン 3 b が 3 つ配置された図が示されているが、これらのフォトリジストパターン 3 b は多数、図 9（a）のウェハ 1 に敷き詰められている。同様に、図 9（b-2）では、フォトリジスト TEG パターン 2 3' 及びフォトリジストダミーパターン 2 4' を有する同一のフォトリジストパターン 3 b が 3 つ配置された図が示されているが、これらのフォトリジストパターン 3 b は多数、ウェハ 1 に敷き詰められている。

50

【0010】

このようなフォトマスク及びフォトレジストパターンに関する関連技術が、例えば、下記の特許文献1に記載されている。

【0011】

【特許文献1】特開2004-86097号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、従来の技術では、評価すべきパターンレシオ比に対して、パターンレシオ比の数に相応するチップ数（即ち、図8のフォトマスク20上に形成しておくTEGパターンチップ22のパターン数（例えば、図8では22a～22fの6個））が必要になる。更に、評価すべきTEG種が複数ある場合には、前記パターンレシオ比の数とTEG種の数の積に相応するチップ数が必要となる。そのため、パターンレシオ比の数、TEG種の数に比例してフォトマスク20に形成するチップの数が増大し、マスク作図工数増に伴う条件最適化の遅延、マスクデータ容量増加に伴うデータ管理の不便性、及び、マスク占有面積増加に伴うマスクコスト増加を招く。

【課題を解決するための手段】

【0013】

本発明のフォトマスクは、パターンレシオ比の異なる回路パターン（例えば、TEGパターン）が形成された複数の回路チップと、パターンレシオ比の異なる複数のレシオ調整用チップと、を有することを特徴とする。

【0014】

本発明のフォトレジストパターンの形成方法は、前記発明のフォトマスクを用いたフォトレジストパターンの形成方法であって、前記回路チップのレシオを制御するために前記フォトマスク中の前記複数の回路チップと前記複数のレシオ調整用チップとを組み合わせ、前記回路チップのみを露光（例えば、ブラインド露光）する第1の露光処理と、前記第1の露光処理における露光ショットの位置と等しく、且つ前記第1の露光処理に続けて、前記レシオ調整用チップのみを連続露光する第2の露光処理と、を行って前記回路パターン及び前記ダミーパターンを有するフォトレジストパターンをウェハ上に形成することを特徴とする。

【0015】

本発明の他のフォトレジストパターンの形成方法は、パターンレシオ比の異なる複数の回路チップが形成されたフォトマスクを用い、露光処理及び現像処理により、前記回路チップの種類よりも多い種類の、且つそれぞれ異なるパターンレシオの単位ブロックからなるフォトレジストパターンをウェハ上に形成することを特徴とする。

【発明の効果】

【0016】

本発明のフォトマスクによれば、複数の回路チップと複数のレシオ調整用チップとを有しているので、これを用いて半導体回路のパターンレシオを容易に制御できる。

【0017】

本発明のレシオ調整用チップによれば、回路チップ内の回路パターンを被覆するための遮光パターンとレシオ調整用のダミーパターンとを有しているので、単位面積当たりのダミーパターンの個数を変化させることにより、レシオ調整を容易に行うことができる。

【0018】

本発明のフォトレジストパターンの形成方法によれば、回路チップのみを露光する第1の露光処理と、レシオ調整用チップのみを露光する第2の露光処理とを行う場合に、第1の露光処理と第2の露光処理について露光ショットの位置を等しく且つ連続露光を行うことで、回路パターンとダミーパターンを形成し、任意の回路チップと任意のレシオ調整用チップを組み合わせることで、回路パターンのレシオを制御することができる。そのため、フォトマスク上に、例えば、TEG種毎にパターンレシオ比の異なるチップを作成する

必要がなく、予めフォトマスク上に形成する必要チップ数を抑えられる。従って、従来技術に比べ、マスクデータ作図工数の軽減、マスクデータ容量の圧縮、及びマスク占有面積縮小が可能となる。

【0019】

本発明の他のフォトレジストパターンの形成方法によれば、パターンレシオ比の異なる複数の回路チップを単位ブロック内に形成し、この単位ブロック内に含まれる各々パターンレシオ比のチップ数の比率を変えることで、単位ブロック内のパターンレシオを変化させるようにしているので、半導体回路のパターンレシオを容易に制御できる。つまり、少ない種類の回路チップが形成されたフォトマスクを用いて、その回路チップの種類よりも多い種類の、且つそれぞれ異なるパターンレシオの単位ブロックからなるフォトレジストパターンをウェハ上に形成するようにしているので、予めフォトマスク上に形成する必要チップ数を抑えられる。従って、従来技術に比べ、マスクデータ作図工数の軽減、マスクデータ容量の圧縮、及びマスク占有面積縮小が可能となる。

10

【発明を実施するための最良の形態】

【0020】

本発明を実施するための最良の形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。

【実施例1】

【0021】

20

(実施例1の構成・動作)

図1(a)、(b)は、本発明の実施例1におけるフォトマスク及びフォトレジストパターンの例を示す平面図であり、同図(a)は異なるパターンレシオ比のTEGパターンを形成したフォトマスクを示す図、及び、同図(b)は同図(a)のフォトマスクによる露光で形成したフォトレジストパターンを示す図である。

【0022】

図1(a)のフォトマスク30では、従来の図8に示すフォトマスク20と同様に、TEGパターン32に、それぞれ矩形状のダミーパターン33を付加したチップ、即ち、単位面積当たりのダミーパターン33の個数を変化させることで、6種類の異なるパターンレシオ比のTEGパターンチップ31(=31a~31f)が形成されている。TEGパターンチップ31a~31fにおいて、TEGパターンチップ31aが低レシオで、TEGパターンチップ31fに向かって高レシオになっている。

30

【0023】

図1(b)では、図1(a)のフォトマスク30において3つのTEGパターンチップ31(=31a, 31b, 31f)のブラインド露光で形成した9種類のフォトレジストパターン40(=40-1~40-9)が示されている。9種類のフォトレジストパターン40(=40-1~40-9)には、TEGパターンチップ31aに対応するフォトレジストパターン31a'、TEGパターンチップ31bに対応するフォトレジストパターン31b'、及び、TEGパターンチップ31fに対応するフォトレジストパターン31f'がそれぞれ形成されている。

40

【0024】

ここで、TEGパターンチップ31a, 31b, 31f毎のブラインド露光によるフォトレジストパターン40(=40-1~40-9)の形成は、n個のチップを単位ブロックBKとして構成し、この単位ブロックBKに含まれる各々パターンレシオ比のチップ数の比率を変えることで、単位ブロックBK内のパターンレシオ比を変化させている。

【0025】

単位ブロックBK内のパターンレシオ比rは、次式(1)で与えられる。

【0026】

【数 1】

$$r = \sum r_k * n_k / n \quad (k = \text{任意変数}) \quad \dots (1)$$

但し、 r ；単位ブロックBK内パターンレシオ比

n ；単位ブロックBK内チップ数（＝4）

r_k ；任意チップBK内パターンレシオ比

n_k ；パターンレシオ比 r_k チップ数

10

【0027】

図1（b）では、 $n = 4$ チップの単位ブロックBKについて9通りの構成方法が示されている。TEGパターンチップ31aのパターンレシオ比A、TEGパターンチップ31bのパターンレシオ比B、TEGパターンチップ31fのパターンレシオ比Fについて単位ブロックBK内パターンレシオ比 r の算出式が示され、パターンレシオ比 $A = 10\%$ 、 $B = 50\%$ 、 $F = 90\%$ としたときのパターンレシオ比 r の値が括弧[]内に表示されている。本実施例1では、パターンレシオ比 r が $10\% \sim 90\%$ の間で、 10% 刻みのパターンレシオ変化を実現している。

20

【0028】

（本実施例1のエッチング評価の適用例）

図2（a）～（e）は、本発明の実施例1におけるエッチング評価の適用例を示す工程図、図3は、図2の適用例で使用する露光装置を示す概略の構成図である。

【0029】

本実施例1は、少ない種類のマスクパターン（例えば、図1（a）のTEGパターンチップ31a、31b、31f）を用いて、このマスクパターンの種類よりも多い種類の、且つそれぞれ異なるパターンレシオの単位ブロックBKからなるフォトレジストパターン40（＝40-1～40-9）をウェハ上に形成するものである。本実施例1では、半導体装置の量産開始前に、量産時のプロセス条件を設定するためのエッチング評価に適用した例を示すものである。ここで、エッチング評価とは、マイクロローディング効果（パターンレシオに対するエッチングレート変化）を確認する評価である。

30

【0030】

このエッチング評価に使用される図3の露光装置は、例えば、半導体基板であるウェハ50（＝50-1～50-9）を載置するための移動台60を有している。移動台60は、移動台駆動装置61により、水平面において直交するX軸及びY軸方向に移動可能な構造になっている。各ウェハ50上には、シリコン酸化膜、金属膜等の被エッチング膜51が堆積され、この上にフォトレジスト52が塗布されている。移動台60の上方には、露光光Hを照射するための露光光源62が設けられている。露光光源62の下には、従来の図7と同様のブラインド露光用の遮光板63と、図1（a）のフォトマスク30とがセットされるようになっている。フォトマスク30には、例えば、石英ガラス基板上にCr等の遮光膜でTEGパターンチップ31（＝31a～31f）が形成されている。このフォトマスク30は、フォトマスク移動機構64により、水平面のX軸及びY軸方向に移動可能な構造になっている。フォトマスク30の下方向には、露光光源62から照射された露光光Hをフォトレジスト52へ投影するための投影レンズ65が設けられている。

40

【0031】

以下、図2（a）～（e）を参照しつつ、エッチング評価方法を説明する。

50

フォトリソ工程の露光処理を行うために、図2(a)において、図3の露光装置の移動台60にウェハ50(例えば、50-1)を載置すると共に、図1(a)のフォトマスク30をセットする。ウェハ50-1上には、予め、被エッチング膜51が堆積され、この上にフォトレジスト52が塗布されている。フォトマスク移動機構64によりフォトマスク30を水平方向に移動し、この上の遮光板63によってフォトマスク30中のTEGパターン31(=31b~31f)を遮蔽してTEGパターン31aのみを光透過可能な状態にする。露光光源62からフォトマスク30中のTEGパターンチップ31aを透過した露光光Hを、投影レンズ65によってフォトレジスト52上に結像し、ウェハ50-1上のフォトレジスト52中に回路パターンの潜像52aを形成する。同様に、移動台60を水平方向へ移動させ、マトリクス状に、フォトレジスト52中に回路パターンの潜像52aを形成する。

10

【0032】

図2(b)において、現像処理により、露光光Hに感光した部分を除去し(ポジ型フォトレジストの場合)、フォトレジスト52中にマトリクス状に多数形成された回路パターンの潜像52aから、1種類の単位ブロックBKからなる多数のフォトレジストパターン40-1をマトリクス状に形成する。各フォトレジストパターン40-1は、この単位ブロックBK内のパターンレシオ比rが、TEGパターンチップ31aのパターンレシオ比A(=10%)である。その後、エッチング処理により、多数のフォトレジストパターン40-1で被覆されない被エッチング膜51の部分をエッチングし、被エッチング膜51に1種類の多数の回路パターンをマトリクス状に形成する。これにより、ウェハ50-1上には、1種類の多数の回路パターンがマトリクス状に敷き詰められた状態に形成される。

20

【0033】

以下同様にして、フォトマスク30中のTEGパターンチップ31b, 31fを用い、露光処理及び現像処理により、単位ブロックBKからなる多数のフォトレジストパターン40-2~40-9をウェハ5050-2~50-9毎にそれぞれ形成し、エッチング処理により、1種類の多数の回路パターンを各ウェハ50-2~50-9毎にそれぞれ形成する。

【0034】

図2(c)において、1種類の多数の回路パターンが形成された複数のウェハ50(=50-1~50-9)を用いて、量産開始前に、量産時のプロセス条件を設定するためのエッチング評価をそれぞれ行う。図2(d)において、その評価結果から、量産時の最適なプロセス条件を設定すると共に、最適なフォトレジストパターンを選択する。その後、図2(e)において、選択したフォトレジストパターンに基づき、量産用のフォトマスクを作成し、これを用いて、前記の設定されたプロセス条件下で半導体装置を製造すれば、所望の半導体装置を効率良く、高い信頼性で製造できる。

30

【0035】

(実施例1の効果)

本実施例1によれば、次の(a)~(c)のような効果がある。

(a) 本実施例1によれば、少ない種類のTEGパターンチップ31(=31a~31f)を有するフォトマスク30を用いて、そのTEGパターンチップ31(=31a~31f)の種類よりも多い種類の、且つそれぞれ異なるパターンレシオの単位ブロックBKのフォトレジストパターン40(=40-1~40-9)をウェハ50(=50-1~50-9)上に形成するようにしている。即ち、フォトマスク30に形成されたパターンレシオ比の異なる複数のTEGパターンチップ31(=31a, 31b, 31f)を組み合わせることで、各ウェハ50(=50-1~50-9)の任意領域に対して様々なパターンレシオ比のフォトレジストパターン40(=40-1~40-9)を形成するようにしているので、予めフォトマスク30上に形成する必要チップ数を抑えられる。そのため、従来技術に比べ、マスクデータ作図工数の軽減、マスクデータ容量の圧縮、及びマスク占有面積縮小が可能となる。

40

50

【0036】

(b) フォトレジストパターン40(=40-1~40-9)において、単位ブロックBK当たりのチップ数nは4つに限定されず、任意の数に適用できる。例えば、チップ数nが4つの場合、2つ等のように少ないチップ数とすると十分な種類のパターンレシオを作ることができず、逆に多すぎると単位ブロックBK内の疎密ばらつきの影響が生ずる可能性があるところ、4つであれば評価に十分な9種類のパターンレシオを作ることができるので、チップ数nは4つが好ましい。

【0037】

(c) 図1(b)の単位ブロックBK内では疎密に偏りがある。このため、本実施例1は、単位ブロックBK内での疎密の偏りが影響しない評価に適用できる。具体的には、本発明者は、量産開始前に、量産時のプロセス条件を設定するためのエッチング評価に実際に適用した。この結果、エッチング評価では、単位ブロックBK内の偏りが評価に影響しないことを確認した。その他、本実施例1が適用できる場合として、寸法均一性評価(フォトリソグラフィの現像工程において、現像液中に溶解するレジストの量により現像液濃度、現像レートが変化するレッドクラウドと呼ばれる現象による影響の評価)や、エッチングの装置や条件(ガス種・濃度等)に対する依存性調査等が考えられる。一方、本実施例1は、ローカルレシオ(局所的な範囲のレシオ)が影響するようなプロセス評価(例えば、CMP評価等)には不向きと考えられる。

【0038】

(実施例1の変形例)

本実施例1では、次の(i)、(ii)のように変形することも可能である。

【0039】

(i) 図2(b)では、1種類の単位ブロックBKが各ウェハ50(=50-1~50-9)上に敷き詰められている。しかし、評価の種類によってはウェハ50上の半分にある種類の単位ブロックBKを敷き詰め、他の半分には他の種類の単位ブロックBKを敷き詰めるような形態に変更することも可能である。

【0040】

(ii) 図1(a)のTEGパターンチップ31(=31a~31f)の数や、図1(b)のフォトレジストパターン40(=40-1~40-9)の数は、図示以外の数に変更してもよい。又、図1(a)のTEGパターン32及びダミーパターン33の数や形状等は、図示以外のものに変更してもよい。

【実施例2】

【0041】

(構成・動作)

図4は、本発明の実施例2におけるフォトマスクの例を示す平面図である。

【0042】

本実施例2は、実施例1においてTEGパターンが複数種存在する場合の効果的な実施形態を示すものである。本実施例2におけるフォトマスク70には、TEGパターン34aが形成されたTEGパターンチップ34-1と、そのTEGパターン34aに対して異なる形状のTEGパターン34bが形成されたTEGパターンチップ34-2と、遮光パターン35aが形成されたレシオ調整用チップ35-1と、矩形状のダミーパターン35b及び遮光パターン35aが形成されたレシオ調整用チップ35-2と、このチップ35-2に対して数の異なる矩形状のダミーパターン35b及び遮光パターン35aが形成されたレシオ調整用チップ35-3とが搭載されている。各レシオ調整用チップ35-1~35-3内に形成された遮光パターン35aは、各TEGパターンチップ34-1, 34-2内のTEGパターン34a, 34bを完全に覆い、且つ露光処理による光の外乱の影響がない十分な大きさに設定されている。

【0043】

図5(a)、(b)は、図4のフォトマスク70によるチップ毎のブラインド露光で形成されるフォトレジストパターンの例を示す平面図であり、同図(a)はステップ1にお

10

20

30

40

50

いてTEGチップ部を露光する状態の図、及び、同図（b）はステップ2においてレシオ調整用チップ部を露光して現像処理する図である。

【0044】

図5（a）では、図示しない被エッチング膜上に塗布されたフォトレジスト52に対し、TEGチップ部が露光され、TEGパターン34aのフォトレジスト潜像34a'が、TEGパターンチップ34-1のフォトレジストパターン34'箇所に形成され、更に、TEGパターン34bのフォトレジスト潜像34b'が、TEGパターンチップ34-2のフォトレジストパターン34-2'箇所に形成されている。

【0045】

図5（b）において、現像処理されたフォトレジストパターン80は、2つのフォトレジストパターン80-1，80-2により構成されている。一方のフォトレジストパターン80-1（=34-1'+35-2'）は、TEGパターンチップ34-1を露光して形成されたフォトレジストパターン34-1'と、レシオ調整用チップ35-2を露光して形成されたフォトレジストパターン35-2'とにより構成されている。他方のフォトレジストパターン80-2（=34-2'+35-2'）は、TEGパターンチップ34-2を露光して形成されたフォトレジストパターン34-2'と、レシオ調整用チップ35-2を露光して形成されたフォトレジストパターン35-2'とにより構成されている。

10

【0046】

（図5のフォトレジストパターン80の形成方法）

20

図5（a）のステップ1において、図3の露光装置を用い、TEGパターンチップ34-1，34-2に対するブラインド露光処理により、TEGパターン34a，34bの像をフォトレジスト52中に潜像し、フォトレジスト潜像34a'，34b'を形成する（第1の露光処理）。

【0047】

次に、図5（b）のステップ2において、TEGパターンチップ34-1，34-2を露光した位置と同じ位置に、レシオ調整用チップ35-2を重ねて露光する（第2の露光処理）。第2の露光処理では、遮光パターン35aにより、第1の露光処理によるTEGパターン34a，34bが潜像した部分は露光されず、ダミーパターン35bのみがフォトレジスト52中に潜像する。その後、現像処理により、第1の露光処理によるTEGパターン34a，34bのフォトレジストパターン34a'，35a'と、第2の露光処理によるダミーパターン35bのフォトレジストパターン35b'とを形成する。

30

【0048】

（実施例2の効果）

本実施例2によれば、フォトマスク70上に形成された異なるTEG種のTEGパターンチップ34-1，34-2と、フォトマスク70上に形成された任意のレシオ調整用チップ35-1～35-3と、を組み合わせることでフォトレジスト80のパターンレシオ比を実現しているので、フォトマスク70上に、TEG種毎にパターンレシオ比の異なるチップを作成する必要がなく、予めフォトマスク70上に形成する必要チップ数を抑えられる。そのため、従来技術に比べ、マスクデータ作図工数の軽減、マスクデータ容量の圧縮、及びマスク占有面積縮小が可能となる。

40

【0049】

（実施例2の変形例）

本実施例2では、次の（i）、（ii）のように変形することも可能である。

【0050】

（i） 第1の露光処理でレシオ調整用チップ35-2、第2の露光処理でTEGパターン34a，34bを露光してもよい。TEGパターン34a，34bのレシオ比を変化させるには、実施例1で示す方法と組み合わせることもできる。

【0051】

（ii） 図4のフォトマスク70上のTEGパターンチップ34-1，34-2、及

50

びレシオ調整用チップ 35-1～35-3 の数や形状等は、所望のフォトレジストパターン 80 に応じて、図示以外のものに変更してもよい。

【図面の簡単な説明】

【0052】

【図 1】本発明の実施例 1 におけるフォトマスク及びフォトレジストパターンの例を示す平面図である。

【図 2】本発明の実施例 1 におけるエッチング評価の適用例を示す工程図である。

【図 3】図 2 の適用例で使用する露光装置を示す概略の構成図である。

【図 4】本発明の実施例 2 におけるフォトマスクの例を示す平面図である。

【図 5】図 4 のフォトマスク 70 によるチップ毎のブラインド露光で形成されるフォトレジストパターンの例を示す平面図である。 10

【図 6】従来の半導体製造プロセスにおけるフォトリソ工程の一般的なフローを示す概略の図である。

【図 7】図 6 の露光装置 10 による従来の一般的なブラインド露光の説明図である。

【図 8】従来のフォトマスクの例を示す平面図である。

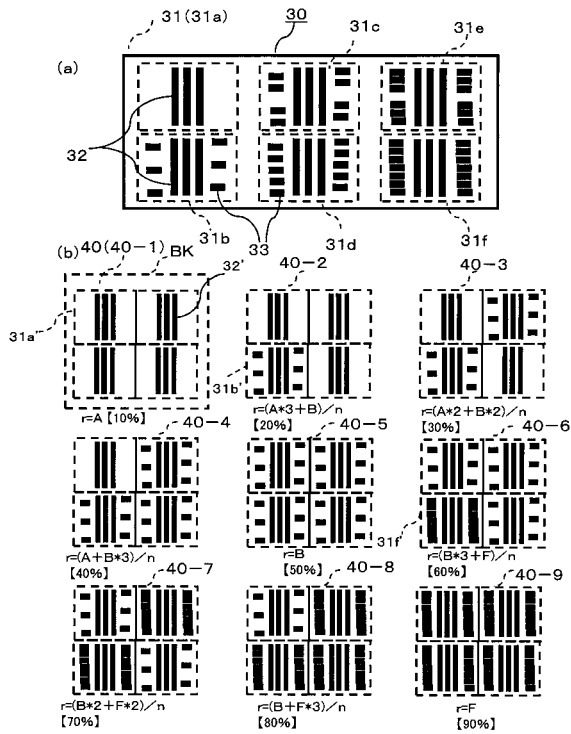
【図 9】図 7 のフォトマスクによる露光で形成したフォトレジストパターンの例を示す平面図である。

【符号の説明】

【0053】

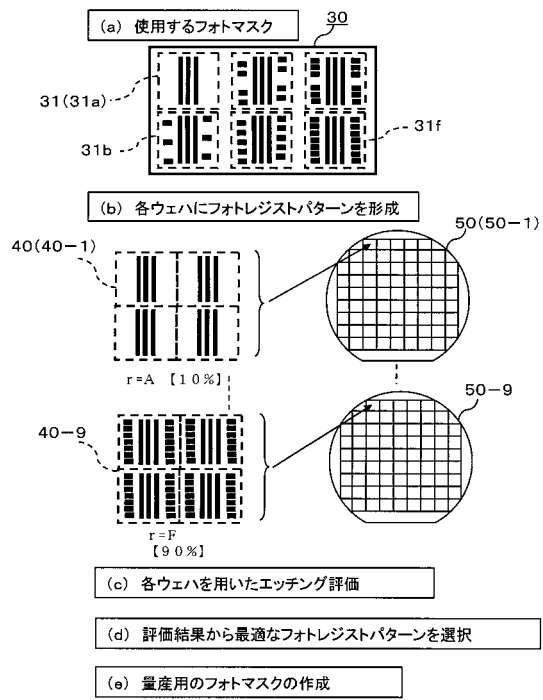
30, 70	フォトマスク	20
31, 31a～31f, 34-1, 34-2	T E G パターンチップ	
32, 34a, 34b	T E G パターン	
33, 35b	ダミーパターン	
35, 35-1～35-3	レシオ調整用チップ	
35a	遮光パターン	
40, 40-1～40-9, 80	フォトレジストパターン	
50, 50-1～50-9	ウェハ	
52	フォトレジスト	
B K	単位ブロック	

【図 1】



本発明の実施例1のフォトマスク及びフォトレジストパターン

【図 2】



本発明の実施例1のエッチング評価の適用例

【図 3】

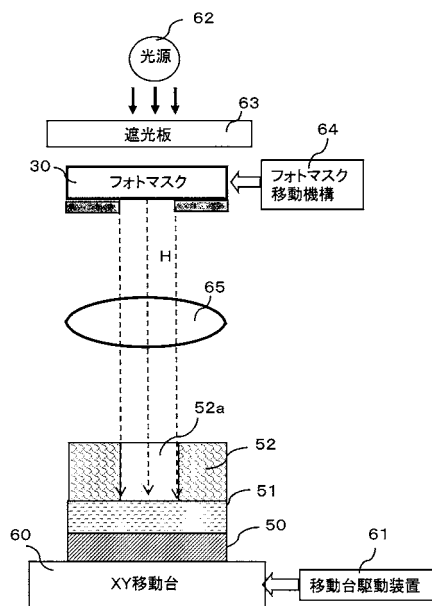
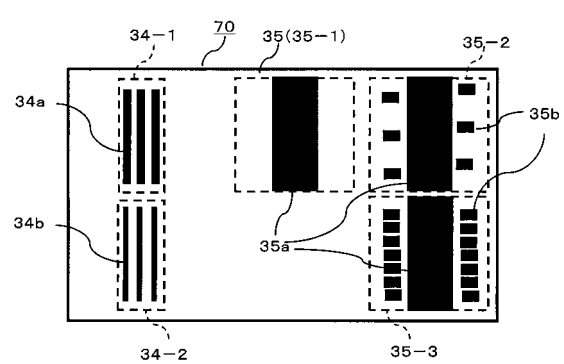


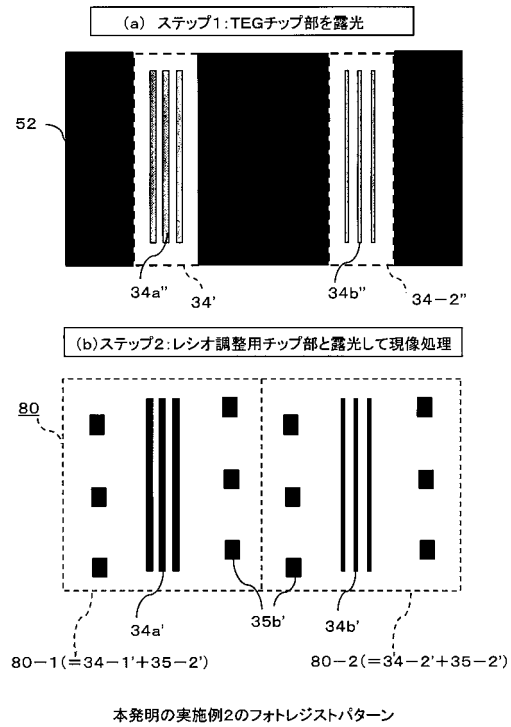
図2で使用する露光装置

【図 4】

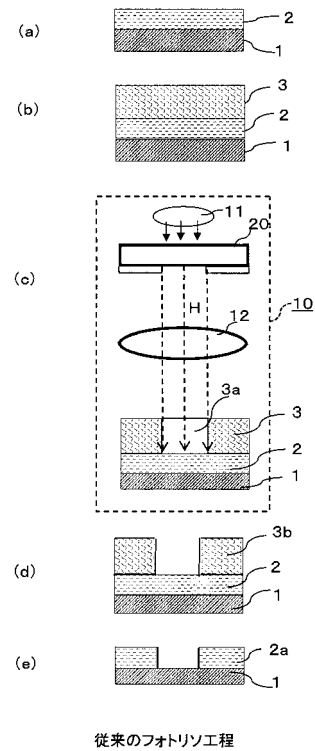


本発明の実施例2のフォトマスク

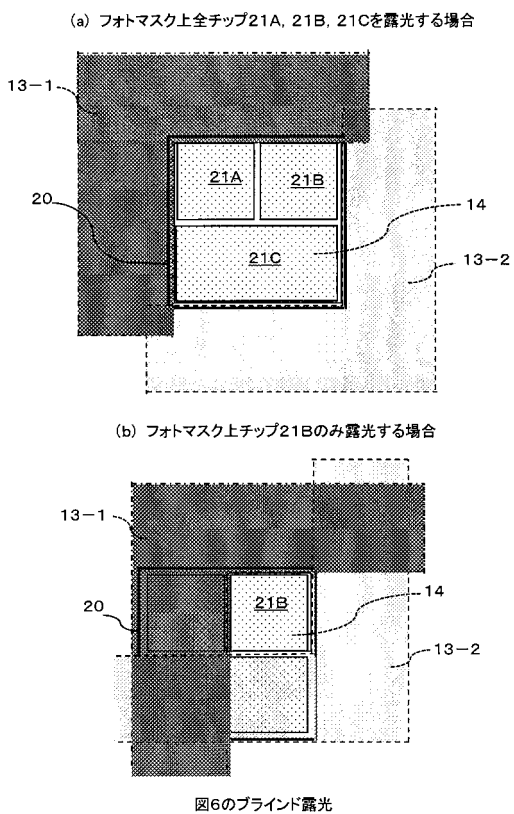
【図 5】



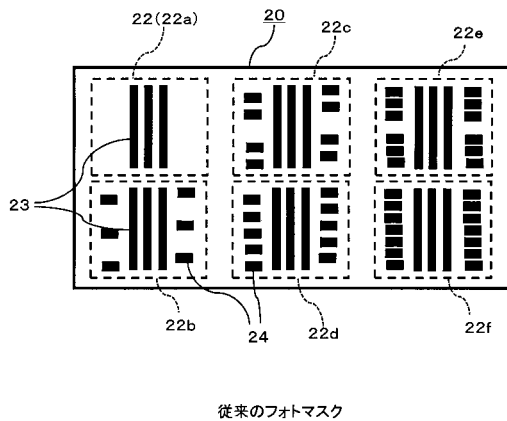
【図 6】



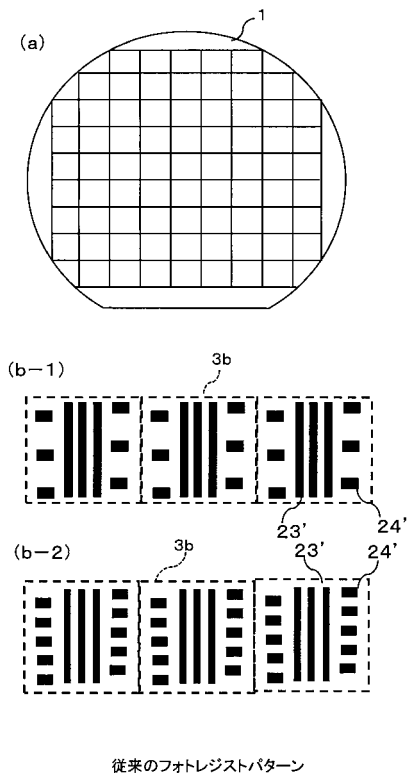
【図 7】



【図 8】



【図 9】



フロントページの続き

(74)代理人 100105256

弁理士 清野 仁

(74)代理人 100145872

弁理士 福岡 昌浩

(72)発明者 星野 大子

宮城県黒川郡大衡村沖の平 1 番 宮城沖電気株式会社内

Fターム(参考) 2H095 BB01 BB02 BB36