

公告本

申請日期	86.6.12
案 號	86108152
類 別	1-3K 7/00, 19/00

A4
C4

472445

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	半導體積體電路
	英 文	
二、發明 創作人	姓 名	1 牧野博之 2 鈴木弘明
	國 籍	日 本
	住、居所	東京都千代田區丸之內二丁目二番三號
三、申請人	姓 名 (名稱)	三菱電機股份有限公司
	國 籍	日 本
	住、居所 (事務所)	東京都千代田區丸之內二丁目二番三號
	代 表 人 姓 名	北岡隆

裝

訂

線

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
日本 1997/03/19 9-066973

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

發明所屬技術領域

本發明係關於為了延長攜帶式電子機器等之電池壽命而低耗電力化之半導體積體電路。

習知技術

近年來隨著攜帶式機器之進步、發展，為了能更長時間使用內藏的電池而要半導體積體電路求半導體積體電路(LSI)低耗電力化。在實現低耗電力化之有效手法上，例如降低動作電壓等。即，因耗電力化係電壓和電流之積，藉著降低動作電壓可降低電壓和電流兩者，因而一般有平方之效果。

可是，構成 LSI 之 MOSFET 具有降低電源電壓時動作劣化而速度變慢之性質。該性質是由於降低電源電壓也會不小心地降低臨限電壓。因為臨限電壓一降低，MOSFET 不導通時之漏電流就增大，反而增加耗電力。為了解決該課題，以前使用如下的方法。

圖 7 係表示例如在特開平 7-212218 號公報公開之習知之利用所謂的 MT-CMOS(Multi-threshold CMOS)之低電壓動作電路之電路構造圖。在圖 7，1、2 及 5 係 p 通道 MOSFET，3、4 及 6 係 n 通道 MOSFET。p 通道 MOSFET1、2 之臨限電壓之絕對值設為比 p 通道 MOSFET5 之臨限電壓之絕對值低，而且 n 通道 MOSFET3、4 之臨限電壓之絕對值設為比 n 通道 MOSFET6 之臨限電壓之絕對值低(以下「臨限電壓」意指其絕對值)。而這些 MOSFET1~4 構成 2 輸入 NAND 開

五、發明說明(2)

之組合電路 11。又，p 通道 MOSFET5 接在電源電壓 12 和虛擬的電源線 9 之間，在其閘極輸入控制信號 CSB1，而 n 通道 MOSFET6 接在地線 13 和虛擬的地線 10 之間，在其閘極輸入控制信號 CS1。

其次，說明動作。

控制 2 輸入 NAND 閘之組合電路 11 動作時，將控制信號 CS1 設為高位準，而且將係其反轉信號之控制信號 CSB1 設為低位準。因此，p 通道 MOSFET5 及 n 通道 MOSFET6 都變成導通狀態，虛擬的電源線 9 被拉高到電源電壓 12 之電位 V_{DD} 位準，而虛擬的地線 10 被拉低到地線 13 之 V_{GND} 位準。結果，該組合電路 11 變成進行一般的 NAND 動作。此時，因 MOSFET1~4 之臨限電壓(絕對值)設為低值，在電源電壓 12 之電壓 V_{DD} 為低電壓時也可高速動作。

在組合電路 11 不動作時，將控制信號 CS1 設為低位準，而且將係其反轉信號之控制信號 CSB1 設為高位準。此時，p 通道 MOSFET5 及 n 通道 MOSFET6 都變成不導通狀態，虛擬的電源線 9 及虛擬的地線 10 分別和電源電壓 12 及地線 13 分離。此時，因 p 通道 MOSFET5 及 n 通道 MOSFET6 之臨限電壓(絕對值)都設為比 MOSFET1~4 的高，可將漏電流抑制為小值。

一般，在 MOSFET 之閘極、源極間之電壓低於臨限電壓之區域，閘極、源極間之漏電流和閘極電壓成指數函數增加。因而，組合電路之方塊 11 未動作時，藉著使

五、發明說明 (3)

MOSFET1~4 和 MOSFET5、6 之臨限電壓具有差值，可大幅度減少漏電流。此外，所舉的例在圖 7 係表示組合電路 11 係 2 輸入 NAND 閘之情況，但是在構成 LSI 之任何種類及規模之電路上述議論也一樣成立。

發明要解決之課題

因習知之低電壓動作型半導體積體電路如上述構成，在輸出由輸入之組合決定之如 2 輸入 NAND 閘般之組合電路時正常地動作，但是在具有記憶保持以前之狀態之順序電路時有會發生誤動作等課題。

列舉該順序電路之一例，在圖 8 表示 2 個反相器之輸入和輸出彼此交叉連接之所謂的閃鎖電路之圖。在圖 8，14、15 係 p 通道 MOSFET、16、17 係 n 通道 MOSFET，都是具有低的臨限電壓(絕對值)的。5 係 p 通道 MOSFET、6 係 n 通道 MOSFET，雙方都由臨限電壓(絕對值)高的構成。這些 MOSFET14~17 構成順序電路 20，節點 18、19 形成一對保持記憶之節點，其中一方為高位準時另一方變成低位準，可保持所輸入的值。

其次說明動作。

在 CS1 係高位準而且 CSB1 變成低位準之狀態下順序電路動作時，正常地保持所寫入的資料，而且因 p 通道 MOSFET14、15 和 n 通道 MOSFET16、17 之臨限電壓都低，可對節點 18、19 高速讀寫資料。

可是，在未動作時，CS1 係低位準而且 CSB1 變成高位準，漏電流就減少，因在 MOSFET14~17 之不導通時

五、發明說明(4)

之漏電流比 MOSFET5、6 不導通時之漏電流還變大，就無法保持節點 18、19 之資料。因為，例如如果節點 18 係高位準而節點 19 係低位準時，MOSFET14~17 之中 p 通道 MOSFET15 及 n 通道 MOSFET16 變成不導通，而其他 2 個變成導通，但是由於 p 通道 MOSFET15 及 n 通道 MOSFET16 之漏電流，高位準之節點 18 會降低，而低位準之節點 19 會上升。這一直持續到節點 18、19 之位準變成相等為止，結果所保持的資料就會消失。於是，在習知之低電壓動作型半導體積體電路有順序電路之資料會消失之課題。

本發明係為了解決上述之課題而想出來的，其目的在於得到一種半導體積體電路，藉著在不會破壞順序電路之保持資料下減少未動作電路之漏電流，可實現低耗電化。

解決課題之手段

如申請專利範圍第 1 項之半導體積體電路，係包括切換裝置、和該切換裝置連接之組合電路、包含第 1 場效電晶體之順序電路及使該第 1 場效電晶體之臨限電壓可變之控制裝置。

如申請專利範圍第 2 項之半導體積體電路，係順序電路所含第 1 場效電晶體具有反向閘極，控制裝置經由該反向閘極控制該第 1 場效電晶體之臨限電壓可變。

如申請專利範圍第 3 項之半導體積體電路，係控制裝置包含正電壓產生器和負電壓產生器。

五、發明說明 (5)

如申請專利範圍第 4 項之半導體積體電路，係組合電路包含第 2 場效電晶體，而且切換裝置包含第 3 場效電晶體，該第 3 場效電晶體之臨限電壓之絕對值比該第 2 場效電晶體之臨限電壓之絕對值高。

如申請專利範圍第 5 項之半導體積體電路係關於組合電路包含第 2 場效電晶體，切換裝置包含至少 2 個第 3 場效電晶體，其中一個電晶體之源極和電源電壓連接而且另一個電晶體之源極和接地電位連接之半導體積體電路，第 2 場效電晶體之臨限電壓之絕對值和第 3 場效電晶體之臨限電壓之絕對值約相等，而且在該第 3 場效電晶體處於不導通狀態時在電源電壓側之電晶體和接地側之電晶體將閘極源極間之電位逆向偏壓。

如申請專利範圍第 6 項之半導體積體電路，係組合電路由多個第 1 電路方塊構成，對各第 1 電路方塊個別連接切換裝置，順序電路也由多個第 2 電路方塊構成，個別連接使各第 2 電路方塊所含第 1 場效電晶體之臨限電壓可變之控制裝置。

如申請專利範圍第 7 項之半導體積體電路，係切換裝置包括產生比電源電壓高之電壓之第 1 升壓器、產生比接地電位低之電壓之第 1 降壓器、和該第 1 升壓器連接之反相裝置及和該第 1 降壓器連接之非反相裝置。

如申請專利範圍第 8 項之半導體積體電路，其特徵在於控制裝置包括和正電壓產生器連接之第 2 升壓器及和負電壓產生器連接之第 2 降壓器，該正電壓產生器和

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

負電壓產生器由多工器電路構成。

如申請專利範圍第 9 項之半導體積體電路，係控制裝置所含的第 2 升壓器及第 2 降壓器和切換裝置所含的第 1 升壓器及第 1 降壓器不同。

如申請專利範圍第 10 項之半導體積體電路，係關於包括了由組合電路和順序電路構成之邏輯電路及具有升壓器和降壓器之積體電路之半導體積體電路，使用該積體電路之升壓器和降壓器驅動組合電路之切換裝置，而且經由順序電路所含之具有反向閘極之場效電晶體之反向閘極驅動進行控制的控制裝置。

如申請專利範圍第 11 項之半導體積體電路，係具有升壓器和降壓器之積體電路由動態隨機存取記憶體(DRAM)構成。

發明之實施例

以下說明本發明之實施例。

實施例 1

圖 1 係表示本發明之實施例 1 之低電壓動作型半導體積體電路之圖。在圖 1，1、2 係 p 通道 MOSFET、5 係 p 通道 MOSFET、3、4 係 n 通道 MOSFET、6 係 n 通道 MOSFET、24 係反向閘極用節點。在此，p 通道 MOSFET1、2 之臨限電壓之絕對值設為比 p 通道 MOSFET5 之臨限電壓之絕對值低，而且 n 通道 MOSFET3、4 之臨限電壓之絕對值設為比 n 通道 MOSFET6 之臨限電壓之絕對值低(以下「臨限電壓」意

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (7)

指其絕對值)。而這些 MOSFET1~4 例如構成如 2 輸入 NAND 閘般之組合電路 11，MOSFET5、6 構成切換裝置。此時，p 通道 MOSFET5 接在電源電壓 12 和虛擬的電源線 9 之間，在其閘極輸入控制信號 CSB1。又，n 通道 MOSFET6 接在地線 13 和虛擬的地線 10 之間，在其閘極輸入控制信號 CS1。

而，14、15 係 p 通道 MOSFET、16、17 係 n 通道 MOSFET，這些構成順序電路 20。又，正電壓產生電路 21、負電壓產生電路 22 及 MOSFET14~17 之反向閘極用節點 23、24 構成控制裝置。這些 MOSFET14~17 由臨限電壓之絕對值低的構成，節點 18、19 形成一對保持記憶之節點。此時在構造上，p 通道 MOSFET14、15 之反向閘極電位 VD1 和正電壓產生電路 21 之輸出連接，n 通道 MOSFET16、17 之反向閘極電位 VD1 和負電壓產生電路 22 之輸出連接。

其次，說明動作。

控制組合電路 11 動作時，將控制信號 CS1 設為高位準，而且將係其反轉信號之控制信號 CSB1 設為低位準。因而，p 通道 MOSFET5 及 n 通道 MOSFET6 都變成導通狀態，虛擬的電源線 9 被拉高到電源電壓 12 之電位 V_{DD} 位準，而虛擬的地線 10 被拉低到地線 13 之 V_{GND} 位準。結果，這種 2 輸入 NAND 閘之組合電路 11 變成進行一般的 NAND 動作。此時，因 MOSFET1~4 之臨限電壓(絕對值)設為低值，在電源電壓 12 之電壓為低電壓時也可以低

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

耗電力高速動作。

控制組合電路 11 不動作時，將控制信號 CS1 設為低位準，而且將係其反轉信號之控制信號 CSB1 設為高位準。此時，p 通道 MOSFET5 及 n 通道 MOSFET6 都變成不導通狀態，虛擬的電源線 9 及虛擬的地線 10 分別和電源電壓 12 及地線 13 分離。在此，因 p 通道 MOSFET5 及 n 通道 MOSFET6 之臨限電壓(絕對值)都設為比 MOSFET1~4 的高，可將漏電流抑制為小值。

而，關於順序電路 20，在動作時，輸入控制裝置之控制信號 CS2 變成高位準，利用正電壓產生電路 21 使 p 通道 MOSFET14、15 之反向閘極電位 VC1 變成電源電壓 V_{DD} 位準，而且利用負電壓產生電路 22 使 n 通道 MOSFET16、17 之反向閘極電位 VD1 變成接地電位 V_{GND} 位準。因此，此時順序電路 20 可進行一般的記憶保持動作。此情況，因順序電路 20 之 p 通道 MOSFET14、15 和 n 通道 MOSFET16、17 都以臨限電壓之絕對值低的構成，可對節點 18、19 高速讀寫資料。又，在順序電路 20 不動作時，CS2 變成低位準， $21_1 \sim 21_n$ 正電壓產生電路之輸出 VC1 變成比電源電壓 V_{DD} 高，負電壓產生電路 22 之輸出 VD1 變成比接地電位 V_{GND} 低。結果，因 p 通道 MOSFET14、15 之反向閘極電位 VC1 變成比電源電壓 12 高，其臨限電壓變高，又，因作用於 n 通道 MOSFET16、17 之反向閘極之反向閘極電位 VD1 比電源電壓 12 之電位低，其臨限電壓還是變高。因而，可降低

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (9)

自順序電路 20 之電源電壓 12 流向地線 13 之漏電流。

如以上所述，利用實施例 1，在順序電路 20 不動作時，藉著改變低臨限電壓之 MOSFET 之反向閘極電位而使其臨限電壓上升，有降低漏電流、不會破壞記憶保持節點之資料而減少耗電力之效果。此外，因組合電路 11 及順序電路 20 所用的 MOSFET 之臨限電壓低，有動作時也可高速且以低耗電力讀寫之效果。此外，在實施例 1 將控制信號 CS1 和 CS2 當作不同的信號說明，但是兩者係同一信號也可實現相同的動作，產生相同的效果。

實施例 2

圖 2 係表示本發明之實施例 2 之低電壓動作型半導體積體電路之圖，在圖 2，因順序電路 20 之構造及動作和實施例 1 一樣，對同一部分給與同一編號，省略重複說明。在實施例 2，將組合電路 11 不動作時之降低漏電流用的 MOSFET5、6 之臨限電壓和其他的 MOSFET1~4 一樣設為低的臨限電壓。

其次說明動作。

在實施例 2，組合電路 11 不動作時，藉著將控制信號 CS1 之電位設為比接地電位 V_{GND} 低而且將 CSB1 設為比電源電壓 V_{DD} 之電位高，以降低漏電流。否則，因構成切換裝置之 MOSFET 之臨限電壓和構成組合電路的約相同，照這樣的話在電源、地線之間發生漏電流，電路整體之耗電力會增大。因此，採用上述構造時，不必使用具有多種臨限電壓之 MOSFET，不僅可得到和實施例 1

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

相同的效果，而且包含用於切換裝置之 MOSFET5、6 在內全部都可設為臨限電壓低的。因此，在製造半導體積體電路裝置時，因可減少光罩數、可減少製程，也有降低製造成本的效果。

實施例 3

圖 3 係表示利用本發明之實施例 3 之分別將由多個組合電路和順序電路構成之電路方塊應用於大規模積體電路(LSI)之時之方塊圖，在圖 3， $11_1 \sim 11_m$ 係組合電路之方塊，分別具有輸入控制信號 $CSB1_1 \sim CSB1_m$ 之 p 通道 MOSFET $5_1 \sim 5_m$ 和輸入控制信號 $CS1_1 \sim CS1_m$ 之 n 通道 MOSFET $6_1 \sim 6_m$ 。而， $20_1 \sim 20_n$ 係順序電路之方塊，分別具有輸入 $CS2_1 \sim CS2_n$ 之正電壓產生電路 $21_1 \sim 21_n$ 和、負電壓產生電路 $22_1 \sim 22_n$ 和反向閘極用節點(控制裝置) $23_1 \sim 23_n$ 、 $24_1 \sim 24_n$ 。因其他構造和圖 2 所示實施例 2 一樣，對同一部分給與同一編號，省略重複說明。

在組合電路之方塊 $11_1 \sim 11_m$ ，p 通道 MOSFET $5_1 \sim 5_m$ 具有低的臨限電壓，利用控制信號 $CSB1_1 \sim CSB1_m$ 具有和實施例 2 之 p 通道 MOSFET5 相同的作用，又 p 通道 MOSFET $6_1 \sim 6_m$ 也具有低的臨限電壓，利用控制信號 $CS1_1 \sim CS1_m$ 具有和實施例 2 之 n 通道 MOSFET 相同的作用。又，正電壓產生電路 $21_1 \sim 21_n$ 也具有和實施例 1 之正電壓產生電路 21 相同的作用，分別利用控制信號 $CS2_1 \sim CS2_n$ 控制順序電路 $20_1 \sim 20_n$ 之 p 通道 MOSFET 之反向閘極用節點 $23_1 \sim 23_n$ 。而，在順序電路之方塊 $20_1 \sim 20_n$ ，

五、發明說明(11)

負電壓產生電路 $22_1 \sim 22_n$ 也具有和實施例 1 之負電壓產生電路 22 相同的作用，分別利用控制信號 $CS2_1 \sim CS2_n$ 控制順序電路 $20_1 \sim 20_n$ 之 n 通道 MOSFET 之反向閘極用節點 $23_1 \sim 23_n$ 。此外，控制信號 $CSB1_1 \sim CSB1_m$ 、 $CS1_1 \sim CS1_m$ 及控制信號 $CS2_1 \sim CS2_n$ 都可獨立動作。

其次說明動作。

藉著對組合電路之方塊 $11_1 \sim 11_m$ 分別獨立輸入控制信號 $CSB1_1 \sim CSB1_m$ 、 $CS1_1 \sim CS1_m$ ，組合電路之方塊 $11_1 \sim 11_m$ 各自獨立動作，而藉著對順序電路之方塊 $20_1 \sim 20_n$ 也一樣分別獨立輸入控制信號 $CS2_1 \sim CS2_n$ ，順序電路之方塊 $20_1 \sim 20_n$ 各自獨立動作。

如以上所述，利用實施例 3，因可就順序電路之各方塊獨立控制順序電路之動作，可個別控制並降低漏電流，以免破壞各自的記憶保持節點所保持的資料，而且因光罩數減少等而可有助於減少製程數。因此，可得到降低製造成本、因在所商品化之半導體積體電路在備用時等減少未動作部分之漏電流而抑制耗電力之效果。此外，在此以圖 2 之半導體積體電路為基礎說明，但是也可以圖 1 之半導體積體電路為基礎。

實施例 4

圖 4 係表示本發明之實施例 4 之半導體積體電路之電路構造圖，係表示使用升壓器和降壓器產生控制信號 $CSB1_1 \sim CSB1_m$ 、 $CS1_1 \sim CS1_m$ 之情況。在圖 4，48 係產生比電源電壓高之電壓之升壓器(第 1 升壓器)、49 係產生

五、發明說明(12)

比接地電位低之電壓之降壓器(第1降壓器)、 $50_1 \sim 50_m$ 係具有控制信號 $BE_1 \sim BE_m$ 之反相功能之緩衝電路、 $51_1 \sim 51_m$ 係具有控制信號 $BE_1 \sim BE_m$ 之非反相功能之緩衝電路，反相緩衝電路 $50_1 \sim 50_m$ 和非反相緩衝電路 $51_1 \sim 51_m$ 分別構成反相裝置和非反相裝置。 V_H 、 V_L 分別係電位比電源電壓 V_{DD} 高之升壓器 48 之輸出、電位比接地電位 V_{GND} 低之降壓器 49 之輸出。又，反相緩衝電路 $50_1 \sim 50_m$ 分別將電源·地線和節點 $ND1_1$ ·節點 $ND2_1$ 、...、節點 $ND1_m$ ·節點 $ND2_m$ 連接，非反相緩衝電路 $51_1 \sim 51_m$ 分別將電源·地線和節點 $ND3_1$ ·節點 $ND4_1$ 、...、節點 $ND3_m$ ·節點 $ND4_m$ 連接。控制信號 $BE_1 \sim BE_m$ 係用以控制向組合電路輸入之控制信號 $CSB1_1 \cdot CS1_1$ 、...、 $CSB1_m \cdot CS1_m$ 之信號。其他構造因和圖 3 所示實施例 3 一樣，對同一部分給與同一編號，省略重複說明。

其次說明動作。

以圖 3 所示 m 個組合電路方塊之中的一個組合電路 11_1 為例，在動作時，控制信號 BE_1 變成高位準。此時在緩衝電路 50_1 及 51_1 ， $CSB1_1 \cdot CS1_1$ 分別變成接地電位 V_{GND} 及電源電壓 V_{DD} 之位準，進行在實施例 3 說明的動作。不動作時，控制信號 BE_1 變成低位準，此時 $CSB1_1$ 經由反相緩衝電路 50_1 反相後，變成電位比電源電壓 V_{DD} 高之節點 $ND1_1$ 之電位 V_H ，又 $CS1_1$ 經由非反相緩衝電路 51_1 不反相後，變成電位比接地電位 V_{GND} 低之節點 $ND4_1$ 之電位 V_L 。因而，和在實施例 3 所說明的一樣，可降低

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(13)

個組合電路方塊 11_1 之漏電流。同樣地，關於反相緩衝電路 50_m 、 51_m 等也利用控制信號 $BE_1 \sim BE_m$ 進行上述的動作。

如以上所述，利用實施例時，因只在反相緩衝電路和非反相緩衝電路附加升壓器、降壓器等簡單的電路，就可更降低組合電路在未動作時之漏電流，有可更降低在半導體積體電路之未動作部分之漏電流引起的耗電力之效果。此外，本實施例 4 也可在和由實施例 3 所示之由組合電路、順序電路構成之電路相同的晶元內設置上述的升壓、降壓電路，因而有可縮小裝載了半導體積體電路之晶元之尺寸之效果。

實施例 5

圖 5 係表示本發明之實施例 5 之半導體積體電路之電路構造圖，在圖 5， $58_1 \sim 58_n$ 係各自構成正電壓產生電路 $21_1 \sim 21_n$ 之多工器電路(MUX)、 $59_1 \sim 59_n$ 係各自構成負電壓產生電路 $22_1 \sim 22_n$ 之多工器電路(MUX)。其他的構造因和實施例 4 一樣，對同一部分給與同一編號，省略重複說明。

其次說明動作。

例如，在圖 3 之順序電路 20_1 動作時，控制信號 $CS2_1$ 變成高位準，在多工器電路 58_1 選擇電源電壓 V_{DD} 後，向反向閘極用節點 23_1 輸出，而在多工器電路 59_1 ，向反向閘極用節點 24_1 輸出接地電位 V_{GND} 。不動作時，控制信號 $CS2_1$ 變成低位準，在多工器電路 58_1 選擇比電源電壓

(請先閱讀背面之注意事項再填寫本頁)

訂

白

五、發明說明(14)

V_{DD} 高之電位 V_H 後，向反向閘極用節點 23_1 輸出，而在多工器電路 59_1 ，選擇比接地電位 V_{GND} 低之電位 V_L 後，向反向閘極用節點 24_1 輸出。因而實現和實施例 3 之動作。

如以上所述，利用實施例 5 時，因在構造上將簡單且便宜之多工器電路應用於正、負電壓產生器，在順序電路未動作時也可降低漏電流，不會破壞順序電路之保持資料。因此，有降低製造成本、減少在半導體積體電路之未動作部分之漏電流引起的耗電力之效果。此外，在實施例 5，將升壓器(第 2 升壓器)48 及降壓器(第 2 降壓器)49 當作和實施例 4 一樣的說明，但是這些也可採用別的，使得可獨自設定輸出電壓時，可降低更微小的漏電流。此外，也可在和由實施例 3 所示由組合電路、順序電路構成之電路相同的晶元內設置本實施例 5 所示由正、負電壓產生器構成的電路，因而有可縮小裝載了半導體積體電路之晶元之尺寸之效果。

實施例 6

圖 6 係表示本發明之實施例 6 之半導體積體電路之電路構造圖，在圖 6，係混載了記憶體部和邏輯部之型式之所謂的混合型半導體積體電路，其中 62 例如係由快閃記憶體、動態隨機存取記憶體(DRAM)所代表之需要重清記憶資料之高密集度 MOSRAM、63 係邏輯電路。邏輯電路採用和在實施例 3 之由組合電路、順序電路構成之邏輯電路相同的構造。在高密集度 MOSRAM，因如重清動作般有必要使電路動作良好，一般在內部設置升壓

(請先閱讀背面之注意事項再填寫本頁)

※

訂

五、發明說明(15)

器 48 及降壓器 49，將這些的輸出 V_H 、 V_L 應用於邏輯電路 63 時，可如實施例 3 般地動作。

如以上所述，利用實施例 6 時，因可有效地利用配置於 DRAM 內部之升壓器及降壓器，可縮小附加電路之占有面積，因此可抑制硬體之零件數增加。結果，不僅因降低在半導體積體電路之未動作部分之漏電流而有助於降低耗電力，而且因也可縮小所製成半導體積體電路裝置之晶元尺寸，也有降低製造成本之效果。

發明之效果

如以上所述，利用如申請專利範圍第 1 項之發明時，因在構造上控制裝置使得順序電路所用的第 1 場效電晶體之臨限電壓可變，順序電路動作時降低第 1 場效電晶體之臨限電壓，能以低耗電力對在該順序電路形成的記憶保持節點高速讀寫資料，此外。順序電路不動作時藉著提高第 1 場效電晶體之臨限電壓，可減少漏電流，因而有記憶保持節點所保持之資料不會破壞、消失之效果。

又，因構造上切換裝置在組合電路不動作時可將組合電路和其他的電路部分分離，有可減少組合電路之漏電流的效果。

利用如申請專利範圍第 2 項之發明時，因構造上構成順序電路之第 1 場效電晶體具有反向閘極，順序電路不動作時，藉著控制裝置經由該反向閘極控制其電位，提高第 1 場效電晶體之臨限電壓，可減少漏電流，因而有防止記憶保持節點所保持之資料破壞、消失及帶來低

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明(16)

耗電力化之效果。

利用如申請專利範圍第3項之發明時，因構造上和順序電路連接之控制裝置包含正電壓產生器和負電壓產生器，藉著輸入和反向閘極連接之正電壓產生器和負電壓產生器之控制信號係高位準或低位準可控制構成順序電路之p通道部和n通道部之第1場效電晶體之臨限電壓可變。因此，順序電路動作時，因使電晶體以低臨限電壓動作，高速存取而且其耗電力少；而順序電路不動作時，因可使得p通道部之電晶體之臨限電壓比電源電壓高而且使得n通道部之電晶體之臨限電壓比接地電位低，可減少自順序電路之電源流向地線之漏電流，因而在記憶保持節點之保持資料不會消失之效果。

此外，使用具有該反向閘極之電晶體構成順序電路時，因可用臨限電壓小的電晶體構成，由於光罩數減少所伴隨之製程減，導致製造成本降低，而且可減少所製成半導體積體電路裝置之晶元尺寸，有提高產品之良品率之效果。

利用如申請專利範圍第4項之發明時，因構造上組合電路所用第2場效電晶體之臨限電壓比切換裝置所用第3場效電晶體之臨限電壓小，有只抑制傳給組合電路之閘極之控制信號位準就能以低耗電力高速進行邏輯動作之效果。

利用如申請專利範圍第5項之發明時，因構造上使得組合電路所用第2場效電晶體之臨限電壓和切換裝置

五、發明說明(17)

所用第3場效電晶體之臨限電壓約相等，而且在第3場效電晶體處於不導通狀態時在電源電壓側之電晶體和接地側之電晶體將其閘極源極間之電位逆向偏壓，該切換裝置所用的電晶體及組合電路所用的電晶體都可應用臨限電壓小的電晶體。因此，因在一個半導體積體電路不會讓具有多種臨限電壓之電晶體混在一起，有減少光罩數、簡化製程、製造成本降低之效果。

利用如申請專利範圍第6項之發明時，因構造上組合電路由多個電路方塊構成，對各電路方塊個別連接切換裝置，順序電路也由多個電路方塊構成，個別連接使各電路方塊所含第1場效電晶體之臨限電壓可變之控制裝置，有可在考慮半導體積體電路之耗電力、存取速度等各種條件下精密地抑制漏電流而使得順序電路之記憶保持資料不會消失之效果。

利用如申請專利範圍第7項之發明時，因在控制信號經由反相裝置和非反相裝置時，藉著作用於切換裝置所用第3場效電晶體之閘極源極間之電位為電源側和接地側，因第1升壓器、降壓器可分別控制，可彼此逆向偏壓。因而只附加簡單的電路就可減少組合電路之漏電流，有有助於低耗電力化之效果。

利用如申請專利範圍第8項之發明時，因構造上和順序電路連接之控制裝置包括和正電壓產生器連接之第2升壓器及和負電壓產生器連接之第2降壓器，並由簡單的多工器電路構成正電壓產生器和負電壓產生器，順序

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明(18)

電路不動作時，經過了多工器電路之控制信號經由反向閘極在升壓器側和降壓器側可設定成更減少順序電路之漏電流。因此，只附加簡單的電路，就有記憶保持資料不會消失、電路之耗電力可更降低之效果。

利用如申請專利範圍第9項之發明時，因構造上控制裝置所含的升壓器、降壓器和切換裝置所含的升壓器、降壓器獨立，有可個別設定輸出電壓、可減少更微小的漏電流、有助於所製成半導體積體電路裝置整體之省電化之效果。

利用如申請專利範圍第10項之發明時，因構造上將包含升壓器和降壓器之積體電路與包含組合電路和順序電路之邏輯電路結合，將積體電路之升壓器和降壓器挪用給該邏輯電路時，因可省略附加電路之設定，可縮小半導體積體電路裝置整體之晶元尺寸。而且，因晶元尺寸變小，有可有助於降低平均一片晶片之製造成本之效果。

利用如申請專利範圍第11項之發明時，因構造上具有升壓器和降壓器之積體電路由動態隨機存取記憶體(DRAM)構成，可製造邏輯電路和DRAM之混合電路，因一般DRAM係為了重清動作等而具有升壓器和降壓器的，可將這些設計成在邏輯動作使用。因此，有不會導致零件數增多而有助於混合電路整體之占有面積縮小化之效果。

圖面之簡單說明

圖1係表示本發明之實施例1之半導體積體電路之

五、發明說明(19)

電路構造圖。

圖 2 係表示本發明之實施例 2 之半導體積體電路之電路構造圖。

圖 3 係表示本發明之實施例 3 之半導體積體電路之電路構造圖。

圖 4 係表示本發明之實施例 4 之半導體積體電路之電路構造圖。

圖 5 係表示本發明之實施例 5 之半導體積體電路之電路構造圖。

圖 6 係表示本發明之實施例 6 之半導體積體電路之電路構造圖。

圖 7 係表示習知之利用 MT-CMOS 之低電壓動作電路之電路構造圖。

圖 8 係表示習知之門鎖電路之電路構造圖。

符號說明

5 p 通道 MOSFET(切換裝置)、6 n 通道 MOSFET(切換裝置)、11 組合電路、12 電源電壓、14、15 p 通道 MOSFET(控制裝置)、16、17 n 通道 MOSFET(控制裝置)、20 順序電路、21、21₁~21_n 正電壓產生電路(控制裝置)、22、22₁~22_n 負電壓產生電路、23、24、23₁~23_n 24₁~24_n 反向閘極用節點(控制裝置)、48 升壓器(第 1 升壓器、第 2 升壓器)、49 降壓器(第 1 降壓器、第 2 降壓器)、58₁~58_n、59₁~59_n 多工器電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 半導體積體電路)

【課題】在半導體積體電路，組合電路正常地動作，但是順序電路有因保持資料消失而誤動作之課題。

【解決手段】因順序電路所含場效電晶體在構造上使得控制裝置控制其臨限電壓可變，在動作時降低電晶體之臨限電壓，使得對記憶保持節點之資料讀寫高速化，而在不動作時提高電晶體之臨限電壓，使漏電流減少，因而使得記憶保持節點之資料不會破壞、消失而且實現低耗電力。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體積體電路，包括：

切換裝置；

組合電路，和該切換裝置連接；

順序電路，包含第 1 場效電晶體；及

控制裝置，使該第 1 場效電晶體之臨限電壓可變。

2. 如申請專利範圍第 1 項之半導體積體電路，其中順序電路所含第 1 場效電晶體具有反向閘極，控制裝置經由該反向閘極控制該第 1 場效電晶體之臨限電壓可變。

3. 如申請專利範圍第 2 項之半導體積體電路，其中控制裝置包含正電壓產生器和負電壓產生器。

4. 如申請專利範圍第 1、2 或 3 項之半導體積體電路，其中組合電路包含第 2 場效電晶體，而且切換裝置包含第 3 場效電晶體，該第 3 場效電晶體之臨限電壓之絕對值比該第 2 場效電晶體之臨限電壓之絕對值高。

5. 如申請專利範圍第 1、2 或 3 項之半導體積體電路，其中於組合電路包含第 2 場效電晶體，切換裝置包含至少 2 個第 3 場效電晶體，其中一個電晶體之源極和電源電壓連接而且另一個電晶體之源極和接地電位連接之半導體積體電路；其中該第 2 場效電晶體之臨限電壓之絕對值和該第 3 場效電晶體之臨限電壓之絕對值約相等，而且在該第 3 場效電晶體處於不導通狀態時在電源電壓側之電晶體和接地側之電晶體將閘極源極間之電位逆向偏壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

6.如申請專利範圍第1項之半導體積體電路，其中組合電路由多個第1電路方塊構成，對各第1電路方塊個別連接切換裝置，順序電路也由多個第2電路方塊構成，個別連接使各第2電路方塊所含第1場效電晶體之臨限電壓可變之控制裝置。

7.如申請專利範圍第6項之半導體積體電路，其中切換裝置包括產生比電源電壓高之電壓之第1升壓器、產生比接地電位低之電壓之第1降壓器、和該第1升壓器連接之反相裝置及和該第1降壓器連接之非反相裝置。

8.如申請專利範圍第3項之半導體積體電路，其中控制裝置包括和正電壓產生器連接之第2升壓器及和負電壓產生器連接之第2降壓器，該正電壓產生器和負電壓產生器由多工器電路構成。

9.如申請專利範圍第8項之半導體積體電路，其中控制裝置所含的第2升壓器及第2降壓器和切換裝置所含的第1升壓器及第1降壓器不同。

10.一種半導體積體電路，包括：

邏輯電路，由組合電路和順序電路構成；及

積體電路，具有升壓器和降壓器；

其特徵在於：

使用該積體電路之升壓器和降壓器驅動組合電路之切換裝置，而且經由順序電路所含之具有反向閘極之場效電晶體之反向閘極驅動進行控制的控制裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

及

六、申請專利範圍

11.如申請專利範圍第 10 項之半導體積體電路，其中該具有升壓器和降壓器之積體電路由動態隨機存取記憶體(DRAM)構成。

12.一種半導體積體電路，包括：

組合電路；

電壓線，供給固定電壓；

切換裝置，連接於該電壓線及該組合電路間；

順序電路，包含第 1 場效電晶體；以及

控制裝置，選擇性地施加第 1 電壓或第 2 電壓至該順序電路所含第 1 場效電晶體之反向閘極，以控制該第 1 場效電晶體之臨限電壓可變，其中，該第 1 電壓是該固定電壓，該第 2 電壓則是由該固定電壓偏壓，使該第 1 場效電晶體之臨限電壓之絕對值越來越大的電壓。

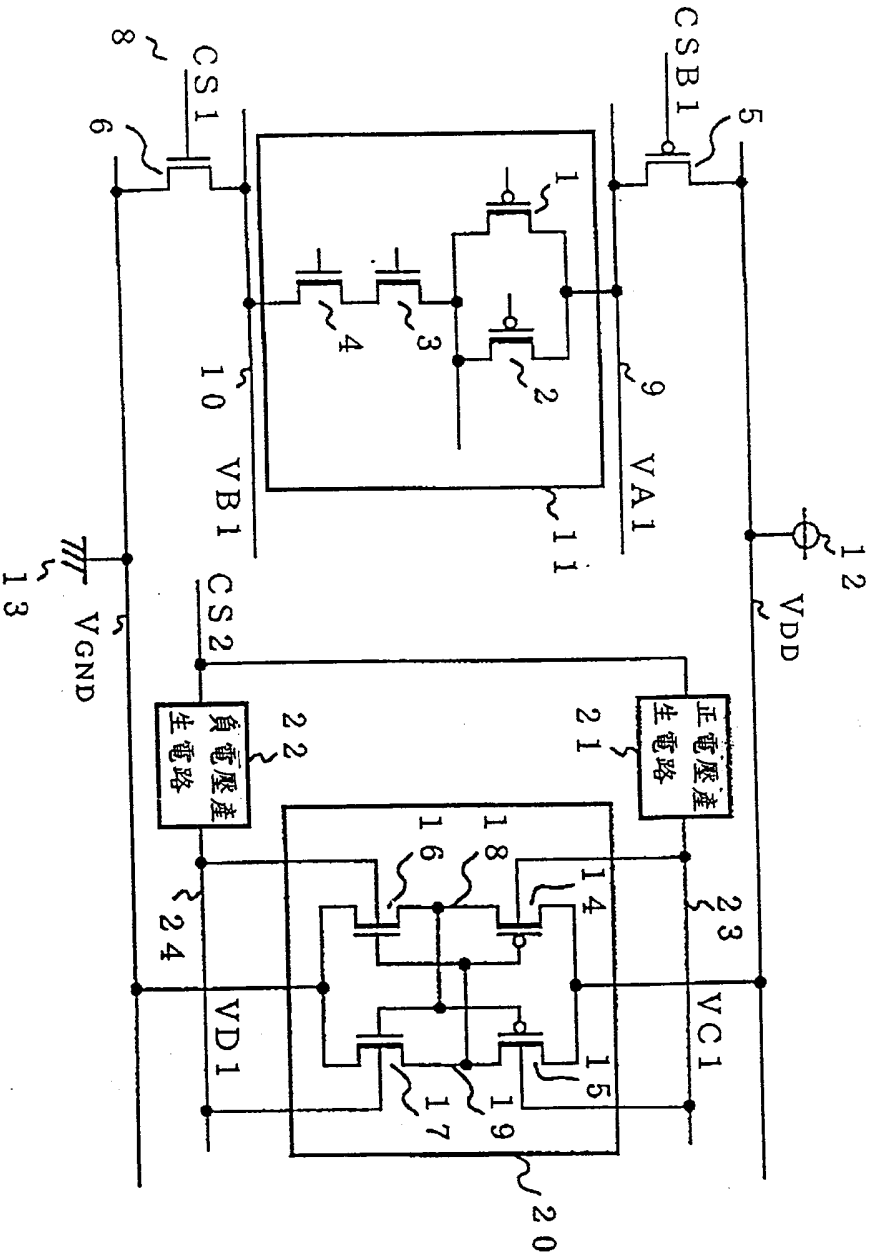
(請先閱讀背面之注意事項再填寫本頁)

裝

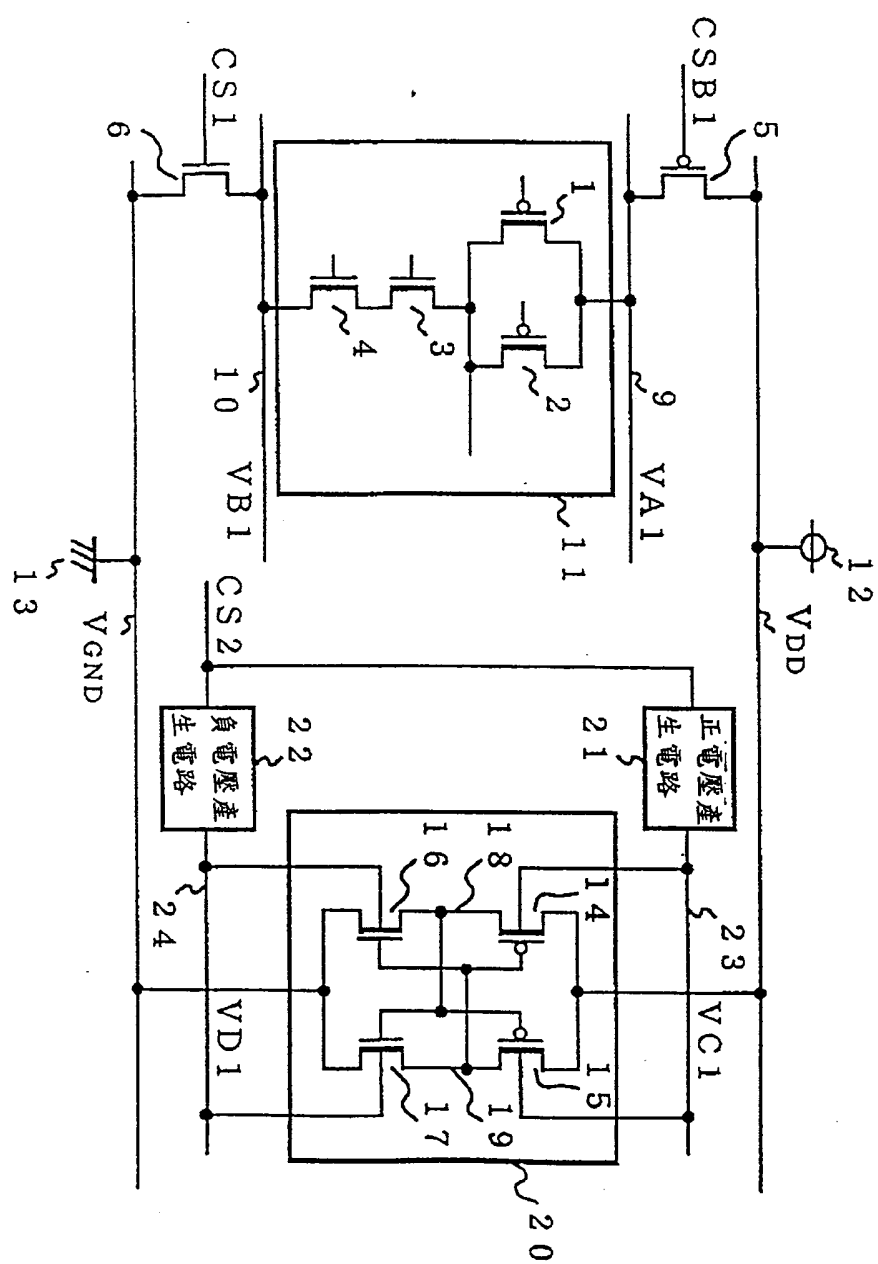
訂

人

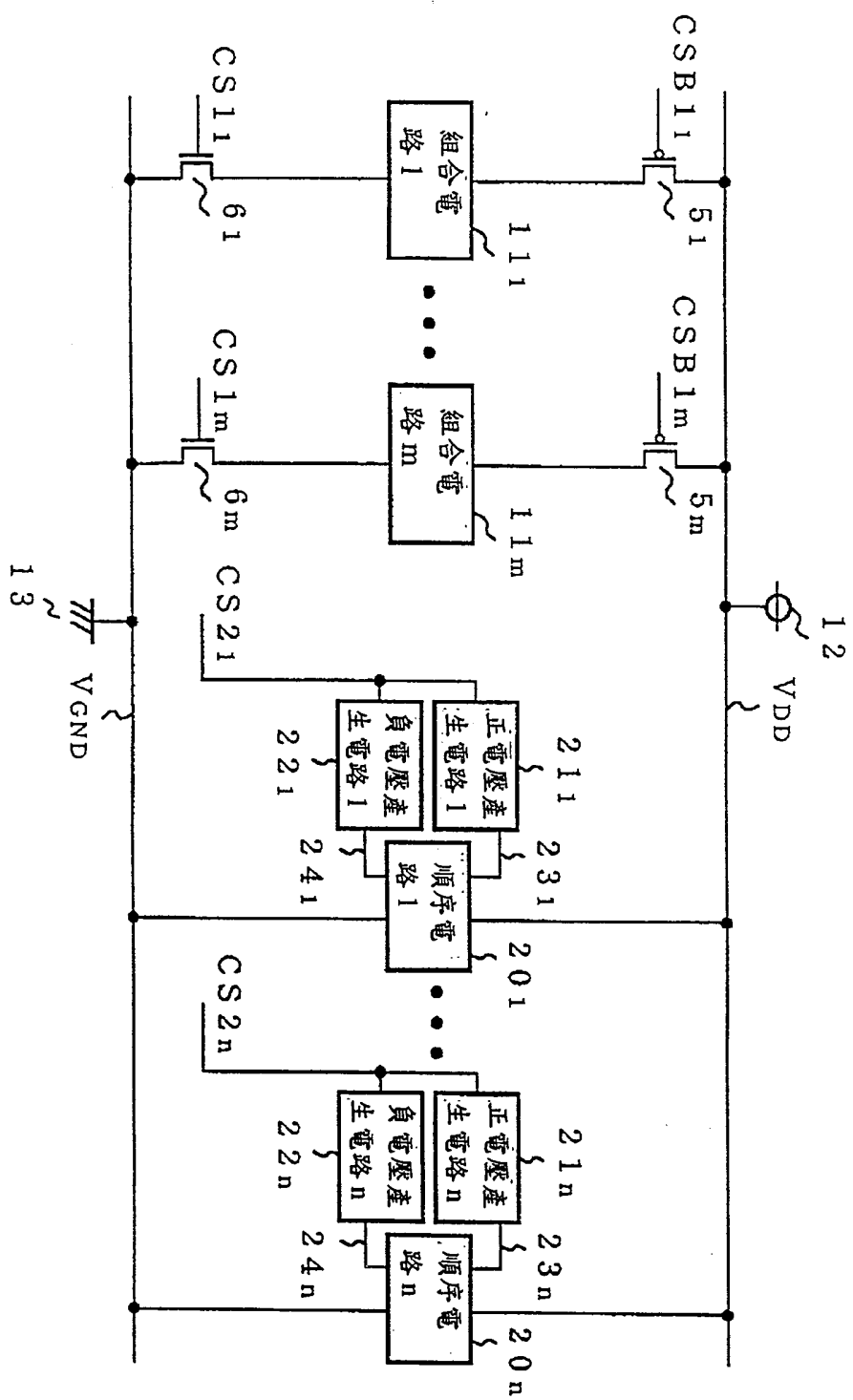
86108152



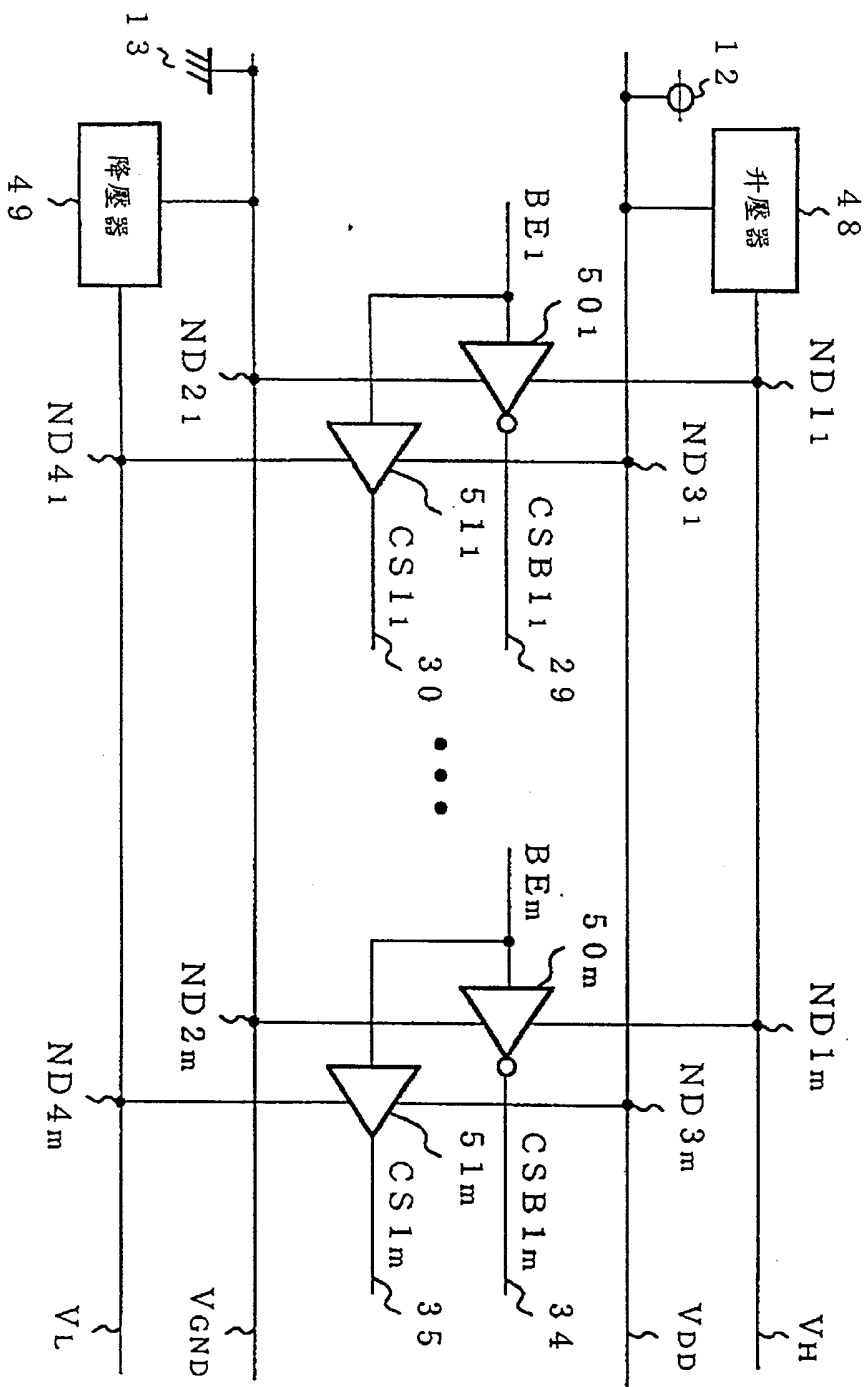
第 1 圖



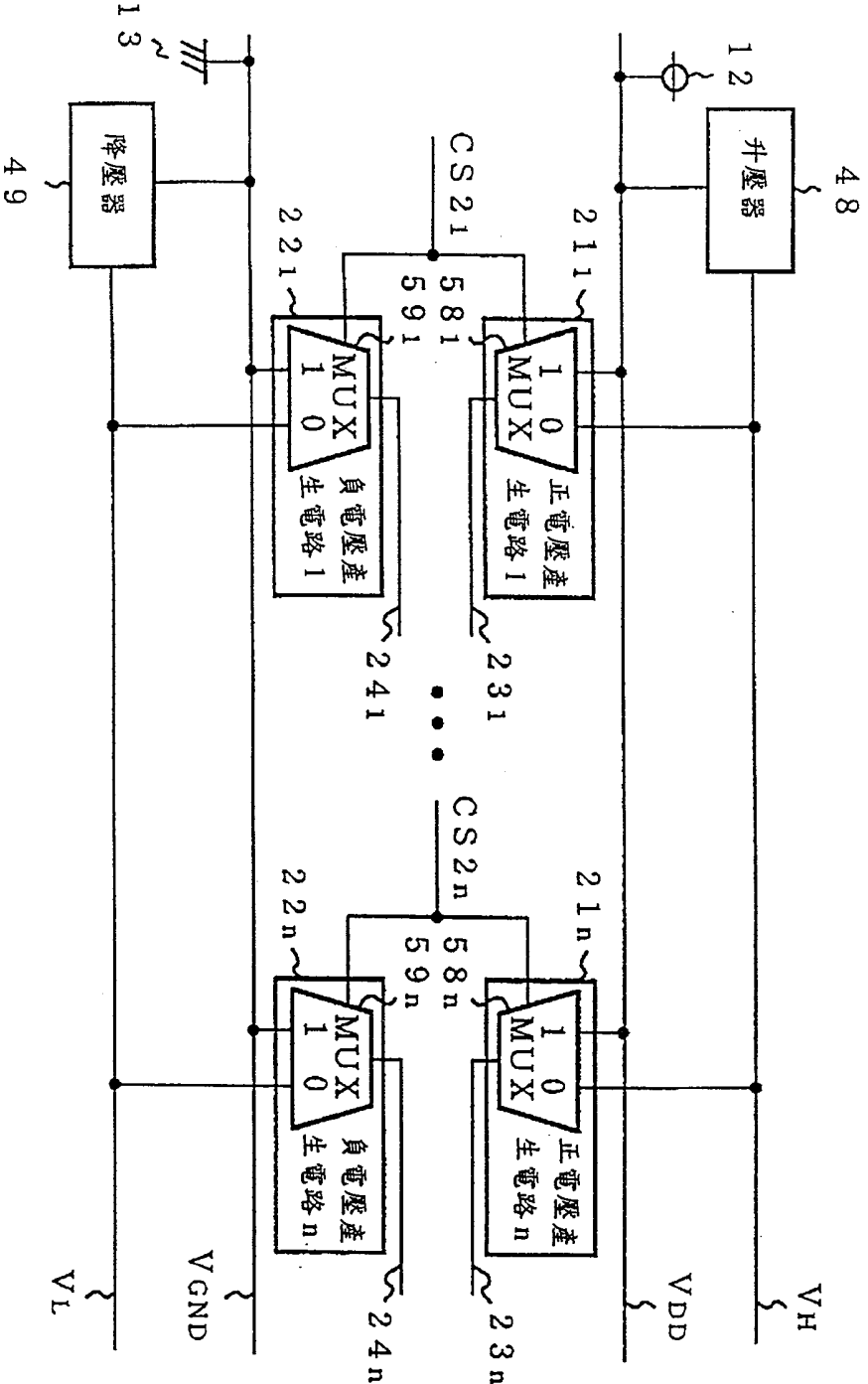
第 2 圖



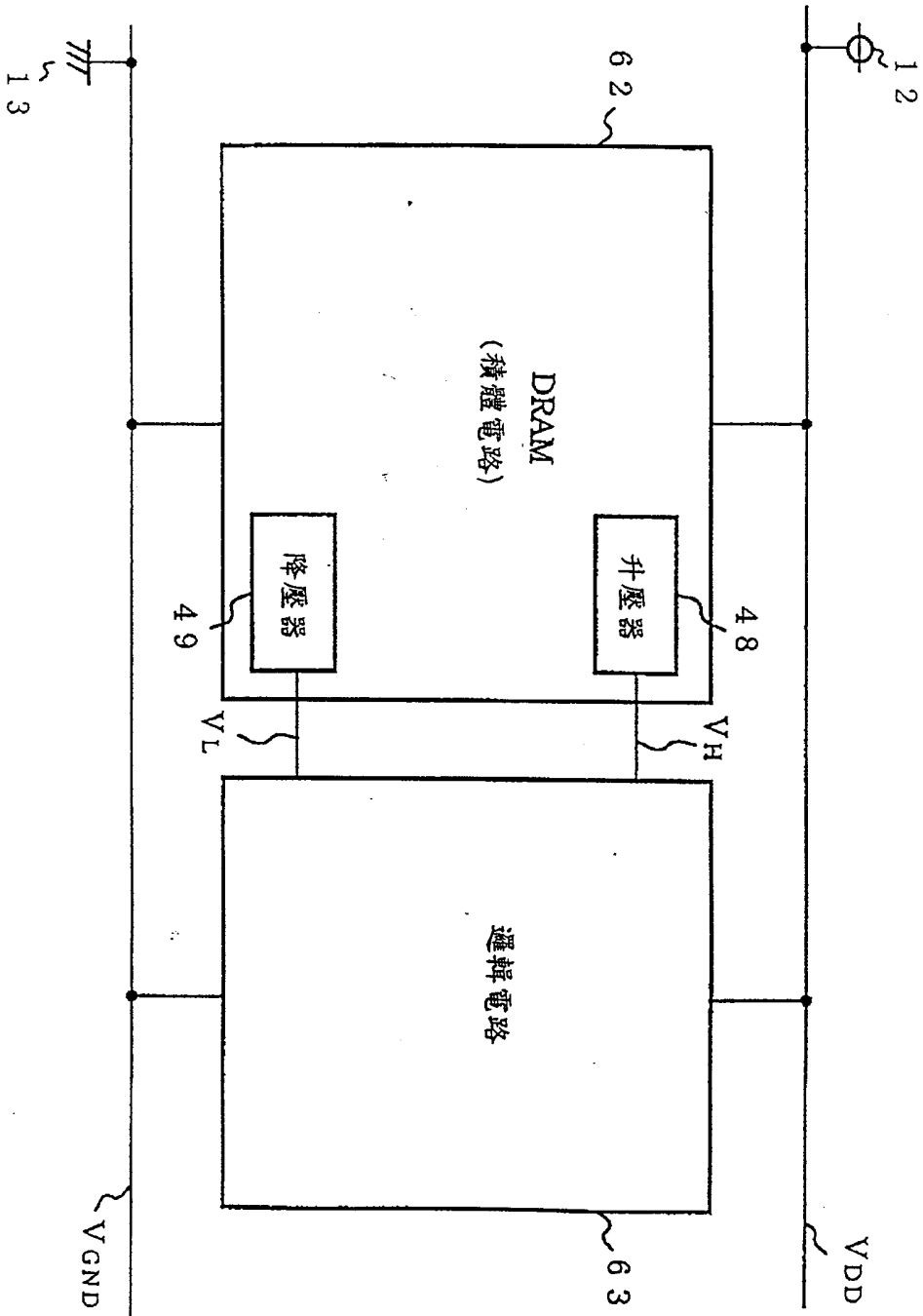
第 3 圖



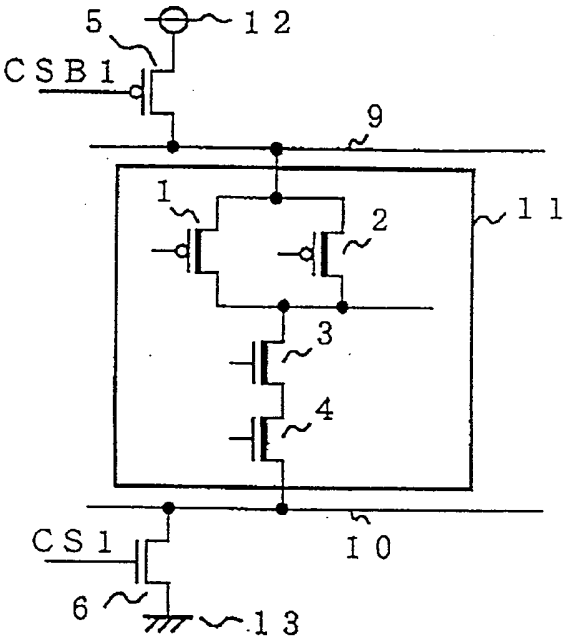
第 4 圖



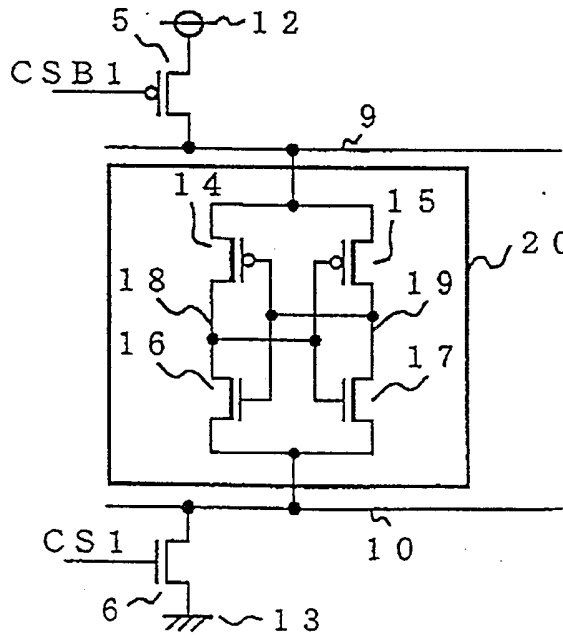
第 5 圖



第 6 圖



第 7 圖



第 8 圖