

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 3 月 10 日 (10.03.2022)



(10) 国际公布号
WO 2022/048232 A1

(51) 国际专利分类号:
H01L 21/66 (2006.01) **H01L 21/8242** (2006.01)
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2021/100228

(22) 国际申请日: 2021 年 6 月 16 日 (16.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010922723.2 2020 年 9 月 4 日 (04.09.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 黄晨 (HUANG, Chen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号,

Anhui 230000 (CN)。 蔡孟峰 (TSAL, Meng-feng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体器件及其制作方法

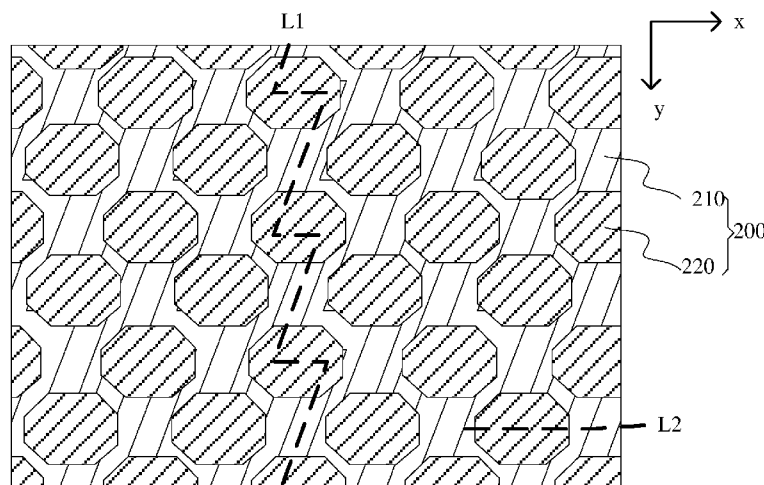


图 2

(57) Abstract: The present application relates to a semiconductor device and a manufacturing method therefor. The semiconductor device comprises a semiconductor substrate (30). The semiconductor substrate (30) comprises a plurality of chip regions (10) and scribe lines (20) for separating the chip regions (10). A test key (200) is formed in each scribe line (20), the test key (200) is used for bit line contact resistance testing, and the test key (200) comprises an active region (210) and a connection structure (220), wherein the active region (210) is formed in the semiconductor substrate (30), the connection structure (220) is located at the end of the active region (210), and a plurality of active regions (210) located in the same column are successively connected end to end by means of connection structures (220).



WO 2022/048232 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本申请涉及一种半导体器件及其制作方法, 其中半导体器件包括半导体衬底(30), 半导体衬底(30)包括多个芯片区域(10)以及用于分隔芯片区域(10)的切割道(20); 切割道(20)内形成有测试结构(200), 测试结构(200)用于位线接触电阻测试, 测试结构(200)包括有源区(210)和连接结构(220), 有源区(210)形成于半导体衬底(30)内, 连接结构(220)位于有源区(210)的端部, 通过连接结构(220)将位于同一列上的多个有源区(210)依次首尾连接。

半导体器件及其制作方法

技术领域

本申请涉及半导体存储器件技术领域，尤其涉及一种半导体器件及其制作方法。

相关申请的交叉引用

本申请要求于 2020 年 09 月 04 日提交中国专利局、申请号为 2020109227232、发明名称为“半导体器件及其制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

背景技术

这里的陈述仅提供与本申请有关的背景信息，而不必然地构成现有技术。

随着半导体器件尺寸微缩，17nm 的动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 制程相对于 19nm 的 DRAM 而言，存储单元阵列区和周边电路区的晶体管的尺寸都越来越小，工艺复杂度越来越高，为了对半导体器件的制造工艺进行监控，以保证半导体器件的可靠性，通常的做法是在半导体器件中形成测试结构 (test key)，用于半导体器件的一些关键参数的测试和模拟，以保证半导体器件出厂的质量。

对半导体器件关键参数的测试包括半导体器件电阻的测试等。例如，通过进行位线接触电阻测试，可测试位线接触插塞与衬底之间的是否接触良好。但是，由于当前的位线接触电阻测试结构测试时，有源区之间存在浅沟槽隔离结构，所以当有源区中间的衬底中的浅沟槽隔离结构出现异常时，同样会导致 BLC (Bit Line contact) 电阻异常高，因此无法准确反应出位线插塞与衬底之间的接触情况。

发明内容

根据本申请的各种实施例，提供了一种半导体器件及其制作方法。

一种半导体器件，包括：

半导体衬底，包括多个芯片区域以及用于分隔所述芯片区域的切割道；

其中，所述切割道内形成有测试结构，所述测试结构用于位线接触电阻测试，所述测试结构包括：

有源区，位于半导体衬底内；以及

连接结构，位于所述有源区的端部，通过所述连接结构将位于同一列上的多个所述有源区依次首尾连接。

一种半导体器件的制作方法，包括：

提供半导体衬底；

在所述半导体衬底上形成多个芯片区域及用于分隔所述芯片区域的切割道；其中，所述切割道内具有多个与所述芯片区域同步形成的有源区；以及

形成多个连接结构，所述连接结构位于所述有源区的端部，通过所述连接结构将位于同一列上的多个所述有源区依次首尾连接；

其中，所述有源区和所述连接结构共同构成用于位线接触电阻测试的测试结构。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本申请实施例或示例性技术中的技术方案，下面将对实施例或示例性技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他实施例的

附图。

图 1 为包括芯片区域和切割道的半导体器件的俯视图；

图 2 为本申请实施例提供的一种半导体器件的俯视图；

图 3 为示例性的半导体器件的有源区的排布示意图；

图 4 为沿图 2 中虚线 L2 处的半导体器件的剖面图；

图 5 为本申请实施例提供的一种半导体器件的制作方法流程图。

附图标号说明：

芯片区域-10，切割道-20，测试结构-200，有源区-210，连接结构-220，第一连接插塞-221，第二连接插塞-222，金属层-223，金属阻挡层 224，绝缘层-230，填充层-240，浅沟槽隔离结构 250，半导体衬底-30。

具体实施方式

为使本申请的上述目的、特征和优点能够更加明显易懂，下面结合附图对本申请的具体实施方式做详细的说明。在下面的描述中阐述了很多具体细节以便于充分理解本申请。但是本申请能够以很多不同于在此描述的其它方式来实现，本领域技术人员可以在不违背本申请内涵的情况下做类似改进，因此本申请不受下面公开的具体实施的限制。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本申请教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、

层或部分；举例来说，可以将第一掺杂类型成为第二掺杂类型，且类似地，可以将第二掺杂类型成为第一掺杂类型；第一掺杂类型与第二掺杂类型为不同的掺杂类型，譬如，第一掺杂类型可以为P型且第二掺杂类型可以为N型，或第一掺杂类型可以为N型且第二掺杂类型可以为P型。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向（譬如，旋转90度或其它取向），并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应当理解的是，术语“包括/包含”或“具有”等指定所陈述的特征、整体、步骤、操作、组件、部分或它们的组合的存在，但是不排除存在或添加一个或更多个其他特征、整体、步骤、操作、组件、部分或它们的组合的可能性。同时，在本说明书中，术语“和/或”包括相关所列项目的任何及所有组合。

本申请实施例提供了一种半导体器件，包括半导体衬底，请参见图1和图2。所述半导体衬底30包括多个芯片区域10以及用于分隔所述芯片区域10的切割道20；其中，所述切割道20内形成有测试结构200，所述测试结构200包括有源区210和连接结构220，所述有源区210形成于半导体衬底30内，所述连接结构220位于所述有源区210的端部，通过所述连接结构220将位于同一列上的多个所述有源区210依次首尾连接，所述测试结构200用于位线接触电阻测试。

可以理解，所述半导体器件的测试结构200通常与半导体衬底30中的半导体器件是在同样的工艺中制造获得的，且所述半导体器件的测试结构200

与所述半导体器件具有相互的对应关系：半导体器件中每一层互连线对应于半导体器件的测试结构 200 中位于同一层的测试线，半导体器件中每一个位线接触插塞对应于半导体器件的测试结构 200 中位于同一层的一个连接插塞。因此，本实施例中在形成位线接触插塞和位线连接线时，在切割道 20 内同步形成所述测试结构 200，所述测试结构 200 包括有源区 210 和连接结构 220，所述有源区 210 形成于半导体衬底 30 内，所述连接结构 220 位于所述有源区 210 的端部，通过所述连接结构 220 将位于同一列上的多个所述有源区 210 依次首尾连接。

由于本实施例是通过位于所述有源区 210 的端部的连接结构 220 将位于同一列上的多个所述有源区 210 依次首尾连接，如图 2 中的黑色虚线所示，即将位线接触孔与有源区进行串联，最终测试得到位于同一列上的多个位线接触电阻与有源区电阻的阻值之和，通过与采用其他测试方法获得的有源区阻值测试结果进行减法运算，可以准确得到位线接触电阻的阻值之和，其他测试方法包括通过将有源区进行串联，测试得到有源区的电阻之和，在此不做赘述，因此本技术方案有效解决了因浅沟槽隔离结构异常所导致的位线接触电阻测量不准确的问题，从而提高了测试准确度，进而提高了产品品质。

参见图 4，在其中一个实施例中，所述连接结构 220 包括第一连接插塞 221、第二连接插塞 222 和金属层 223。其中，所述第一连接插塞 221 位于所述有源区 210 的首部；所述第二连接插塞 222 位于所述有源区 210 的尾部；所述金属层 223 位于所述第一连接插塞 221 和所述第二连接插塞 222 上方，通过金属层 223 将所述第一连接插塞 221 与所述第二连接插塞 222 连接。

可以理解，所述半导体衬底 30 包括基底和于基底内形成的浅沟槽结构（未图示），通过所述浅沟槽结构定出多个平行交错设置的多个有源区 210，且所述浅沟槽结构内填充有绝缘材料，以形成浅沟槽隔离结构 250，如图 3 所示，图中条状区域为有源区，其余部分为浅槽隔离结构。所述半导体衬底 30 还包括字线结构（未图示）和位线结构（未图示），其中所述字线结构为埋入式字线结构，该埋入式字线结构的延伸方法与所述位线结构的延伸方向

交叉。位线结构包括由下至上叠层设置的位线接触插塞、位线和绝缘层，由下至上指的是由基底至远离基底的方向，所述位线接触插塞底部位于所述基底上，与所述基底直接接触；并在形成位线结构后，通过连接结构 220 将多个位线连接。

为了便于测试位线接触电阻，在形成所述位线结构的同时，在切割道 20 内形成了所述测试结构 200，如图 2、图 4 所示。所述测试结构 200 包括有源区 210 和所述连接结构 220。所述第一连接插塞 221 位于所述有源区 210 的首部；所述第二连接插塞 222 位于所述有源区 210 的尾部。所述第一连接插塞 221 和第二连接插塞 222 的结构相同，均包括非金属导电层。本实施例中，所述金属层 223 可以通过将氮化钛、钛、铜、硅化钨、氮化钨中的任一种或任意组合与钨层叠来形成；所述非金属导电层采用多晶硅、半导体导电材料等形成。本实施例中，多个所述有源区 210 交错排布，且所述有源区 210 的延伸方向与行方向具有一定夹角，在列方向上对齐。位于同一列上的多个有源区 210，每一所述首部和与之最邻近的所述尾部通过第一接触插塞或第二接触插塞和所述金属层 223 连接，所述金属层 223 即为位线接触电阻的测试结构的测试线。

通常情况下，采用多晶硅形成所述第一连接插塞 221 和所述第二连接插塞 222，采用金属钨形成所述金属层 223。在其中一个实施例中，为了阻止金属原子向多晶硅材料层中扩散，所述连接结构还包括金属阻挡层 224，所述金属阻挡层 224 位于所述第一连接插塞与所述金属层之间以及所述第二连接插塞与所述金属层之间。本实施例中采用氮化钛形成所述金属阻挡层，通过所述金属阻挡层 224 可以阻挡金属层 223 中的金属原子向多晶硅层中扩散。

在其中一个实施例中，位于同一列上的多个所述有源区 210 和多个所述连接结构 220 共同构成“Z”字型测试结构 200。

请继续参见图 2，本实施例中所述有源区 210 的延伸方向与行方向之间的夹角在 $60^{\circ} \sim 80^{\circ}$ 范围内，以使得在不影响有源区 210 划分数量和大的同时，多个有源区 210 可以在列方向对齐，以及在列方向上相邻的两个有源

区 210 的首部与尾部之间的距离最短，且相应的连接结构 220 也沿 y 方向排列，进而简化制作工艺。本实施例中，通过所述测试结构 200 将位于同一列上的接触电阻串联，从而解决了因浅沟槽隔离结构异常所导致的测试准确度下降的问题。

在其中一个实施例中，在沿所述有源区 210 延伸的方向上每相邻两个所述有源区 210 连接。

可以理解，一般先在半导体衬底中形成规格（主要是指有源区的长度）较大的、平行交错设置的有源区，然后使用两层切割掩模板对该规格较大的有源区进行分割，以形成多个间隔的小尺寸的有源区。但是在切割道内，仅能使用一层切割掩模板，因此无法将即将形成的小尺寸的有源区完全分隔开，故在沿所述有源区延伸的方向上每相邻两个所述有源区连接。

在其中一个实施例中，所述测试结构 200 为所述切割道 20 内的多个测试结构 200 之一。可以理解，半导体器件的测试结构 200 与半导体衬底中的半导体器件是在同样的工艺中制造获得的，且所述半导体器件的测试结构 200 与所述半导体器件具有相互的对应关系，因此半导体器件中每一层互连线都会对应一个测试结构 200。而对半导体器件关键参数的测试包括半导体器件电阻的测试、介质层厚度的测试和半导体器件间相对位置的测试等，因此所述切割道 20 内具有多个不同用途的测试结构 200，上述包括有源区 210 和连接结构 220 的所述测试结构 200 仅为所述切割道 20 内的多个测试结构 200 中的一个。

在其中一个实施例中，所述芯片区域 10 为半导体存储芯片，即所述芯片区域 10 包括半导体存储芯片区域。本实施例中，所述芯片区域 10 为形成半导体存储芯片的区域，所述半导体器件为半导体存储器，所述测试结构 200 用于测试所述半导体存储器中的位线接触电阻，进而根据测得的位线接触电路检测所述半导体存储器的品质。由于本实施例中通过所述测试结构 200 将位于同一列上的多个所述有源区 210 依次首尾连接，得到的是多个位线接触电阻与有源区电阻的阻值之和，通过与采用其他测试方法获得的有源区阻值

测试结果进行减法运算，可以准确得到位线接触电阻的阻值之和，从而可避免出现因浅沟槽隔离结构异常所导致的测试准确度下降的问题，提高测试准确度，并提高器件品质。

基于同一发明构思，本申请实施例还提供了一种半导体器件的制作方法。请参见图 5，所述半导体器件的制作方法包括：

步骤 S410，提供半导体衬底 30；

步骤 S420，在所述半导体衬底 30 上形成多个芯片区域 10 和切割道；其中，切割道用于分隔所述芯片区域，所述切割道内具有多个与所述芯片区域 10 同步形成的有源区 210；以及

步骤 S430，形成多个连接结构 220，所述连接结构 220 位于所述有源区 210 的端部，通过所述连接结构 220 将位于同一列上的多个所述有源区 210 依次首尾连接；其中，所述有源区和所述连接结构共同构成用于位线接触电阻测试的测试结构。

由于所述半导体器件的测试结构 200 通常与半导体衬底中的半导体器件是在同样的工艺中制造获得的，且所述半导体器件的测试结构 200 与所述半导体器件具有相互的对应关系：半导体器件中每一层互连线对应半导体器件的测试结构 200 中位于同一层的测试线（即上述半导体结构中的金属层 223），半导体器件中每一个位线接触插塞对应半导体器件的测试结构 200 中位于同一层的一个连接插塞（即上述半导体结构中的第一连接插塞或第二连接插塞）。因此，本实施例中在形成位线接触插塞和位线连接线时，在切割道 20 内同步形成所述测试结构 200，所述测试结构 200 包括有源区 210 和连接结构 220，所述有源区 210 形成于半导体衬底 30 内，所述连接结构 220 位于所述有源区 210 的端部，通过所述连接结构 220 将位于同一列上的多个所述有源区 210 依次首尾连接。

本实施例通过位于所述有源区 210 的端部的连接结构 220 将位于同一列上的多个所述有源区 210 依次首尾连接，进而得到位于同一列上的多个位线接触电阻与有源区的阻值之和，通过与采用其他测试方法获得的有源区阻值

测试结果进行减法运算，可以准确得到位线接触电阻的阻值之和，因此有效解决了因浅沟槽隔离结构异常所导致的位线接触电阻测量不准确问题，从而提高了测试准确度，进而提高了产品品质。

在其中一个实施例中，形成所述连接结构 220 的步骤包括：

在所述有源区上方形成绝缘层 230；

形成贯穿所述绝缘层 230 的第一连接插塞 221 和第二连接插塞 222，其中所述第一连接插塞 221 位于所述有源区 210 的首部，所述第二连接插塞 222 位于所述有源区 210 的尾部；

形成金属层 223，所述金属层 223 覆盖所述第一连接插塞 221 和所述第二连接插塞 222，所述第一连接插塞 221 与所述第二连接插塞 222 通过所述金属层 223 连接。

本实施例中所述半导体器件为半导体存储器。所述半导体衬底 30 包括基底和形成于基底内形成的浅沟槽结构（未图示），通过所述浅沟槽结构定出多个平行交错设置的多个有源区 210，且所述浅沟槽结构内填充有绝缘材料以形成浅沟槽隔离结构。在其中一个实施例中，在沿所述有源区延伸的方向上每相邻两个所述有源区连接。可以理解，一般先在半导体衬底中形成规格（主要是指有源区的长度）较大的、平行交错设置待有源区，然后使用两层切割掩模板对该规格较大的有源区进行分割，以形成多个间隔的小尺寸的有源区。但是在切割道内，仅能使用一层切割掩模板，无法将即将形成的小尺寸的有源区完全分隔开，故在沿所述有源区延伸的方向上每相邻两个所述有源区连接。

所述衬底还包括字线结构（未图示）和位线结构（未图示），其中所述字线结构为埋入式字线结构，该埋入式字线结构的延伸方法与所述位线结构的延伸方向交叉。所述位线结构包括位线结构包括由下至上叠层设置的位线接触插塞、位线和绝缘层 230，由下至上指的是由基底至远离基底的方向，所述位线接触插塞底部位于所述半导体衬底上，与所述半导体衬底直接接触；并在形成位线结构后，通过连接结构 220 将多个位线连接。所述测试结构 200

与所述位线结构及连接结构 220 同步形成的，具体形成过程包括：

步骤一，通过沉积工艺沉积绝缘材料，例如氮化硅、氧化硅和氮氧化硅等，以形成覆盖所述半导体衬底（包括有源区 210 和浅沟槽隔离结构 250）表面的绝缘层 230。其中，所述沉积工艺可以包括化学气相沉积（CVD）、低压 CVD（LPCVD）、等离子体增强 CVD（PECVD）、原子层沉积（ALD）以及等离子体增强 ALD（PEALD）等。

步骤二，在形成位线接触孔时，利用刻蚀工艺同步在所述切割道 20 内的形成用于形成第一连接插塞 221 和第二连接插塞 222 的通孔，所述通孔暴露出所述有源区 210。

然后，利用沉积工艺依次沉积多晶硅材料以形成多晶硅材料层，所述多晶硅材料层覆盖所述绝缘层 230 并填满所述通孔。

步骤三，对所述多晶硅材料层进行刻蚀，去除位于绝缘层 230 的多晶硅材料层，保留的多晶硅材料层在切割道 20 内形成第一连接插塞和第二连接插塞。本实施例中，所述第一连接插塞和第二连接插塞均位于所述通孔内，并填满所述通孔。

步骤四，通过 PC（Periphery Contact，周边区域连接）工艺，在所述芯片区域 10 内形成位线连接结构，通过所述连接结构 220 将所述位线结构中的金属层连接在一起；并且，同步形成连接所述第一连接插塞和所述第二连接插塞的金属层 223。该步骤四具体包括：

首先，在形成位线结构后，通过沉积和刻蚀工艺先形成覆盖所述位线结构侧面的位线隔离结构；该步骤具体包括：首先，通过沉积绝缘材料形成覆盖所述位线结构的表面以及所述衬底表面的隔离材料层。本实施例中，采用氮化硅制作所述隔离材料层。然后，利用刻蚀工艺对所述隔离材料层进行刻蚀，去除位于所述位线结构顶部以及所述衬底表面的隔离材料层，保留位于所述位线结构侧壁上的隔离材料层，并作为所述位线隔离结构（未图示）。

其次，在形成位线隔离结构之后，利用沉积工艺和刻蚀/化学机械研磨工艺形成填充层 240。本实施例中通过沉积氮化硅材料形成所述填充层 240。

然后，通过 PC 工艺形成连接所述金属层 223，所述金属层 223 覆盖所述第一连接插塞 221 和所述第二连接插塞 222，所述第一连接插塞 221 与所述第二连接插塞 222 通过所述金属层 223 连接。在其它一些实施例中，在形成所述金属层之前，还包括形成金属阻挡层的步骤，所述金属阻挡层位于所述第一连接插塞与所述金属层之间以及所述第二连接插塞与所述金属层之间。本实施例中采用氮化钛形成所述金属阻挡层，通过所述金属阻挡层 224 可以阻挡金属层 223 中金属原子向多晶硅层中扩散。

在其中一个实施例中，位于同一列上的多个所述有源区 210 和多个所述连接结构 220 共同构成“Z”字型测试结构 200。本实施例中所述有源区 210 的延伸方向与行方向之间的夹角在 $60^{\circ} \sim 80^{\circ}$ 范围内，以使得在不影响有源区 210 划分数量和大的同时，多个有源区 210 可以在列方向对齐，以及在列方向上相邻的两个有源区 210 的首部与尾部之间的距离最短，且相应的连接结构 220 也沿 y 方向排列，进而简化制作工艺。本实施例中，通过所述测试结构 200 将位于同一列上的接触电阻及有源区进行串联，进而测试得到位于同一列上的多个位线接触电阻与有源区的阻值之和，通过与采用其他测试方法获得的有源区阻值测试结果进行减法运算，可以准确得到位线接触孔阻值之和，从而解决了因浅沟槽隔离结构异常所导致的位线接触阻值测试准确度下降的问题。

综上，本申请实施例提供了一种半导体器件及其制作方法，其中所述半导体器件包括半导体衬底 30，所述半导体衬底 30 包括多个芯片区域 10 以及用于分隔所述芯片区域 10 的切割道 20；其中，所述切割道内形成有测试结构 200，所述测试结构 200 包括有源区 210 和连接结构 220，所述有源区 210 形成于半导体衬底 30 内，所述连接结构 220 位于所述有源区 210 的端部，通过所述连接结构 220 将位于同一列上的多个所述有源区 210 依次首尾连接。本实施例中，所述半导体器件在切割道 20 内设置有用测试位线接触电阻的测试结构 200，通过位于所述有源区 210 的端部的连接结构 220 将位于同一列上的多个所述有源区 210 依次首尾连接，即将位线接触孔与有源区进行串

联，进而得到位于同一列上的多个位线接触电阻之和，通过与采用其他测试方法获得的有源区阻值测试结果进行减法运算，可以准确得到位线接触孔阻值之和，可以准确得到位线接触孔阻值之和，解决了因浅沟槽隔离结构异常所导致的位线接触阻值测量不准确的问题，提高测试准确度，进而提高产品品质。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

- 1、一种半导体器件，包括：
半导体衬底，包括多个芯片区域以及用于分隔所述芯片区域的切割道；
其中所述切割道内形成有测试结构，所述测试结构用于位线接触电阻测试，所述测试结构包括：
有源区，位于半导体衬底内；以及
连接结构，位于所述有源区的端部，通过所述连接结构将位于同一列上的多个所述有源区依次首尾连接。
- 2、如权利要求 1 所述的半导体器件，其中所述连接结构包括：
第一连接插塞，位于所述有源区的首部；
第二连接插塞，位于所述有源区的尾部；以及
金属层，位于所述第一连接插塞和所述第二连接插塞上方，用于连接所述第一连接插塞与所述第二连接插塞。
- 3、如权利要求 2 所述的半导体器件，其中所述连接结构还包括金属阻挡层，所述金属阻挡层位于所述第一连接插塞与所述金属层之间以及所述第二连接插塞和所述金属层之间。
- 4、如权利要求 2 所述的半导体器件，其中所述第一连接插塞和所述第二连接插塞的结构相同。
- 5、如权利要求 2 所述的半导体器件，其中所述第一连接插塞、所述第二连接插塞的材料包括多晶硅，所述金属层的材料包括金属钨。
- 6、如权利要求 2 所述的半导体器件，其中半导体衬底包括基底和于基底内形成的浅沟槽结构，通过所述浅沟槽结构定出多个平行交错设置的多个有源区，且所述浅沟槽结构内填充有绝缘材料，以形成浅沟槽隔离结构。
- 7、如权利要求 1 所述的半导体器件，其中位于同一列上的多个所述有源区和多个所述连接结构共同构成“Z”字型测试结构。
- 8、如权利要求 7 所述的半导体器件，其中在沿所述有源区延伸的方向上每相邻两个所述有源区连接。

9、如权利要求 1 所述的半导体器件，其中所述测试结构为所述切割道内的多个测试结构之一。

10、如权利要求 1 所述的半导体器件，其中所述芯片区域包括半导体存储芯片区域。

11、一种半导体器件的制作方法，其中包括：

提供半导体衬底；

在所述半导体衬底上形成多个芯片区域和及用于分隔所述芯片区域的切割道；所述切割道内具有多个与所述芯片区域同步形成的有源区；以及

形成多个连接结构，所述连接结构位于所述有源区的端部，通过所述连接结构将位于同一列上的多个所述有源区依次首尾连接，其中所述有源区和所述连接结构共同构成用于位线接触电阻测试的测试结构。

12、如权利要求 11 所述的半导体器件的制作方法，其中形成所述连接结构的步骤包括：

在所述有源区上方形成绝缘层；

形成贯穿所述绝缘层的第一连接插塞和第二连接插塞，所述第一连接插塞位于所述有源区的首部，所述第二连接插塞位于所述有源区的尾部；以及

形成金属层，所述金属层覆盖所述第一连接插塞和所述第二连接插塞，所述第一连接插塞与所述第二连接插塞通过所述金属层连接。

13、如权利要求 12 所述的半导体器件，其中所述第一连接插塞和所述第二连接插塞的结构相同。

14、如权利要求 11 所述的半导体器件，其中所述半导体衬底包括基底和形成于基底内形成的浅沟槽结构，通过所述浅沟槽结构定出多个平行交错设置的多个有源区，且所述浅沟槽结构内填充有绝缘材料以形成浅沟槽隔离结构。

15、如权利要求 11 所述的半导体器件的制作方法，其中位于同一列上的多个所述有源区和多个所述连接结构共同构成“Z”字型测试结构。

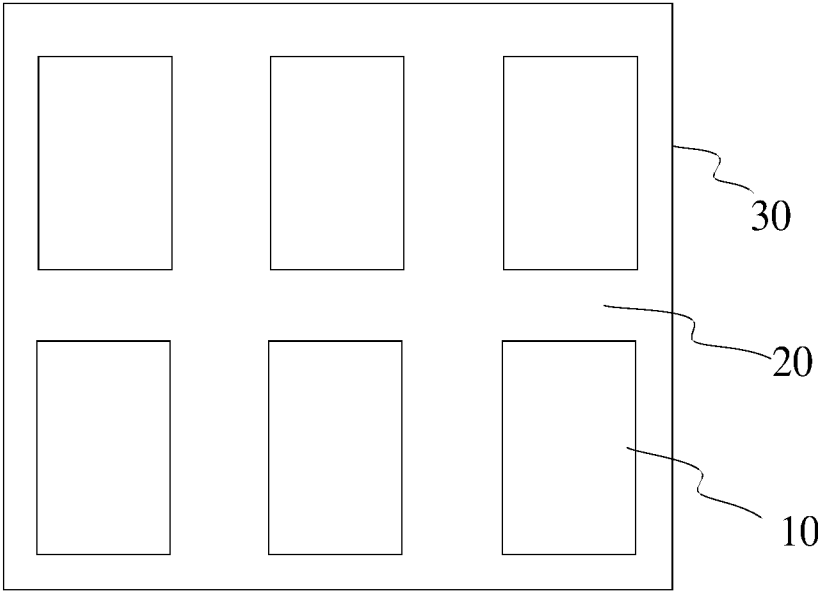


图 1

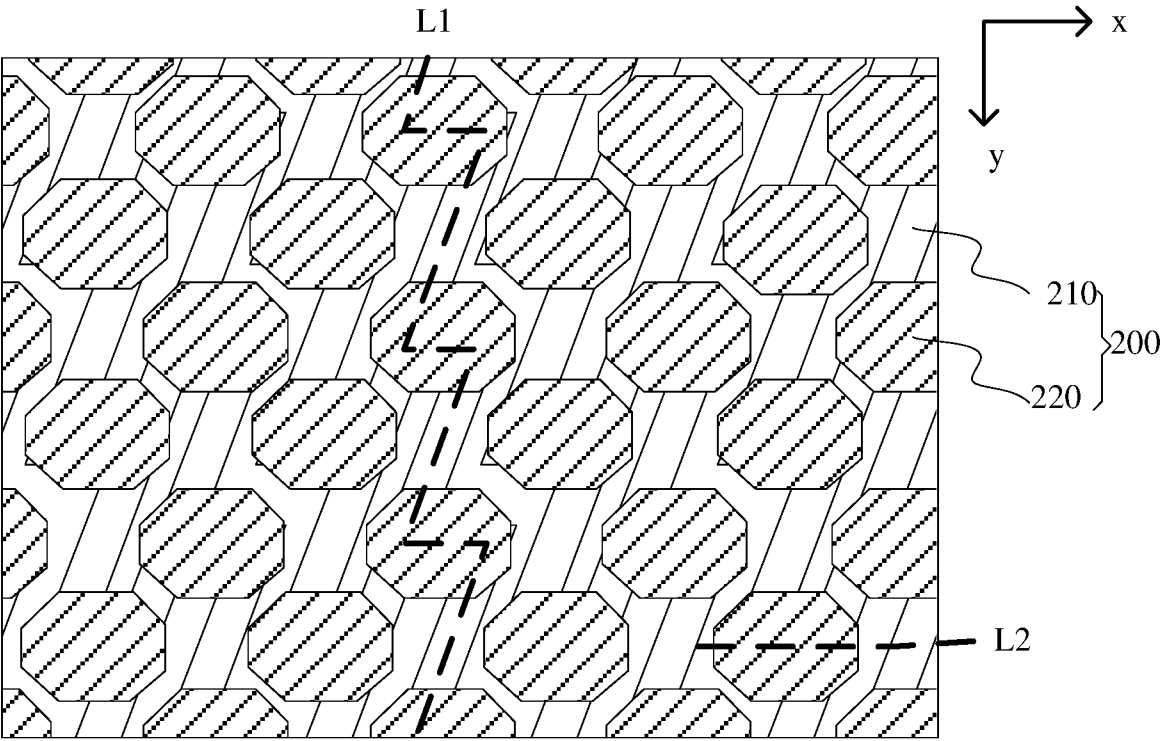


图 2

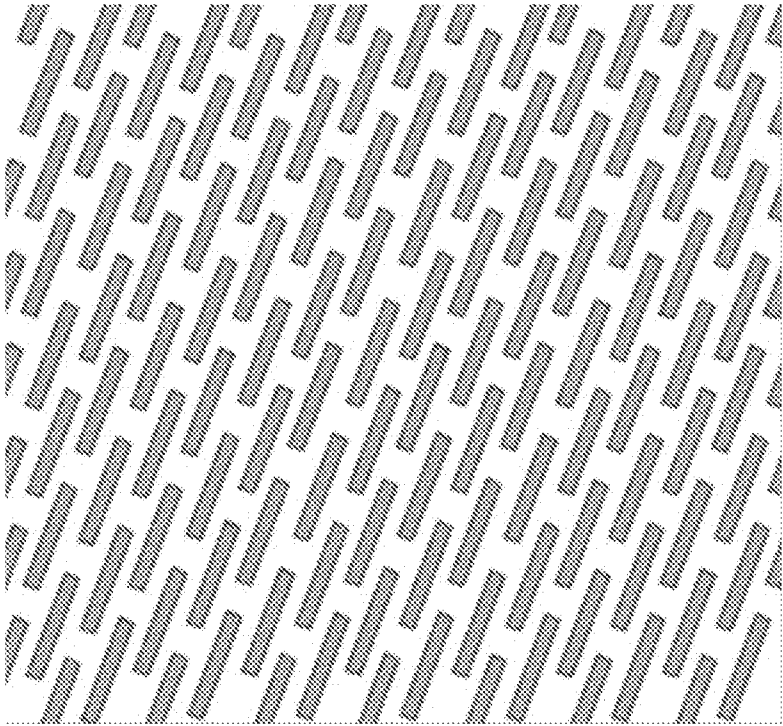


图 3

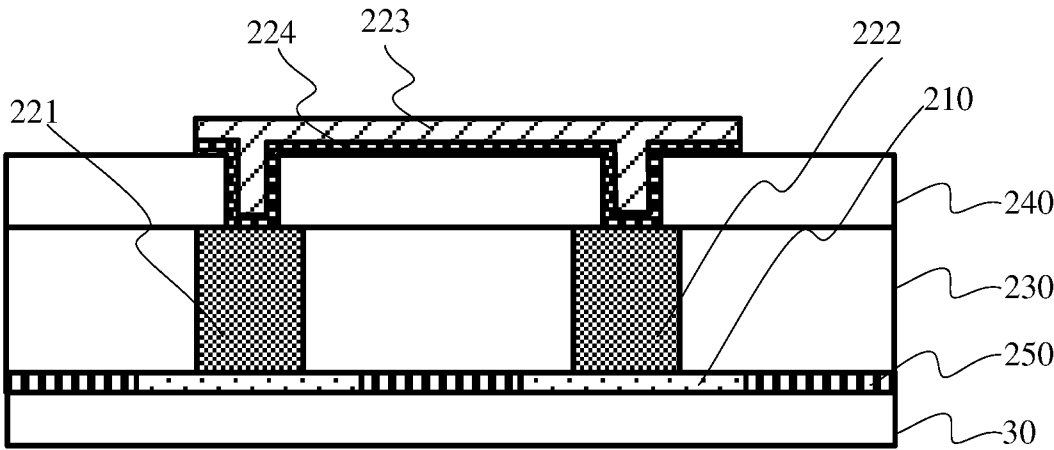


图 4

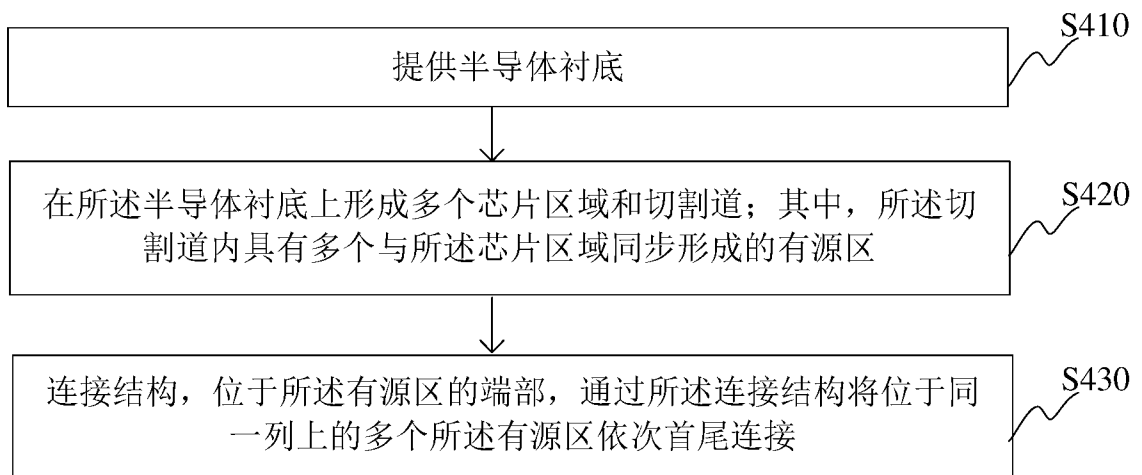


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/100228

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/66(2006.01)i; H01L 27/108(2006.01)n; H01L 21/8242(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: 存储, 闪存, 测试, 检测, 位线, 插塞, 接触, 电阻, 串联, 首尾, 有源层, 有源区, memory, flash, measur+, bit, line, plug, contact, resistance, series, active

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 205231023 U (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (TIANJIN) CO., LTD. et al.) 11 May 2016 (2016-05-11) description, paragraphs [0002]-[0054], and figures 1-3	1-15
X	CN 110335861 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 15 October 2019 (2019-10-15) description, paragraphs [0048]-[0069], and figures 1-4	1-15
A	CN 110071108 A (MICRON TECHNOLOGY INC.) 30 July 2019 (2019-07-30) entire document	1-15
A	US 2013264638 A1 (SAMSUNG ELECTRONICS CO., LTD.) 10 October 2013 (2013-10-10) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 August 2021

Date of mailing of the international search report

26 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/100228

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	205231023	U	11 May 2016	None			
CN	110335861	A	15 October 2019	CN	110335861	B	23 April 2021
CN	110071108	A	30 July 2019	KR	101865236	B1	13 July 2018
				US	9881924	B2	30 January 2018
				CN	107369686	A	21 November 2017
				US	2018102366	A1	12 April 2018
				CN	107369686	B	23 April 2019
				US	10566332	B2	18 February 2020
				TW	I615921	B	21 February 2018
				TW	201740510	A	16 November 2017
				US	2017330882	A1	16 November 2017
				KR	20170127334	A	21 November 2017
				US	2019088658	A1	21 March 2019
				US	10163909	B2	25 December 2018
US	2013264638	A1	10 October 2013	KR	101902870	B1	01 October 2018
				KR	20130114983	A	21 October 2013
				US	8878293	B2	04 November 2014

国际检索报告

国际申请号

PCT/CN2021/100228

A. 主题的分类

H01L 21/66(2006.01)i; H01L 27/108(2006.01)n; H01L 21/8242(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, EPDOC, WPI, CNKI, IEEE: 存储, 闪存, 测试, 检测, 位线, 插塞, 接触, 电阻, 串联, 首尾, 有源层, 有源区, memory, flash, measur+, bit, line, plug, contact, resistance, series, active

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 205231023 U (中芯国际集成电路制造天津有限公司 等) 2016年 5月 11日 (2016 - 05 - 11) 说明书第[0002]-[0054]段, 图1-3	1-15
X	CN 110335861 A (上海华虹宏力半导体制造有限公司) 2019年 10月 15日 (2019 - 10 - 15) 说明书第[0048]-[0069]段, 图1-4	1-15
A	CN 110071108 A (美光科技公司) 2019年 7月 30日 (2019 - 07 - 30) 全文	1-15
A	US 2013264638 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013年 10月 10日 (2013 - 10 - 10) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 8月 17日

国际检索报告邮寄日期

2021年 8月 26日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

马泽宇

电话号码 86-(10)-53961229

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/100228

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	205231023	U	2016年 5月 11日	无	
CN	110335861	A	2019年 10月 15日	CN	110335861 B 2021年 4月 23日
CN	110071108	A	2019年 7月 30日	KR	101865236 B1 2018年 7月 13日
				US	9881924 B2 2018年 1月 30日
				CN	107369686 A 2017年 11月 21日
				US	2018102366 A1 2018年 4月 12日
				CN	107369686 B 2019年 4月 23日
				US	10566332 B2 2020年 2月 18日
				TW	I615921 B 2018年 2月 21日
				TW	201740510 A 2017年 11月 16日
				US	2017330882 A1 2017年 11月 16日
				KR	20170127334 A 2017年 11月 21日
				US	2019088658 A1 2019年 3月 21日
				US	10163909 B2 2018年 12月 25日
US	2013264638	A1	2013年 10月 10日	KR	101902870 B1 2018年 10月 1日
				KR	20130114983 A 2013年 10月 21日
				US	8878293 B2 2014年 11月 4日