



Patent dodatkowy
do patentu nr _____

Zgłoszono: 03.05.78 (P. 206544)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 14.01.80

Opis patentowy opublikowano: 28.02.1983

Int. Cl.⁸

G11B 5/06

G11B 5/09

CZYTELNIKA

Urzędu Patentowego
Polskiej Rzeczypospolitej

Twórcy wynalazku: Krzysztof Bednarczyk, Jacek Bogusławski, Andrzej Jaworski, Wiesław Kaczanowski, Aleksander Kossek, Witold Piastowicz, Małgorzata Zelman

Uprawniony z patentu: Ośrodek Badawczo-Rozwojowy Urządzeń Informatyki „MERAMAT” przy Warszawskich Zakładach Urządzeń Informatyki „MERAMAT”, Warszawa (Polska)

Układ progowania torów odczytu w szybkich pamięciach taśmowych

1

Przedmiotem wynalazku jest układ progowania torów odczytu w szybkich pamięciach taśmowych.

Stan techniki. Znany jest układ źródeł napięciowych do progowania torów odczytu dla transmisji informacji w systemie PE i NRZI opisany w polskim zgłoszeniu P 188986 Warszawskich Zakładów Urządzeń Informatyki „MERAMAT”. Jest on utworzony następująco. Wejście inwersyjne pierwszego wzmacniacza liniowego jest połączone z wyjściem układu blokady PE oraz, poprzez pierwszy rezystor, jest ono połączone z wyjściem tego wzmacniacza i z przewodem wyprowadzającym ujemno-napięciowy sygnał progowy dla PE.

Wejście nieinwersyjne pierwszego wzmacniacza liniowego jest połączone z wyjściem układu progowania PE i z końcówką zbiorczą pierwszego potencjometru, przy czym pierwsza końcówka tego potencjometru jest połączona z punktem o potencjale odniesienia, natomiast druga końcówka jest połączona z pierwszym wyjściem stabilizatora napięcia. Wejście inwersyjne drugiego wzmacniacza liniowego jest połączone, poprzez drugi rezystor, z wyjściem tego wzmacniacza, z wejściem inwersyjnym trzeciego wzmacniacza liniowego i z przewodem wyprowadzającym ujemno-napięciowy sygnał progowy dla NRZI. Wejście nieinwersyjne drugiego wzmacniacza liniowego jest połączone z wyjściem układu progowania NRZI i z końcówką zbiorczą drugiego potencjometru, przy czym pierwsza końcówka tego potencjometru jest połączona z punktem o potencjale odniesienia, natomiast

2

druga końcówka jest połączona z drugim wejściem stabilizatora napięcia. Wejście inwersyjne trzeciego wzmacniacza liniowego jest połączone, poprzez trzeci potencjometr, z wyjściem tego wzmacniacza i z przewodem wyprowadzającym dodatnio-napięciowy sygnał progowy dla NRZI. Wejście nieinwersyjne trzeciego wzmacniacza liniowego jest połączone, poprzez trzeci rezystor, z punktem o potencjale odniesienia.

Pierwsze wejście układu progowania PE i wejście układu progowania NRZI są połączone z przewodem doprowadzającym sygnał stanu zapisu. Drugie wejście układu progowania PE jest połączone z przewodem doprowadzającym sygnał logiczny zero-jedynkowy progu odczytu. Użyteczną wartość napięcia sygnału ujemno-napięciowego progowego PE uzyskuje się za pomocą regulacji pierwszego potencjometru. Stabilizator napięcia, który jest zbudowany na wysokostabilnej diodzie Zenera, dostarcza na pierwszy potencjometr napięcie stabilizowane. Pętla ujemnego sprzężenia zwrotnego, utworzona z pierwszego rezystora i układu blokady PE, określa wzmocnienie pierwszego wzmacniacza liniowego. Układ blokady PE jest utworzony z dwóch elementów o zmiennej rezystancji wyjściowej, której wartość określa sygnał logiczny zero-jedynkowy gęstości niskiej. Niski poziom napięcia sygnału gęstości niskiej wymusza na wyjściu układu blokady PE wysoki ujemny poziom napięcia. Poziom ten blokuje układy odczytu pamięci informacji zapisanej me-

todą NRZI. Układ progowania PE zawiera dwa elementy o zmiennej rezystancji wyjściowej, wynikającej z zadanych sygnałów stanu zapisu i logicznego zero-jedynkowego progu odczytu. W przypadku gdy pamięć znajduje się w stanie zapisu, wartość poziomu sygnału ujemno-napięciowego progowego PE wynosi trzydzieści procent wartości amplitudy sygnału odczytu. Z chwilą przejścia pamięci w stan odczytu wartość poziomu sygnału ujemno-napięciowego progowego PE wynosi dziesięć procent wartości amplitudy sygnału odczytu.

Jednocześnie podanie niskiego poziomu napięcia sygnału logicznego zero-jedynkowego progu odczytu dla NRZI, przy pracy pamięci w stanie odczytu, powoduje pojawienie się na wyjściu pierwszego wzmacniacza liniowego poziomu napięcia równego pięciu procentom wartości amplitudy sygnału odczytu. Poziom sygnału ujemno-napięciowego progowego dla NRZI jest regulowany drugim potencjometrem. Drugi wzmacniacz liniowy pracuje w układzie wtórniaka nieinwersyjnego. Sygnał wyjściowy tego wzmacniacza steruje wejście inwersyjne trzeciego wzmacniacza. Wzmocnienie trzeciego wzmacniacza jest regulowane trzecim potencjometrem, tworzącym pętlę ujemnego sprzężenia zwrotnego tego wzmacniacza. Napięcia sygnałów progowych dodatnio-napięciowego progowego dla NRZI i ujemno-napięciowego progowego dla NRZI są przełączane sygnałem pochodzącym z układu progowania NRZI, który jest utworzony z elementu o zmiennej rezystancji wyjściowej o wartości określonej sygnałem stanu zapisu. W przypadku pracy pamięci w stanie zapisu wartość napięcia sygnałów progowych dodatnio-napięciowego dla NRZI i ujemno-napięciowego dla NRZI jest równa trzydziestu procentom amplitudy sygnału odczytu. Natomiast reżim pamięci w stanie odczytu określa wartość napięcia tych sygnałów na poziomie siedemnastu procent amplitudy sygnału odczytu.

Istota wynalazku. Układ progowania torów odczytu w szybkich pamięciach taśmowych, według wynalazku, jest utworzony następująco. Źródło napięcia, zadające poziom dodatni ZAPIS DOZWOLONY, jest połączone z pierwszym wejściem układu USTAWIENIE PROGU ZAPISU PE i NRZ. Źródło napięcia, zadające poziom dodatni STAN ZAPISU, jest połączone z drugim wejściem układu USTAWIENIE PROGU ZAPISU PE i NRZ, przy czym wyjście tego układu, poprzez pierwszy rezystor, jest połączone z emiterem pierwszego tranzystora typu n-p-n. Emiter drugiego tranzystora typu n-p-n, poprzez drugi rezystor, jest połączony z ujemnym biegunem źródła zasilania. Źródło napięcia, zadające poziom dodatni NRZI, jest połączone z pierwszym wejściem układu USTAWIENIE PROGU ODCZYTU NRZ. Źródło napięcia, zadające poziom zerowy STAN ZAPISU, jest połączone z drugim wejściem układu USTAWIENIE PROGU ODCZYTU NRZ, przy czym wyjście tego układu, poprzez trzeci rezystor, jest połączone z emiterem trzeciego tranzystora typu n-p-n.

Baza pierwszego tranzystora typu n-p-n, baza drugiego tranzystora typu n-p-n i baza trzeciego tranzystora typu n-p-n są połączone z układem

STABILIZATOR NAPIĘCIA BAZ, natomiast kolektory tych tranzystorów są połączone z wejściem nieinwersyjnym wzmacniacza różnicowego, z pierwszą końcówką potencjometru i z końcówką zbiorczą tego potencjometru. Druga końcówka potencjometru jest połączona z punktem o potencjale odniesienia. Wyjście wzmacniacza różnicowego, poprzez czwarty rezystor, jest połączona z bazą tranzystora typu p-n-p. Kolektor tranzystora typu p-n-p jest połączony z ujemnym biegunem źródła zasilania, a emiter tego tranzystora jest połączony z wejściem inwersyjnym wzmacniacza różnicowego, z pierwszą końcówką piątego rezystora i z przewodem odprowadzającym poziom ujemny PROGI ODCZYTU, przy czym druga końcówka piątego rezystora jest połączona z punktem o potencjale odniesienia.

Przykład wykonania. Układ według wynalazku jest przedstawiony na rysunku, który przedstawia jego postać blokowo-ideową. Układ jest utworzony następująco. Źródło a napięcia, zadające poziom dodatni **ZD ZAPIS DOZWOLONY**, jest połączone z pierwszym wejściem układu **A USTAWIENIE PROGU ZAPISU PE i NRZ** zwanego dalej układem **A**. Źródło b napięcia, zadające poziom dodatni **SZ STAN ZAPISU**, jest połączone z drugim wejściem układu **A**. Wyjście układu **A**, poprzez pierwszy rezystor **1**, jest połączone z emiterem pierwszego tranzystora **T1** typu n-p-n.

Emiter drugiego tranzystora **T2** typu n-p-n, poprzez drugi rezystor **2**, jest połączony z ujemnym biegunem — **U** źródła zasilania. Źródło c napięcia, zadające poziom dodatni **NRZI**, jest połączone z pierwszym wejściem układu **B USTAWIENIE PROGU ODCZYTU NRZ**, zwanego dalej układem **B**. Źródło d napięcia, zadającego poziom zerowy **SZO STAN ZAPISU**, jest połączone z drugim wejściem układu **B**. Wyjście układu **B**, poprzez trzeci rezystor **3**, jest połączone z emiterem trzeciego tranzystora **T3** typu n-p-n. Bazy tranzystorów **T1, T2, T3** typu n-p-n są połączone z układem **C STABILIZATOR NAPIĘCIA BAZ**. Kolektory tranzystorów **T1, T2, T3** typu n-p-n są połączone z wejściem nieinwersyjnym wzmacniacza różnicowego **W**, z pierwszą końcówką potencjometru **4** i z końcówką zbiorczą tego potencjometru **4**, przy czym druga końcówka potencjometru **4** jest połączona z punktem o potencjale odniesienia. Wyjście wzmacniacza różnicowego **W**, poprzez czwarty rezystor **5**, jest połączone z bazą tranzystora **T4** typu p-n-p. Kolektor tranzystora **T4** typu p-n-p jest połączony z ujemnym biegunem — **U** źródła zasilania. Emiter tranzystora **T4** typu p-n-p jest połączony z wejściem inwersyjnym wzmacniacza różnicowego **W**, z pierwszą końcówką piątego rezystora **6** i z przewodem odprowadzającym poziom ujemny **PO PROGI ODCZYTU**, przy czym druga końcówka piątego rezystora **6** jest połączona z punktem o potencjale odniesienia.

Układ działa następująco. Blok **A**, sterowany poziomem dodatnim **ZD** i poziomem dodatnim **SZ**, wytwarza na wyjściu ujemny poziom napięcia, który poprzez pierwszy rezystor **1** wprowadza pierwszy tranzystor **T1** w stan przewodzenia. Ujemny poziom napięcia na kolektorze pierwszego tranzy-

stora **T1** jest regulowany zmianą prądu tego kolektora przez zmianę wartości rezystancji potencjometru **4**. Wyznaczony poziom napięcia na kolektorze pierwszego tranzystora **T1** steruje wejście nieinwersyjne wzmacniacza różnicowego **W**, spełniającego rolę wzmacniacza liniowego, który pracuje jako wtórnik napięcia wejściowego dzięki zastosowanej pętli ujemnego sprzężenia zwrotnego. Sygnał z wyjścia wzmacniacza różnicowego steruje bazę tranzystora **T4** typu p-n-p, przy czym tranzystor **T4** pracuje jako wtórnik emiterowy. Tak więc napięcie z kolektora tranzystora pierwszego **T1** jest przekazane, poprzez wzmacniacz różnicowy **W**, czwarty rezystor **5** i tranzystor **T4**, na wyjście układu jako ujemny poziom proggu zapisu **PE** i **NRZ** i wynosi trzydzieści procent nominalnej wartości amplitudy odczytu. Blok **B** sterowany poziomem dodatnim **NRZI** i poziomem zerowym **SZO**, wytwarza na wyjściu ujemny poziom napięcia.

Poziom ten steruje, poprzez trzeci rezystor **3**, emiter trzeciego tranzystora **T3**, wprowadzając ten tranzystor **T3** w stan przewodzenia. Płynący przez tranzystor **T3** prąd wyznacza na wejściu nieinwersyjnym wzmacniacza różnicowego **W** ujemny poziom napięcia, który jest przekazany, poprzez ten wzmacniacz **W**, czwarty rezystor **6** i tranzystor **T4**, na wyjście układu jako ujemny poziom napięcia proggu odczytu **NRZ**, przy czym wartość tego napięcia wynosi siedemnaście procent nominalnej wartości amplitudy odczytu.

W przypadku nie wystąpienia poziomów **ZD** i **SZ** na wejściach układu **A** i poziomów **NRZI** i **SZO** na wejściach układu **B** przez drugi tranzystor **T2** płynie prąd, wyznaczający ujemny spadek napięcia na potencjometrze **4**. Wartość tego napięcia jest przesłana przez wzmacniacz różnicowy **W**, czwarty rezystor **5** i tranzystor **T4** na wyjście układu jako ujemny poziom napięcia proggu odczytu **PE**, wynoszący dziesięć procent nominalnej wartości amplitudy odczytu. Odpowiednio dobrane wartości rezystancji rezystorów **1**, **2**, **3** określają pożądany prąd kolektorów tranzystorów **T1**, **T2**, **T3**. Wysoka stabilność napięć proggowych na wyjściu układu jest uzyskana w wyniku wysokiego współczynnika napięcia zrównoważenia wzmacniacza **W** poprzez zastosowanie ujemnej pętli wzmocnienia napięciowego. Układ jest skompensowany w szero-

kim zakresie zmian temperatury, co uzyskano przez właściwe dobranie napięcia stabilizowanego zasilającego bazy tranzystorów **T1**, **T2**, **T3**.

Zastrzeżenie patentowe

Układ progowania torów odczytu w szybkich pamięciach taśmowych zawierający układ **USTAWIENIE PROGU ZAPISU PE** i **NRZ**, którego pierwsze wejście jest połączone ze źródłem napięcia zadającym poziom dodatni **ZAPIS DOZWOLONY**, a drugie wejście jest połączone ze źródłem napięcia zadającym poziom dodatni **STAN ZAPISU**, zawierający układ **USTAWIENIE PROGU ODCZYTU NRZ**, którego pierwsze wejście jest połączone ze źródłem napięcia zadającym poziom dodatni **NRZI**, a drugie wejście jest połączone ze źródłem napięcia zadającym poziom zerowy **STAN ZAPISU**, oraz zawierający wzmacniacz różnicowy, którego wyjście, poprzez czwarty rezystor, jest połączone z bazą tranzystora typu p-n-p, wejście inwersyjne jest połączone z emiterem tego tranzystora, z pierwszą końcówką piątego rezystora i z przewodem odprowadzającym poziom ujemny **PROGI ODCZYTU**, przy czym kolektor tranzystora typu p-n-p jest połączony z ujemnym biegunem źródła zasilania, a druga końcówka piątego rezystora jest połączona z punktem o potencjale odniesienia, **znamienny tym**, że wyjście układu (**A**) **ZESTAWIENIE PROGU ZAPISU PE** i **NRZ** poprzez pierwszy rezystor (**1**) jest połączone z emiterem pierwszego tranzystora (**T1**) typu n-p-n, emiter drugiego tranzystora (**T2**) typu n-p-n poprzez drugi rezystor (**2**) jest połączony z ujemnym biegunem ($-U$) źródła zasilania, wyjście układu (**B**) **USTAWIENIE PROGU ODCZYTU NRZ** poprzez trzeci rezystor (**3**) jest połączone z emiterem trzeciego tranzystora (**T3**) typu n-p-n, bazy tranzystorów (**T1**, **T2**, **T3**) pierwszego, drugiego i trzeciego są połączone z układem (**C**) **STABILIZATOR NAPIĘCIA BAZ**, kolektory tranzystorów (**T1**, **T2**, **T3**) pierwszego, drugiego i trzeciego są połączone z wejściem nieinwersyjnym wzmacniacza różnicowego (**W**), z pierwszą końcówką potencjometru (**4**) i z końcówką zbiorczą tego potencjometru (**4**) przy czym druga końcówka potencjometru (**4**) jest połączona z punktem o potencjale odniesienia.

