

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月18日(18.10.2018)



(10) 国際公開番号

WO 2018/190396 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/3205* (2006.01)
G02F 1/1368 (2006.01) *H01L 21/768* (2006.01)
G09F 9/30 (2006.01) *H01L 23/522* (2006.01)

(21) 国際出願番号: PCT/JP2018/015341

(22) 国際出願日: 2018年4月12日(12.04.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-080051 2017年4月13日(13.04.2017) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 山本 薫(YAMAMOTO Kaoru).

(74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪府中央区北浜一丁目8番1

6号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

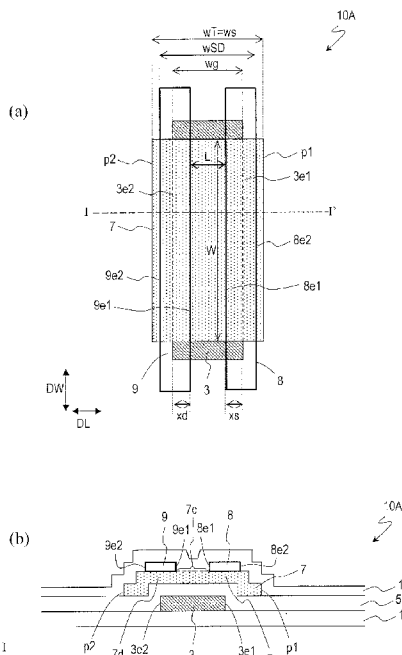
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: ACTIVE MATRIX SUBSTRATE

(54) 発明の名称: アクティブマトリクス基板

[図2]



(57) Abstract: This active matrix substrate is provided with at least one TFT 10A, and a peripheral circuit containing the TFT 10A. The TFT 10A comprises a gate electrode 3, a gate insulating layer 5, an oxide semiconductor layer 7 arranged on the gate insulating layer, and a source electrode 8 and a drain electrode 9 arranged on the oxide semiconductor layer. Seen from the substrate normal direction, the gate electrode 3 has a first edge 3e1 and a second edge 3e2 opposite each other, and the first edge and the second edge extend across the oxide semiconductor layer 7 in the channel width direction DW of the TFT 10A. Seen from the substrate normal direction, the source electrode 8 extends across the oxide semiconductor layer 7 in the channel width direction DW so as to overlap the first edge 3e1, and the drain electrode extends across the oxide semiconductor layer 7 in the channel width direction DW so as to overlap the second edge 3e2.



LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：アクティブマトリクス基板は、少なくとも1つのTFT10Aと、TFT10Aを含む周辺回路とを備え、TFT10Aは、ゲート電極3と、ゲート絶縁層5と、ゲート絶縁層上に配置された酸化物半導体層7と、酸化物半導体層上に配置されたソース電極8およびドレイン電極9とを有し、基板法線方向から見たとき、ゲート電極3は、互いに対向する第1縁部3e1および第2縁部3e2を有し、第1縁部および第2縁部は、TFT10Aのチャネル幅方向DWに酸化物半導体層7を横切って延び、基板法線方向から見たとき、ソース電極8は、第1縁部3e1と重なるようにチャネル幅方向DWに酸化物半導体層7を横切って延びており、ドレイン電極は、第2縁部3e2と重なるように、チャネル幅方向DWに酸化物半導体層7を横切って延びている。

明 細 書

発明の名称： アクティブマトリクス基板

技術分野

[0001] 本発明は、アクティブマトリクス基板に関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、複数の画素を有する表示領域と、表示領域以外の領域（非表示領域または額縁領域）とを有している。表示領域には、画素毎に薄膜トランジスタ（Thin Film Transistor；以下、「TFT」）などのスイッチング素子を備えている。このようなスイッチング素子としては、従来から、アモルファスシリコン膜を活性層とするTFT（以下、「アモルファスシリコンTFT」）や多結晶シリコン膜を活性層とするTFT（以下、「多結晶シリコンTFT」）が広く用いられている。

[0003] TFTの活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いることが提案されている。このようなTFTを「酸化物半導体TFT」と称する。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体TFTは、アモルファスシリコンTFTよりも高速で動作することが可能である。

[0004] アクティブマトリクス基板の非表示領域に、駆動回路などの周辺回路をモノリシック（一体的）に形成される場合がある。駆動回路をモノリシックに形成することによって、非表示領域の狭小化や、実装工程簡略化によるコストダウンが実現される。例えば、非表示領域において、ゲートドライバ回路がモノリシックに形成され、ソースドライバ回路がCOG（Chip on Glass）方式で実装される場合がある。

[0005] スマートフォンなどの狭額縁化の要求の高いデバイスでは、ゲートドライバに加えて、ソース切替（Source Shared driving：SSD）回路などのデマルチプレクサ回路をモノリシックに形成することが

提案されている（例えば特許文献1および2）。SSD回路は、ソースドライバの各端子からのビデオ信号線1本から、複数本のソース配線へビデオデータを振り分ける回路である。SSD回路の搭載により、非表示領域における端子部および配線が配置される領域（端子部・配線形成領域）をさらに狭くできる。また、ソースドライバからの出力数が減り、回路規模を小さくできるので、ドライバICのコストを低減できる。

[0006] 駆動回路やSSD回路などの周辺回路はTFTを含んでいる。本明細書では、表示領域の各画素にスイッチング素子として配置されるTFTを「画素TFT」、周辺回路を構成するTFTを「回路TFT」と呼ぶ。また、回路TFTのうちデマルチプレクサ回路（SSD回路）においてスイッチング素子として用いられるTFTを「DMX回路用TFT」と呼ぶ。

先行技術文献

特許文献

[0007] 特許文献1：国際公開第2011／118079号

特許文献2：特開2010－102266号公報

発明の概要

発明が解決しようとする課題

[0008] 画素TFTとして酸化物半導体TFTを用いたアクティブマトリクス基板では、製造プロセスの観点から、DMX回路用TFTも、画素TFTと同じ酸化物半導体膜を用いた酸化物半導体TFTであることが好ましい。

[0009] しかしながら、酸化物半導体TFTを用いてデマルチプレクサ回路を形成することは困難であり、従来は、DMX回路用TFTとして多結晶シリコンTFTが用いられていた。この理由は、以下のとおりである。

[0010] 酸化物半導体は多結晶シリコンよりも移動度が約1桁小さいことから、酸化物半導体TFTは多結晶シリコンTFTよりも電流駆動力が小さい。このため、酸化物半導体を用いてDMX回路用TFTを形成する場合には、多結晶シリコンを用いる場合よりもTFTのサイズを大きくする（チャネル幅を

大きくする)か、あるいは、駆動電圧を高める必要がある。TFTのサイズを大きくすると、ゲート容量負荷が大きくなり、デマルチプレクサ回路の駆動電力が増大してしまう。一方、TFTの駆動電圧を高くしても、デマルチプレクサ回路の駆動電力が増大する。

[0011] なお、DMX回路用TFTの他に、大電流を流すTFTを含む周辺回路をモノリシックに形成する場合には、上記と同様の問題がある。

[0012] 本発明の実施形態は上記事情に鑑みてなされたものであり、その目的は、酸化物半導体TFTを含む周辺回路の駆動電力を低減可能なアクティブマトリクス基板を提供することにある。

課題を解決するための手段

[0013] 本発明による一実施形態のアクティブマトリクス基板は、複数の画素を含む表示領域と、前記表示領域の周辺に設けられた非表示領域とを有し、基板と、前記基板に支持され、かつ、前記非表示領域に配置された少なくとも1つのTFTと、前記少なくとも1つのTFTを含む周辺回路とを備えたアクティブマトリクス基板であって、前記少なくとも1つのTFTは、ゲート電極と、前記ゲート電極を覆うゲート絶縁層と、前記ゲート絶縁層上に、前記ゲート絶縁層を介して前記ゲート電極と少なくとも部分的に重なるように配置された酸化物半導体層と、前記酸化物半導体層上に、前記酸化物半導体層の一部と接するように配置されたソース電極と、前記酸化物半導体層上に、前記酸化物半導体層の他の一部と接するように配置されたドレイン電極とを有し、前記基板の法線方向から見たとき、前記ゲート電極は、互いに対向する第1縁部および第2縁部を有し、前記第1縁部および前記第2縁部は、前記少なくとも1つのTFTのチャネル幅方向に前記酸化物半導体層を横切って延びており、前記基板の法線方向から見たとき、前記ソース電極は、前記ゲート電極の前記第1縁部と重なるように、前記チャネル幅方向に前記酸化物半導体層を横切って延びており、前記ドレイン電極は、前記ゲート電極の前記第2縁部と重なるように、前記チャネル幅方向に前記酸化物半導体層を横切って延びている。

- [0014] ある実施形態において、前記基板の法線方向から見たとき、前記ソース電極における前記ドレイン電極に対向するソース縁部、および／または、前記ドレイン電極における前記ソース電極に対向するドレイン縁部は、前記酸化物半導体層と重なる領域に、前記少なくとも1つのTFTのチャンネル長方向に突出した少なくとも1つの凸部と、前記少なくとも1つの凸部に前記チャンネル幅方向に隣接する凹部または切欠き部とを有し、前記少なくとも1つの凸部の前記チャンネル長方向の長さは、前記ゲート電極の前記チャンネル長方向の幅の1／3未満である。
- [0015] ある実施形態において、前記ソース縁部または前記ドレイン縁部に配置された前記少なくとも1つの凸部の前記チャンネル幅方向における幅の合計は、前記少なくとも1つのTFTのチャンネル幅Wの70％以上90％以下である。
- [0016] ある実施形態において、前記ソース縁部および前記ドレイン縁部はいずれも、前記少なくとも1つの凸部と、前記凹部または前記切欠き部とを有し、前記ソース縁部の少なくとも1つの凸部は、前記ドレイン縁部の少なくとも1つの凸部と前記チャンネル長方向に対向し、前記ソース縁部の前記凹部または前記切欠き部は、前記ドレイン縁部の前記凹部または前記切欠き部と前記チャンネル長方向に対向している。
- [0017] ある実施形態において、前記ソース縁部および前記ドレイン縁部はいずれも、前記少なくとも1つの凸部と、前記凹部または前記切欠き部とを有し、前記ソース縁部の少なくとも1つの凸部は、前記ドレイン縁部の前記凹部または前記切欠き部と前記チャンネル長方向に対向し、前記ソース縁部の前記凹部または前記切欠き部は、前記ドレイン縁部の少なくとも1つの凸部と前記チャンネル長方向に対向している。
- [0018] ある実施形態において、前記表示領域において、前記チャンネル幅方向に延びる複数のソースバスラインと、前記少なくとも1つのTFTのチャンネル長方向に延びる複数のゲートバスラインとをさらに備え、前記周辺回路は、複数の単位回路を含むデマルチプレクサ回路であり、前記複数の単位回路のそ

れぞれは、複数のビデオ信号線のうちの1つのビデオ信号線から、前記複数のソースバスラインのうちの n 本（ n は2以上の整数）のソースバスラインへビデオ信号を分配し、前記複数の単位回路のそれぞれは、少なくとも n 個のDMX回路用TF Tを有し、前記少なくとも1つのTF Tは、前記少なくとも n 個のDMX回路用TF Tを含む。

[0019] ある実施形態において、前記デマルチプレクサ回路は、複数の制御信号幹線をさらに備え、前記複数の単位回路のそれぞれは、前記1つのビデオ信号線に接続された n 本の分岐配線と、前記 n 本のソースバスラインと、 n 本の制御信号枝線とをさらに備え、前記複数の制御信号枝線のそれぞれは、前記複数の制御信号幹線の1つに電氣的に接続されており、前記複数の単位回路のそれぞれにおいて、各DMX回路用TF Tのドレイン電極は前記 n 本のソースバスラインの1つの一部であり、ソース電極は前記 n 本の分岐配線の1つの一部であり、ゲート電極は前記 n 本の制御信号枝線の一部であり、前記複数の単位回路のそれぞれにおいて、前記 n 本の分岐配線、前記 n 本の制御信号枝線および前記 n 本のソースバスラインは、いずれも、前記チャンネル幅方向に延びている。

[0020] ある実施形態において、前記デマルチプレクサ回路は、複数のサブ回路を含み、各サブ回路のそれぞれは、前記複数の単位回路のうちの少なくとも第1単位回路および第2単位回路を含み、前記各サブ回路のそれぞれにおいて、前記第1単位回路および前記第2単位回路における前記 n 本の制御信号枝線は共通である。

[0021] ある実施形態において、前記各サブ回路において、前記第1単位回路の前記少なくとも n 個のDMX回路用TF Tが形成される第1単位回路形成領域は、前記第2単位回路の前記少なくとも n 個のDMX回路用TF Tが形成される第2単位回路形成領域と前記表示領域との間に位置している。

[0022] ある実施形態において、前記各サブ回路において、前記第1単位回路における前記少なくとも n 個のDMX回路用TF Tの1つと、前記第2単位回路における前記少なくとも n 個のDMX回路用TF Tの1つとは、同じ制御信

号枝線に接続され、かつ、前記同じ制御信号枝線の上に間隔を空けて配置されている。

[0023] ある実施形態において、前記複数のソースバスラインは、一方の端から前記チャンネル長方向に配列されており、前記各サブ回路は、前記一方の端から N 番目 (N は自然数)、 $(N+1)$ 番目、 $(N+2)$ 番目および $(N+3)$ 番目にそれぞれ配列された第 1 ソースバスライン、第 2 ソースバスライン、第 3 ソースバスラインおよび第 4 ソースバスラインを含み、前記第 1 ソースバスラインおよび前記第 3 ソースバスラインは、前記第 1 単位回路を介して、前記複数のビデオ信号線の 1 つに電氣的に接続され、前記第 2 ソースバスラインおよび前記第 4 ソースバスラインは、前記第 2 単位回路を介して、前記複数のビデオ信号線の他の 1 つに電氣的に接続されている。

[0024] ある実施形態において、前記各サブ回路において、前記基板の法線方向から見たとき、前記第 1 単位回路の前記少なくとも n 個の DMX 回路用 T F T の 1 つは、前記第 2 ソースバスラインおよび前記第 4 ソースバスラインの間に配置されている。

[0025] ある実施形態において、前記少なくとも n 個の DMX 回路用 T F T は、前記チャンネル幅方向に配列され、かつ、互いに並列に接続された複数の T F T を含む。

[0026] ある実施形態において、前記複数の制御信号幹線は、 n 本の第 1 制御信号幹線と、 n 本の第 2 制御信号幹線とを含み、前記 n 本の第 1 制御信号幹線のそれぞれには、前記 n 本の第 2 制御信号幹線の 1 つと同じ制御信号が供給され、前記複数の単位回路のうち一部の単位回路における前記 n 本の制御信号枝線は、前記 n 本の第 1 制御信号幹線と電氣的に接続されており、他の一部の単位回路における前記 n 本の制御信号枝線は、前記 n 本の第 2 制御信号幹線と電氣的に接続されている。

[0027] ある実施形態において、前記周辺回路は、ゲートドライバを含み、前記ゲートドライバは、複数のシフトレジスタを有し、前記少なくとも 1 つの T F T は、前記複数のシフトレジスタのそれぞれにおける出力トランジスタを含

む。

[0028] 本発明による他の一実施形態のアクティブマトリクス基板は、複数の画素を含む表示領域と、前記表示領域の周辺に設けられた非表示領域とを有し、基板と、前記非表示領域に配置され、かつ、前記基板に支持されたデマルチプレクサ回路と、前記表示領域において第1方向に延びる複数のソースバスラインと、前記第1方向と交差する第2方向に延びる複数のゲートバスラインとを備え、前記デマルチプレクサ回路は、複数の単位回路と、複数の制御信号幹線とを備え、前記複数の単位回路のそれぞれは、複数のビデオ信号線のうちの1つのビデオ信号線から、前記複数のソースバスラインのうちの n 本（ n は2以上の整数）のソースバスラインへビデオ信号を分配し、前記複数の単位回路のそれぞれは、少なくとも n 個のDMX回路用TF Tと、前記1つのビデオ信号線に接続された n 本の分岐配線と、前記 n 本のソースバスラインと、 n 本の制御信号枝線とを有し、前記 n 本の制御信号枝線のそれぞれは、前記複数の制御信号幹線の1つに電氣的に接続されており、前記複数の単位回路のそれぞれにおいて、前記 n 本の分岐配線、前記 n 本の制御信号枝線および前記 n 本のソースバスラインは、いずれも、前記第1方向に延びており、各DMX回路用TF Tは、ゲート電極と、前記ゲート電極の上にゲート絶縁層を介して配置された酸化物半導体層と、前記酸化物半導体層上に、前記酸化物半導体層の一部と接するように配置されたソース電極と、前記酸化物半導体層上に、前記酸化物半導体層の他の一部と接するように配置されたドレイン電極とを有し、前記ドレイン電極は前記 n 本のソースバスラインの1つの一部であり、前記ソース電極は前記 n 本の分岐配線の1つの一部であり、前記ゲート電極は前記 n 本の制御信号枝線の1つの一部であり、前記基板の法線方向から見たとき、前記ゲート電極は互いに対向する第1縁部および第2縁部を有し、前記第1縁部および前記第2縁部は、前記酸化物半導体層を前記第1方向に横切って延びており、前記基板の法線方向から見たとき、前記ソース電極は、前記第1縁部と重なるように前記第1方向に延びており、前記ドレイン電極は、前記第2縁部と重なるように前記第1方向に

延びている。

[0029] ある実施形態において、前記複数の単位回路は、第1単位回路および第2単位回路を含み、前記表示領域において、前記複数のソースバスラインは、一方の端から前記第2方向に配列されており、前記一方の端からN番目（Nは自然数）、（N+1）番目、（N+2）番目および（N+3）番目にそれぞれ配列された第1ソースバスライン、第2ソースバスライン、第3ソースバスラインおよび第4ソースバスラインを含み、前記第1ソースバスラインおよび前記第3ソースバスラインは、前記第1単位回路を介して、前記複数のビデオ信号線の1つに電氣的に接続され、前記第2ソースバスラインおよび前記第4ソースバスラインは、前記第2単位回路を介して、前記複数のビデオ信号線の他の1つに電氣的に接続され、前記基板の法線方向から見たとき、前記第1単位回路の前記少なくともn個のDMX回路用TFTの1つは前記第2ソースバスラインおよび前記第4ソースバスラインの間に配置されている。

[0030] ある実施形態において、前記第1単位回路および前記第2単位回路における前記n本の制御信号枝線は共通であり、前記第1単位回路における前記少なくともn個のDMX回路用TFTの1つと、前記第2単位回路における前記少なくともn個のDMX回路用TFTの1つとは、同じ制御信号線に接続され、かつ、前記同じ制御信号線の上に間隔を空けて配置されている。

[0031] ある実施形態において、前記各DMX回路用TFTにおいて、前記基板の法線方向から見たとき、前記ソース電極における前記ドレイン電極に対向するソース縁部、および／または、前記ドレイン電極における前記ソース電極に対向するドレイン縁部は、前記酸化物半導体層と重なる領域に、前記第2方向に突出した少なくとも1つの凸部と、前記少なくとも1つの凸部に前記第1方向に隣接する凹部または切欠き部とを有し、前記少なくとも1つの凸部の前記第2方向の長さは、前記ゲート電極の前記第2方向の幅の1/3未満である。

[0032] ある実施形態において、前記酸化物半導体層は、In-Ga-Zn-O系

半導体を含む。

[0033] ある実施形態において、前記 In-Ga-Zn-O 系半導体は結晶質部分を含む。

発明の効果

[0034] 本発明の一実施形態によると、酸化物半導体 TFT を含む周辺回路の駆動電力を低減可能なアクティブマトリクス基板を提供できる。

図面の簡単な説明

[0035] [図1]第1の実施形態のアクティブマトリクス基板 1000 の平面構造の一例を示す概略図である。

[図2] (a) および (b) は、それぞれ、第1の実施形態のアクティブマトリクス基板 1000 にモノリシックに形成された周辺回路に含まれる回路 TFT (薄膜トランジスタ 10A) を例示する平面図および断面図である。

[図3] (a) および (b) は、それぞれ、第1の実施形態における他の回路 TFT (薄膜トランジスタ 10B) を例示する平面図および断面図である。

[図4] (a) および (b) は、それぞれ、第1の実施形態におけるさらに他の回路 TFT (薄膜トランジスタ 10C) を例示する平面図および断面図である。

[図5]位置合わせが生じた場合の薄膜トランジスタ 10B を例示する平面図である。

[図6]第1の実施形態におけるさらに他の回路 TFT を例示する平面図である。

[図7] (a) ~ (d) は、参考例1および実施例1~3の TFT を示す平面図である。

[図8] (a) ~ (c) は、それぞれ、測定に使用した参照例のサンプル TFT、対称構造を有するサンプル TFT、および非対称構造を有するサンプル TFT の構造を示す平面図である。

[図9]対称構造および非対称構造を有する TFT の単位 W/L あたりのオン電流の測定値を示す図である。

[図10]第1の実施形態におけるデマルチプレクサ回路DMXの構成および動作を説明するための図である。

[図11]SSD単位回路100を例示する平面図である。

[図12](a)および(b)は、それぞれ、アクティブマトリクス基板1000における1つの画素領域PIXの平面図およびIV-IV'線に沿った断面図である。

[図13](a)および(b)は、それぞれ、第1の実施形態における他の回路TFT（薄膜トランジスタ10D）を示す平面図および断面図である。

[図14](a)は、第2の実施形態におけるデマルチプレクサ回路DMXの構成を説明するための図であり、デマルチプレクサ回路DMXにおける1つのサブ回路200を示し、(b)は、サブ回路200の信号波形の一例を示す図（タイミングチャート）である。

[図15]第2の実施形態におけるデマルチプレクサ回路DMXのレイアウトの一例を示す平面図である。

[図16]第2の実施形態におけるデマルチプレクサ回路DMXのサブ回路200Aを例示する拡大平面図である。

[図17]第2の実施形態におけるデマルチプレクサ回路DMXの他のサブ回路200Bの一部を示す平面図である。

[図18]第2の実施形態におけるデマルチプレクサ回路DMXの他のサブ回路200Cの一部を示す平面図である。

[図19]第2の実施形態におけるデマルチプレクサ回路DMXの他のサブ回路200Dの一部を示す平面図である。

[図20]第2の実施形態におけるデマルチプレクサ回路DMXの他のサブ回路200Eの一部を示す拡大平面図である。

[図21]第2の実施形態におけるデマルチプレクサ回路DMXの他のサブ回路200Fの一部を示す拡大平面図である。

[図22]第2の実施形態におけるデマルチプレクサ回路DMXの他のサブ回路200Gの一部を示す拡大平面図である。

[図23]第2の実施形態におけるデマルチプレクサ回路DMXの他のサブ回路300の構成を示す図である。

[図24]サブ回路300の一例を示す拡大平面図である。

[図25]第2の実施形態におけるデマルチプレクサ回路DMXの他のサブ回路400(1)、400(2)の構成を例示する図である。

[図26](a)および(b)は、それぞれ、デマルチプレクサ回路DMXに使用される参考例2のTFT(薄膜トランジスタ90)を例示する平面図および断面図である。

[図27]第3の実施形態におけるシフトレジスタ回路を例示する図である。

[図28]単位シフトレジスタ回路SRの一例を示す図である。

発明を実施するための形態

[0036] (第1の実施形態)

以下、図面を参照しながら、第1の実施形態のアクティブマトリクス基板を説明する。以下では、SSD回路およびゲートドライバがモノリシックに形成され、ソースドライバが実装されたアクティブマトリクス基板を例に説明する。なお、本実施形態のアクティブマトリクス基板は、TFTを少なくとも1つ含む周辺回路がモノリシックに形成されていればよい。

[0037] <アクティブマトリクス基板の構造>

図1は、本実施形態のアクティブマトリクス基板1000の平面構造の一例を示す概略図である。

[0038] アクティブマトリクス基板1000は、表示領域DRと、表示領域DR以外の領域(非表示領域または額縁領域)FRとを有している。表示領域DRは、マトリクス状に配列された画素領域PIXによって構成されている。画素領域PIX(単に「画素」と呼ぶこともある)は、表示装置の画素に対応する領域である。非表示領域FRは、表示領域DRの周辺に位置し、表示に寄与しない領域である。

[0039] 表示領域DRには、x方向(行方向、第2方向ともいう)に延びる複数のゲートバスラインGL(1)~GL(j)(jは2以上の整数、以下、「ゲ

ートバスラインGL」と総称する)と、y方向(列方向、第1方向ともいう)に延びる複数のソースバスラインSL(1)~SL(k)(kは2以上の整数、以下、「ソースバスラインSL」と総称する)とが形成されている。各画素領域PIXは、例えばゲートバスラインGLおよびソースバスラインSLで規定されている。ゲートバスラインGLは、それぞれ、ゲートドライバGDの各端子に接続されている。ソースバスラインSLは、それぞれ、ソースドライバSDの各端子に接続されている。

[0040] 各画素領域PIXは、薄膜トランジスタPtと、画素電極PEとを有している。薄膜トランジスタPtは、「画素TFT」とも呼ばれる。薄膜トランジスタPtのゲート電極は、対応するゲートバスラインGLに電氣的に接続され、ソース電極は、対応するソースバスラインSLに電氣的に接続されている。ドレイン電極は画素電極PEに電氣的に接続されている。アクティブマトリクス基板1000を、FFS(Fringe Field Switching)モードなどの横電界モードの表示装置に適用する場合には、アクティブマトリクス基板1000に、複数の画素に対して共通の電極(共通電極)CEが設けられる。アクティブマトリクス基板1000を縦電界モードの表示装置に適用する場合には、共通電極CEは、アクティブマトリクス基板1000とは液晶層を挟んで対向して配置される対向基板に設けられる。

[0041] 非表示領域FRには、例えばゲートバスラインGLを駆動するゲートドライバGD、デマルチプレクサ回路DMXなどが一体的(モノリシック)に設けられている。デマルチプレクサ回路DMXは、ソースバスラインSLを時分割で駆動するSSD回路として機能する。ソースバスラインSLを駆動するソースドライバSDは、例えば、アクティブマトリクス基板1000に実装されている。

[0042] 図示する例では、ゲートドライバGDは表示領域DRを挟んで両側に位置する領域FRaに配置され、ソースドライバSDは表示領域DRの下側に位置する領域FRbに実装されている。デマルチプレクサ回路DMXは、領域

F R bにおいて、表示領域D RとソースドライバS Dとの間に配置されている。デマルチプレクサ回路D M XとソースドライバS Dとの間は、複数の端子部および配線が形成される端子部・配線形成領域L Rとなる。

[0043] <回路T F Tの構造>

図2 (a) および (b) は、それぞれ、本実施形態のアクティブマトリクス基板1 0 0 0にモノリシックに形成された周辺回路に含まれる回路T F T (薄膜トランジスタ1 0 A) を例示する平面図および断面図である。薄膜トランジスタ1 0 Aは、例えば、S S D回路のスイッチング素子 (D M X回路用T F T) として、あるいは、ゲートドライバ回路の出力トランジスタとして用いられ得る。なお、本実施形態のアクティブマトリクス基板1 0 0 0は、回路T F Tとして薄膜トランジスタ1 0 Aを少なくとも1つ有していればよく、他の構造を有する回路T F Tをさらに含んでいてもよい。

[0044] 薄膜トランジスタ1 0 Aは、基板1上に支持され、非表示領域に形成されている。薄膜トランジスタ1 0 Aは、基板1上に配置されたゲート電極 (「下部ゲート電極」ともいう。) 3と、ゲート電極3を覆うゲート絶縁層5と、酸化物半導体層7と、ソース電極8およびドレイン電極9とを備える。酸化物半導体層7は、ゲート絶縁層5上に、ゲート絶縁層5を介してゲート電極3と少なくとも部分的に重なるように配置されている。

[0045] ソース電極8は、酸化物半導体層7上に設けられ、酸化物半導体層7の一部と接している。ドレイン電極9は、酸化物半導体層7上に設けられ、酸化物半導体層7の他の一部と接している。本明細書では、酸化物半導体層7のうち、ソース電極8と接する部分をソースコンタクト領域7 s、ドレイン電極9と接する部分をドレインコンタクト領域7 dと呼ぶ。基板1の法線方向から見たとき、ソースコンタクト領域7 sおよびドレインコンタクト領域7 dの間に位置し、かつ、ゲート電極3と重なっている領域が「チャネル領域7 c」となる。本実施形態では、酸化物半導体層7において、チャネル長方向に互いに対向する端部をp 1、p 2とすると、チャネル領域7 cの端部p 1側にソースコンタクト領域7 sが配置され、チャネル領域7 cの端部p 2

側にドレインコンタクト領域 7 d が配置されている。

[0046] 本明細書では、基板 1 に平行な面内において、チャネル領域 7 c において電流が流れる方向に平行な方向 DL を「チャネル長方向」、チャネル長方向 DL に直交する方向 DW を「チャネル幅方向」と呼ぶ。チャネル領域 7 c におけるチャネル長方向 DL に沿った長さがチャネル長 L、チャネル幅方向 DW に沿った長さがチャネル幅 W となる。本実施形態では、チャネル長方向 DL は、端部 p 1、p 2 を結ぶ方向である。端部 p 1 から端部 p 2 に向かって、チャネル長方向 DL に沿って、ソースコンタクト領域 7 s、チャネル領域 7 c およびドレインコンタクト領域 7 d がこの順で配置されている。なお、ゲート電極 3、酸化物半導体層 7 およびドレインコンタクト領域 7 d の形状および配置によって、チャネル領域 7 c を電流が流れる方向が一方向にならない場合もある。その場合には、酸化物半導体層 7 の端部 p 1、p 2 を結ぶ方向、あるいは、ソースコンタクト領域 7 s とドレインコンタクト領域 7 d との最短距離で結ぶ方向をチャネル長方向 DL とする。

[0047] ソース電極 8 およびドレイン電極 9 は、基板 1 の法線方向から見たとき、ゲート電極 3 と重なるように設計されることが好ましい。ソース電極 8 およびドレイン電極 9 と、ゲート電極 3 とが重なる部分の長さ x_s 、 x_d は、位置合わせ精度を考慮して設定され得る。

[0048] ゲート電極 3 は、基板 1 の法線方向から見たとき、互いに対向する第 1 縁部 3 e 1 および第 2 縁部 3 e 2 を有している。第 1 縁部 3 e 1 および第 2 縁部 3 e 2 は、概ねチャネル幅方向 DW に酸化物半導体層 7 を横切って延びている。この例では、第 1 縁部 3 e 1 は酸化物半導体層 7 の一方の端部 p 1 を横切り、第 2 縁部 3 e 2 は酸化物半導体層 7 の他方の端部 p 2 を横切っている。ゲート電極 3 のチャネル長方向 DL における幅 w_g は、酸化物半導体層 7 のチャネル長方向 DL における幅 w_s よりも小さい。

[0049] ソース電極 8 は、基板 1 の法線方向から見たとき、ゲート電極 3 の第 1 縁部 3 e 1 と重なるように、チャネル幅方向 DW に酸化物半導体層 7 を横切って延びている。同様に、ドレイン電極 9 は、ゲート電極 3 の第 2 縁部 3 e 2

と重なるように、チャネル幅方向DWに酸化物半導体層7を横切って延びている。このように、薄膜トランジスタ10Aでは、基板1の法線方向から見たとき、ソース電極8およびドレイン電極9における幅（チャネル長方向DL方向の幅）の一部のみがゲート電極3と重なるように配置される。従って、ソース電極8およびドレイン電極9の幅全体に亘ってゲート電極3と重なる場合（図7（a）参照）よりも、ゲートーソース／ドレイン間寄生容量を低減できる。

[0050] なお、基板1の法線方向から見たとき、ソース電極8およびドレイン電極9のいずれか一方のみがゲート電極3の縁部と重なるように配置され、他方の電極の幅全体がゲート電極3と重なっていてもよい。例えば、ソース電極8およびドレイン電極9の幅が略等しい場合に、ソース電極8はその幅全体がゲート電極3と重なるように延び、ドレイン電極9はゲート電極3の第2縁部3e2と重なるように延びるように配置されることで、ドレイン電極9とゲート電極3との重なり面積を、ソース電極8とゲート電極3との重なり面積よりも小さくしてもよい。

[0051] ソース電極8は、チャネル幅方向DWに延びる第1ソース縁部8e1および第2ソース縁部8e2を有している。酸化物半導体層7のチャネル長方向DLにおける任意の断面において、ソース電極8の第1ソース縁部8e1および第2ソース縁部8e2は、いずれも、酸化物半導体層7上に位置していてもよい。ドレイン電極9は、チャネル幅方向DWに延びる第1ドレイン縁部9e1および第2ドレイン縁部9e2を有している。酸化物半導体層7のチャネル長方向DLにおける任意の断面において、ドレイン電極9の第1ドレイン縁部9e1および第2ドレイン縁部9e2は、いずれも、酸化物半導体層7上に位置していてもよい。このような構成では、薄膜トランジスタ10Aのチャネル長方向DLの幅wTは、酸化物半導体層7の幅wsによって決まる。

[0052] 本実施形態では、ソース電極8およびドレイン電極9は、ソースバスラインSL（図1）と同一の導電膜を用いて形成されている。ソースバスライン

S L と同一の導電膜を用いて形成された層を「ソースメタル層」と呼ぶ。また、ゲート電極 3 は、ゲートバスライン G L (図 1) と同一の導電膜を用いて形成されている。ゲートバスライン G L と同一の導電膜を用いて形成された層を「ゲートメタル層」と呼ぶ。

[0053] 薄膜トランジスタ 10 A は、保護層 (ここでは無機絶縁層) 11 で覆われている。無機絶縁層 11 は、ソース電極 8 およびドレイン電極 9 の上面および酸化物半導体層 7 のチャネル領域 7 c と接するように配置されている。

[0054] ソース電極 8、ドレイン電極 9 とゲート電極 3 とが重なる部分の長さ (重なり長さ) $\times s$ 、 $\times d$ は、位置合わせ精度を考慮して設定され得る。例えば、チャネル長方向 D L に位置合わせが生じた場合でも、酸化物半導体層 7 に、ゲート電極 3、ソース電極 8 およびドレイン電極 9 のいずれにも重ならない領域 (オフセット領域) が生じないように設定され得る。重なり長さ $\times s$ 、 $\times d$ は、製造装置などにより異なるが、例えば、 $1.5 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下である。

[0055] 図 3 (a) および (b) は、それぞれ、本実施形態における他の回路 T F T (薄膜トランジスタ 10 B) を例示する平面図および断面図である。図 4 (a) および (b) は、それぞれ、本実施形態におけるさらに他の回路 T F T (薄膜トランジスタ 10 C) を例示する平面図および断面図である。これらの図では、図 2 と同様の構成要素には同じ参照符号を付している。以下の説明では、図 2 に示す薄膜トランジスタ 10 A と異なる点を主に説明し、薄膜トランジスタ 10 A と同様の構成については説明を省略する。

[0056] 薄膜トランジスタ 10 B、10 C は、基板 1 の法線方向から見たとき、ソース電極 8 および / またはドレイン電極 9 が、チャネル長方向に突出する凸部を有する点で、薄膜トランジスタ 10 A と異なっている。

[0057] 薄膜トランジスタ 10 B、10 C におけるソース電極 8 は、ドレイン電極 9 に対向する第 1 ソース縁部 8 e 1 を有している。同様に、ドレイン電極 9 は、ソース電極 8 に対向する第 1 ドレイン縁部 9 e 1 を有している。第 1 ソース縁部 8 e 1 は、酸化物半導体層 7 と重なる領域において、チャネル長方

向DLに突出した1つまたは複数の凸部82と、凸部82にチャネル幅方向DWに隣接する凹部84及び／または切欠き部86とを有している。同様に、第1ドレイン縁部9e1は、酸化物半導体層7と重なる領域において、チャネル長方向DLに突出した1つまたは複数の凸部92と、凸部92にチャネル幅方向DWに隣接する凹部94及び／または切欠き部96とを有している。本実施形態では、凸部82の最もドレイン電極9側に位置する部分と、凸部92の最もソース電極8側に位置する部分との距離が、チャネル長Lとなる。

[0058] なお、図示する例では、基板1の法線方向から見たとき、凸部82、92は矩形であるが、矩形でなくてもよい。例えば凸部82、92は丸みを帯びていてもよい。

[0059] この例では、ソース電極8の第2ソース縁部8e2およびドレイン電極9の第2ドレイン縁部9e2は、酸化物半導体層7上ではなく、ゲート絶縁層5上に位置している。この場合、薄膜トランジスタ10B、10Cのチャネル長方向DLの幅wTは、第2ソース縁部8e2と第2ドレイン縁部9e2との距離wSDによって決まる。

[0060] 薄膜トランジスタ10Bでは、第1ソース縁部8e1の凸部82と、第1ドレイン縁部9e1の凸部92とが、チャネル長方向DLにおいて互いに対向している。また、第1ソース縁部8e1の凹部84または切欠き部86と、第1ドレイン縁部9e1の凹部94または切欠き部96とが、チャネル長方向DLにおいて互いに対向している。本明細書では、薄膜トランジスタ10Bに例示するように、第1ソース縁部8e1の各凸部82の中心からドレイン側に向かってチャネル長方向DLに延びる線を引いたときに、その線上に第1ドレイン縁部9e1の凸部92が位置する場合の電極構造を「対称構造」と呼ぶ。なお、凸部82と凸部92とで、チャネル長方向の長さなどの平面形状が異なってもよい。

[0061] 薄膜トランジスタ10Cでは、第1ソース縁部8e1の凸部82と、第1ドレイン縁部9e1の凹部94または切欠き部96とが、チャネル長方向D

Lにおいて互いに対向し、第1ソース縁部8e1の凹部84または切欠き部86と、第1ドレイン縁部9e1の凸部92とが、チャンネル長方向DLにおいて互いに対向している。本明細書では、薄膜トランジスタ10Cに例示するように、第1ソース縁部8e1の凸部82の中心からドレイン側に向かってチャンネル長方向DLに延びる線を引いたときに、その線上に第1ドレイン縁部9e1の凸部92が位置しない場合の電極構造を「非対称構造」と呼ぶ。

[0062] 薄膜トランジスタ10B、10Cでは、第1縁部3e1と、ソース電極8の凸部82の最もドレイン電極9側に位置する部分との距離が、ソース電極8とゲート電極3との重なり長さ x_s になる。同様に、第2縁部3e2と、ドレイン電極9の凸部92の最もソース電極8側に位置する部分との距離が、ドレイン電極9とゲート電極3との重なり長さ x_d になる。従って、所定の重なり長さ x_d 、 x_s （例えば $1.5\mu\text{m}$ 以上 $3.0\mu\text{m}$ 以下）を確保しつつ、薄膜トランジスタ10Aよりもソース電極8またはドレイン電極9とゲート電極3との重なり面積を低減できる。例えば、重なり長さ x_d 、 x_s が同じ場合には、凸部82、92を設けることによって、オン電流を確保しつつ、凹部84、94および切欠き部86、96の面積の分だけ、ソース電極8またはドレイン電極9とゲート電極3との重なり面積を小さくできる。

[0063] なお、ソース電極8およびドレイン電極9は、一方の電極の凹部内に他方の電極の凸部が位置するように配置された楕円構造（特許文献1参照）を有していないことが好ましい。楕円構造を有していると、TFETのサイズおよび寄生容量が増大するおそれがある。

[0064] 凸部82、92のチャンネル長方向DLにおける長さ h は、例えば、ゲート電極3のチャンネル長方向DLの幅（すなわち、第1縁部3e1と第2縁部3e2との距離） w_g の $1/3$ 未満である。これにより、TFET幅 w_T の増大を抑制しつつ、ソース電極8およびドレイン電極9とゲート電極3との重なり面積を低減できる。一方、凸部82、92のチャンネル長方向DLにおける長さ h がゲート電極3の幅 w_g の例えば $1/10$ 以上であれば、ソース電極

8およびドレイン電極9とゲート電極3との重なり面積をより効果的に低減できる。

[0065] 酸化物半導体層7上に配置された複数の凸部82、92の幅（チャネル幅方向DWにおける長さ） f_s 、 f_d の合計、あるいは凸部82、92が1つだけ配置されている場合にはその凸部82、92の幅 f_s 、 f_d は、チャネル幅W（ここでは酸化物半導体層7のチャネル幅方向DWにおける幅）の70%以上であってもよい。これにより、オン電流の低下をより確実に抑制しつつ、ゲートドレイン間容量 C_{dg} またはソースドレイン間容量 C_{sg} （以下、「寄生容量 C_{dg} 、 C_{sg} 」と略す。）を低減することが可能になる。一方、凸部82、92の幅 f_s 、 f_d またはその合計がチャネル幅Wの90%以下であれば、ソース電極8またはドレイン電極9とゲート電極3との重なり面積をより効果的に低減できるので、寄生容量 C_{dg} または C_{sg} をより効果的に低減できる。なお、幅 f_s 、 f_d の少なくとも一方が上記範囲を満たしていれば、上記効果が得られる。

[0066] 第1ソース縁部8e1または第1ドレイン縁部9e1に複数の凸部82、92を周期的に配列する場合には、各凸部82、92の幅 f_s 、 f_d は、凸部82、92の配列ピッチの70%以上90%以下であってもよい。

[0067] ソース電極8の凸部82の配列ピッチ、幅、チャネル長方向の長さは、それぞれ、ドレイン電極9の凸部92の配列ピッチ、幅、チャネル長方向の長さと同じであってもよいし、異なってもよい。

[0068] 薄膜トランジスタ10B、10Cでは、チャネル長方向DLにゲート金属層とソース金属層との位置合わせずれが生じると、例えば図5に例示するように、基板1の法線方向から見たとき、ソース電極8およびドレイン電極9のいずれか一方の凹部または切欠き部（ここではドレイン電極9の凹部94および切欠き部96）の一部がゲート電極3と重ならなくなり、その結果、酸化物半導体層7にオフセット領域7offが生じる可能性がある。オフセット領域7offは、基板1の法線方向から見たとき、酸化物半導体層7のうちチャネル領域7cとソース電極8およびドレイン電極9との間に位

置し、かつ、ソース電極 8、ドレイン電極 9 およびゲート電極 3 のいずれにも重ならない領域をいう。オフセット領域 7 o f f のチャンネル長方向 D L の幅 L o f f を「オフセット幅」とする。オフセット幅 L o f f は、重なり長さ $\times d$ 、 $\times s$ （設計値）以下である。一般に、オフセット領域が生じると、T F T のオン状態においてオフセット領域はチャンネル領域よりも抵抗が高いため、T F T のオン電流が小さくなるという問題がある。これに対し、本実施形態では、オフセット領域 7 o f f が生じても所定のオン電流を確保し得る。本実施形態では、酸化物半導体層 7 においてオフセット領域 7 o f f のチャンネル幅方向 D W に隣接する領域 7 n は、ドレイン電極 9 の凸部 9 2 と重なっており、チャンネル領域 7 c として機能する。つまり、複数のオフセット領域 7 o f f がチャンネル幅方向 W D に離間して配置される。従って、酸化物半導体層 7 のうちチャンネル領域 7 c とソースコンタクト領域 7 s またはドレインコンタクト領域 7 d との間に亘ってオフセット領域が形成される場合よりも、オフセット領域 7 o f f に起因するオン電流の減少を抑えることが可能である。

[0069] 本実施形態における薄膜トランジスタの構造は、図 2～図 4 を参照して説明した構造に限定されない。例えば、図 6 に例示するように、ソース電極 8 およびドレイン電極 9 の一方のみに凸部が形成されていてもよい。このような電極構造も「非対称構造」に含まれる。また、図 13 を参照して後述するように、本実施形態の薄膜トランジスタは、酸化物半導体層 7 の上方に他のゲート電極をさらに備えたダブルゲート構造を有していてもよい。これにより、オン電流をさらに高めることが可能になる。

[0070] <T F T の寄生容量の試算>

本発明者は、参考例 1 および実施例の T F T の寄生容量および T F T 特性を試算したので、その結果を説明する。

[0071] 図 7（a）～（d）は、参考例 1 および実施例 1～3 の T F T を示す平面図である。参考例 1 の T F T では、基板 1 の法線方向から見たとき、ソース電極 8 およびドレイン電極 9 がその幅全体に亘ってゲート電極 3 と重なるよ

うに配置されている。実施例1～3のTFETは、それぞれ、薄膜トランジスタ10A～10Cと同様の構造を有している。

[0072] 図示するように、いずれのTFETでも、チャネル長 L を $2.5\mu\text{m}$ 、チャネル幅 W を $20\mu\text{m}$ 、ソース電極8およびド레인電極9の幅を $2.5\mu\text{m}$ 、第1ソース縁部8e1および第1ド레인縁部9e1と酸化物半導体層7のチャネル幅方向 DW に延びる縁部との距離 x_1 を $3\mu\text{m}$ とした。実施例1～3のTFETの重なり長さ x_d 、 x_s を $1.5\mu\text{m}$ とした。また、参考例1のTFETのゲート電極3のチャネル長方向 DL の幅 w_g を $12\mu\text{m}$ 、実施例1～3のTFETのゲート電極3のチャネル長方向 DL の幅 w_g を $5.5\mu\text{m}$ とした。さらに、実施例2、3のTFETでは、ソース電極8およびド레인電極9に、それぞれ、幅 f_s 、 f_d が $3.5\mu\text{m}$ 、チャネル長方向の長さ h が $0.9\mu\text{m}$ の凸部82、92を、 $7\mu\text{m}$ の配列ピッチ $p(f_s)$ 、 $p(f_d)$ で配置した。

[0073] 参考例1および実施例1～3のTFETにおける寄生容量（ゲートド레인間容量 C_{dg} 、ソースド레인間容量 C_{sg} の合計）を算出したところ、参考例1のTFETにおける寄生容量を1とすると、実施例1のTFETにおける寄生容量は0.71、実施例2のTFETにおける寄生容量は0.63、実施例3のTFETにおける寄生容量は0.57であった。

[0074] この結果から、実施例1～3のTFETでは、参考例1のTFETよりも寄生容量を低減できることが確認された。また、ソース電極8およびド레인電極9に凸部82、92を設けることで（実施例2、3）、実施例1のTFETよりも寄生容量をさらに低減できることも確認された。さらに、非対称構造を有する実施例3のTFETでは、一方の電極（ここではド레인電極9）におけるチャネル幅 W に対する凸部92の幅（の合計）の割合を小さくできるので、対称構造を有する実施例2のTFETよりも寄生容量を小さくできることが分かった。

[0075] 従って、実施例1～3のTFETを用いて周辺回路（例えばデマルチプレクサ回路）を形成すると、参考例1のTFETを用いる場合と比べて、周辺回路

の駆動電力を、それぞれ、71%、63%、57%に低減し得ることが確認された。

[0076] <ソース／ドレイン電極のチャネル幅方向の幅とTFTのオン特性との関係>

続いて、ソース電極8およびドレイン電極9のチャネル幅方向の幅（以下、「電極幅」と略す） f とTFTのオン電流との関係を調べた。電極幅 f は、本実施形態の薄膜トランジスタにおけるソース電極8またはドレイン電極9の凸部のチャネル幅方向DWの幅（またはその合計）に相当する。ここでは、電極構造の異なる複数のサンプルTFTを作製し、そのオン電流を測定した。

[0077] 図8（a）～（c）は、それぞれ、測定に使用した参照例のサンプルTFT、対称構造を有するサンプルTFT、および非対称構造を有するサンプルTFTの構造を示す平面図である。いずれのサンプルTFTでも、チャネル幅 W （ここでは、酸化物半導体層7のチャネル幅方向DWの幅をチャネル幅とする）を $10\mu\text{m}$ とし、チャネル長 L を $3\mu\text{m}$ とした。

[0078] 参照例のサンプルTFTでは、図8（a）に示すように、ソース電極8およびドレイン電極9がチャネル幅 W に亘って配置されている。

[0079] 対称構造を有するサンプルTFTでは、図8（b）に示すように、ソース電極8およびドレイン電極9のチャネル幅方向DWの幅 f が、チャネル幅 W よりも小さい（ $f < W$ ）。ソース電極8およびドレイン電極9の幅 f は同じである。また、ソース電極8とドレイン電極9とは、酸化物半導体層7のチャネル幅方向DWに延びる中心線に対して線対称になるように配置されている。ここでは、対称構造を有するサンプルTFTとして、電極幅 f を異ならせて、複数のサンプルTFTを作製した。

[0080] 非対称構造を有するサンプルTFTでは、図8（c）に示すように、ソース電極8はチャネル幅 W に亘って配置されているが、ドレイン電極9のチャネル幅方向DWの幅 f がチャネル幅 W よりも小さい。ここでは、非対称構造を有するサンプルTFTとして、ドレイン電極9の電極幅 f を異ならせて、

複数のサンプルTF Tを作製した。

[0081] 次いで、上述した複数のサンプルTF Tの単位 W/L あたりのオン電流を測定した。

[0082] 図9は、対称構造および非対称構造を有するサンプルTF Tの単位 W/L あたりのオン電流の測定値を示す図である。縦軸は、参照例のサンプルTF Tのオン電流を1とした場合の、各サンプルTF Tのオン電流の相対値である。横軸は、チャンネル幅 W （酸化物半導体層7のチャンネル幅方向 DW の幅）に対する電極幅 f の割合である。

[0083] 図9から分かるように、チャンネル幅 W に対する電極幅 f の割合が小さくなると、オン電流は低下する傾向がみられる。

[0084] しかしながら、対称構造を有するサンプルTF Tでは、チャンネル幅 W に対する電極幅 f の割合が0.7以上であれば、参照例のサンプルTF Tのオン電流の0.95以上のオン電流を確保できる。これは、図8(b)に矢印51で示すように、ドレイン電極9の側面のうちソース電極8と対向する部分9aと、ソース電極8の側面のうちドレイン電極9と対向する部分8aとの間に電流が流れるだけでなく、矢印52に示すように、ドレイン電極9の側面のうちチャンネル長方向 DL に延びる部分9bと、ソース電極8の側面のうちチャンネル長方向 DL に延びる部分8bとの間にも電流を流すことができるからと考えられる。従って、実効的なチャンネル幅 W' は、電極幅 f よりも矢印52に沿って電流を流すことが可能な領域の幅 $\Delta W1$ だけ大きくなる（ $f < W' < W$ ）。この結果、電極幅 f の割合が0.7であっても、参照例のサンプルTF Tと略同程度のオン電流を確保し得る。

[0085] 一方、非対称構造を有するサンプルTF Tでは、チャンネル幅 W に対するドレイン電極9の電極幅 f の割合が0.6以上であれば、参照例のサンプルTF Tのオン電流の0.95以上のオン電流を確保できる。これは、図8(c)に矢印51で示すように、ドレイン電極9の側面のうちソース電極8と対向する部分9aとソース電極8との間に電流が流れるだけでなく、矢印53に示すように、ドレイン電極9の側面のうちチャンネル長方向 DL に延びる部

分9bとソース電極8との間にも電流を流すことができるからと考えられる。従って、実効的なチャネル幅 W' は、電極幅 f よりも矢印53に沿って電流を流すことが可能な領域の幅 $\Delta W2$ ($\Delta W2 > \Delta W1$) だけ大きくなる ($f < W' < W$)。この結果、電極幅 f の割合が0.6であっても、参照例のサンプルTF Tと略同程度のオン電流を確保し得る。

[0086] 上記の検討結果から、本実施形態のTF T構造において、ソース電極8およびドレイン電極9の凸部の幅を適切に制御することで、高いオン電流を確保しつつ、寄生容量を低減できることが分かる。

[0087] <デマルチプレクサ回路の構成および動作>

第1の実施形態で説明した薄膜トランジスタ10A~10Cは、例えば、表示装置の周辺領域に設けられるデマルチプレクサ回路のスイッチング素子(「DMX回路用TF T」)に適用され得る。

[0088] 図10は、本実施形態のアクティブマトリクス基板1000におけるデマルチプレクサ回路DMXの構成および動作を説明するための図である。

[0089] ソースドライバSDと表示領域DRとの間には、デマルチプレクサ回路DMX(ここではSSD回路)が配置されている。デマルチプレクサ回路DMXは、複数のSSD単位回路100(1)~100(i)(iは2以上の整数)(「SSD単位回路100」と総称することがある)と、制御信号幹線SW1~SWn(nは2以上の整数、ここではn=3)とを含んでいる。デマルチプレクサ回路DMXおよびソースドライバSDは、非表示領域FRに設けられた制御回路150によって制御される。制御信号幹線SW1~SWnは制御回路150に接続されている。

[0090] ソースドライバSDの出力端子V(1)~V(i)(以下、「V端子」と総称することがある)のそれぞれには、複数のビデオ信号線DO(1)~DO(i)(「ビデオ信号線DO」と総称することがある)のいずれかが接続されている。1本のビデオ信号線DOには、グループ化されたn本のソースバスラインSLが対応付けられている。ビデオ信号線DOとグループ化されたソースバスラインSLとの間には、SSD単位回路100がビデオ信号線

単位で設けられている。SSD単位回路100は、1つのビデオ信号線DOから、n本ソースバスラインSLへビデオデータを分配する。

- [0091] 本実施形態において、複数のビデオ信号線DO(1)~DO(i)のうちN番目のビデオ信号線をDO(N)(Nは1からiまでの整数)、ビデオ信号線DO(N)に対応付けられたSSD単位回路100およびソースバスラインSLを、それぞれ、100(N)、SL(N-1)~SL(N-n)とする。ソースバスラインSL(N-1)~SL(N-n)は、例えば、R、G、B画素に対応付けられていてもよい(すなわちn=3)。
- [0092] それぞれのSSD単位回路100(N)は、ビデオ信号線DO(N)に接続されたn本の分岐配線B1~Bnと、少なくともn個(ここでは3個)のDMX回路用TFT10(1)~10(n)(「DMX回路用TFT10」と総称することがある)とを備える。
- [0093] DMX回路用TFT10は、選択スイッチとして機能する。DMX回路用TFT10のゲート電極は、n本の制御信号幹線SW1~SWnのうちの対応する1つに電氣的に接続されている。DMX回路用TFT10のソース電極は、分岐配線B1~Bnのうちの対応する1つに電氣的に接続されている。DMX回路用TFT10のドレイン電極は、ソースバスラインSL(N-1)~SL(N-3)のうちの対応する1つのソースバスラインに接続されている。
- [0094] DMX回路用TFT10のゲート電極には、制御信号幹線SW1~SW3の1つから選択信号(制御信号)が供給される。制御信号は、同一のグループ内における選択スイッチのオン期間を規定しており、ソースドライバSDからの時系列的な信号出力と同期している。SSD単位回路100(N)は、ビデオ信号線DO(N)の出力を時分割することで得られるデータ電位を複数のソースバスラインSL(N-1)~ソースバスラインSL(N-n)に時系列的に書き込む(時分割駆動)。これにより、ソースドライバSDのV端子の数を削減できることがのできる、非表示領域FRの面積をさらに低減できる(狭額縁化)。

[0095] なお、デマルチプレクサ回路DMXを用いた表示装置の動作、時分割駆動のタイミングチャートなどは、例えば特開2008-225036号公報、特開2006-119404号公報、国際公開2011/118079号（特許文献1）などの開示されている。本明細書では、参考のため、特開2008-225036号公報、特開2006-119404号および国際公開2011/118079号公報の開示内容の全てを援用する。

[0096] 図11は、本実施形態におけるSSD単位回路100を例示する平面図である。ここでは、SSD単位回路100は、R、G、B画素に対応付けられたソースバスラインSL(1)～SL(3)に対して配置されている（つまり $n=3$ である）。

[0097] SSD単位回路100は、基板1に支持された3個のDMX回路用TF T10(1)～(3)（以下、「DMX回路用TF T10」と総称することがある）と、表示領域DRから延設されたソースバスラインSL1～SL3（以下、「ソースバスラインSL」と総称することがある）と、1つのビデオ信号線DOと、分岐配線B1～B3（以下、「分岐配線B」と総称することがある）と、制御信号幹線SW1～SW3（以下、「制御信号幹線SW」と総称することがある）とを備える。ビデオ信号線DOは、分岐配線B1～B3に電氣的に接続されている。この例では、ソースバスラインSLはy方向に伸びており、制御信号幹線SWはy方向に交差するx方向に伸びている。また、分岐配線B、ビデオ信号線DOは、ソースメタル層内に形成されている。ゲート電極3および制御信号幹線SWは、ゲートメタル層内に形成されている。

[0098] DMX回路用TF T10では、ソース電極8はゲート電極3の第1縁部3e1と重なり、ドレイン電極9はゲート電極3の第2縁部3e2と重なるように、チャンネル幅方向DWに伸びている。DMX回路用TF T10は、前述した薄膜トランジスタ10A～10Cのいずれかであってもよい。

[0099] 本実施形態では、DMX回路用TF T10は、それぞれ、隣接する2つのソースバスラインSLの間に（一方のソースバスラインとは重なる）配置さ

れている。この例では、DMX回路用TFT10は、そのチャンネル長方向DLがx方向に略平行となり、チャンネル幅方向DWがy方向に略平行となるように配置されている。

[0100] ソースバスラインSLは、表示領域からソースドライバSD側にy方向に延び、対応する酸化物半導体層7のチャンネル幅方向DWに延びる一方の端部p2の上面と接してもよい。ソースバスラインSLのうち酸化物半導体層7と接する部分がDMX回路用TFT10のドレイン電極9として機能する。

[0101] 各分岐配線Bは、ビデオ信号線DOから表示領域側にy方向に延び、対応する酸化物半導体層7のチャンネル幅方向DWに延びる他方の端部p1の上面と接している。分岐配線Bのうち酸化物半導体層7と接する部分がDMX回路用TFT10のソース電極8として機能する。

[0102] DMX回路用TFT10のゲート電極3は、対応する制御信号幹線SWに電氣的に接続されている。この例では、ゲート電極3は、制御信号幹線SWに向かってy方向に延設されている。延設された部分（延設部）23は、ソースメタル層内に形成された接続配線25を介して、対応する制御信号幹線SWに電氣的に接続されている。接続配線25は、例えば、ゲート絶縁層5に設けられた第1開口部5p内で延設部23と接し、かつ、ゲート絶縁層5に設けられた第2開口部5q内で制御信号幹線SWと接していてもよい。なお、ゲート電極3と対応する制御信号幹線SWとを接続する延設部23および接続配線25を併せて「制御信号枝線」と呼ぶことがある。

[0103] DMX回路用TFT10およびデマルチプレクサ回路DMXは、無機絶縁層（パッシベーション膜）11（図2参照）で覆われていてもよい。無機絶縁層11上には、有機絶縁膜などの平坦化膜を有していてもよいし、有していなくてもよい。例えば、アクティブマトリクス基板1000のうち表示領域DRが有機絶縁膜で覆われ、非表示領域FR上は有機絶縁膜で覆われていなくてもよい。

[0104] <画素領域PIXの構成>

次いで、アクティブマトリクス基板1000における各画素領域PIXの

構成を説明する。ここでは、FFSモードのLCDパネルに適用されるアクティブマトリクス基板を例に説明する。

[0105] 図12(a)および(b)は、それぞれ、アクティブマトリクス基板1000における1つの画素領域PIXの平面図およびIV-IV'線に沿った断面図である。

[0106] 画素領域PIXは、y方向に延びるソースバスラインSL、および、ソースバスラインSLと交差するx方向に延びるゲートバスラインGLに包囲された領域である。画素領域PIXは、基板1と、基板1に支持されたTF T(以下、「画素TF T」)130と、下部透明電極15と、上部透明電極19とを有している。図示していないが、上部透明電極19は、画素ごとにスリットまたは切り欠き部を有する。この例では、下部透明電極15は共通電極CEであり、上部透明電極19は画素電極PEである。画素TF T10は、例えばボトムゲート構造を有する酸化物半導体TF Tである。

[0107] 次いで、画素TF T130の構造をより詳細に説明する。

[0108] 画素TF T130は、基板1に支持されたゲート電極103と、ゲート電極103を覆うゲート絶縁層5と、ゲート絶縁層5上に形成された酸化物半導体層107と、酸化物半導体層107に接するように配置されたソース電極108およびドレイン電極109とを有するボトムゲート構造のTF Tである。ソース電極108およびドレイン電極109は、それぞれ、酸化物半導体層107の上面と接している。

[0109] ゲート電極103は対応するゲートバスラインGLに接続され、ソース電極108は対応するソースバスラインSLに接続されている。ドレイン電極109は画素電極PEと電氣的に接続されている。ゲート電極103およびゲートバスラインGLは、ゲートメタル層内において一体的に形成されていてもよい。ソース電極108およびソースバスラインSLは、ソースメタル層内において一体的に形成されていてもよい。

[0110] 層間絶縁層13は、特に限定しないが、例えば、無機絶縁層(パッシベーション膜)11と、無機絶縁層11上に配置された有機絶縁層12とを含ん

でいてもよい。なお、層間絶縁層 13 は有機絶縁層 12 を含んでいなくてもよい。

[0111] 画素電極 P E および共通電極 C E は、誘電体層 17 を介して部分的に重なるように配置される。画素電極 P E は、画素毎に分離されている。共通電極 C E は、画素毎に分離されていなくても構わない。この例では、共通電極 C E は、層間絶縁層 13 上に形成されている。共通電極 C E は、画素 T F T 10 が形成されている領域に開口部を有し、この領域を除く画素領域 P I X 全体に亘って形成されていてもよい。画素電極 P E は、誘電体層 17 上に形成され、層間絶縁層 13 および誘電体層 17 に設けられた開口部 C H 1 内で、ドレイン電極 109 と電氣的に接続されている。

[0112] このようなアクティブマトリクス基板 1000 は、例えば F F S モードの表示装置に適用され得る。F F S モードは、一方の基板に一对の電極を設けて、液晶分子に、基板面に平行な方向（横方向）に電界を印加する横方向電界方式のモードである。この例では、画素電極 P E から出て液晶層（図示せず）を通り、さらに画素電極 P E のスリット状の開口を通して共通電極 C E に出る電気力線で表される電界が生成される。この電界は、液晶層に対して横方向の成分を有している。その結果、横方向の電界を液晶層に印加することができる。横方向電界方式では、基板から液晶分子が立ち上がらないため、縦方向電界方式よりも広視野角を実現できるという利点がある。

[0113] 共通電極 C E 上に誘電体層 17 を介して画素電極 P E が配置される電極構造は、例えば国際公開第 2012/086513 号に記載されている。なお、画素電極 P E 上に誘電体層 17 を介して共通電極 C E が配置されていてもよい。すなわち、下部透明導電層に形成される下部透明電極 15 が画素電極 P E であり、上部透明導電層に形成される上部透明電極 19 が共通電極 C E であってもよい。このような電極構造は、例えば特開 2008-032899 号公報、特開 2010-008758 号公報に記載されている。参考のため、国際公開第 2012/086513 号、特開 2008-032899 号公報および特開 2010-008758 号公報の開示内容の全てを本明細書

に援用する。

[0114] <アクティブマトリクス基板1000における各層の材料および厚さ>

基板1は、例えばガラス基板、シリコン基板、耐熱性を有するプラスチック基板（樹脂基板）などであり得る。

[0115] ゲート電極3およびゲートバスラインGLを含むゲートメタル層（厚さ：例えば50nm以上500nm以下）は、例えば、アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）、クロム（Cr）、チタン（Ti）、銅（Cu）等の金属又はその合金、若しくはその金属窒化物から形成されている。また、これら複数の膜の積層膜から形成されていてもよい。ゲートメタル層は、基板1上にスパッタ法などで金属膜を形成し、公知のフォトリソグラフィプロセス（フォトリジスト付与、露光、現像、エッチング、レジスト剥離）でパターニングすることによって形成され得る。エッチングは例えばウェットエッチングで行われる。

[0116] ゲート絶縁層（厚さ：例えば200nm以上500nm以下）5は、例えば、酸化珪素（SiO_x）層、窒化珪素（SiN_x）層、酸化窒化珪素（SiO_xN_y； $x > y$ ）層、窒化酸化珪素（SiN_xO_y； $x > y$ ）層等である。ゲート絶縁層5は積層構造を有していてもよい。その場合、ゲート絶縁層5の酸化物半導体層7と接する側にSiO₂膜を配置すると、酸化物半導体層7の酸素欠損を効果的に低減することができる。

[0117] 酸化物半導体層7は、例えばIn-Ga-Zn-O系半導体などの酸化物半導体膜（厚さ：例えば15nm以上200nm以下）から形成されている。

[0118] ソース電極8、ドレイン電極9およびソースバスラインSLを含むソースメタル層（厚さ：例えば50nm以上500nm以下）は、例えば、アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）、クロム（Cr）、チタン（Ti）、銅（Cu）等の金属又はその合金、若しくはその金属窒化物を含む膜を用いて形成されている。また、これら複数の膜の積層膜から形成されていてもよい。ソースメタル層は、酸化物半

導体層側からTi膜（厚さ：30nm）、AlまたはCu膜（厚さ：300nm）、およびTi膜（厚さ50nm）をこの順で積み重ねた積層構造を有していてもよい。

[0119] 無機絶縁層（厚さ：例えば100～500nm、好ましくは200～500nm）11は、例えば、酸化珪素（ SiO_x ）膜、窒化珪素（ SiN_x ）膜、酸化窒化珪素（ SiO_xN_y ； $x>y$ ）膜、窒化酸化珪素（ SiN_xO_y ； $x>y$ ）膜等の無機絶縁膜（パッシベーション膜）から形成されている。無機絶縁層11は積層構造を有していてもよい。無機絶縁層11の酸化物半導体層7と接する側に SiO_2 膜を配置すると、酸化物半導体層7の酸素欠損を効果的に低減することができる。

[0120] 有機絶縁層（厚さ；例えば1～3 μm 、好ましくは2～3 μm ）12は、例えば、感光性樹脂材料を含む有機絶縁膜から形成されている。

[0121] 下部透明電極15および上部透明電極19（厚さ：例えば50nm以上200nm以下）は、それぞれ、例えばITO（インジウム・錫酸化物）膜、 In-Zn-O 系酸化物（インジウム・亜鉛酸化物）膜、ZnO膜（酸化亜鉛膜）などから形成されていてもよい。第2無機絶縁層（厚さ：例えば70nm以上300nm以下）17は、窒化珪素（ SiN_x ）膜、酸化珪素（ SiO_x ）膜、酸化窒化珪素（ SiO_xN_y ； $x>y$ ）膜、窒化酸化珪素（ SiN_xO_y ； $x>y$ ）膜等から形成されていてもよい。

[0122] （TFET構造について）

上述した薄膜トランジスタ10A～10Cおよび画素TFET130は、チャネルエッチ型のTFETである。チャネルエッチ型のTFETでは、チャネル領域上にエッチストップ層が形成されておらず、ソースおよびドレイン電極のチャネル側の端部下面は、酸化物半導体層の上面と接するように配置されている。チャネルエッチ型のTFETは、例えば酸化物半導体層上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。ソース・ドレイン分離工程において、チャネル領域の表面部分がエッチングされる場合がある。

- [0123] 本実施形態における回路TFT（薄膜トランジスタ10A～10C）は、酸化物半導体層7の上方、すなわち酸化物半導体層7の基板1と反対側に他のゲート電極（以下、「上部ゲート電極」と称する）をさらに備えてもよい。このようなTFT構造を、ダブルゲート構造と呼ぶ。
- [0124] 図13（a）および（b）は、それぞれ、ダブルゲート構造を有する薄膜トランジスタ10Dを示す平面図および断面図である。
- [0125] 薄膜トランジスタ10Dは、上部ゲート電極BGを有する点で、前述した薄膜トランジスタ10A（図2）と異なる。
- [0126] 上部ゲート電極BGは、酸化物半導体層7上に絶縁膜を介して配置されている。基板1の法線方向から見たとき、上部ゲート電極BGは、酸化物半導体層7と少なくとも部分的に重なっている。基板1の法線方向から見たとき、上部ゲート電極BGは、互いに対向し、チャネル幅方向WDに延びる2つの縁部BG e 1、BG e 2を有している。ソース電極8は縁部BG e 1と重なり、ドレイン電極9は、縁部BG e 2と重なっていてもよい。これにより、上部ゲート電極BGとソース電極8およびドレイン電極9との重なり面積を低減できる。
- [0127] この例では、薄膜トランジスタ10Dは無機絶縁層11（パッシベーション膜）で覆われており、無機絶縁層11上に上部ゲート電極BGが配置されている。つまり、無機絶縁層11は、上部ゲート電極BGと酸化物半導体層7との間に位置し、ゲート絶縁膜として機能する。上部ゲート電極BGは、例えば、表示領域に配置される透明電極（例えば画素電極PE）と同じ透明導電膜を用いて形成された透明な電極であってもよい。
- [0128] なお、横電界モードの表示装置に適用されるアクティブマトリクス基板では、表示領域には、下部透明電極15および上部透明電極19が誘電体層17を介して配置される（図12参照）。下部透明電極15および上部透明電極19の一方は画素電極PE、他方は共通電極CEである。この場合、上部ゲート電極BGは、下部透明電極15または上部透明電極19と同じ透明導電膜を用いて形成され得る。下部透明電極15と同じ透明導電膜を用いて上

部ゲート電極BGを形成する場合、パッシベーション膜である無機絶縁層11がゲート絶縁膜として機能し得る。上部透明電極19と同じ透明導電膜を用いて上部ゲート電極BGを形成する場合には、無機絶縁層11および誘電体層17がゲート絶縁膜として機能し得る。

[0129] 図13では、薄膜トランジスタ10Aに上部ゲート電極BGを設けているが、他の薄膜トランジスタ10B、10Cに上部ゲート電極BGを設けてもよい。

[0130] (酸化物半導体について)

酸化物半導体層に含まれる酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0131] 酸化物半導体層は、2層以上の積層構造を有していてもよい。酸化物半導体層が積層構造を有する場合には、酸化物半導体層は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層が上層と下層とを含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

[0132] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開2014-007399号公報に記載されている。参考のために、特開2014-007399号公報の開示内容の全てを本明細書に援用する。

[0133] 酸化物半導体層は、例えば、In、GaおよびZnのうち少なくとも1種の金属元素を含んでもよい。本実施形態では、酸化物半導体層は、例えば、

In-Ga-Zn-O 系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、 In-Ga-Zn-O 系の半導体は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物であって、 In 、 Ga および Zn の割合（組成比）は特に限定されず、例えば $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 等を含む。このような酸化物半導体層は、 In-Ga-Zn-O 系の半導体を含む酸化物半導体膜から形成され得る。

[0134] In-Ga-Zn-O 系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質 In-Ga-Zn-O 系の半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。

[0135] なお、結晶質 In-Ga-Zn-O 系の半導体の結晶構造は、例えば、上述した特開2014-007399号公報、特開2012-134475号公報、特開2014-209727号公報などに開示されている。参考のために、特開2012-134475号公報および特開2014-209727号公報の開示内容の全てを本明細書に援用する。 In-Ga-Zn-O 系半導体層を有するTFTは、高い移動度（ $\alpha\text{-SiTFT}$ に比べ20倍超）および低いリーク電流（ $\alpha\text{-SiTFT}$ に比べ100分の1未満）を有しているので、駆動TFT（例えば、複数の画素を含む表示領域の周辺に、表示領域と同じ基板上に設けられる駆動回路に含まれるTFT）および画素TFT（画素に設けられるTFT）として好適に用いられる。

[0136] 酸化物半導体層は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでもよい。例えば In-Sn-Zn-O 系半導体（例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ； InSnZnO ）を含んでもよい。 In-Sn-Zn-O 系半導体は、 In （インジウム）、 Sn （スズ）および Zn （亜鉛）の三元系酸化物である。あるいは、酸化物半導体層は、 In-Al-Zn-O 系半導体、 In-Al-Sn-Zn-O 系半導体、 Zn-O 系半導体、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO （酸化カドミウム）、 Mg-O

Zn-O系半導体、In-Ga-Sn-O系半導体、In-Ga-O系半導体、Zr-In-Zn-O系半導体、Hf-In-Zn-O系半導体、Al-In-Ga-Zn-O系半導体、Ga-Zn-O系半導体などを含んでいてもよい。

[0137] (第2の実施形態)

第2の実施形態のアクティブマトリクス基板は、モノリシックに形成されたデマルチプレクサ回路（例えばSSD回路）DMXを有する。本実施形態は、デマルチプレクサ回路の構成、配置などが前述の実施形態（図11）と異なる。以下、前述の実施形態と異なる点を主に説明し、同様の構成については説明を省略する。

[0138] 本実施形態のデマルチプレクサ回路は、複数（少なくともn本）の制御信号幹線SWと、複数のサブ回路とを含む。各サブ回路は、少なくとも2つの単位回路（以下、「第1単位回路」、「第2単位回路」と呼ぶ）を含む。制御信号幹線SWからは、サブ回路ごとにn本の制御信号枝線Cが設けられている。n本の制御信号枝線Cのそれぞれは、制御信号幹線SWの1つに接続されている。すなわち、各サブ回路において、第1および第2単位回路は、共通の制御信号枝線Cを用いている。制御信号枝線Cの数は、 $n \times$ サブ回路数となる。従って、制御信号枝線Cを単位回路ごとに設ける場合の制御信号枝線Cの数（ $n \times$ 単位回路数）の $1/2$ 以下に減らすことができる。

[0139] <デマルチプレクサ回路DMXの構成および動作>

以下では、各サブ回路に2つの単位回路を含む例を説明するが、1つのサブ回路に3以上の単位回路が含まれていてもよい。

[0140] 図14(a)は、本実施形態におけるデマルチプレクサ回路DMXの構成を説明するための図であり、デマルチプレクサ回路DMXにおける1つのサブ回路200を示す。

[0141] サブ回路200は、第1単位回路および第2単位回路を有している。ここでは、各単位回路は、2本のソースバスラインに対応付けられており（ $n=2$ ）、ビデオ信号1つを2つのソースバスラインSLに分配する。

[0142] 表示領域D Rには、y方向に延びる複数のソースバスラインS Lがx方向に配列されている。本明細書では、1つのサブ回路200に含まれる複数のソースバスラインS Lを、一方の端部（ここでは左端）から順に、それぞれ、第1ソースバスラインS L 1、第2ソースバスラインS L 2、第3ソースバスラインS L 3および第4ソースバスラインS L 4と呼ぶ。

[0143] この例では、第1単位回路は、第1ソースバスラインS L 1および第3ソースバスラインS L 3に対応付けられている。対応するビデオ信号線D O 1からのビデオ信号V 1は、第1単位回路を介して、第1ソースバスラインS L 1および第3ソースバスラインS L 3に分配される。第2単位回路は、第2ソースバスラインS L 2および第4ソースバスラインS L 4に対応付けられている。第1単位回路とは異なるビデオ信号線D O 2からのビデオ信号V 2は、第2単位回路を介して、第2ソースバスラインS L 2および第4ソースバスラインS L 4に分配される。第1単位回路および第2単位回路は、また、共通の制御信号枝線C 1、C 2を有している。制御信号枝線C 1、C 2（「制御信号枝線C」と総称することがある）は、それぞれ、制御信号幹線S W 1、S W 2に電氣的に接続されている。制御信号枝線Cは、サブ回路ごとに設けられる。

[0144] 各単位回路の構成をより具体的に説明する。第1単位回路は、2つの薄膜トランジスタ（DMX回路用T F T）T 1 a、T 1 bと、2本の分岐配線B 1 a、B 1 bと、2本の制御信号枝線C 1、C 2とを含む。第2単位回路は、2つの薄膜トランジスタ（DMX回路用T F T）T 2 a、T 2 bと、2本の分岐配線B 2 a、B 2 bと、第1単位回路と共通の制御信号枝線C 1、C 2とを含む。第1単位回路の分岐配線B 1 a、B 1 bはビデオ信号線D O 1に電氣的に接続されており、第2単位回路の分岐配線B 2 a、B 2 bはビデオ信号線D O 2に電氣的に接続されている。第1単位回路の薄膜トランジスタT 1 a、T 1 bのドレイン電極は、それぞれ、第1ソースバスラインS L 1、第3ソースバスラインS L 3に接続され、ソース電極は、それぞれ、分岐配線B 1 a、B 1 bに接続されている。第2単位回路の薄膜トランジスタ

T 2 a、T 2 bのドレイン電極は、それぞれ、第2ソースバスラインS L 2、第4ソースバスラインS L 4に接続され、ソース電極は、それぞれ、分岐配線B 2 a、B 2 bに接続されている。薄膜トランジスタT 1 a、T 2 aのゲート電極は、それぞれ、制御信号枝線C 1を介して制御信号幹線S W 1に電氣的に接続されている。薄膜トランジスタT 1 b、T 2 bのゲート電極は、それぞれ、制御信号枝線C 2を介して制御信号幹線S W 2に電氣的に接続されている。

[0145] 第1単位回路に対応付けられたn本（ここでは2本）のソースバスラインS L 1、S L 3と、第2単位回路に対応付けられたn本（ここでは2本）のソースバスラインS L 2、S L 4とは、表示領域においてx方向（行方向）に1本ずつ交互に配列されていてもよい。

[0146] 図示するように、DMX回路用TF Tのそれぞれは、ゲート電極と酸化物質半導体層を挟んで反対側にバックゲート電極を有していてもよい（ダブルゲート構造）。バックゲート電極は、対応する分岐配線Bに接続されていてもよい。

[0147] 次に、サブ回路200の動作を説明する。

[0148] 図14（b）は、ゲートバスラインG L、制御信号枝線C 1、C 2、ビデオ信号V 1、V 2および第1ソースバスラインS L 1、第2ソースバスラインS L 2の信号波形の一例を示す図（タイミングチャート）である。ここでは、M段目のゲートバスラインG L（M）、および（M+1）段目のゲートバスラインG L（M+1）への書き込み動作部分のみを説明する。横軸は時間であり、期間t 1～t 4は、ゲートバスラインG L（M）への書き込み時間（1水平走査期間（1H期間））、期間t 5～t 8は、ゲートバスラインG L（M+1）への書き込み時間（1H期間）である。

[0149] まず、期間t 1で、制御信号枝線C 1の制御信号がハイレベル（h i g h）となり、各単位回路における2つのDMX回路用TF Tのいずれか一方が選択される。この例では、薄膜トランジスタT 1 a、T 2 aが選択され、ビデオ信号V 1が薄膜トランジスタT 1 aを介して第1ソースバスラインS L

1 に、ビデオ信号 V 2 が薄膜トランジスタ T 2 a を介して第 2 ソースバスライン S L 2 に、それぞれ接続される。このタイミングで、ビデオ信号 V 1、V 2 はそれぞれ所望の電位に駆動され、第 1 ソースバスライン S L 1 および第 2 ソースバスライン S L 2 の充電を行う。

[0150] 期間 t 2 では、制御信号枝線 C 1 の制御信号がローレベル (low) となり、薄膜トランジスタ T 1 a、T 2 a のゲートがオフとなるので、第 1 ソースバスライン S L 1 および第 2 ソースバスライン S L 2 の電位が確定する。

[0151] 期間 t 3 では、制御信号枝線 C 2 の制御信号がハイレベルとなり、各単位回路の他方の DMX 回路用 TFT が選択される。この例では、薄膜トランジスタ T 1 b、薄膜トランジスタ T 2 b が選択され、ビデオ信号 V 1 が薄膜トランジスタ T 1 b を介して第 3 ソースバスライン S L 3 に、ビデオ信号 V 2 が薄膜トランジスタ T 2 b を介して第 4 ソースバスライン S L 4 に、それぞれ接続される。このタイミングで、ビデオ信号 V 1、V 2 はそれぞれ所望の電位に駆動され、第 3 ソースバスライン S L 3 および第 4 ソースバスライン S L 4 の充電を行う。

[0152] 次いで、期間 t 4 で制御信号枝線 C 2 の制御信号がローレベルとなり、薄膜トランジスタ T 1 b、T 2 b のゲートがオフとなるので、第 3 ソースバスライン S L 3 および第 4 ソースバスライン S L 4 の電位が確定する。このタイミングで、ゲートバスライン G L (M) の走査信号の電圧がローレベルとなり、画素電位の書き込みが完了する。

[0153] 期間 t 5 ~ t 8 の動作も、上述した期間 t 1 ~ t 4 の動作と同様である。

[0154] <デマルチプレクサ回路のレイアウト>

図 1 5 は、デマルチプレクサ回路 DMX のレイアウトの一例を示す平面図である。

[0155] 図 1 5 に示すように、デマルチプレクサ回路 DMX は、基板 1 の法線方向から見たとき、表示領域 D R の下方に配置されている。この例では、デマルチプレクサ回路 DMX は、x 方向に配列された複数のサブ回路 2 0 0 を有している。各サブ回路 2 0 0 は、y 方向に延伸された形状を有している。

- [0156] 各サブ回路200を基板1の法線方向から見たとき、第1単位回路のDMX回路用TF Tが配置されている第1単位回路形成領域u1は、第2単位回路のDMX回路用TF Tが配置されている第2単位回路形成領域u2の表示領域側に位置している。つまり、第1単位回路は、第2単位回路と表示領域との間に位置している。本明細書では、このような構成を「2段構成」と呼ぶ。
- [0157] デマルチプレクサ回路DMXと非表示領域FRの周縁との間には、n本（ここでは2本）の制御信号幹線SW1、SW2が配置されている。各サブ回路200の制御信号枝線C1、C2は、それぞれ、制御信号幹線SW1、SW2からデマルチプレクサ回路DMX内に延びている。図示していないが、デマルチプレクサ回路DMXと非表示領域FRの周縁との間には、また、COG実装された駆動回路およびビデオ信号線が設けられている。各サブ回路200の分岐配線B1a、B2a、B1b、B2bは、それぞれ、ビデオ信号線からデマルチプレクサ回路DMX内に延びている。
- [0158] 図16は、デマルチプレクサ回路DMXにおける1つのサブ回路200Aを例示する拡大平面図である。
- [0159] サブ回路200Aにおいて、第1単位回路および第2単位回路の分岐配線B1a、B2a、B1b、B2b、制御信号枝線C1、C2、およびソースバスラインSL1～SL4は、いずれも、y方向に延びている。
- [0160] 制御信号枝線C1、C2は、それぞれ、対応するDMX回路用TF Tのゲート電極として機能する部分を含む。例えば、制御信号枝線C1は、基板1の法線方向から見たとき、分岐配線B1aと分岐配線B2aとの間に位置している。制御信号枝線C1は、分岐配線B2a側にx方向に突出し、薄膜トランジスタT2aのゲート電極として機能する凸部と、分岐配線B2a側にx方向に突出し、薄膜トランジスタT1aのゲート電極として機能する凸部とを有している。薄膜トランジスタT1aおよび薄膜トランジスタT2aの酸化物半導体層7は、それぞれ、制御信号枝線C1のこれらの凸部上に配置されている。このように、第1単位回路におけるDMX回路用TF Tの1つ

と、第2単位回路におけるDMX回路用TF Tの1つとは、同一の制御信号枝線Cに一体的に形成されたゲート電極を有しており、同一の制御信号枝線Cの上に間隔を空けて配置されている（2段構成）。

[0161] ソースバスラインSL 1～SL 4は、それぞれ、対応するDMX回路用TF Tの酸化物半導体層7と接し、ドレイン電極として機能する部分を含む。例えば第1ソースバスラインSL 1は、表示領域DRからy方向に延びて、薄膜トランジスタT 1 aの酸化物半導体層7の上面と接している。第2ソースバスラインSL 2は、表示領域DRから、薄膜トランジスタT 1 aと薄膜トランジスタT 1 bとの間をy方向に延びて、薄膜トランジスタT 2 aの酸化物半導体層7の上面と接している。

[0162] 分岐配線B 1 a、B 2 a、B 1 b、B 2 bは、それぞれ、対応するDMX回路用TF Tの酸化物半導体層7と接し、ソース電極として機能する部分を含む。例えば分岐配線B 2 aは、COG側からy方向に延びて、薄膜トランジスタT 2 aの酸化物半導体層7の上面と接している。分岐配線B 1 bは、COG側から、薄膜トランジスタT 2 aと薄膜トランジスタT 2 bとの間をy方向に延びて、薄膜トランジスタT 1 bの酸化物半導体層7の上面と接している。

[0163] 基板1の法線方向から見たとき、第1単位回路のDMX回路用TF Tは、第2単位回路に対応付けられたN番目および(N+2)番目のソースバスラインSLの間に配置されている。例えば、薄膜トランジスタT 1 bは、第2ソースバスラインSL 2および第4ソースバスラインSL 4の間に配置されている。また、第2単位回路のDMX回路用TF Tは、第1単位回路における隣接する2つの分岐配線Bの間に配置されている。例えば、薄膜トランジスタT 2 aは、第1単位回路の分岐配線B 1 a、B 1 bの間に配置されている。

[0164] 本実施形態では、各DMX回路用TF Tのドレイン電極はソースバスラインSLの一部であり、ソース電極は分岐配線Bの一部であり、ゲート電極は制御信号枝線Cの一部である。また、2以上の単位回路に共通の制御信号枝

線Cを設けている。これにより、デマルチプレクサ回路DMXに要する面積をより効果的に低減できる。また、チャンネル幅Wをy方向に大きくできるので、電流駆動力を確保できる。

[0165] さらに、本実施形態では、複数の単位回路を2段構成で配置するので、ソースバスラインSLの配列ピッチが狭くなっても、所望のサイズのDMX回路用TF Tを形成できる。例えば前述の実施形態では、隣接する2つのソースバスラインSLの間にDMX回路用TF Tを配置する必要があった。これに対し、本実施形態では、例えば、N番目のソースバスラインSLと(N+2)番目のソースバスラインSLとの間にDMX回路用TF Tを配置すればよいので、所望のチャンネル長および重なり長さを有する信頼性の高いDMX回路用TF Tを形成できる。従って、本実施形態は、例えば1000ppiを超えるような超高精細のアクティブマトリクス基板にも好適に適用され得る。酸化物半導体を用いたデマルチプレクサ回路DMXをモノリシックに形成することで、非表示領域における配線・端子部領域の面積を小さくできるので、狭額縁化を実現できる。

[0166] なお、ここでは、2段構成の例を示したが、3段以上の構成も採用し得る。その場合にも、上記と同様に、各サブ回路は3以上の単位回路を含み、これらの単位回路のDMX回路用TF Tは、共通の制御信号枝線上に間隔を空けて配置されてもよい。

[0167] 図16では、図7(a)と同様の構造を有するTF TをDMX回路用TF Tとして用いているが、DMX回路用TF Tの構造はこれに限定されない。

[0168] 図17および図18は、それぞれ、本実施形態における他のサブ回路200B、200Cの一部を示す平面図である。

[0169] 図17に示すサブ回路200Bでは、DMX回路用TF Tとして、図2に示す薄膜トランジスタ10Aと同様の構造を有する薄膜トランジスタT1a、T1b、T2a、T2bを用いている。

[0170] また、図18に示すサブ回路200Cでは、DMX回路用TF Tとして、対称構造を有する薄膜トランジスタ10B(図3)と同様の構造を有する薄

膜トランジスタ $T1a$ 、 $T1b$ 、 $T2a$ 、 $T2b$ を用いている。図示していないが、非対称構造を有する薄膜トランジスタ $10C$ （図4）と同様の構造を有する TFT を、DMX 回路用 TFT として用いてもよい。

[0171] <TFT 並列接続構造>

図19は、本実施形態における他のデマルチプレクサ回路 DMX におけるサブ回路 $200D$ の一部を示す平面図である。

[0172] サブ回路 $200D$ では、1つのソースバスライン SL に対し、並列に接続された複数の薄膜トランジスタが設けられている点で、図17に示すサブ回路 $200B$ と異なっている。

[0173] この例では、例えば第1ソースバスライン $SL1$ に、互いに並列に接続された複数の薄膜トランジスタ $T1a$ が接続されている。これらの薄膜トランジスタ $T1a$ は、制御信号枝線 $C1$ 上に y 方向に配列されており、制御信号枝線 $C1$ の一部をゲート電極、分岐配線 $B1a$ の一部をソース電極、第1ソースバスライン $SL1$ の一部をドレイン電極として有する。同様に、他のソースバスライン $SL1 \sim SL4$ にも、それぞれ、並列に接続された複数の薄膜トランジスタ $T2a$ 、 $T1b$ 、 $T2b$ が接続されている。このような構成により、回路面積の増大を抑えつつ、電流駆動力をさらに高めることができる。

[0174] ここでは、各薄膜トランジスタは、薄膜トランジスタ $10A$ と同様の構造を有するが、他の構造を有していてもよい。例えば薄膜トランジスタ $10B$ 、 $10C$ 、 $10D$ あるいは図7(a)と同様の構造を有していてもよい。

[0175] 並列接続される TFT の数は特に限定しないが、これらの TFT のチャンネル幅 W の合計が所定の値 W_{total} となるように適宜設定され得る。ただし、各 TFT のチャンネル幅 W （酸化物半導体層7のチャンネル幅方向 DW の長さ）が、例えば $6\mu m$ 以上 $100\mu m$ 以下であることが好ましい。チャンネル幅 W が $6\mu m$ 以下であれば所望の特性が得られない場合がある。チャンネル幅 W が $100\mu m$ よりも大きいと、TFT 特性が安定しない可能性がある。例えば、 W_{total} が $300\mu m$ の場合、 $W \leq 100\mu m$ の TFT を3つ以

上並列接続させてもよい。なお、 W_t が $100\mu\text{m}$ 以下であれば、複数のTFETを並列接続させる代わりに、チャンネル幅 W の大きい($W=W_{\text{Total}}$)TFETを1つ形成してもよい。

[0176] <ダブルゲート構造TFET>

各DMX回路用TFETは、酸化物半導体層の基板側および基板と反対側にそれぞれゲート電極を有していてもよい(ダブルゲート構造)。

[0177] 図20～図22は、それぞれ、本実施形態のデマルチプレクサ回路DMXにおける他のサブ回路200E、200F、200Gの一部を示す拡大平面図である。

[0178] サブ回路200E、200F、200Gは、薄膜トランジスタ T_{1a} 、 T_{1b} 、 T_{2a} 、 T_{2b} が上部ゲート電極BGをさらに備える(ダブルゲート構造)点で、図16～図18に示すサブ回路200A、200B、200Cと異なる。ダブルゲート構造の詳細な説明は図13を参照しながら前述したので、ここでは省略する。

[0179] 図示するように、並列に配列された複数の薄膜トランジスタを y 方向に配列する場合、これらの薄膜トランジスタに対して、共通の上部ゲート電極BGを設けてもよい。共通の上部ゲート電極BGは、 y 方向に延びていてもよい。

[0180] 各薄膜トランジスタの上部ゲート電極BGは、分岐配線B(すなわちV端子)を介してビデオ信号線DO(またはV端子)に接続されていてもよい。これにより、上部ゲート電極BGのソース電極8に対する電位(バックゲート電位) V_{bg} を安定化($V_{bg}=0\text{V}$)できるので、信頼性を高めることができる。また、薄膜トランジスタを介して、ソースバスラインSLの電位を低電位(例えば最低階調を表示する電位)から高電位(例えば最高階調を表示する電位)に変化させるように、ソースバスラインSLに書き込みを行う場合に、ソースバスラインSLの充電初期のみ、薄膜トランジスタのバックゲート電極BGにプラスバイアスがかかる。この結果、DMX回路用TFETの閾値電圧は実効的に低くなるので、駆動力を高めることが可能になる。

[0181] 上部ゲート電極BGを分岐配線Bに接続するコンタクト部70は、第1単位回路形成領域u1と第2単位回路形成領域u2との間に位置する領域（以下、「接続領域」と呼ぶ）usに配置されていてもよい。これにより、デマルチプレクサ回路DMXの回路面積の増大を抑えることができる。コンタクト部70では、上部ゲート電極BGは、無機絶縁層11に形成された開口部内で分岐配線Bと直接接していてもよい。ここでは、第1単位回路の薄膜トランジスタT1a、T1bにおける上部ゲート電極BGと分岐配線Bとを接続するコンタクト部70を接続領域usに配置している。図示していないが、第2単位回路の薄膜トランジスタT2a、T2bにおける上部ゲート電極BGと分岐配線Bとを接続するコンタクト部を、第2単位回路形成領域u2と制御信号幹線SWとの間に配置してもよい。あるいは、第2単位回路の薄膜トランジスタT2a、T2bにおける上部ゲート電極BGと分岐配線Bとを接続するコンタクト部を接続領域usに配置し、第1単位回路の薄膜トランジスタT1a、T1bにおける上部ゲート電極BGと分岐配線Bとを接続するコンタクト部を第1単位回路形成領域u1と表示領域DRとの間に配置してもよい。

[0182] <その他のバリエーション>

上記では、各単位回路が2本のソースバスラインに対応付けられた（n=2）デマルチプレクサ回路DMXを例に説明したが、本実施形態のデマルチプレクサ回路の単位回路は、3以上のソースバスラインに対応付けられていてもよい。

[0183] 図23は、本実施形態の他のデマルチプレクサ回路におけるサブ回路300の構成を示す図である。図23では、図16と同様の構成要素には同じ参照符号を付している。

[0184] サブ回路300は、前述したサブ回路200等と同様に、第1単位回路および第2単位回路を有している。ただし、各単位回路が、ビデオ信号線D0（N）からのビデオ信号V1を、1本おきに配列された3本のソースバスラインSLに分配する点で、図16に示すサブ回路200と異なる。

[0185] 第1単位回路は、1本おきに配列された第1、第3および第5ソースバスラインSL1、SL3、SL5に対応付けられており、第2単位回路は、一本おきに配列された第2、第4および第6ソースバスラインSL2、SL4、SL6に対応付けられている。また、第1単位回路および第2単位回路は、共通の制御信号枝線C1、C2、C3を用いている。

[0186] 第1単位回路は、3つの薄膜トランジスタ（DMX回路用TFT）T1a、T1b、T1cと、3本の分岐配線B1a、B1b、B1cとを含む。第2単位回路は、3つの薄膜トランジスタ（DMX回路用TFT）T2a、T2b、T2cと、3本の分岐配線B2a、B2b、B2cとを含む。第1単位回路の分岐配線B1a、B1b、B1cはビデオ信号線DO1に電氣的に接続されており、第2単位回路の分岐配線B2a、B2b、B2cはビデオ信号線DO2に電氣的に接続されている。第1単位回路の薄膜トランジスタT1a、T1b、T1cのドレイン電極は、それぞれ、第1ソースバスラインSL1、第3ソースバスラインSL3、第5ソースバスラインSL5に接続され、ソース電極は、それぞれ、分岐配線B1a、B1b、B1cに接続されている。第2単位回路の薄膜トランジスタT2a、T2b、T2cのドレイン電極は、それぞれ、第2ソースバスラインSL2、第4ソースバスラインSL4、第6ソースバスラインSL6に接続され、ソース電極は、それぞれ、分岐配線B2a、B2b、B2cに接続されている。薄膜トランジスタT1a、T2aのゲート電極は、それぞれ、制御信号枝線C1を介して制御信号幹線SW1に接続されている。薄膜トランジスタT1b、T2bのゲート電極は、それぞれ、制御信号枝線C2を介して制御信号幹線SW2に接続されている。薄膜トランジスタT1c、T2cのゲート電極は、それぞれ、制御信号枝線C3を介して制御信号幹線SW3に接続されている。

[0187] 図24は、サブ回路300の一例を示す拡大平面図である。サブ回路300でも、前述したサブ回路200A～200Gと同様に、第1単位回路の薄膜トランジスタT1a、T1b、T1cが配置された第1単位回路形成領域u1は、第2単位回路の薄膜トランジスタT2a、T2b、T2cが配置さ

れた第2単位回路形成領域u2よりも表示領域側に位置している。第1単位回路の薄膜トランジスタは、第2単位回路に対応付けられたN番目および(N+2)番目のソースバスラインSLの間に配置されている(Nは自然数)。例えば薄膜トランジスタT1bは第2ソースバスラインSL2と第4ソースバスラインSL4との間に配置され、薄膜トランジスタT1cは第4ソースバスラインSL4と第6ソースバスラインSL6との間に配置されている。また、第2単位回路の薄膜トランジスタは、第1単位回路の分岐配線Bの間に配置されている。例えば薄膜トランジスタT2aは分岐配線B1aと分岐配線B1bとの間に配置され、薄膜トランジスタT2bは分岐配線B1bと分岐配線B1cとの間に配置されている。

[0188] なお、各薄膜トランジスタの構造は図示する構造に限定されず、薄膜トランジスタ10B、10C、10Dなどと同様の構造を有していてもよい。

[0189] <相展開>

制御信号幹線SWによって供給される制御信号を相展開してもよい。上述したデマルチプレクサ回路DMXではn本の制御信号幹線SWを有するが、 $K \times n$ (Kは2以上の整数)の制御信号幹線SWを設けてもよい。

[0190] 図25は、制御信号を相展開したデマルチプレクサ回路DMXにおける2つのサブ回路400(1)、400(2)の構成を例示する図である。各単位回路は2本のソースバスラインSLに対応付けられている($n=2$)。

[0191] サブ回路400(1)は、第1単位回路および第2単位回路と、制御信号枝線C1(1)、C2(1)とを含む。サブ回路400(2)は、第1単位回路および第2単位回路と、制御信号枝線C1(2)、C2(2)とを含む。

[0192] この例では、デマルチプレクサ回路DMXは、4本の制御信号幹線SW1-1、SW1-2、SW2-1、SW2-2を有している($K=2$)。制御信号幹線SW1-1、SW1-2には同じ制御信号が供給され、制御信号幹線SW2-1、SW2-2には同じ制御信号が供給される。デマルチプレクサ回路DMXの一部のサブ回路(サブ回路400(1)を含む)の制御信号

枝線C 1 (1)、C 2 (1)は、制御信号幹線SW 1 - 1、制御信号幹線SW 2 - 1 (「第1制御信号幹線」と呼ぶことがある)に接続され、デマルチプレクサ回路DMXの他の一部のサブ回路(サブ回路400(2)を含む)の制御信号枝線C 1 (2)、C 2 (2)は、制御信号幹線SW 1 - 2、制御信号幹線SW 2 - 2 (「第2制御信号幹線」と呼ぶことがある)に接続される。

[0193] このように、制御信号幹線SWの制御信号の相展開を行うことにより、1つの制御信号幹線SWに接続される単位回路の数を低減できるので、各制御信号幹線SWにかかる負荷を小さくできる。この結果、制御信号の遷移時間(立上り、および立下り)を低減できるので、より高速な動作が可能になる。

[0194] <参考例2の回路TF T>

上述したデマルチプレクサ回路DMXにおいて、スイッチング素子として、トップゲート構造を有するTF T (トップゲート構造TF T)を用いることも可能である。トップゲート構造TF Tでは、酸化物半導体層の上方(基板と反対側)に、絶縁膜を介してゲート電極が設けられている。

[0195] 図26(a)および(b)は、それぞれ、デマルチプレクサ回路DMXに使用される参考例2のTF T (薄膜トランジスタ90)を例示する平面図および断面図である。

[0196] 薄膜トランジスタ90は、トップゲート構造TF Tである。薄膜トランジスタ90は、基板1上に設けられた酸化物半導体層7と、酸化物半導体層7を覆うゲート絶縁層5と、ゲート絶縁層5上において、酸化物半導体層7の少なくとも一部と重なるように配置されたゲート電極33とを有している。

[0197] また、ゲート電極33の上には層間絶縁層として無機絶縁層11が設けられている。さらに、無機絶縁層11上には、ソース電極8およびドレイン電極9が設けられている。ソース電極8およびドレイン電極9は、それぞれ、無機絶縁層11およびゲート絶縁層5を貫通するように設けられた開口部内で、酸化物半導体層7のソースコンタクト領域7sおよびドレインコンタク

ト領域 7 d にそれぞれ接続されている。また、ソース電極 8 およびドレイン電極 9 は、基板法線方向から見たときにゲート電極 3 3 から離間して設けられている。

[0198] 酸化物半導体層 7 は、基板 1 の法線方向から見たときにゲート電極 3 3 と重なる領域であるチャネル領域 7 c と、ソース電極 8 と接するソースコンタクト領域 7 s と、ドレイン電極 9 と接するドレインコンタクト領域 7 d とを含んでいる。また、酸化物半導体層 7 おいて、ソースコンタクト領域 7 s とチャネル領域 7 c との間に位置するソース側オフセット領域 7 o s と、ドレインコンタクト領域 7 d とチャネル領域 7 c との間に位置するドレイン側オフセット領域 7 o d とが設けられている。オフセット領域 7 o s、7 o d は、ゲート電極 3 3、ソース電極 8 およびドレイン電極 9 のいずれにも重ならない領域である。

[0199] デマルチプレクサ回路 DMX において、薄膜トランジスタ 9 0 のチャネル長方向 DL は x 方向、チャネル幅方向 DW は y 方向と同じであってもよい。また、薄膜トランジスタ 9 0 のドレイン電極 9 は、対応するソースバスライン SL の一部であり、ソース電極 8 は対応する分岐配線 B の一部であり、ゲート電極 3 3 は対応する制御信号枝線 C の一部であってもよい。図示していないが、酸化物半導体層 7 の基板 1 側に他のゲート電極（下部ゲート電極）をさらに備えていてもよい。下部ゲート電極は、分岐配線 B を介して V 端子側に接続されていてもよい。

[0200] （第 3 の実施形態）

第 3 の実施形態のアクティブマトリクス基板は、モノリシックに形成されたゲートドライバを有する。

[0201] ゲートドライバは、第 1 の実施形態で説明した薄膜トランジスタ 1 0 A ~ 1 0 D のいずれかを有している。例えば、ゲートドライバを構成する複数の回路 TFT のうち、大電流を流す必要のある出力トランジスタとして、薄膜トランジスタ 1 0 A ~ 1 0 C を用いる。

[0202] <モノリシックゲートドライバの構成および動作>

・ゲートドライバの回路構成

まず、アクティブマトリクス基板にモノリシックに形成されるゲートドライバGDの回路構成および動作を説明する。ゲートドライバGDは、シフトレジスタを含んでいる。シフトレジスタは、多段に接続された複数の単位シフトレジスタ回路を含んでいる。

[0203] 図27は、シフトレジスタ回路を例示する図である。

[0204] シフトレジスタ回路は、複数の単位シフトレジスタ回路SR1～SRz（ z ：2以上の整数）（以下、「単位シフトレジスタ回路SR」と総称する。）を有している。各段の単位シフトレジスタ回路SRは、セット信号を受け取るセット端子S、出力信号を出力する出力端子Z、リセット信号を受け取るリセット端子R、および、クロック信号GCK1、GCK2を受け取るクロック入力端子CK1、CK2を備えている。単位シフトレジスタ回路SR α （ $\alpha \geq 2$ ）において、セット端子Sには前段の単位シフトレジスタ回路SRの出力信号が入力される。初段の単位シフトレジスタ回路SR1のセット端子Sにはゲートスタートパルス信号GSPが入力される。各段の単位シフトレジスタ回路SRは、また、表示領域に配置された対応するゲートバスラインGLに出力信号を出力する。リセット端子Rには、次段の単位シフトレジスタ回路の出力信号が入力される。最終段の単位シフトレジスタ回路SRzのリセット端子Rにはクリア信号が入力される。

[0205] 2つのクロック入力端子には2相のクロック信号であるGCK1、GCK2が与えられる。クロック入力端子の一方にクロック信号GCK1が入力されるとともに他方のクロック入力端子にクロック信号GCK2が入力される。クロック入力端子に入力されるクロック信号は、隣接する段間で交互に入れ替わるように構成されている。

[0206] 図28は、単位シフトレジスタ回路SRの一例を示す図である。

[0207] この例では、単位シフトレジスタ回路SRは、4つのTF T31～34および容量部Capを備えている。

[0208] TF T31は入力トランジスタである。TF T31のゲートおよびドレイ

ンはセット端子に接続され、T F T 3 1のソースはT F T 3 4のゲートに接続されている。T F T 3 4は出力トランジスタである。T F T 3 4のドレインはクロック入力端子C K 1に、ソースは出力端子Zに、それぞれ接続されている。すなわち、T F T 3 4は伝送ゲートとして、クロック入力端子C K 1に入力されるクロック信号の通過および遮断を行う。

[0209] 容量部C a pは、出力トランジスタであるT F T 3 4のゲートとソースとの間に接続されている。本明細書では、容量部C a pを「ブートストラップ容量部」と呼ぶことがある。また、T F T 3 4のゲートに接続されたノードを「ノードn e t A」、出力端子Zに接続されたノードを「ノードZ」と称する。容量部C a pの一方の電極は、T F T 3 4のゲートおよびノードn e t Aに接続され、他方の電極は、T F T 3 4のソースおよびノードZに接続されている。

[0210] T F T 3 2は、L o w電源入力端子とノードn e t Aとの間に配置されている。T F T 3 2は、ノードn e t Aの電位を低下させるためのプルダウントランジスタである。T F T 3 2のゲートはリセット端子に、ドレインはノードn e t Aに、ソースはL o w電源入力端子に、それぞれ接続されている。

[0211] ノードZにはT F T 3 3が接続されている。T F T 3 3のゲートはクロック信号の入力端子C K 2に、ドレインはノードZに、ソースはL o w電源入力端子に、それぞれ接続されている。

[0212] このように、単位シフトレジスタ回路S Rは、出力トランジスタであるT F T 3 4および容量部C a pを含むプルアップ部5 0 1と、T F T 3 3を含むプルダウン部5 0 2と、入力トランジスタであるT F T 3 1を含むプルアップ駆動部5 0 3と、T F T 3 2を含むプルダウン駆動部5 0 4とを含んでいる。

[0213] 本実施形態では、T F T 3 1～3 4のうち、少なくとも出力トランジスタであるT F T 3 4として、前述した薄膜トランジスタ1 0 A～1 0 Dを用いる。

[0214] 通常、ゲートバスラインG Lの充放電を行う出力トランジスタとして、他のT F Tよりも大きなサイズを有するT F Tが使用される。このため、複数の出力トランジスタが接続されるゲートクロック信号G C K 1、G C K 2を供給する配線の負荷が大きくなり、駆動電力が大きくなってしまいうという問題がある。これに対し、本実施形態では、出力トランジスタとして、寄生容量が低減された構造を有する薄膜トランジスタを用いるので、上記配線の負荷を低減できる。

[0215] なお、本実施形態は、上述したシフトレジスタに限定されず、公知の種々のシフトレジスタに適用され得る。

産業上の利用可能性

[0216] 本発明の実施形態は、モノリシックに形成された周辺回路を有するアクティブマトリクス基板に好適に適用され得る。このようなアクティブマトリクス基板は、液晶表示装置、有機エレクトロルミネセンス（E L）表示装置および無機エレクトロルミネセンス表示装置等の表示装置、イメージセンサー装置等の撮像装置、画像入力装置、指紋読み取り装置、半導体メモリ等の種々の電子装置に適用される。

符号の説明

[0217] 1	: 基板
3	: ゲート電極
3 e 1、3 e 2	: ゲート電極の縁部
5	: ゲート絶縁層
7	: 酸化物半導体層
7 c	: チャネル領域
7 d	: ドレインコンタクト領域
7 s	: ソースコンタクト領域
7 o f f	: オフセット領域
8	: ソース電極
8 e 1、8 e 2	: ソース縁部

9 e 1、9 e 2	: ドレイン電極	
1 0 A ~ 1 0 D	: 薄膜トランジスタ (回路 T F T)	
1 1	: 無機絶縁層	
B G	: 上部ゲート電極	
B G e 1、B G e 2	: 上部ゲート電極の縁部	
7 0	: コンタクト部	
8 2	: ソース電極の凸部	
8 4	: ソース電極の凹部	
8 6	: ソース電極の切欠き部	
9 2	: ドレイン電極の凸部	
9 4	: ドレイン電極の凹部	
9 6	: ドレイン電極の切欠き部	
1 0 0	: S S D 単位回路	
2 0 0、2 0 0 A ~ 2 0 0 G、3 0 0、4 0 0	: サブ回路	
1 0 0 0	: アクティブマトリクス基板	
D L	: チャネル長方向	
D W	: チャネル幅方向	
D R	: 表示領域	
F R	: 非表示領域	
G D	: ゲートドライバ	
S D	: ソースドライバ	
P I X	: 画素領域	
P E	: 画素電極	
G L	: ゲートバスライン	
S L	: ソースバスライン	
B、B 1 ~ B 3	: 分岐配線	
C、C 1 ~ C 3	: 制御信号枝線	
D O	: ビデオ信号線	

SW、SW 1 ～ SW 3 : 制御信号幹線

SR : 単位シフトレジスタ回路

T 1 a、T 1 b、T 1 c、T 2 a、T 2 b、T 2 c : 薄膜トランジスタ

V : 出力端子

u 1 : 第 1 単位回路形成領域

u 2 : 第 2 単位回路形成領域

u s : 接続領域

請求の範囲

[請求項1] 複数の画素を含む表示領域と、前記表示領域の周辺に設けられた非表示領域とを有し、

基板と、前記基板に支持され、かつ、前記非表示領域に配置された少なくとも1つのTFTと、前記少なくとも1つのTFTを含む周辺回路とを備えたアクティブマトリクス基板であって、

前記少なくとも1つのTFTは、

ゲート電極と、

前記ゲート電極を覆うゲート絶縁層と、

前記ゲート絶縁層上に、前記ゲート絶縁層を介して前記ゲート電極と少なくとも部分的に重なるように配置された酸化物半導体層と、

前記酸化物半導体層上に、前記酸化物半導体層の一部と接するように配置されたソース電極と、

前記酸化物半導体層上に、前記酸化物半導体層の他の一部と接するように配置されたドレイン電極とを有し、

前記基板の法線方向から見たとき、前記ゲート電極は、互いに対向する第1縁部および第2縁部を有し、前記第1縁部および前記第2縁部は、前記少なくとも1つのTFTのチャネル幅方向に前記酸化物半導体層を横切って延びており、

前記基板の法線方向から見たとき、前記ソース電極は、前記ゲート電極の前記第1縁部と重なるように、前記チャネル幅方向に前記酸化物半導体層を横切って延びており、前記ドレイン電極は、前記ゲート電極の前記第2縁部と重なるように、前記チャネル幅方向に前記酸化物半導体層を横切って延びている、アクティブマトリクス基板。

[請求項2] 前記基板の法線方向から見たとき、前記ソース電極における前記ドレイン電極に対向するソース縁部、および／または、前記ドレイン電極における前記ソース電極に対向するドレイン縁部は、前記酸化物半

導体層と重なる領域に、前記少なくとも1つのTFTのチャネル長方向に突出した少なくとも1つの凸部と、前記少なくとも1つの凸部に前記チャネル幅方向に隣接する凹部または切欠き部とを有し、

前記少なくとも1つの凸部の前記チャネル長方向の長さは、前記ゲート電極の前記チャネル長方向の幅の $1/3$ 未満である、請求項1に記載のアクティブマトリクス基板。

[請求項3] 前記ソース縁部または前記ドレイン縁部に配置された前記少なくとも1つの凸部の前記チャネル幅方向における幅の合計は、前記少なくとも1つのTFTのチャネル幅 W の70%以上90%以下である、請求項2に記載のアクティブマトリクス基板。

[請求項4] 前記ソース縁部および前記ドレイン縁部はいずれも、前記少なくとも1つの凸部と、前記凹部または前記切欠き部とを有し、

前記ソース縁部の少なくとも1つの凸部は、前記ドレイン縁部の少なくとも1つの凸部と前記チャネル長方向に対向し、

前記ソース縁部の前記凹部または前記切欠き部は、前記ドレイン縁部の前記凹部または前記切欠き部と前記チャネル長方向に対向している、請求項2または3に記載のアクティブマトリクス基板。

[請求項5] 前記ソース縁部および前記ドレイン縁部はいずれも、前記少なくとも1つの凸部と、前記凹部または前記切欠き部とを有し、

前記ソース縁部の少なくとも1つの凸部は、前記ドレイン縁部の前記凹部または前記切欠き部と前記チャネル長方向に対向し、

前記ソース縁部の前記凹部または前記切欠き部は、前記ドレイン縁部の少なくとも1つの凸部と前記チャネル長方向に対向している、請求項2または3に記載のアクティブマトリクス基板。

[請求項6] 前記表示領域において、前記チャネル幅方向に延びる複数のソースバスラインと、前記少なくとも1つのTFTのチャネル長方向に延びる複数のゲートバスラインとをさらに備え、

前記周辺回路は、複数の単位回路を含むデマルチプレクサ回路であ

り、前記複数の単位回路のそれぞれは、複数のビデオ信号線のうちの1つのビデオ信号線から、前記複数のソースバスラインのうちの n 本（ n は2以上の整数）のソースバスラインへビデオ信号を分配し、

前記複数の単位回路のそれぞれは、少なくとも n 個のDMX回路用TF Tを有し、前記少なくとも1つのTF Tは、前記少なくとも n 個のDMX回路用TF Tを含む、請求項1から5のいずれかに記載のアクティブマトリクス基板。

[請求項7]

前記デマルチプレクサ回路は、複数の制御信号幹線をさらに備え、

前記複数の単位回路のそれぞれは、前記1つのビデオ信号線に接続された n 本の分岐配線と、前記 n 本のソースバスラインと、 n 本の制御信号枝線とをさらに備え、

前記複数の制御信号枝線のそれぞれは、前記複数の制御信号幹線の1つに電氣的に接続されており、

前記複数の単位回路のそれぞれにおいて、各DMX回路用TF Tのドレイン電極は前記 n 本のソースバスラインの1つの一部であり、ソース電極は前記 n 本の分岐配線の1つの一部であり、ゲート電極は前記 n 本の制御信号枝線の一部であり、

前記複数の単位回路のそれぞれにおいて、前記 n 本の分岐配線、前記 n 本の制御信号枝線および前記 n 本のソースバスラインは、いずれも、前記チャネル幅方向に延びている、請求項6に記載のアクティブマトリクス基板。

[請求項8]

前記デマルチプレクサ回路は、複数のサブ回路を含み、

各サブ回路は、前記複数の単位回路のうちの少なくとも第1単位回路および第2単位回路を含み、

前記各サブ回路において、前記第1単位回路および前記第2単位回路における前記 n 本の制御信号枝線は共通である、請求項7に記載のアクティブマトリクス基板。

[請求項9]

前記各サブ回路において、前記第1単位回路の前記少なくとも n 個

のDMX回路用TF Tが形成される第1単位回路形成領域は、前記第2単位回路の前記少なくともn個のDMX回路用TF Tが形成される第2単位回路形成領域と前記表示領域との間に位置している、請求項8に記載のアクティブマトリクス基板。

[請求項10] 前記各サブ回路において、前記第1単位回路における前記少なくともn個のDMX回路用TF Tの1つと、前記第2単位回路における前記少なくともn個のDMX回路用TF Tの1つとは、同じ制御信号枝線に接続され、かつ、前記同じ制御信号枝線の上に間隔を空けて配置されている、請求項8または9に記載のアクティブマトリクス基板。

[請求項11] 前記複数のソースバスラインは、一方の端から前記チャンネル長方向に配列されており、前記各サブ回路は、前記一方の端からN番目（Nは自然数）、（N+1）番目、（N+2）番目および（N+3）番目にそれぞれ配列された第1ソースバスライン、第2ソースバスライン、第3ソースバスラインおよび第4ソースバスラインを含み、

前記第1ソースバスラインおよび前記第3ソースバスラインは、前記第1単位回路を介して、前記複数のビデオ信号線の1つに電氣的に接続され、

前記第2ソースバスラインおよび前記第4ソースバスラインは、前記第2単位回路を介して、前記複数のビデオ信号線の他の1つに電氣的に接続されている、請求項8から10のいずれかに記載のアクティブマトリクス基板。

[請求項12] 前記各サブ回路において、前記基板の法線方向から見たとき、前記第1単位回路の前記少なくともn個のDMX回路用TF Tの1つは、前記第2ソースバスラインおよび前記第4ソースバスラインの間に配置されている、請求項11に記載のアクティブマトリクス基板。

[請求項13] 前記少なくともn個のDMX回路用TF Tは、前記チャンネル幅方向に配列され、かつ、互いに並列に接続された複数のTF Tを含む、請求項7から12のいずれかに記載のアクティブマトリクス基板。

- [請求項14] 前記複数の制御信号幹線は、 n 本の第1制御信号幹線と、 n 本の第2制御信号幹線とを含み、前記 n 本の第1制御信号幹線のそれぞれには、前記 n 本の第2制御信号幹線の1つと同じ制御信号が供給され、
- 前記複数の単位回路のうち一部の単位回路における前記 n 本の制御信号枝線は、前記 n 本の第1制御信号幹線と電氣的に接続されており、他の一部の単位回路における前記 n 本の制御信号枝線は、前記 n 本の第2制御信号幹線と電氣的に接続されている、請求項7から13のいずれかに記載のアクティブマトリクス基板。
- [請求項15] 前記周辺回路は、ゲートドライバを含み、
- 前記ゲートドライバは、複数のシフトレジスタを有し、
- 前記少なくとも1つのTFTは、前記複数のシフトレジスタのそれぞれにおける出力トランジスタを含む、請求項1から5のいずれかに記載のアクティブマトリクス基板。
- [請求項16] 複数の画素を含む表示領域と、前記表示領域の周辺に設けられた非表示領域とを有し、
- 基板と、
- 前記非表示領域に配置され、かつ、前記基板に支持されたデマルチプレクサ回路と、
- 前記表示領域において第1方向に延びる複数のソースバスラインと、
- 前記第1方向と交差する第2方向に延びる複数のゲートバスラインとを備え、
- 前記デマルチプレクサ回路は、複数の単位回路と、複数の制御信号幹線とを備え、
- 前記複数の単位回路のそれぞれは、複数のビデオ信号線のうちの1つのビデオ信号線から、前記複数のソースバスラインのうちの n 本（ n は2以上の整数）のソースバスラインへビデオ信号を分配し、

前記複数の単位回路のそれぞれは、少なくとも n 個の DMX 回路用 T F T と、前記 1 つのビデオ信号線に接続された n 本の分岐配線と、前記 n 本のソースバスラインと、 n 本の制御信号枝線とを有し、前記 n 本の制御信号枝線のそれぞれは、前記複数の制御信号幹線の 1 つに電氣的に接続されており、

前記複数の単位回路のそれぞれにおいて、前記 n 本の分岐配線、前記 n 本の制御信号枝線および前記 n 本のソースバスラインは、いずれも、前記第 1 方向に延びており、

各 DMX 回路用 T F T は、ゲート電極と、前記ゲート電極の上にゲート絶縁層を介して配置された酸化物半導体層と、前記酸化物半導体層上に、前記酸化物半導体層の一部と接するように配置されたソース電極と、前記酸化物半導体層上に、前記酸化物半導体層の他の一部と接するように配置されたドレイン電極とを有し、

前記ドレイン電極は前記 n 本のソースバスラインの 1 つの一部であり、前記ソース電極は前記 n 本の分岐配線の 1 つの一部であり、前記ゲート電極は前記 n 本の制御信号枝線の 1 つの一部であり、

前記基板の法線方向から見たとき、前記ゲート電極は互いに対向する第 1 縁部および第 2 縁部を有し、前記第 1 縁部および前記第 2 縁部は、前記酸化物半導体層を前記第 1 方向に横切って延びており、

前記基板の法線方向から見たとき、前記ソース電極は、前記第 1 縁部と重なるように前記第 1 方向に延びており、前記ドレイン電極は、前記第 2 縁部と重なるように前記第 1 方向に延びている、アクティブマトリクス基板。

[請求項17]

前記複数の単位回路は、第 1 単位回路および第 2 単位回路を含み、

前記表示領域において、前記複数のソースバスラインは、一方の端から前記第 2 方向に配列されており、前記一方の端から N 番目 (N は自然数)、 $(N + 1)$ 番目、 $(N + 2)$ 番目および $(N + 3)$ 番目にそれぞれ配列された第 1 ソースバスライン、第 2 ソースバスライン、

第3ソースバスラインおよび第4ソースバスラインを含み、

前記第1ソースバスラインおよび前記第3ソースバスラインは、前記第1単位回路を介して、前記複数のビデオ信号線の1つに電氣的に接続され、

前記第2ソースバスラインおよび前記第4ソースバスラインは、前記第2単位回路を介して、前記複数のビデオ信号線の他の1つに電氣的に接続され、

前記基板の法線方向から見たとき、前記第1単位回路の前記少なくともn個のDMX回路用TFTの1つは前記第2ソースバスラインおよび前記第4ソースバスラインの間に配置されている、請求項16に記載のアクティブマトリクス基板。

[請求項18] 前記第1単位回路および前記第2単位回路における前記n本の制御信号枝線は共通であり、

前記第1単位回路における前記少なくともn個のDMX回路用TFTの1つと、前記第2単位回路における前記少なくともn個のDMX回路用TFTの1つとは、同じ制御信号線に接続され、かつ、前記同じ制御信号線の上に間隔を空けて配置されている、請求項17に記載のアクティブマトリクス基板。

[請求項19] 前記各DMX回路用TFTにおいて、前記基板の法線方向から見たとき、前記ソース電極における前記ドレイン電極に対向するソース縁部、および／または、前記ドレイン電極における前記ソース電極に対向するドレイン縁部は、前記酸化半導体層と重なる領域に、前記第2方向に突出した少なくとも1つの凸部と、前記少なくとも1つの凸部に前記第1方向に隣接する凹部または切欠き部とを有し、

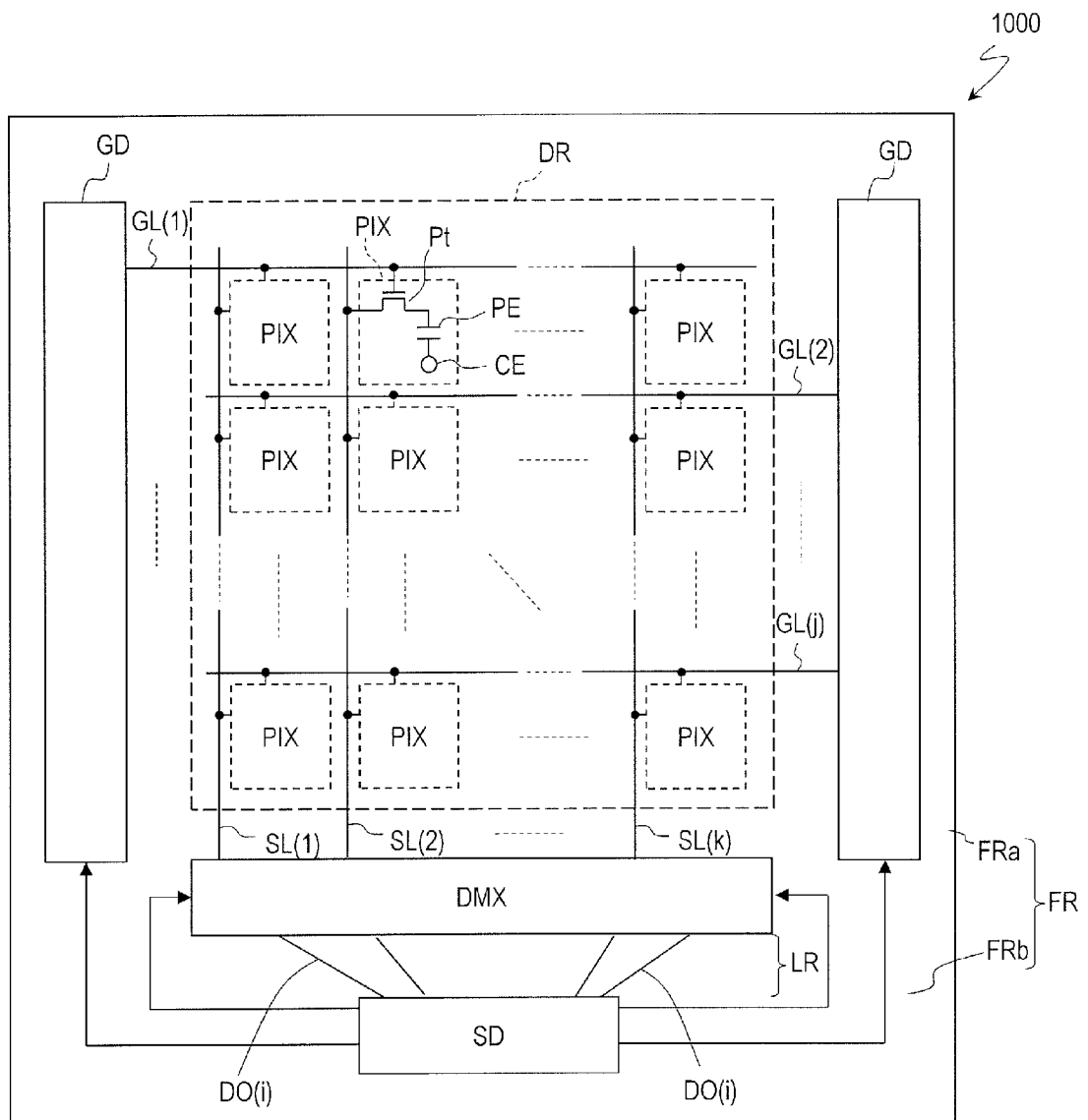
前記少なくとも1つの凸部の前記第2方向の長さは、前記ゲート電極の前記第2方向の幅の1/3未満である、請求項17または18に記載のアクティブマトリクス基板。

[請求項20] 前記酸化半導体層は、In-Ga-Zn-O系半導体を含む、請

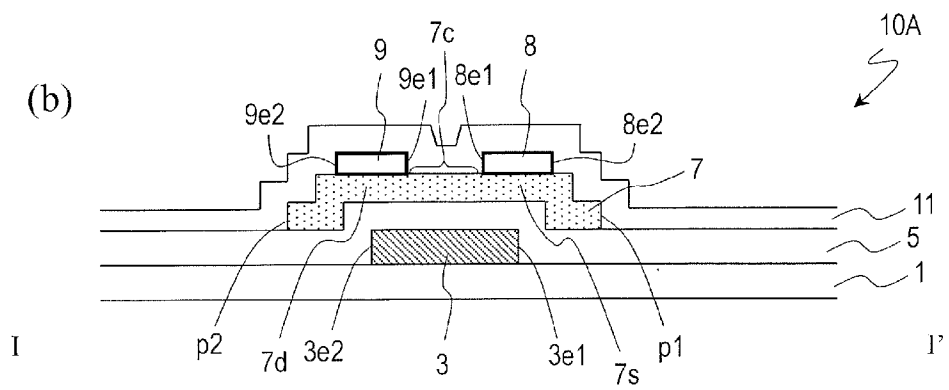
求項 1 から 19 のいずれかに記載のアクティブマトリクス基板。

[請求項21] 前記 In-Ga-Zn-O 系半導体は結晶質部分を含む、請求項 20 に記載のアクティブマトリクス基板。

[図1]

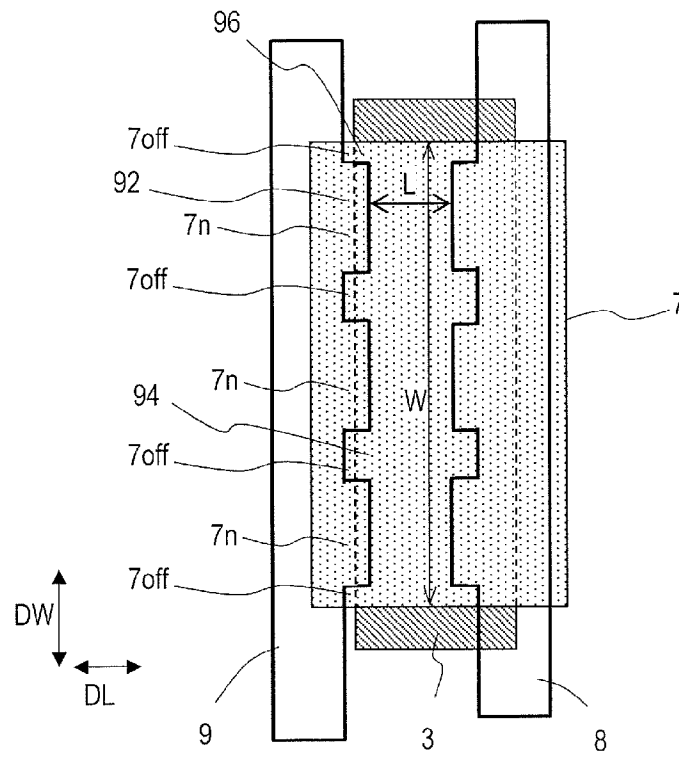


(a)

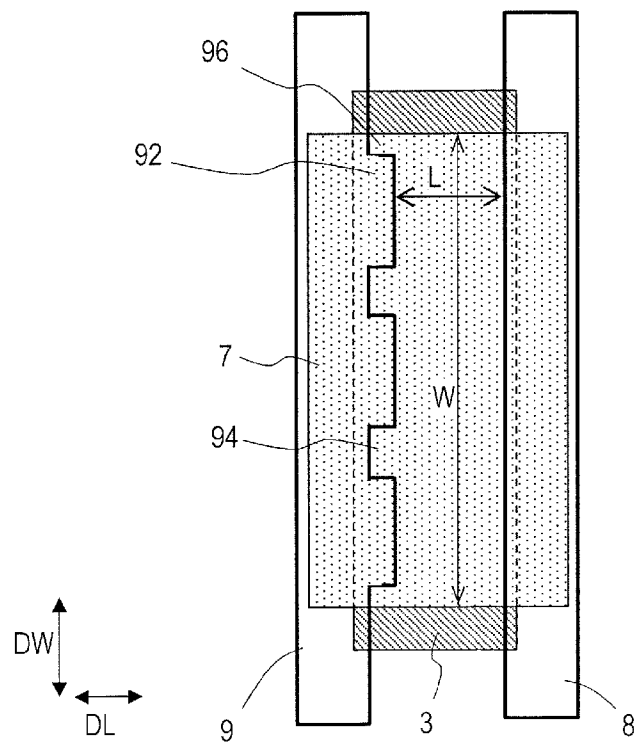


[illegible]

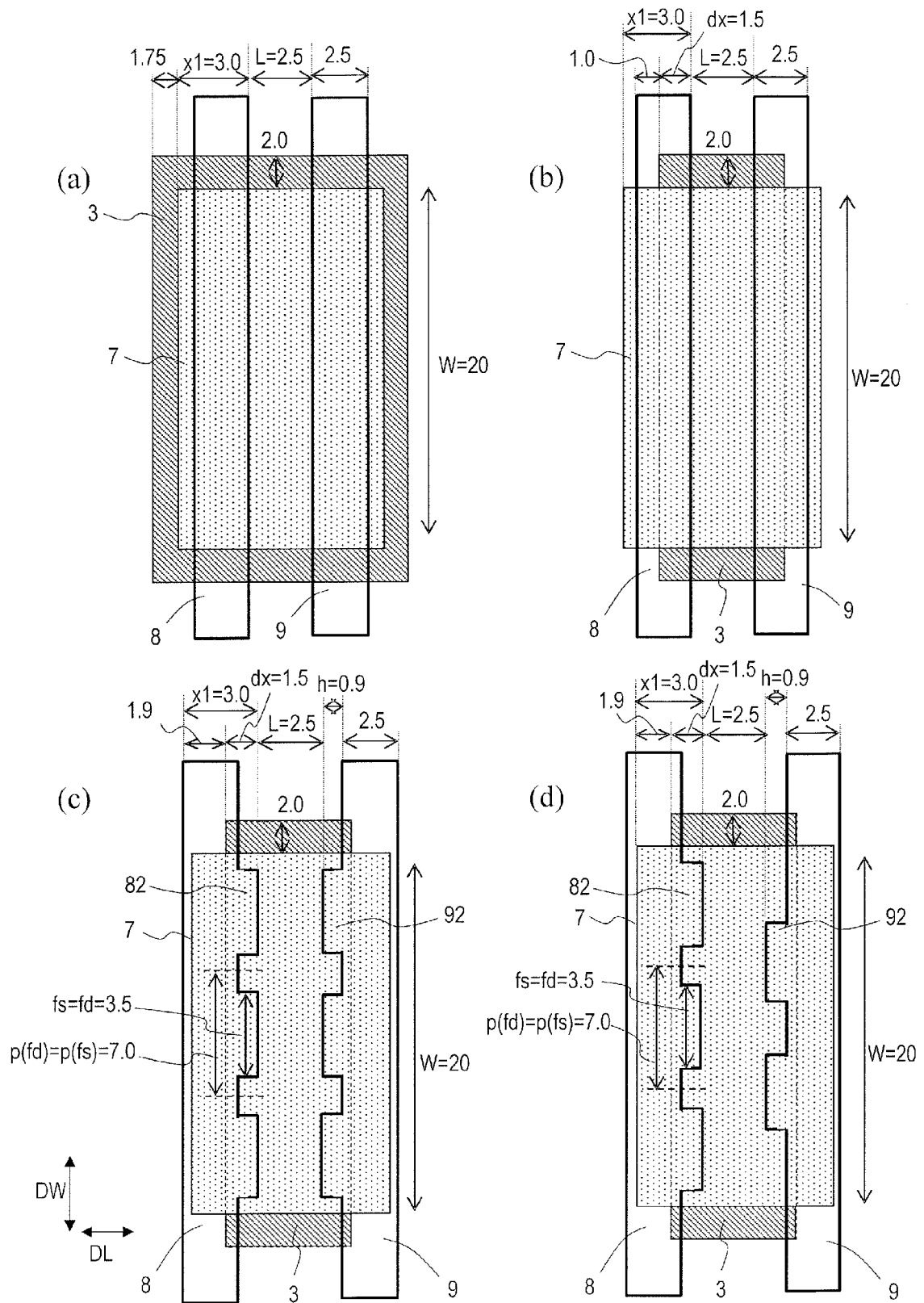
[図5]



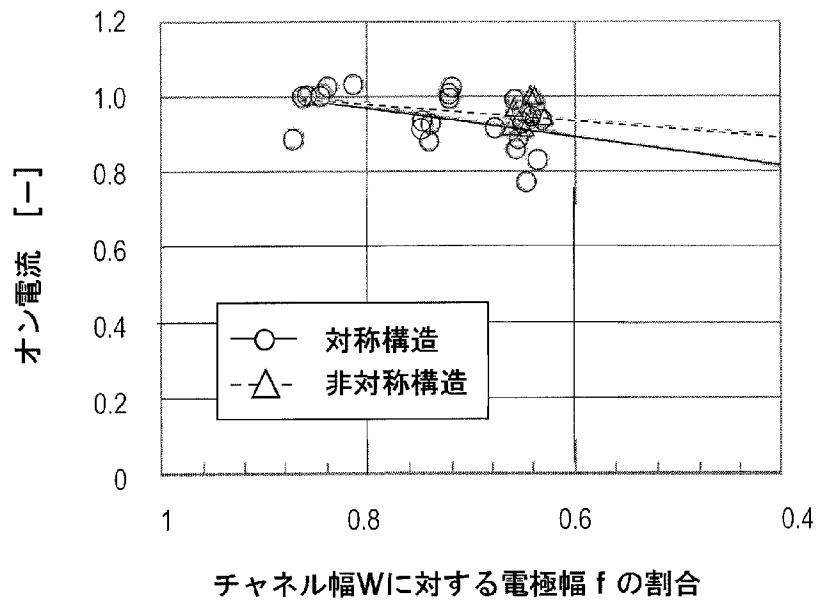
[図6]



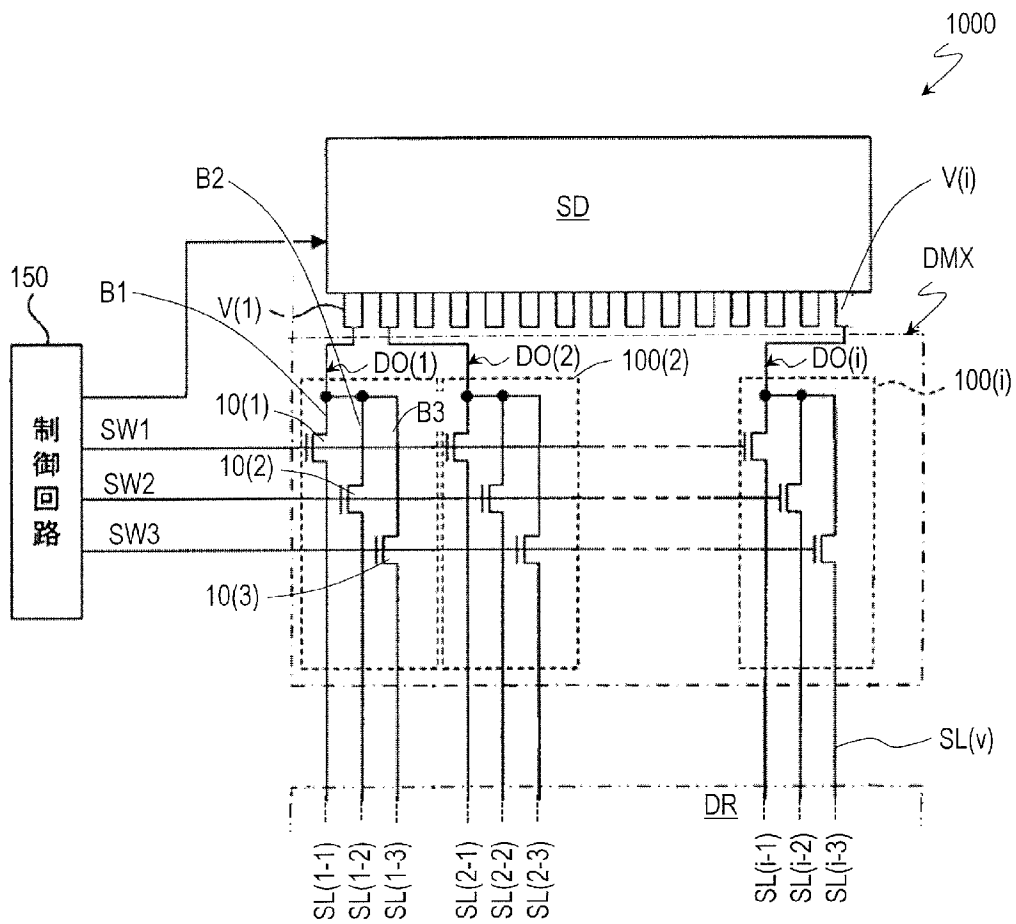
[図7]



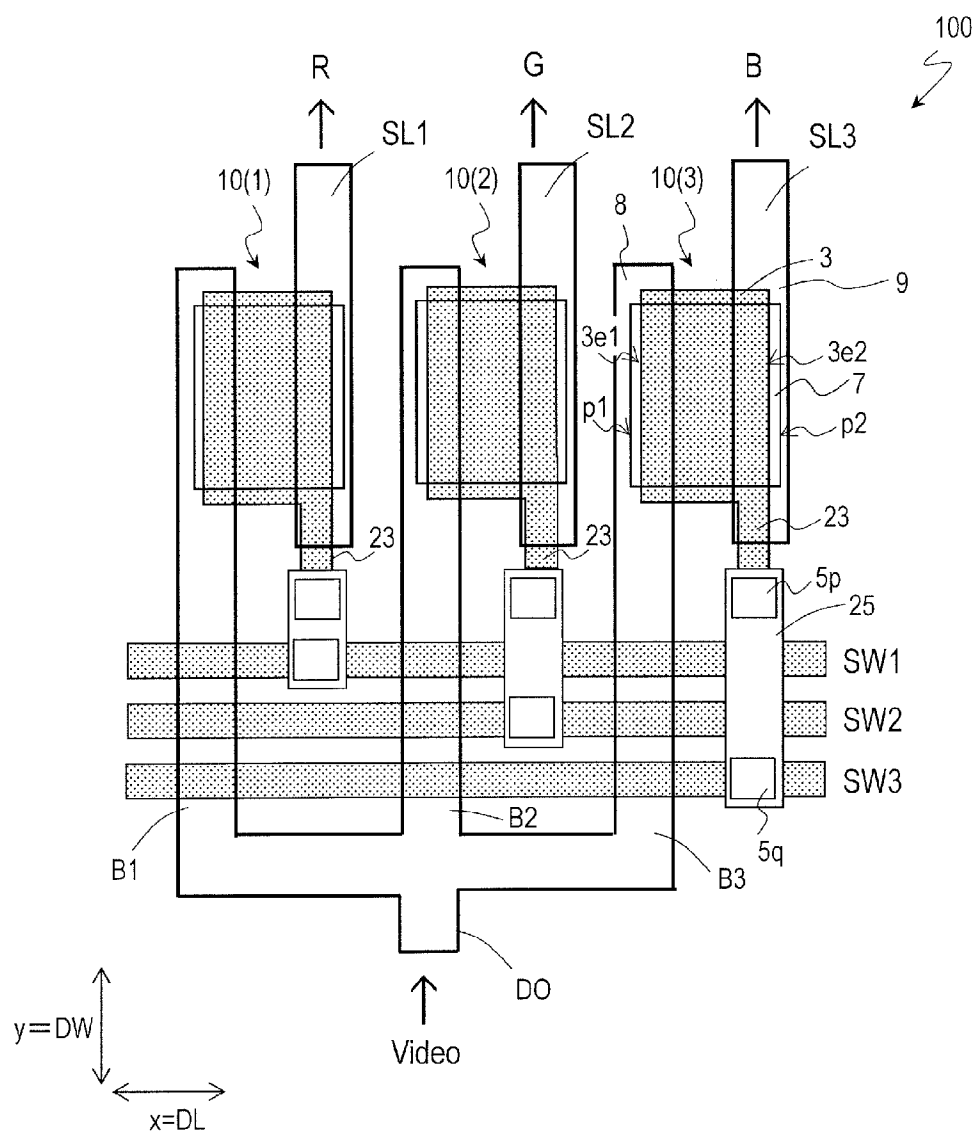
[図9]



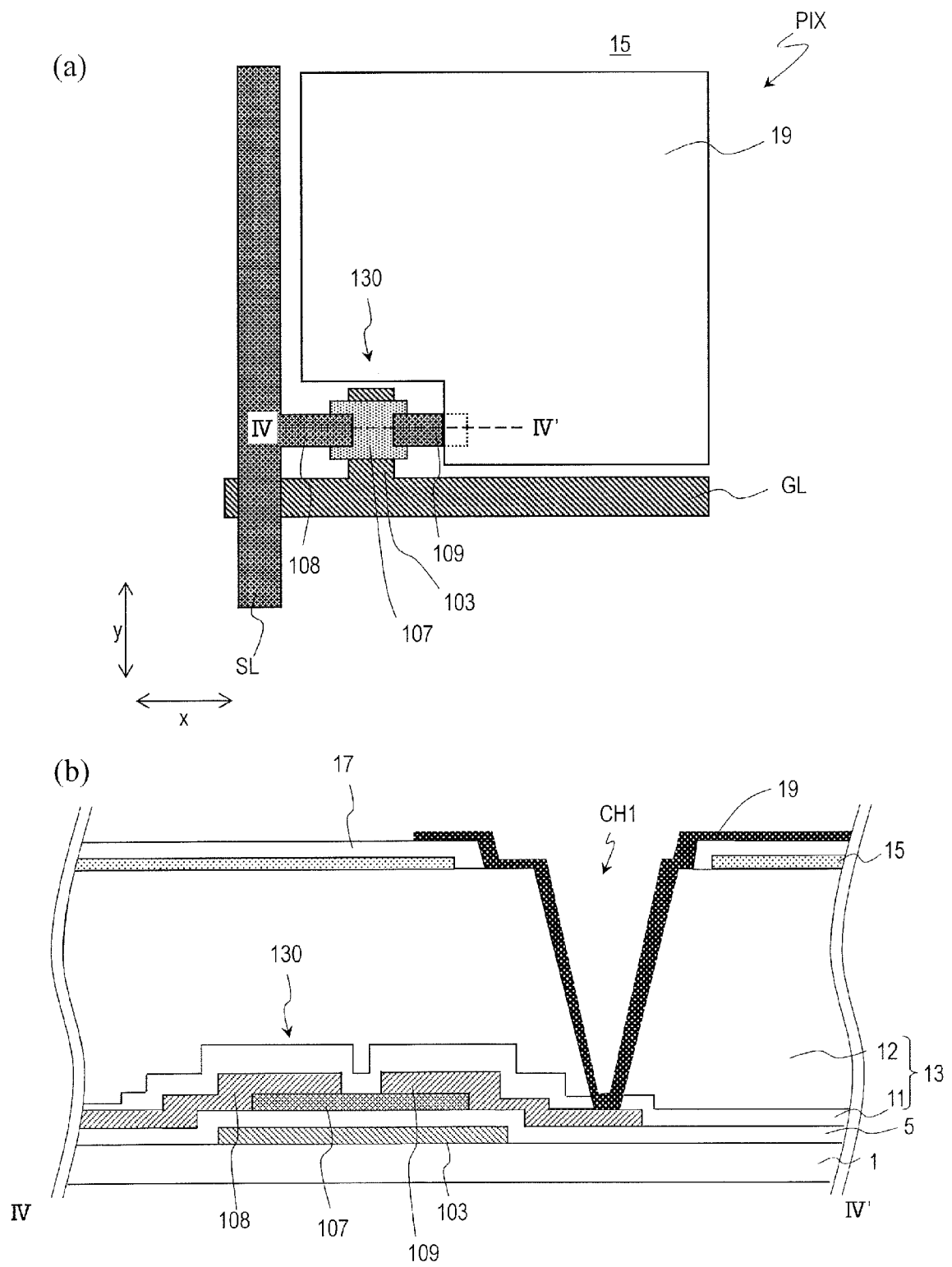
[図10]



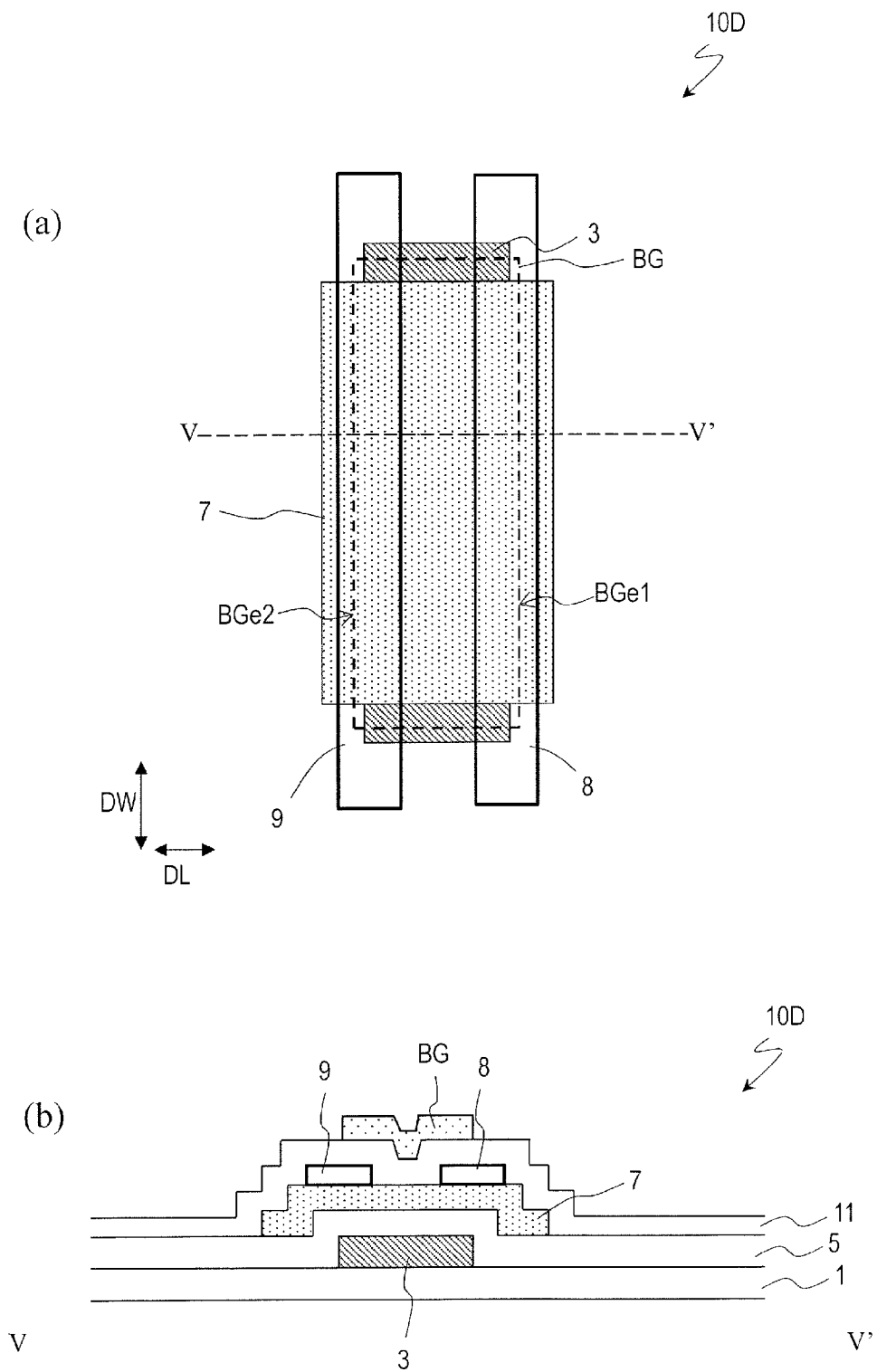
[図11]



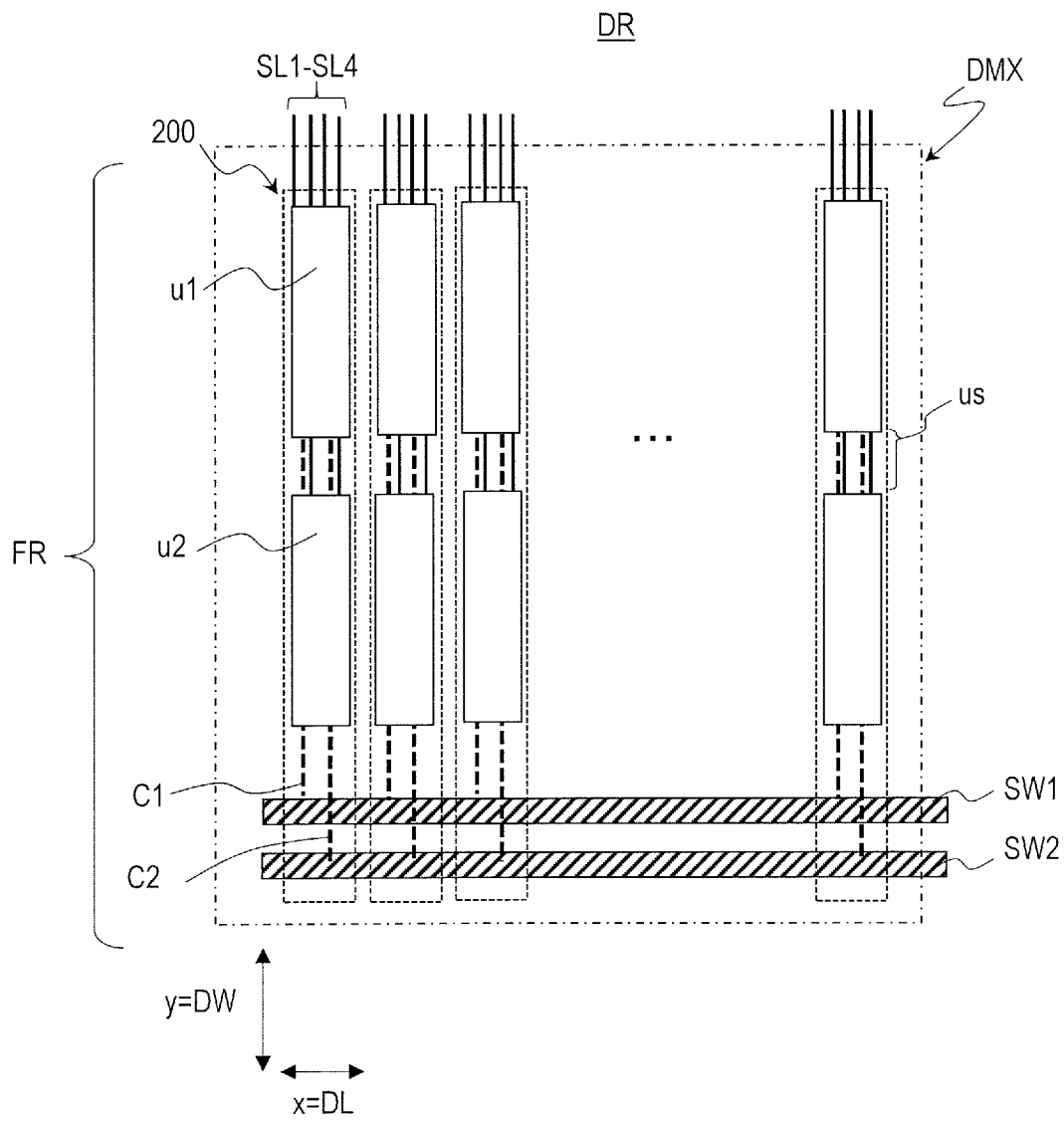
[図12]



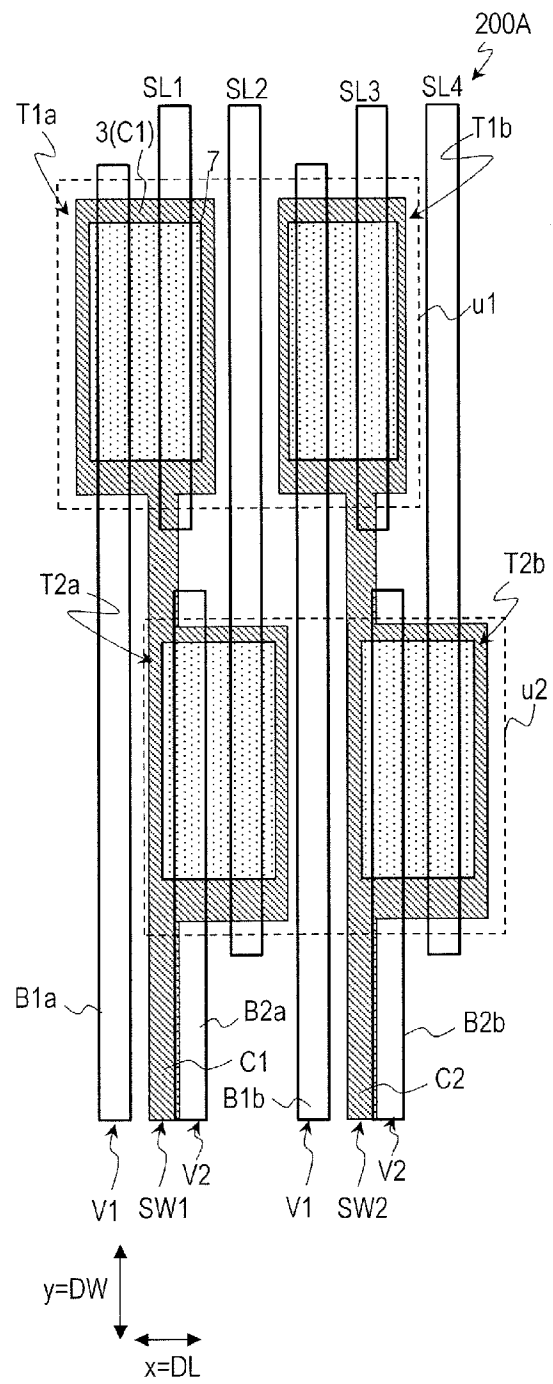
[図13]



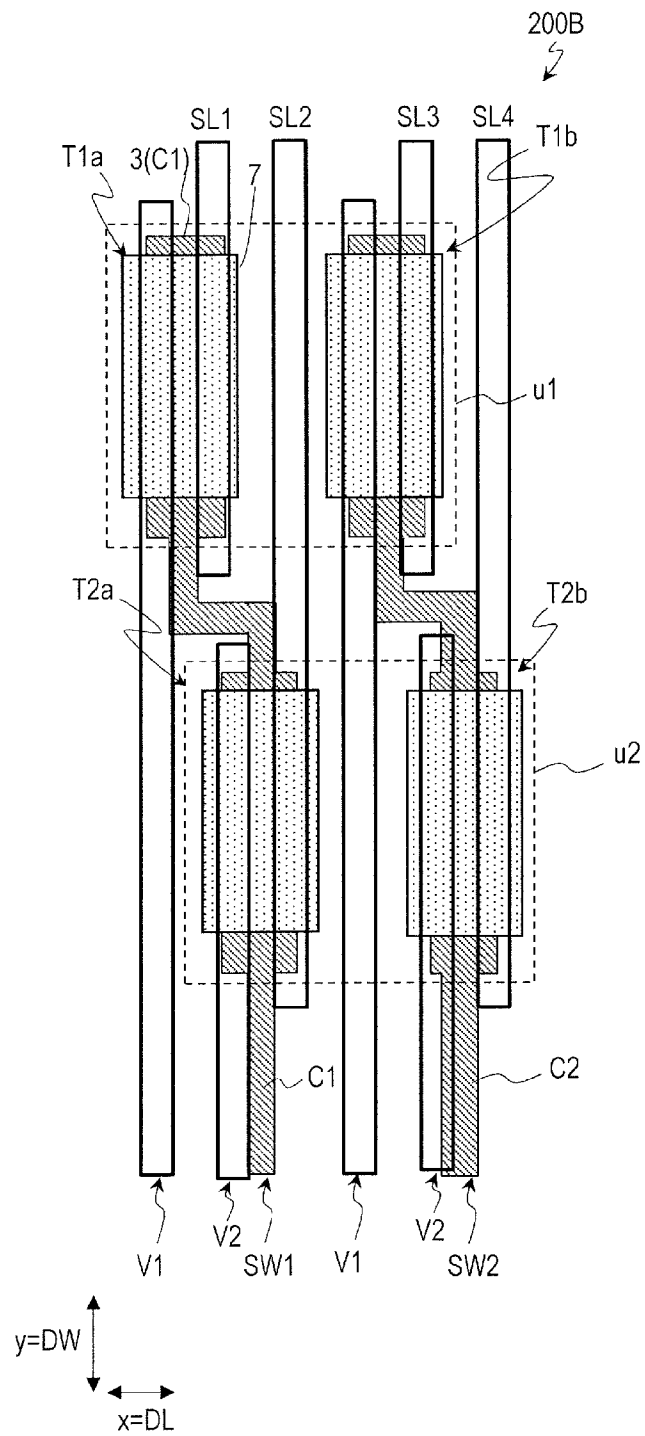
[図15]



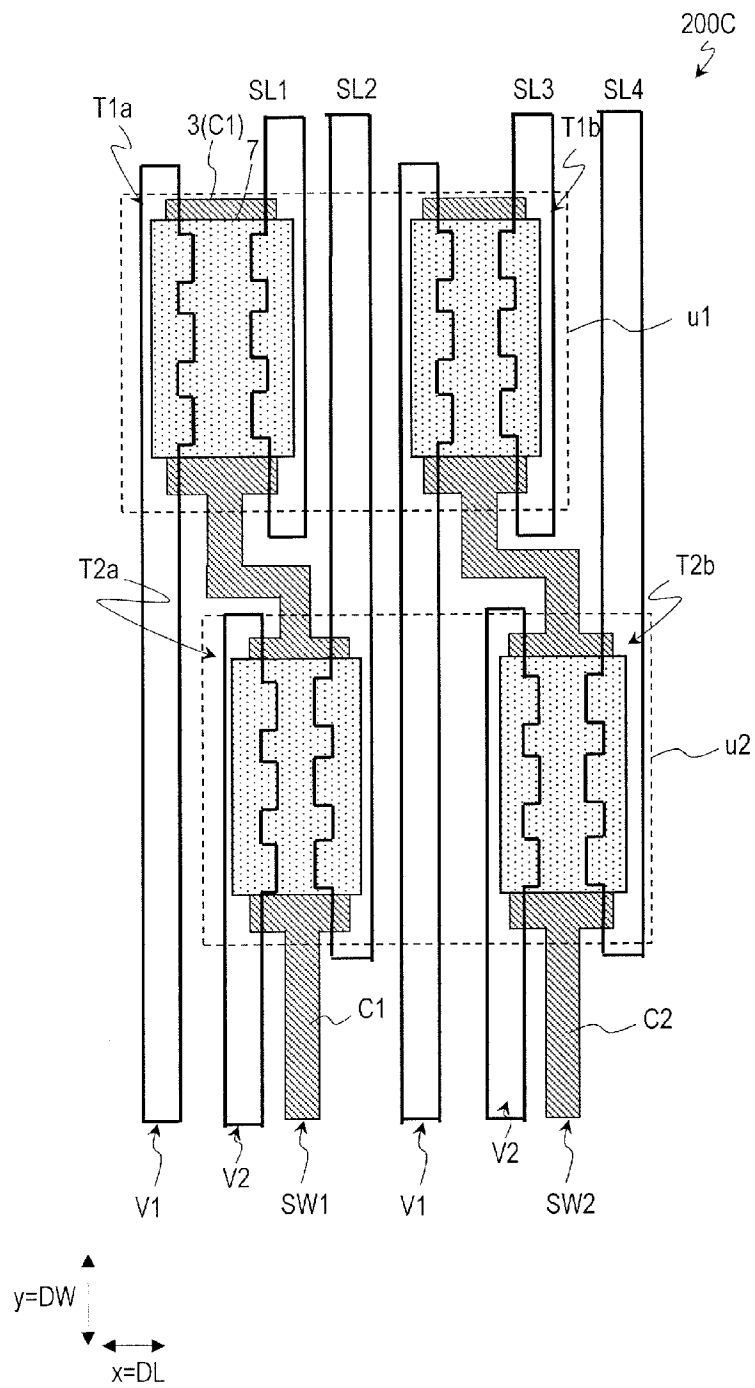
[図16]



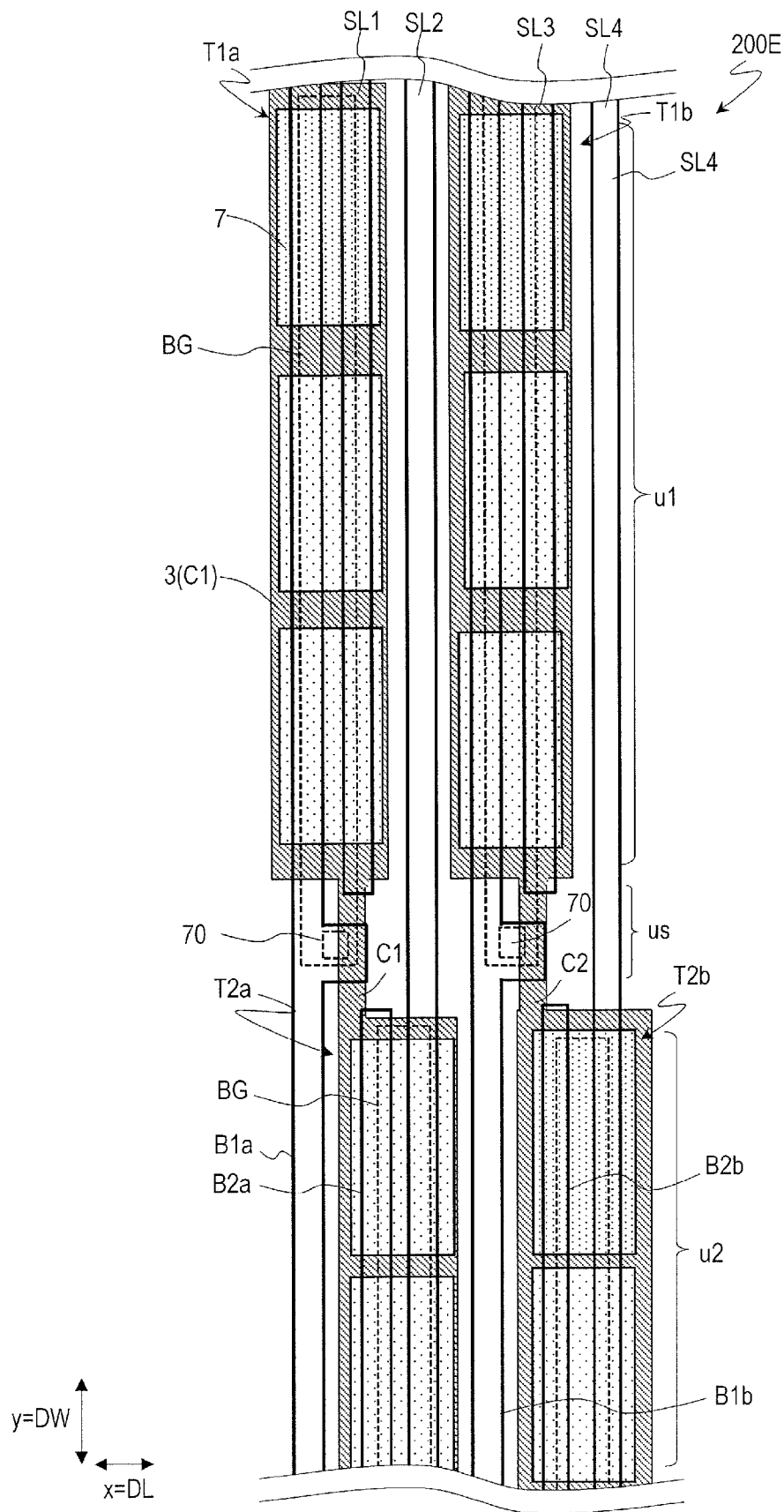
[図17]



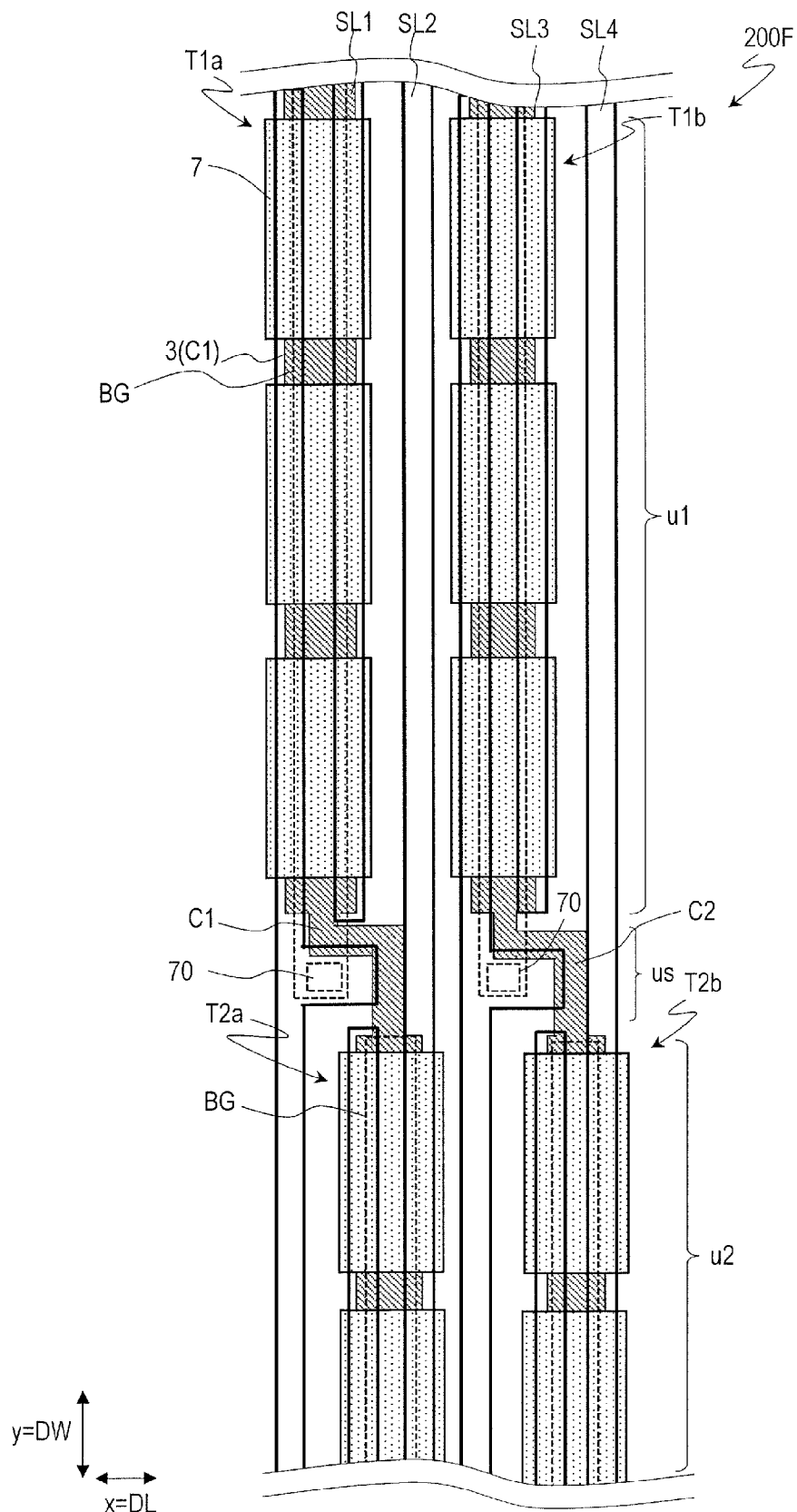
[図18]



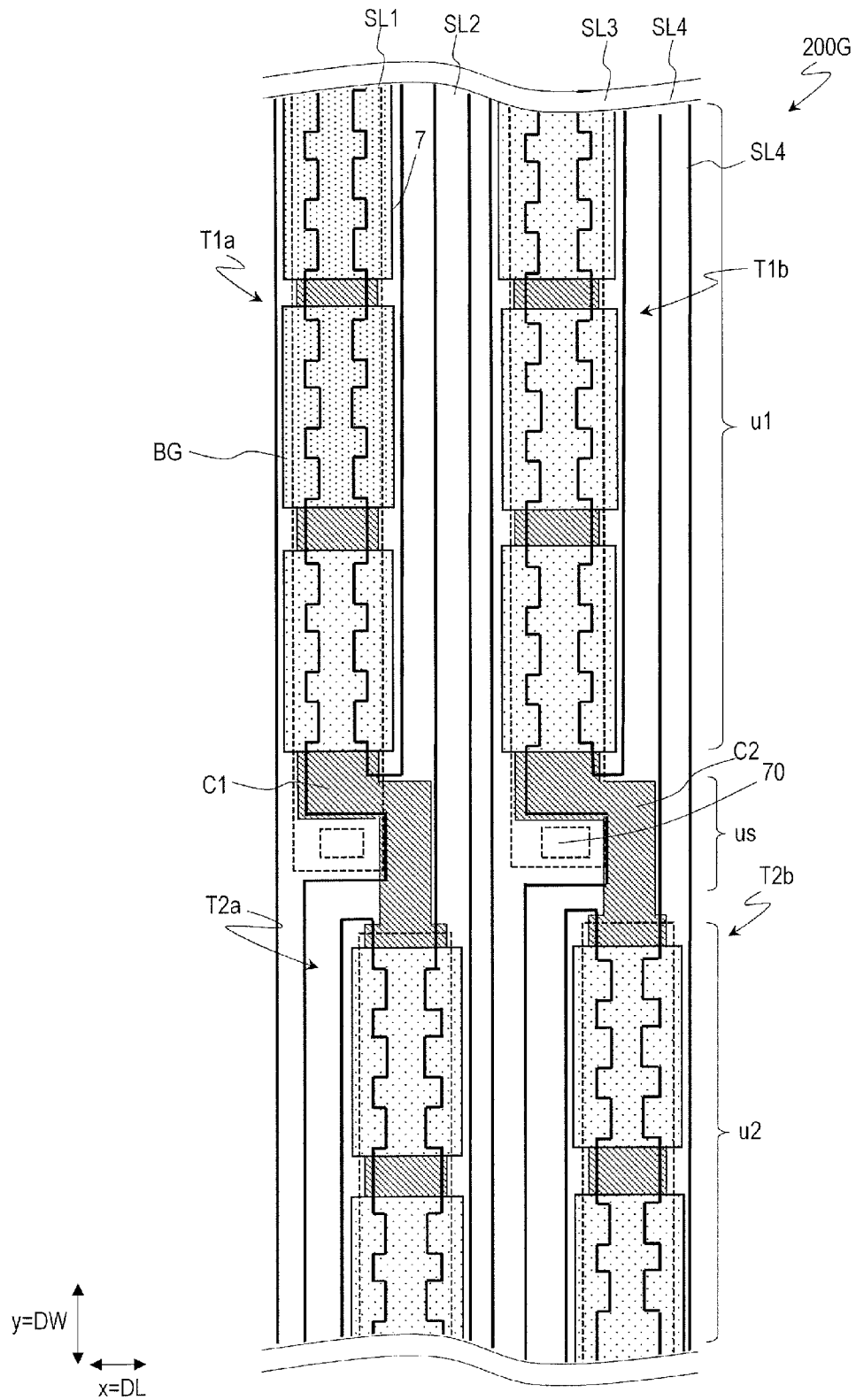
[図20]



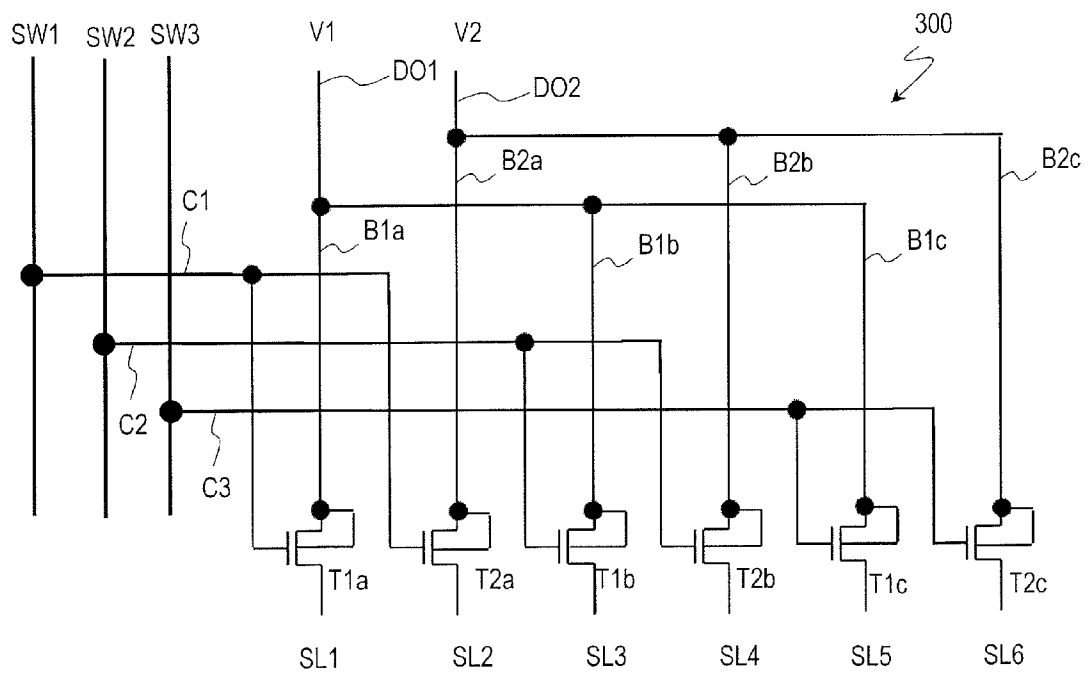
[図21]



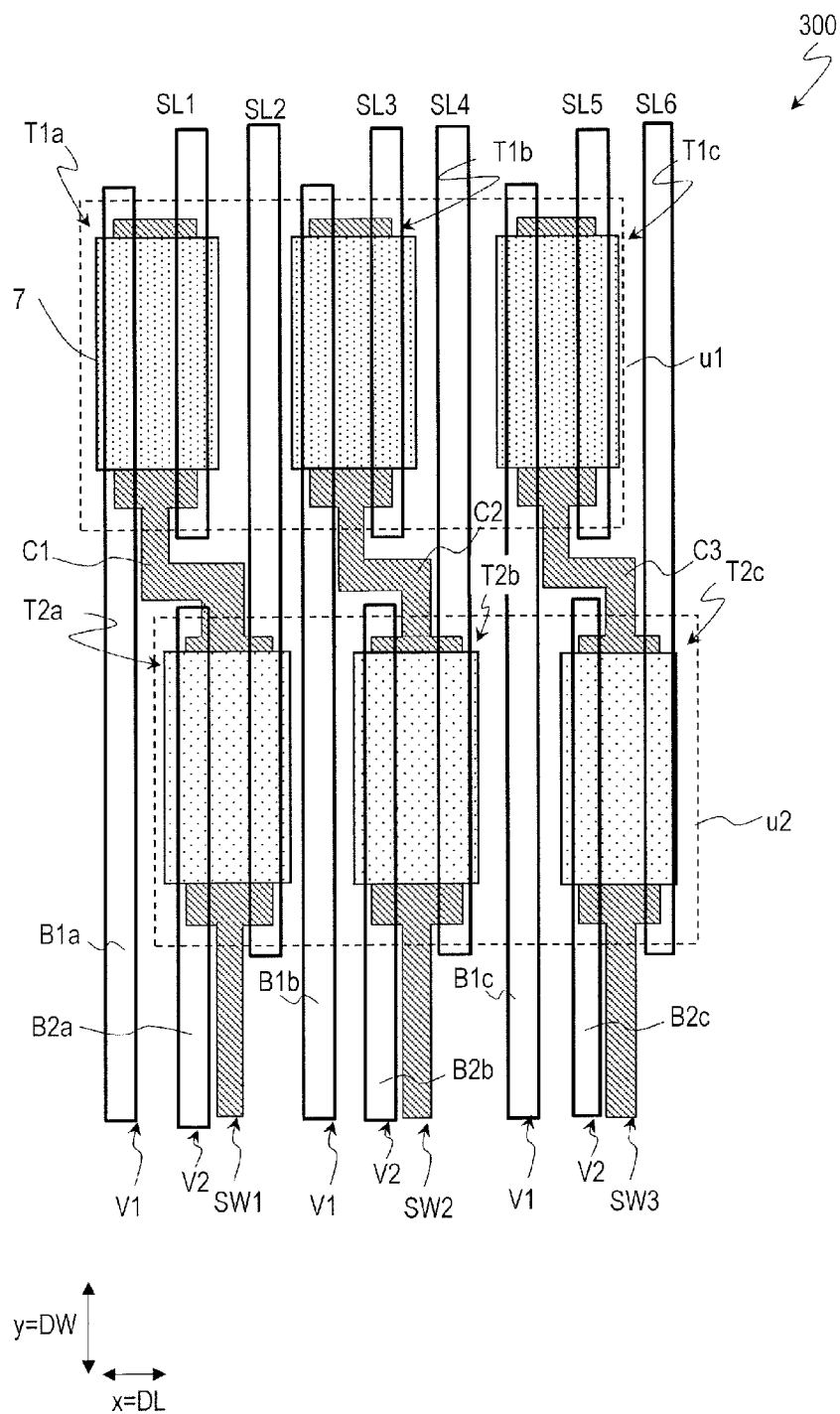
[図22]



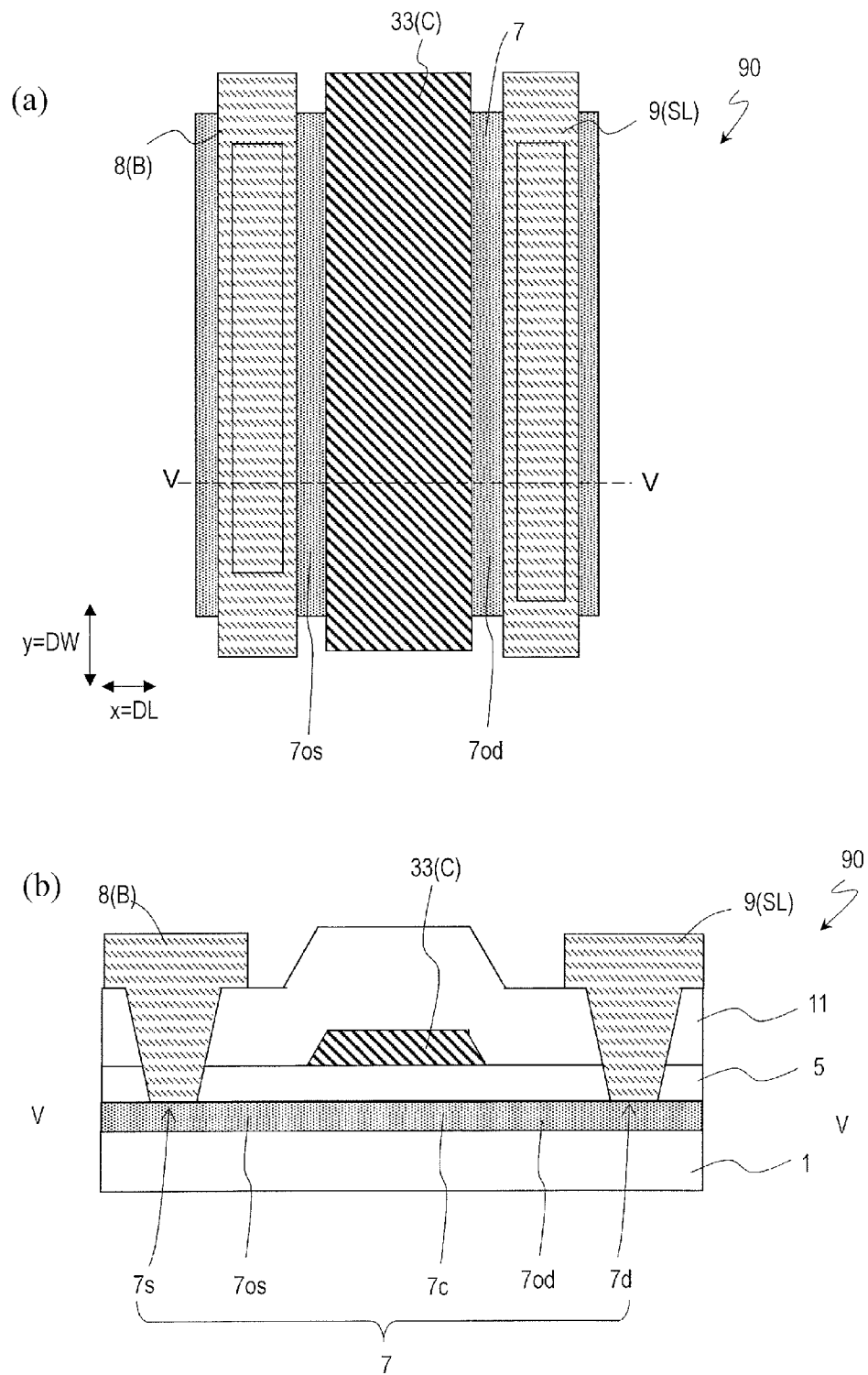
[図23]



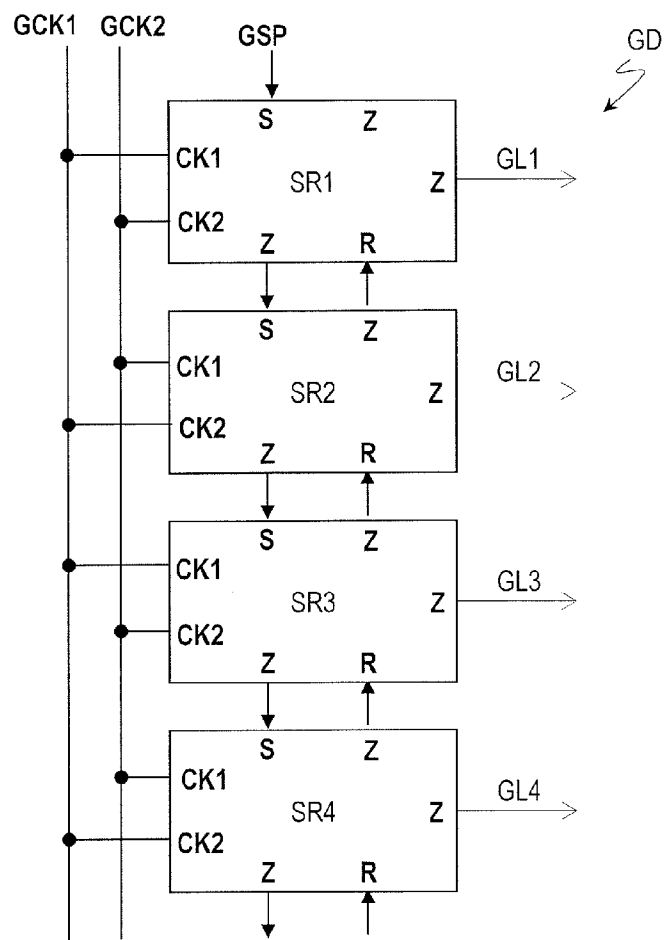
[図24]



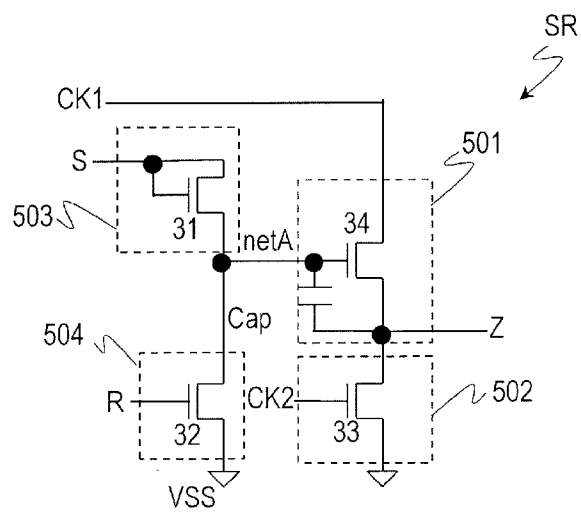
[図26]



[図27]



[図28]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/015341

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/786 (2006.01)i, G02F1/1368 (2006.01)i, G09F9/30 (2006.01)i,
H01L21/3205 (2006.01)i, H01L21/768 (2006.01)i, H01L23/522 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, G02F1/1368, G09F9/30, H01L21/3205, H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-110397 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 June 2013, paragraphs [0025]-[0054], [0176]-[0257], fig. 1, 5-7 & JP 2017-73557 A & US 2013/0099233 A1, paragraphs [0041]-[0069], [0191]-[0272], fig. 1A-1D, 5A-7B & US 2014/0327000 A1 & CN 103065969 A & KR 10-2013-0045174 A & TW 201324624 A & TW 201717286 A & CN 107507805 A	1, 20, 21 2-7, 13, 15, 16 8-12, 14, 17-19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

08 May 2018 (08.05.2018)

Date of mailing of the international search report

22 May 2018 (22.05.2018)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/015341

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-233882 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 November 2011, paragraphs [0027]-[0045], [0119]-[0122], fig. 1, 2, 5 & JP 2016-12731 A & US 2011/0248266 A1, paragraphs [0035]-[0053], [0128]-[0131], fig. 1A-2A, 5A, 5B	2-7, 13, 15, 16
Y	WO 2014/112459 A1 (SHARP CORP.) 24 July 2014, paragraphs [0019]-[0045], [0058]-[0071], fig. 1-3, 5 & US 2015/0356940 A1, paragraphs [0027]-[0061], [0077]-[0094], fig. 1-3, 5	6, 7, 13, 15, 16
A	WO 2013/018597 A1 (SHARP CORP.) 07 February 2013, entire text, all drawings & US 2013/0314390 A1 & EP 2741280 A1 & CN 103250202 A & KR 10-2013-0080053 A & TW 201314651 A	1-21
A	JP 2007-206392 A (EPSON IMAGING DEVICES CORP.) 16 August 2007, entire text, all drawings & US 2007/0176869 A1	1-21
A	JP 6-138851 A (NEC CORP.) 20 May 1994, entire text, all drawings (Family: none)	1-21

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/786, G02F1/1368, G09F9/30, H01L21/3205, H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2013-110397 A (株式会社半導体エネルギー研究所) 2013.06.06, 段落[0025]-[0054], [0176]-[0257], 図 1, 5-7 & JP 2017-73557 A & US 2013/0099233 A1, 段落[0041]-[0069], [0191]-[0272], 図 1A-1D, 5A-7B & US 2014/0327000 A1 & CN 103065969 A & KR 10-2013-0045174 A & TW 201324624 A & TW 201717286 A & CN 107507805 A	1, 20, 21 2-7, 13, 15, 16 8-12, 14, 17-19

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

08.05.2018

国際調査報告の発送日

22.05.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-233882 A (株式会社半導体エネルギー研究所) 2011.11.17, 段落[0027]-[0045], [0119]-[0122], 図 1, 2, 5 & JP 2016-12731 A & US 2011/0248266 A1, 段落[0035]-[0053], [0128] -[0131], 図 1A-2A, 5A, 5B	2-7, 13, 15, 16
Y	WO 2014/112459 A1 (シャープ株式会社) 2014.07.24, 段落[0019]-[0045], [0058]-[0071], 図 1-3, 5 & US 2015/0356940 A1, 段落[0027]-[0061], [0077]-[0094], 図 1-3, 5	6, 7, 13, 15, 16
A	WO 2013/018597 A1 (シャープ株式会社) 2013.02.07, 全文, 全図 & US 2013/0314390 A1 & EP 2741280 A1 & CN 103250202 A & KR 10-2013-0080053 A & TW 201314651 A	1-21
A	JP 2007-206392 A (エプソンイメージングデバイス株式会社) 2007.08.16, 全文, 全図 & US 2007/0176869 A1	1-21
A	JP 6-138851 A (日本電気株式会社) 1994.05.20, 全文, 全図 (ファミリーなし)	1-21