



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0123242
(43) 공개일자 2017년11월07일

(51) 국제특허분류(Int. Cl.)

H01L 21/78 (2006.01) *H01L 21/268* (2006.01)
H01L 21/52 (2006.01) *H01L 23/00* (2006.01)
H01L 23/12 (2006.01) *H01L 23/522* (2006.01)

(52) CPC특허분류

H01L 21/78 (2013.01)
H01L 21/268 (2013.01)

(21) 출원번호 10-2017-0049580

(22) 출원일자 2017년04월18일

심사청구일자 없음

(30) 우선권주장

JP-P-2016-090335 2016년04월28일 일본(JP)

(71) 출원인

가부시키가이샤 제이디바이스
일본국 오이타켄 우스키시 후쿠라 1913-2

(72) 발명자

마루타니, 히사카즈

일본국 9290101 이시카와현 노미시 아카이마치 에
이치에이86 가부시키가이샤 제이디바이스 내
카이, 미노루

일본국 9290101 이시카와현 노미시 아카이마치 에
이치에이86 가부시키가이샤 제이디바이스 내
키타노, 카즈히코

일본국 9290101 이시카와현 노미시 아카이마치 에
이치에이86 가부시키가이샤 제이디바이스 내

(74) 대리인

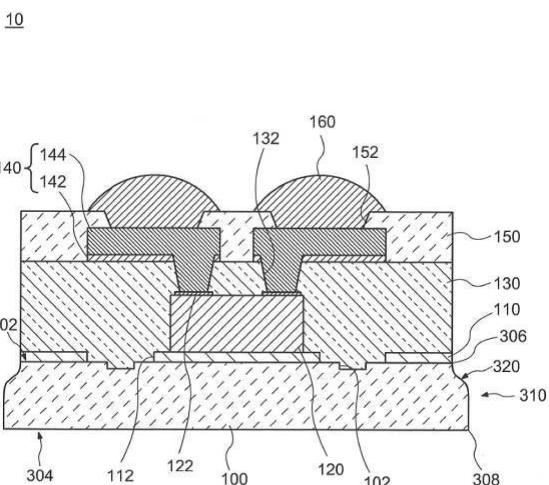
김정훈

전체 청구항 수 : 총 18 항

(54) 발명의 명칭 반도체 패키지 및 반도체 패키지의 제조 방법

(57) 요 약

메인더넌스 빙도가 저감 된 반도체 패키지의 제조 방법을 제공하는 것이다. 반도체 패키지의 제조 방법은, 기재에 복수의 반도체 장치를 배치하고, 복수의 반도체 장치를 덮는 수지 절연층을 형성하고, 복수의 반도체 장치의 각각을 둘러싸는 도량을 수지 절연층에 형성하고, 도량에 대응하는 영역에 있어서, 기재에 레이저를 조사하는 것으로 복수의 반도체 장치의 각각을 분리한다. 도량은 기재에 이르고 있을 수 있고, 도량을 형성할 때에, 도량이 형성되는 위치에 대응하여 기재에 오목부를 형성할 수도 있다.

대 표 도 - 도1

(52) CPC특허분류

H01L 21/52 (2013.01)

H01L 23/12 (2013.01)

H01L 23/522 (2013.01)

H01L 24/27 (2013.01)

H01L 24/28 (2013.01)

명세서

청구범위

청구항 1

기재에 복수의 반도체 장치를 배치하고,
상기 복수의 반도체 장치를 덮는 수지 절연층을 형성하고,
상기 복수의 반도체 장치의 각각을 둘러싸고, 상기 기재에 이르는 도랑을 상기 수지 절연층에 형성하고,
상기 도랑에 대응하는 영역에 있어서, 상기 기재에 레이저를 조사하는 것으로 상기 복수의 반도체 장치의 각각을 분리하는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 2

제1항에 있어서,
상기 도랑을 형성할 때에, 상기 도랑의 아래의 상기 기재에 오목부를 형성하는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 3

제1항에 있어서,
상기 레이저는, 상기 기재의 상기 수지 절연층이 형성된 측과는 반대측으로부터 상기 기재에 조사되는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 4

제1항에 있어서,
상기 레이저는, 상기 도랑의 폭보다 좁은 영역에 조사되는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 5

제1항에 있어서,
상기 도랑의 형성은, 다이싱 블레이드에 의해서 수행되는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 6

제2항에 있어서,
상기 레이저는, 상기 기재의 상기 수지 절연층이 형성된 측과는 반대측으로부터 상기 기재에 조사되는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 7

제6항에 있어서,
상기 레이저는, 상기 도랑의 폭보다 좁은 영역에 조사되는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 8

제7항에 있어서,
상기 도랑의 형성은, 다이싱 블레이드에 의해서 수행되는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 9

제3항에 있어서,

상기 레이저는, 상기 도량의 폭보다 좁은 영역에 조사되는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 10

제9항에 있어서,

상기 도량의 형성은, 다이싱 블레이드에 의해서 수행되는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 11

제4항에 있어서,

상기 도량의 형성은, 다이싱 블레이드에 의해서 수행되는 것을 특징으로 하는, 반도체 패키지의 제조 방법.

청구항 12

제1 면, 상기 제1 면의 반대측의 제2 면, 및 상기 제1 면의 제1 단부와 상기 제2 면의 제2 단부를 접속하는 측면을 가지는 기재와,

상기 제1 면측에 배치된 반도체 장치와,

상기 반도체 장치를 덮는 수지 절연층을 가지고,

상기 측면은, 상기 제1 단부로부터 상기 제2 단부를 향해 만곡하고 있는 것을 특징으로 하는, 반도체 패키지.

청구항 13

제12항에 있어서,

상기 제2 단부는, 상기 제1 단부보다 상기 기재의 외측으로 돌출하고 있는 것을 특징으로 하는, 기재의 반도체 패키지.

청구항 14

제13항에 있어서,

상기 측면은, 상기 제1 단부와 상기 제2 단부와의 사이에 변곡점을 가지는 만곡 형상인 것을 특징으로 하는, 반도체 패키지.

청구항 15

제14항에 있어서,

상기 제1 단부와 상기 수지 절연층의 단부는 연속하고 있는 것을 특징으로 하는, 반도체 패키지.

청구항 16

제12항에 있어서,

상기 측면은, 상기 제1 단부와 상기 제2 단부와의 사이에 변곡점을 가지는 만곡 형상인 것을 특징으로 하는, 반도체 패키지.

청구항 17

제16항에 있어서,

상기 제1 단부와 상기 수지 절연층의 단부는 연속하고 있는 것을 특징으로 하는, 반도체 패키지.

청구항 18

제12항에 있어서,

상기 제1 단부와 상기 수지 절연층의 단부는 연속하고 있는 것을 특징으로 하는, 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 패키지 및 반도체 패키지의 제조 방법에 관한 것이다. 특히, 본 발명은, 기재상에 있어서의 반도체 장치의 실장 기술에 관한 것이다. 또는, 본 발명은, 반도체 장치가 실장된 기재의 단부 형상에 관한 것이다.

배경 기술

[0002] 종래, 휴대 전화나 스마트 폰 등의 전자기기에 있어서, 지지 기판상에 IC 칩 등의 반도체 장치가 탑재된 반도체 패키지 구조가 이용되어 있다(예를 들면, 특개 2010-278334호 공보). 이러한 반도체 패키지로는, 일반적으로는, 지지기재상에 접착층을 개입시켜 IC 칩이나 메모리 등의 반도체 장치가 접착되어 그 반도체 장치를 봉지체(봉지 용 수지 재료)로 덮는 것으로 반도체 디바이스를 보호하는 구조가 채용되어 있다.

[0003] 반도체 장치에 이용하는 지지기재로서 프린트기재, 세라믹기재 등의 여러가지 기재가 이용된다. 특히, 근래에는, 금속기재를 이용한 반도체 패키지의 개발이 진행되어 있다. 금속기재상에 반도체 장치가 탑재되어 재 배선에 의해 편 아웃 되는 반도체 패키지는, 전자 월드성이거나 열특성이 뛰어나다고 하는 이점을 가지고, 신뢰성의 높은 반도체 패키지로서 주목받고 있다. 이러한 반도체 패키지는, 패키지 디자인의 자유도가 높다고 하는 이점도 가진다.

[0004] 지지기재상에 반도체 장치가 탑재된 구조의 경우, 대형의 지지기재상에 복수의 반도체 장치가 탑재되는 것으로, 동일 프로세스로 복수의 반도체 패키지를 제조하는 것이 가능하다. 이 경우, 지지기재상에 형성된 복수의 반도체 패키지는, 제조 프로세스의 종료 후에 개편화 되어 개개의 반도체 패키지가 완성한다. 이와 같이 지지기재상에 반도체 장치가 탑재되는 반도체 패키지 구조는, 양산성이 높다고 하는 이점도 가지고 있다.

발명의 내용

해결하려는 과제

[0005] 상기와 같이, 지지기재로서 대형의 금속기재를 이용한 양산을 고려했을 경우, 예를 들면 다이싱 블레이드 등의 기계적인 가공 방법에 의해서, 해당 금속기재상에 형성된 복수의 반도체 패키지를 개개의 반도체 패키지에 분단 할 필요가 있다. 반도체 패키지의 분단 시에 다이싱 블레이드로 금속기재 마다 가공하면, 다이싱 블레이드가 마모해, 단기간으로 교환하지 않으면 안되게 되어 버린다.

[0006] 본 발명은, 그러한 과제를 고려한 것으로, 메인더너스 빙도가 저감된 반도체 패키지의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법은, 기재에 복수의 반도체 장치를 배치하고, 복수의 반도체 장치를 덮는 수지 절연층을 형성하고, 복수의 반도체 장치의 각각을 둘러싸는 도량을 수지 절연층에 형성하고, 도량에 대응하는 영역에 있어서, 기재에 레이저를 조사하는 것으로 복수의 반도체 장치의 각각을 분리한다.

[0008] 또한, 도량은, 기재에 이르고 있을 수 있다.

[0009] 또한, 도량을 형성할 때에, 도량의 아래의 기재에 오목부를 형성할 수도 있다.

[0010] 또한, 레이저는, 기재의 수지 절연층이 형성된 측면을 반대측으로부터 기재에 조사될 수 있다.

[0011] 또한, 레이저는, 도량의 폭보다 좁은 영역에 조사될 수 있다.

[0012] 또한, 도량의 형성은, 다이싱 블레이드에 의해서 수행될 수 있다.

[0013] 본 발명의 일 실시 형태와 관련되는 반도체 패키지는, 제1 면, 제1 면의 반대측의 제2 면, 및 제1 면의 제1 단부와 제2 면의 제2 단부를 접속하는 측면을 가지는 기재와, 제1 면측에 배치된 반도체 장치와, 반도체 장치를 덮는 수지 절연층을 가지고, 측면은, 제1 단부로부터 제2 단부를 향해 만곡하고 있다.

[0014] 또한, 제2 단부는, 제1 단부보다 기재의 외측으로 돌출하고 있을 수 있다.

[0015] 또한, 측면은, 제1 단부와 제2 단부와의 사이에 변곡점을 가지는 만곡 형상일 수 있다.

[0016] 또한, 제1 단부와 수지 절연층의 단부는 연속하고 있을 수 있다.

발명의 효과

[0017] 본 발명과 관련되는 반도체 패키지의 제조 방법에 의하면, 메인더너스 빙도가 저감된 반도체 패키지의 제조 방법을 제공할 수 있다.

도면의 간단한 설명

[0018] 도 1은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 단면 모식도이며,

도 2는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재에 얼라이먼트 마커를 형성하는 공정을 나타내는 도면이며,

도 3은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재에 접착층을 형성하는 공정을 나타내는 도면이며,

도 4는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재의 이면 및 측면을 조화하는 공정을 나타내는 도면이며,

도 5는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 접착층의 일부를 제거하는 공정을 나타내는 도면이며,

도 6은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재상에 반도체 장치를 배치하는 공정을 나타내는 도면이며,

도 7은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층을 형성하는 공정을 나타내는 도면이며,

도 8은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층상에 도전층을 형성하는 공정을 나타내는 도면이며,

도 9는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 도전층의 표면을 조화하는 공정을 나타내는 도면이며,

도 10은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층에 개구부를 형성하는 공정을 나타내는 도면이며,

도 11은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 도전층의 표면의 조화된 영역을 제거해, 개구 저부의 잔재를 제거하는 공정을 나타내는 도면이며,

도 12는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 무전해 도금법에 따라 도전층을 형성하는 공정을 나타내는 도면이며,

도 13은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 감광성 포토레지스트를 형성하는 공정을 나타내는 도면이며,

도 14는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 포토리소그래피에 의해서 감광성 포토레지스트의 일부를 제거하는 공정을 나타내는 도면이며,

도 15는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 전해 도금법에 따라 도전층을 형성하는 공정을 나타내는 도면이며,

도 16은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 감광성 포토레지스트를 제거하는 공정을 나타내는 도면이며,

도 17은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 도전층의 일부를 제거해 배선을 형성하는 공정을 나타내는 도면이며,

도 18은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 배선을 덮는 수지 절연층을 형성하는 공정을 나타내는 도면이며,

도 19는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층에 배선을 노출하는 개구부를 형성하는 공정을 나타내는 도면이며,

도 20은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 노출된 배선에 대응하는 위치에 솔더 볼을 배치하는 공정을 나타내는 도면이며,

도 21은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 솔더 볼을 리플로우 하는 공정을 나타내는 도면이며,

도 22는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층에 지지기재에 이르는 도랑을 형성하는 공정을 나타내는 도면이며,

도 23은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재를 절단하여 반도체 패키지를 개편화하는 공정을 나타내는 도면이며,

도 24는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 단면 모식도이며,

도 25는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재를 준비하는 공정을 나타내는 도면이며,

도 26은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조방법에 있어서, 지지기재에 접착층을 형성하는 공정을 나타내는 도면이며,

도 27은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재의 이면 및 측면을 조화하는 공정을 나타내는 도면이며,

도 28은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 접착층에 얼라이먼트 마커를 형성하는 공정을 나타내는 도면이며,

도 29는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재상에 반도체 장치를 배치하는 공정을 나타내는 도면이며,

도 30은, 본 발명의 하나의 실시예에 있어서의 지지기재의 측면 형상과 그 비교예에 있어서의 지지 기재의 측면 형상을 비교하는 광학 현미경상을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 구조 및 그 제조 방법에 대해, 도면을 참조하면서 상세하게 설명한다. 이하에 나타내는 실시 형태는 본 발명의 실시 형태의 일례이며, 본 발명은 이러한 실시 형태로 한정하여 해석되는 것은 아니다. 본 실시 형태에서 참조하는 도면에 있어서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호 또는 유사한 부호를 교부하고, 그 반복의 설명은 생략하는 경우가 있다. 도면의 치수 비율은 설명의 형편상 실제의 비율과는 다른 경우나, 구성의 일부가 도면으로부터 생략되는 경우가 있다. 설명의 편의 상, 상방 또는 하방이라고 하는 어구를 이용하여 설명하지만, 예를 들면, 제1 부재와 제2 부재 와의 상하 관계가 도시와 거꾸로 되도록 배치될 수도 있다. 이하의 설명에서 기판의 제1 면 및 제2 면은 기판의 특정한 면을 가리키는 것이 아니고, 기판의 표면 방향 또는 이면 방향을 특정하기 위한 것으로, 즉, 기판에 대한 상하 방향을 특정하기 위한 명칭이다.

[0020] <실시 형태 1>

[0021] 본 발명의 실시 형태 1과 관련되는 반도체 패키지의 개요에 대해서, 도 1을 참조하면서 상세하게 설명한다. 도 1은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 단면 모식도이다.

[0022] (반도체 패키지 10의 구조)

[0023] 도 1에서 나타낸 것처럼, 반도체 패키지 10은, 지지기재 100, 접착층 110, 반도체 장치 120, 제1 수지 절연층 130, 배선 140, 제2 수지 절연층 150, 및 솔더 볼 160을 가진다.

[0024] 지지기재 100은, 반도체 장치 120이 배치된 측의 제1 면 302, 제1 면의 반대측의 제2 면 304, 및 제1 면 302과

제2 면 304의 사이의 측면 310을 가진다. 제1 면 302는 그 단부에 제1 단부 306을 가지고, 제2 면 304는 그 단부에 제2 단부 308을 가진다. 측면 310은 제1 단부 306과 제2 단부 308을 접속하는 면이며, 제1 단부 306으로부터 제2 단부 308을 향해 만곡하고 있다.

[0025] 제2 단부 308은 제1 단부 306보다 지지기재 100의 외측으로 돌출하고 있다. 상기와 같이, 측면 310은 제1 단부 306으로부터 제2 단부 308을 향해 만곡하고 있고, 도 1에서 나타낸 것처럼, 측면 310이 제1 단부 306과 제2 단부 308의 사이에 변곡점 320을 가지는 만곡 형상이다. 즉, 측면 310은, 변곡점 320보다 제2 면 304 측에 있어서 지지기재 100의 외측을 향해 볼록한 형상을 가지고, 변곡점 320보다 제1 면 302 측에 있어서 지지기재 100의 내측을 향해 오목한 형상을 가지고 있다. 제1 단부 306과 제1 면 302 상에 배치된 접착층 110의 단부는 연속하고 있다. 제1 단부 306에 대응하는 위치에 접착층 110이 배치되지 않은 경우에는, 제1 단부 306와 제1 수지 절연층 130의 단부가 연속하고 있을 수 있다.

[0026] 제1 면 302에는, 지지기재 100의 일부가 패인 형상의 얼라이먼트 마커 102가 마련되어 있다. 접착층 110은 지지기재 100의 제1 면 302에 배치되어 있다. 접착층 110에는, 얼라이먼트 마커 102를 노출하도록 개구되어 있다. 접착층 110은 얼라이먼트 마커 102보다 넓은 영역에서 개구되어 있다. 얼라이먼트 마커 102 및 그 주변의 지지기재 100의 제1 면 302는 그 개구에 의해서 노출되어 있다. 반도체 장치 120은, 접착층 110 상에 배치되어 있다. 반도체 장치 120의 상부에는, 반도체 장치 120에 포함되는 전자 회로에 접속된 외부 단자 122가 마련되어 있다. 도 1에서는 접착층 110이 단층인 구조를 예시했지만, 이 구조로 한정되지 않는다. 예를 들면, 접착층 110은 복수층으로 있을 수 있다.

[0027] 제1 수지 절연층 130은 반도체 장치 120을 덮도록 지지기재 100 상에 배치되어 있다. 제1 수지 절연층 130에는 개구부 132가 마련되어 있다. 개구부 132는 외부 단자 122에 이르고 있다. 다시 말해, 개구부 132는 외부 단자 122를 노출하도록 마련되어 있다.

[0028] 배선 140은 제1 도전층 142 및 제2 도전층 144를 가진다. 제1 도전층 142는 제1 수지 절연층 130의 표면에 배치되어 있다. 제2 도전층 144는 제1 도전층 142 상 및 개구부 132 내부에 배치되어 있고, 외부 단자 122에 접속되어 있다. 도 1에서는, 제1 도전층 142는 제1 수지 절연층 130의 표면에만 배치되어 있고, 개구부 132의 내부에는 전혀 배치되지 않은 구조를 예시했지만, 이 구조로 한정되지 않는다. 예를 들면, 제1 도전층 142의 일부가 개구부 132 내부에 배치되어 있을 수 있다. 제1 도전층 142 및 제2 도전층 144의 각각은, 도 1에서 나타낸 것처럼 단층일 수도 있고, 제1 도전층 142 및 제2 도전층의 한쪽 또는 양쪽 모두가 복수층으로 있을 수 있다.

[0029] 제2 수지 절연층 150은 배선 140을 덮도록 제1 수지 절연층 130 상에 배치되어 있다. 제2 수지 절연층 150에는 개구부 152가 마련되어 있다. 개구부 152는 배선 140에 이르고 있다. 다시 말해, 개구부 152는 배선 140을 노출하도록 마련되어 있다.

[0030] 솔더 볼 160은 개구부 152 내부 및 제2 수지 절연층 150의 상면에 배치되어 있어 배선 140에 접속되어 있다. 솔더 볼 160의 상면은 제2 수지 절연층 150의 상면에서 상방으로 돌출하고 있다. 솔더 볼 160의 돌출부는 위에 볼록한 만곡 형상을 가지고 있다. 솔더 볼 160의 만곡 형상은 단면에서 볼 때 원호일 수 있고 포물선일 수도 있다.

[0031] (반도체 패키지 10의 각 부재의 재질)

[0032] 도 1에서 나타내는 반도체 패키지 10에 포함되는 각 부재(각층)의 재료에 대해 상세하게 설명한다..

[0033] 지지기재 100으로서는, 금속기재를 이용할 수 있다. 금속기재로서는, 스테인리스(SUS) 기재, 알루미늄(AI) 기재, 티탄(Ti) 기재, 구리(Cu) 등의 금속재료를 이용할 수 있다. 지지기재 100으로서 금속기재 외에 실리콘 기판, 탄화 실리콘 기판, 화합물 반도체 기판 등의 반도체기재를 이용할 수 있다. SUS기재는 열팽창율이 낮고, 저가격이기 때문에, 지지기재 100으로서 SUS기재를 이용하는 것이 바람직하다.

[0034] 접착층 110으로서는, 에폭시계 수지 또는 아크릴계 수지를 포함한 접착제를 이용할 수 있다.

[0035] 반도체 장치 120으로서는, 중앙연산 처리장치(Central Processing Unit; CPU), 메모리, 마이크로 전기 기계 시스템(Micro Electro Mechanical Systems; MEMS), 전력용 반도체소자(파워 디바이스) 등을 이용할 수 있다.

[0036] 제1 수지 절연층 130 및 제2 수지 절연층 150으로서는, 폴리이미드, 에폭시 수지, 폴리이미드 수지, 벤조시클로부텐 수지, 폴리아미드, 폐놀 수지, 실리콘 수지, 불소 수지, 액정 폴리머, 폴리아미드이미드, 폴리벤조옥사졸, 시아네이트 수지, 아라미드, 폴리올레핀, 폴리에스테르, BT레진, FR-4, FR-5, 폴리아세탈, 폴리부틸렌 테레프탈레이트, 신디오택틱 · 폴리스티렌, 폴리페닐렌 설파이드, 폴리에테르에테르케톤, 폴리에테르나트릴, 폴리카보네

이트, 폴리페닐렌에테르폴리술폰, 폴리에테르술폰, 폴리아릴레이트, 폴리에테르이미드 등을 이용할 수 있다. 에폭시계 수지는 전기 특성 및 가공 특성이 뛰어나기 때문에, 제1 수지 절연층 130 및 제2 수지 절연층 150으로서 에폭시계 수지를 이용하는 것이 바람직하다.

[0037] 본 실시 형태에서 이용되는 제1 수지 절연층 130에는 필러가 포함되어 있다. 필러로서는, 유리, 탈크, 마이카, 실리카, 알루미나 등의 무기 필러가 이용될 수 있다. 필러로서 불소 수지 필러 등의 유기 필러가 이용될 수도 있다. 다만, 제1 수지 절연층 130이 반드시 필러를 포함한 수지인 것을 한정하는 것은 아니다. 본 실시 형태에서는, 제2 수지 절연층 150은 필러를 포함하지 않지만, 제2 수지 절연층 150에 필러가 포함되어 있을 수도 있다.

[0038] 제1 도전층 142 및 제2 도전층 144로서는, 구리(Cu), 금(Au), 은(Ag), 백금(Pt), 로듐(Rh), 주석(Sn), 알루미늄(Al), 니켈(Ni), 팔라듐(Pd), 크롬(Cr) 등의 금속 또는 이것들을 이용한 합금 등에서 선택할 수 있다. 제1 도전층 142과 제2 도전층 144는 같은 재료를 이용할 수도 있고, 다른 재료를 이용할 수도 있다.

[0039] 솔더 볼 160으로서는, 예를 들면 Sn에 소량의 Ag, Cu, Ni, 비스머스(Bi), 또는 아연(Zn)을 첨가한 Sn합금으로 형성된 구 형상의 물체를 이용할 수 있다. 솔더 볼 이외에도 일반적인 도전성 입자를 사용할 수 있다. 예를 들면, 도전성 입자로서 입자 형상의 수지의 주위에 도전성의 막이 형성된 것을 사용할 수 있다. 솔더 볼 이외에, 솔더 페이스트를 이용할 수 있다. 솔더 페이스트로서는, Sn, Ag, Cu, Ni, Bi, 인(P), 게르마늄(Ge), 인듐(In), 안티몬(Sb), 코발트(Co), 납(Pb)을 이용할 수 있다.

[0040] (반도체 패키지 10의 제조 방법)

[0041] 도 2 내지 도 23을 이용하여, 본 발명의 실시 형태 1과 관련되는 반도체 패키지 10의 제조 방법을 설명한다. 반도체 패키지 10은 대형의 금속기재상에 복수 마련되어 마지막으로 각각의 반도체 패키지 10로 개편화되지만, 이하의 설명에서는 복수의 반도체 패키지 10 중 하나를 대표적으로 예시한다. 도 2 내지 도 23에 있어서, 도 1에서 나타내는 요소와 같은 요소에는 동일한 부호를 교부했다. 이하의 설명에서는, 지지기재 100으로서 SUS기재, 제1 수지 절연층 130으로서 에폭시계 수지, 제1 도전층 142 및 제2 도전층 144로서 Cu, 솔더 볼 160으로서 상기 Sn합금을 사용하여 반도체 패키지를 제작하는 제조 방법에 대해 설명한다.

[0042] 도 2는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재에 얼라이먼트 마커를 형성하는 공정을 나타내는 도면이다. 얼라이먼트 마커 102는, 지지기재 100의 제1 면 302에 포토리소그래피 및 에칭에 의해서 형성된다. 얼라이먼트 마커 102의 위치 및 평면 형상은 목적에 따라 적당히 결정할 수 있다. 얼라이먼트 마커 102는, 광학 현미경 등으로 지지기재 100을 상면측으로부터 관찰했을 때에, 시인할 수 있는 정도로 단차가 마련되어 있을 수 있다.

[0043] 도 3은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재에 접착층을 형성하는 공정을 나타내는 도면이다. 얼라이먼트 마커 102가 형성된 지지기재 100의 제1 면 302에 접착층 110을 형성한다. 접착층 110으로서 시트 모양의 접착층을 붙인다. 접착층 110으로서 접착층 재료가 용해된 용매를 도포법에 따라 형성할 수도 있다. 도 3에서는, 얼라이먼트 마커 102의 오목부가 공동으로 되고 있으나, 얼라이먼트 마커 102가 형성된 영역의 접착층 110은 후의 공정으로 제거되므로, 이 공정에 있어서 접착층 110이 얼라이먼트 마커 102의 오목부에 메워져 있을 수 있다.

[0044] 도 4는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재의 이면 및 측면을 조화하는 공정을 나타내는 도면이다. 후의 공정에서 무전해 도금법에 따라 형성되는 도금층이 박리하는 것을 억제하는 목적으로, 지지기재 100의 제2 면 304 및 측면 310을 조화(또는 조면화)한다. 지지기재 100의 조화는, Cu를 포함한 약액(에천트)을 이용하는 것으로 실시할 수 있다. 도 4에 있어서, 조화 영역 104를 접선으로 나타내었다.

[0045] 지지기재 100의 조화에 대해서, 보다 상세하게 설명한다. 지지기재 100로 SUS기재를 이용하는 경우, SUS기재의 표면은 부도체화 되어 있다. 상기의 에천트에 포함되는 Cu이온은 SUS기재 중의 Fe, Cr, Ni의 적어도 1개로 치환된다. Cu이온과 Fe, Cr, Ni의 적어도 1개와의 치환에 의해서 SUS가 에칭된다. 그러나, SUS의 에칭은 국소적으로 진행하기 때문에, SUS는 불균일로 에칭된다. 따라서, 에칭 후의 SUS 표면의 요철이 커진다. 즉, 도 4에서 나타내는 상태로 에천트에 침지하는 것으로, SUS기재의 제2 면 304 및 측면 310을 동일 처리로 조화할 수 있다.

[0046] 여기에서는, 접착층 110을 붙인 후에 SUS기재의 조화를 실시하는 제조 방법을 예시했지만, 이 제조 방법으로 한정되지 않는다. 예를 들면, 접착층 110을 붙이기 전, 또는 얼라이먼트 마커 102를 형성하기 전에 조화를 실시할

수도 있다.

[0047] 도 5는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 접착층의 일부를 제거하는 공정을 나타내는 도면이다. 열라이먼트 마커 102를 보다 정밀도 높게 읽어내기 위해서, 열라이먼트 마커 102의 상방의 접착층 110을 제거하고 개구부 112를 형성한다. 접착층 110의 제거는 레이저 조사에 의한 승화 또는 절삭(ablation)에 의해서 실시할 수 있다. 개구부 112는, 포토리소그래피 및 에칭에 의해서 형성할 수도 있다. 개구부 112는 열라이먼트 마커 102를 확실히 노출하기 위해서 열라이먼트 마커 102보다 넓은 영역에 형성된다. 즉, 개구부 112는 지지기재 100의 제1 면 302를 노출한다. 다시 말해, 평면에서 볼 때에, 개구부 112의 바깥 틀은 열라이먼트 마커 102의 바깥 틀을 둘러싸도록 개구부 112가 형성된다.

[0048] 도 6은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재상에 반도체 장치를 배치하는 공정을 나타내는 도면이다. 상기와 같이 하여 노출된 열라이먼트 마커 102에 기반하여 위치 맞춤을 실시해, 상면에 외부 단자 122가 마련된 반도체 장치 120을 접착층 110을 개입시켜 지지기재 100에 배치한다. 실제로는, 1개의 지지기재 100에 대해서 복수의 반도체 장치 120을 형성하지만, 도 6에서는 복수의 반도체 장치 120 중 1개의 반도체 장치 120을 대표로 예시했다. 열라이먼트 마커 102의 판독은, 예를 들면, 광학 현미경, CCD 카메라, 전자현미경 등의 방법으로 실시할 수 있다. 이 방법에 의해서, 높은 열라이먼트 정밀도로 반도체 장치 120의 실장을 실현할 수 있다.

[0049] 도 7은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층을 형성하는 공정을 나타내는 도면이다. 제1 수지 절연층 130은, 절연성의 시트 모양 필름의 붙이기에 의해서 형성된다. 구체적으로는, 해당 시트 모양 필름을 반도체 장치 120이 실장된 지지기재 100에 붙인 후에, 가열 처리에 의해서 시트 모양 필름을 용융시킨다. 가압 처리에 의해서 용융한 시트 모양 필름을 열라이먼트 마커 102의 오목부에 매립한다. 이 가열 처리 및 가압 처리에 의해서 상기 시트 모양 필름으로부터, 도 7에서 나타내는 제1 수지 절연층 130을 얻는다. 제1 수지 절연층 130의 막두께는, 제1 수지 절연층 130이 반도체 장치 120을 덮도록 설정된다. 즉, 제1 수지 절연층 130의 막두께는 반도체 장치 120의 두께(높이)보다 두껍다. 제1 수지 절연층 130은, 반도체 장치 120, 접착층 110 등에 의해서 형성된 단자를 완화(평탄화)하기 때문에, 평탄화막으로 불리기도 한다.

[0050] 제1 수지 절연층 130은, 반도체 장치 120 및 외부 단자 122로 배선 140이 도통하는 것을 막는다. 즉, 반도체 장치 120 및 외부 단자 122와 배선 140과의 사이에는 갭이 마련되어 있다. 제1 수지 절연층 130이 반도체 장치 120 및 외부 단자 122의 적어도 상면 및 측면에서 배치되어 있으면, 제1 수지 절연층 130의 막두께는 반도체 장치 120의 두께보다 얇을 수 있다. 도 7의 설명에서는, 제1 수지 절연층 130을 시트 모양 필름의 붙이기에 의해서 형성하는 제조 방법을 예시했지만, 이 방법으로 한정되지 않는다. 예를 들면, 스펜 코트법, 딥법, 잉크젯법, 증착법 등이 다양한 방법으로 제1 수지 절연층 130을 형성할 수 있다.

[0051] 도 8은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층상에 도전층을 형성하는 공정을 나타내는 도면이다. 제1 수지 절연층 130의 상면에 도전성을 가지는 시트 모양의 필름을 붙인다. 이 도전성 필름은 제1 도전층 142의 일부이다. 여기에서는, 제1 도전층 142를 필름의 붙이기에 의해서 형성하는 제조 방법을 예시했지만, 이 방법으로 한정되지 않는다. 예를 들면, 제1 도전층 142는 도금법 또는 물리 증착법(Physical Vapor Deposition; PVD법)에 따라 형성될 수 있다. PVD법으로서는, 스퍼터링법, 진공 증착법, 전자빔 증착법, 및 분자선 에피택시법 등을 이용할 수 있다. 도전성을 가지는 수지 재료가 용해된 용매를 도포하는 것으로 제1 도전층 142를 형성할 수도 있다.

[0052] 도 9는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 도전층의 표면을 조화하는 공정을 나타내는 도면이다. 도 9에서 나타낸 것처럼, 제1 수지 절연층 130 상에 형성된 제1 도전층 142의 표면을 조화한다. 제1 도전층 142 표면의 조화는, 염화 제2철 약액을 이용한 에칭에 의해서 실시할 수 있다. 도 9에 있어서, 조화 영역 146을 점선으로 나타내었다.

[0053] 도 10은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층에 개구부를 형성하는 공정을 나타내는 도면이다. 도 10에서 나타낸 것처럼, 외부 단자 122에 대응하는 위치에 있어서, 제1 도전층 142 표면의 조화 영역 146에 대해서 레이저를 조사하는 것에 의해서 외부 단자 122를 노출하는 개구부 132를 형성한다. 개구부 132의 형성은, 제1 도전층 142 및 제1 수지 절연층 130에 대해서 일괄로 실시할 수 있다. 개구부 132를 형성하기 위한 레이저로서 CO₂ 레이저는, 개구부 132의 사이즈에 맞추어 스롯 직경 및 에너지량이 조정되어 여러 차례 펄스 조사된다. 제1 도전층 142의 표면에 조화 영역 146이 형성되어 있는 것으로, 조사된 레이저 광의 에너지를 효율적으로 제1 도전층 142에 흡수시킬 수 있다. 레이저

광은 외부 단자 122의 내측에 조사된다. 즉, 레이저 광은 외부 단자 122의 패턴을 빗나가지 않게 조사된다. 반도체 장치 120의 일부를 가공하고 싶은 경우는, 의도적으로 레이저 광의 일부가 외부 단자 122의 외측으로 넘어 가도록 조사할 수도 있다.

[0054] 도 10에서는, 개구된 제1 도전층 142의 측벽과 제1 수지 절연층 130의 측벽이 연속하고 있는 구조를 예시했지만, 이 구조로 한정되지 않는다. 예를 들면, 레이저 조사에 의해서 개구하는 경우, 제1 도전층 142에 비해 제1 수지 절연층 130이 지지기재 100의 평면 방향(개구경이 퍼지는 방향)으로 크게 후퇴하는 경우가 있다. 즉, 제1 도전층 142의 단부가 제1 수지 절연층 130의 단부보다 개구부 132의 내측 방향으로 돌출한 구조가 될 수 있다. 다시 말해, 제1 도전층 142가 내민 히사주 형상이 될 수 있다. 또한 다시 말해, 제1 도전층 142가 돌출한 히사시 형상이 될 수 있다. 또한 다시 말해, 개구부 132가 형성된 시점에 있어서, 제1 도전층 142의 일부의 아래쪽 면이 개구부 132의 내부에 노출될 수 있다. 그 때에, 돌출한 제1 도전층 142가 개구부 132의 내부에 있어서 외부 단자 122의 방향으로 굽곡한 형상이 될 수도 있다.

[0055] 도 11은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 도전층의 표면의 조화된 영역을 제거하고, 개구 저부의 잔재를 제거하는 공정을 나타내는 도면이다. 우선, 개구부 132를 형성한 후에 제1 도전층 142 표면의 조화 영역 146을 제거한다. 조화 영역 146의 제거는, 산처리에 의해서 실시할 수 있다. 조화 영역 146의 제거에 잊고, 개구부 132의 저부의 잔재(스미어)를 제거한다. 잔재의 제거(디스미어)는 플라스마 처리 및 약액 처리의 2 단계의 공정으로 수행된다.

[0056] 개구부 132의 저부의 잔재를 제거하는 방법에 대해 상세하게 설명한다. 우선, 개구부 132의 저부에 대해서 플라스마 처리를 실시한다. 플라스마 처리로서는, 불소(CF_4) 가스 및 산소(O_2) 가스를 포함하는 플라스마 처리를 이용할 수 있다. 플라스마 처리에 의해서, 주로 개구부 132의 형성시에 모두 제거할 수 없었던 제1 수지 절연층 130이 제거된다. 이 때, 개구부 132의 형성시에 발생한 제1 수지 절연층 130의 변질층을 제거할 수도 있다. 예를 들면, 개구부 132를 레이저 조사로 형성했을 경우, 레이저의 에너지에 의해서 변질한 제1 수지 절연층 130이 개구부 132의 저부에 남는 일이 있다. 상기와 같이 플라스마 처리를 실시하는 것으로, 상기의 변질층을 효율 좋게 제거할 수 있다.

[0057] 상기의 플라스마 처리에 이어서, 약액 처리를 실시한다. 약액 처리로서는, 과망간산나트륨 또는 과망간산칼륨을 이용할 수 있다. 약액 처리에 의해서, 상기의 플라스마 처리에 의해서 모두 제거할 수 없었던 잔재를 제거할 수 있다. 예를 들면, 제1 수지 절연층 130에 포함되어 상기의 플라스마 처리로는 제거할 수 없었던 필러를 제거할 수 있다. 과망간산나트륨 또는 과망간산칼륨은, 잔재를 에칭하기 위한 역할을 가지는 에칭액이다. 상기의 에칭액에 의한 처리 전에 제1 수지 절연층 130을 팽윤시키는 팽윤액을 이용할 수도 있다. 상기의 에칭액에 의한 처리의 뒤에 에칭액을 중화하는 중화액을 이용할 수도 있다.

[0058] 팽윤액을 이용하는 것으로, 수지환이 넓어지기 때문에 액의 젖는 성질이 높아진다. 이것에 의해서, 에칭되지 않는 영역이 생기게 되는 것을 억제할 수 있다. 중화액을 이용하는 것으로, 에칭액을 효율적으로 제거할 수 있기 때문에, 의도하지 않는 에칭의 진행을 억제할 수 있다. 예를 들면, 에칭액으로 알칼리성의 약액을 이용했을 경우, 알칼리성의 약액은 수세로는 제거하기 어렵기 때문에, 의도하지 않는 에칭이 진행되어 버리는 일이 있다. 이러한 경우여도, 에칭 후에 중화액을 이용하면, 의도하지 않는 에칭의 진행을 억제할 수 있다.

[0059] 팽윤액으로서는, 디에틸렌글리콜모노부틸에테르, 에틸렌글리콜 등의 유기용제를 이용할 수 있다. 중화액으로서는, 황산히드록실아민 등의 황산계의 약액을 이용할 수 있다.

[0060] 예를 들면 제1 수지 절연층 130에 무기 재료의 필러를 이용했을 경우, 필러는 플라스마 처리로 제거되지 못하고, 잔재가 되는 경우가 있다. 이러한 경우여도, 플라스마 처리의 뒤에 약액 처리를 실시하는 것으로, 필러에 기인하는 잔재를 제거할 수 있다.

[0061] 도 12는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 무전해 도금법에 따라 도전층을 형성하는 공정을 나타내는 도면이다. 무전해 도금법에 의해서, 상기의 디스미어 공정 후에 노출된 외부 단자 122에 접속되는 도금층 200(도전체)을 형성한다. 무전해 도금법은, 팔라듐(Pd) 콜로이드를 수지상에 흡착시키고 Cu를 포함한 약액 내에 침지시켜, Pd와 Cu를 치환하는 것으로 Cu를 석출시키는 방법이다. 조화 영역 146을 제거하고 나서 무전해 도금법에 따라 도금층 200을 형성하는 것으로, 제1 도전층 142에 대한 도금층 200의 밀착성을 향상시킬 수 있다.

[0062] 도 13은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 감광성 포토레지스트를 형성하는 공정을 나타내는 도면이다. 도 13에서 나타낸 것처럼, 도금층 200 상에 감광성의 포토레지스트 210을 형

성한다. 포토레지스트는 스픈 코트법 등의 도포법에 따라 형성된다. 포토레지스트 형성전에, 도금층 200과 포토레지스트 210과의 밀착성을 향상시키는 처리(HMDS 처리 등의 소수화 표면 처리)를 수행할 수 있다. 포토레지스트 210은, 감광된 영역이 현상액에 대해서 에칭되기 어렵게 되는 네거티브형을 이용할 수도 있고, 반대로 감광된 영역이 현상액에 대해서 에칭되는 포지티브형을 이용할 수도 있다.

[0063] 도 14는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 포토리소그래피에 의해서 감광성 포토레지스트의 일부를 제거하는 공정을 나타내는 도면이다. 도 14에서 나타낸 것처럼, 도포된 포토레지스트 210에 대해서 노광 및 현상을 실시하는 것으로, 도 1에 나타내는 배선 140을 형성하는 영역의 포토레지스트 210을 제거하고, 레지스트 패턴 220을 형성한다. 덧붙여 레지스트 패턴 220을 형성하는 노광을 실시할 때에, 지지기재 100에 형성된 얼라이먼트 마커 102를 이용하여 위치 맞춤을 실시한다.

[0064] 도 15는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 전해 도금법에 따라 도전층을 형성하는 공정을 나타내는 도면이다. 레지스트 패턴 220을 형성한 후, 무전해 도금법에 따라 형성된 도금층 200에 흐르게 하여 전해 도금법을 실시하고, 레지스트 패턴 220으로부터 노출하고 있는 도금층 200을 한층 더 성장시켜 후막화한 제2 도전층 144를 형성한다. 레지스트 패턴 220 하의 제1 도전층 142 및 도금층 200은, 전면을 에칭하는 것으로 제거되기 때문에, 후막화 된 제2 도전층 144도 막이 감소된다. 따라서, 상기의 막 감소의 양을 고려하여 후막화하는 제2 도전층 144의 양을 조정한다.

[0065] 도 16은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 감광성 포토레지스트를 제거하는 공정을 나타내는 도면이다. 도 16에서 나타낸 것처럼, 도금층 200을 후막화하여 제2 도전층 144를 형성한 후에, 레지스트 패턴 220을 구성하는 포토레지스트를 유기용매에 의해 제거한다. 포토레지스트의 제거에는, 유기용매를 이용하는 대신에, 산소 플라스마에 의한 애싱(Ashing)을 이용할 수도 있다. 포토레지스트를 제거하는 것으로, 제2 도전층 144가 형성된 후막영역 230 및 도금층 200 만이 형성된 박막 영역 240을 얻을 수 있다. 덧붙여 후막영역 230에서, 도금층 200 상에 전해 도금법에 따라 후막화 된 도금층이 형성되어 있기 때문에, 엄밀하게는 제2 도전층 144는 2층으로 형성되어 있지만, 여기에서는 그 2층을 구별하지 않고 도시했다.

[0066] 도 17은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 도전층의 일부를 제거하여 배선을 형성하는 공정을 나타내는 도면이다. 도 17에서 나타낸 것처럼, 레지스트 패턴 220에 의해서 덮여 후막화 되지 않았던 영역의 도금층 200 및 제1 도전층 142를 제거(에칭)하는 것으로, 각각의 배선 140을 전기적으로 분리한다. 도금층 200 및 제1 도전층 142의 에칭에 의해서, 후막영역 230의 제2 도전층 144의 표면도 에칭되어 박막화되기 때문에, 이 박막화의 영향을 고려하여 제2 도전층 144의 막두께를 설정하는 것이 바람직하다. 이 공정에 있어서의 에칭으로서는, 웨트 에칭이나 드라이 에칭을 사용할 수 있다. 도 17에서는, 1층의 배선 140을 형성하는 제조 방법을 예시했지만, 이 방법으로 한정되지 않고, 배선 140의 상방에 절연층 및 도전층을 적층시켜, 복수의 배선층이 적층된 다층 배선을 형성할 수도 있다. 그 때에, 배선층을 형성할 때마다 새롭게 얼라이먼트 마커를 형성하고, 상층의 배선층 형성 시의 위치 맞춤에 이용할 수 있다.

[0067] 도 18은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 배선을 덮는 수지 절연층을 형성하는 공정을 나타내는 도면이다. 제2 수지 절연층 150은 제1 수지 절연층 130과 같고, 절연성의 시트 모양 필름을 붙여 가열·가압 처리를 실시하는 것으로 형성된다. 제2 수지 절연층 150의 막두께는, 제2 수지 절연층 150이 배선 140을 덮도록 설정된다. 즉, 제2 수지 절연층 150의 막두께는 배선 140의 두께보다 두껍다. 제2 수지 절연층 150은, 배선 140 등에 의해서 형성된 단자를 완화(평탄화)하기 때문에, 평탄화막으로 불리기도 한다.

[0068] 제2 수지 절연층 150은, 배선 140과 솔더 볼 160이 도통하는 것을 막는다. 즉, 배선 140과 솔더 볼 160과의 사이에는 갑이 마련되어 있다. 제2 수지 절연층 150이 배선 140의 적어도 상면 및 측면에서 배치되어 있으면, 제2 수지 절연층 150의 막두께는 배선 140의 두께보다 얇을 수 있다. 도 18의 설명에서는, 제2 수지 절연층 150을 시트 모양 필름의 붙이기에 의해서 형성하는 제조 방법을 예시했지만, 이 방법으로 한정되지 않는다. 예를 들면, 스픈 코트법, 딥법, 잉크젯법, 증착법 등이 다양한 방법으로 제2 수지 절연층 150을 형성할 수 있다.

[0069] 도 19는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층에 배선을 노출하는 개구부를 형성하는 공정을 나타내는 도면이다. 도 19에서 나타낸 것처럼, 제2 수지 절연층 150에 배선 140을 노출하는 개구부 152를 형성한다. 개구부 152는 포토리소그래피 및 에칭에 의해서 형성될 수 있다. 제2 수지 절연층 150으로서 감광성 수지가 이용되었을 경우는, 개구부 152는 노광 및 현상에 의해서 형성될 수 있다. 제1 수지 절연층 130의 개구부 132에 대해서 수행된 디스미어 처리가 개구부 152에 대해서도 수행될 수 있다. 배선 140과 같은 공정으로 형성한 얼라이먼트 마커에 기반하여 위치 맞춤하는 것으로, 개구부 152를 형성할 수 있다.

- [0070] 도 20은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 노출된 배선에 대응하는 위치에 솔더 볼을 배치하는 공정을 나타내는 도면이다. 도 20에서 나타낸 것처럼, 개구부 152에 대해서 솔더 볼 160을 배치한다. 도 20에서는, 1개의 개구부 152에 대해서 1개의 솔더 볼 160이 배치된 제조 방법을 예시했지만, 이 방법으로 한정되지 않는다. 예를 들면, 1개의 개구부 152에 복수의 솔더 볼 160이 배치될 수 있다. 도 20에서는, 솔더 볼 160을 개구부 152에 배치한 단계에서, 솔더 볼 160이 배선 140에 접촉하고 있는 제조 방법을 예시했지만, 이 방법으로 한정되지 않는다. 예를 들면, 도 20에 나타내는 단계에 있어서, 솔더 볼 160이 배선 140에 접촉하고 있지 않을 수도 있다. 배선 140과 같은 공정으로 형성한 얼라이먼트 마커에 기반하여 위치 맞춤하는 것으로, 솔더 볼 160을 배치할 수 있다.
- [0071] 도 21은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 솔더 볼을 리플로우 하는 공정을 나타내는 도면이다. 도 20에서 나타내는 상태로 열처리를 실시하는 것으로, 솔더 볼 160을 리플로우 시킨다. 리플로우는 고체의 대상물의 적어도 일부를 액상화시키고 유동성을 갖게 하는 것으로, 대상물을 오목부의 내부에 흘려 넣는 것이다. 솔더 볼 160을 리플로우 하는 것으로, 개구부 152의 내부에서 노출된 배선 140의 상면의 전역에 있어서 솔더 볼 160과 배선 140을 접촉시킬 수 있다.
- [0072] 도 22는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 수지 절연층에 지지기재에 이르는 도량을 형성하는 공정을 나타내는 도면이다. 다이싱 블레이드(예를 들면, 다이아몬드 연마용 입자를 사용한 원형 치석)를 이용하고, 지지기재 100의 제1 면 302측으로부터 접착층 110, 제1 수지 절연층 130, 및 제2 수지 절연층 150에 제1 도량 250을 형성한다. 제1 도량 250은, 지지기재 100 상에 형성된 복수의 반도체 장치 120의 각각을 평면에서 볼 때 둘러싸도록 형성된다. 제1 도량 250은, 다이싱 블레이드를 고속 회전시켜, 순수한 물로 냉각·절삭 조각의 세척 흘려 보내기를 실시하면서 절단하는 것으로 형성된다. 도 22에서는, 제1 도량 250이 접착층 110, 제1 수지 절연층 130, 및 제2 수지 절연층 150에 형성되고, 한층 더 지지기재 100에 이르도록 다이싱되는 것에 의해서, 지지기재 100의 제1 면 302 부근에 오목부가 형성된다. 다만, 접착층 110의 일부, 또는 접착층 110 및 제1 수지 절연층 130의 일부를 남기도록 다이싱할 수도 있다. 즉, 지지기재 100에 다이싱 블레이드가 도달하지 않도록 제1 도량 250을 형성할 수도 있다.
- [0073] 제1 도량 250을 형성하는 다이싱은, 다이싱 블레이드를 1회만 통과시키는 것으로 수행된다. 그 때, 예를 들면, 고속 회전(40000 rpm)하는 다이싱 블레이드를 10 mm/sec의 속도로 이동시키면서 다이싱을 실시한다. 이용되는 다이싱 블레이드의 판두께는 0.15 mm이며, 거기에 따라 형성되는 도량의 폭은 0.15 mm이다. 지지기재 100의 제1 면 302에 형성되는 오목부의 깊이는 약 0.1 mm이다. 상기의 다이싱은, 다이싱 블레이드를 여러 차례 통과시키는 것으로 수행될 수도 있다.
- [0074] 도 23은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재를 절단하여 반도체 패키지를 개편화하는 공정을 나타내는 도면이다. 도 23에서 나타낸 것처럼, 지지기재 100의 제2 면 304측으로부터 레이저 조사하는 것으로 제1 도량 250에 대응하는 영역에 제2 도량 260을 형성한다. 이 레이저 조사에 의해서 반도체 패키지를 개편화한다. 지지기재 100에 조사하는 레이저로서는, IR파장의 고출력 레이저를 이용할 수 있다. 지지기재 100의 얼라이먼트 마커 102에 기반하여 위치 맞춤하는 것으로, 레이저 조사를 실시할 수 있다. 레이저는 제1 도량 250보다 좁은 영역에 대해서 조사된다.
- [0075] 반도체 패키지를 개편화하는 레이저 조사는, 레이저 빔을 1회만 통과시키는 것으로 수행된다. 그 때, 레이저 빔을 600 mm/sec의 속도로 이동(스캔)시키면서 레이저 조사와 실시한다. 지지기재 100의 제2 면 304 상에 있어서의 레이저 빔의 초점의 직경은 0.1 mmΦ이다. 이 초점직경에 의해서 형성되는 제2 도량 260의 폭은 0.07 mm이다.
- [0076] 상기와 같이, 레이저 조사에 의해서 제2 도량 260을 형성하면, 레이저 조사에 의해서 발생한 열에 의해서 지지기재 100이 부분적으로 용융되어 지지기재 100의 표면이 매끄럽게 된다. 제1 도량 250의 폭보다 작은 폭의 제2 도량 260을 레이저 조사에 의해서 형성하면, 제1 도량 250의 폭과 제2 도량 260의 폭의 차이에 기인한 단자는 매끄럽게 된다. 즉, 도 23에서 나타낸 것처럼, 제1 도량 250의 측벽과 제2 도량 260의 측벽은 만곡한 형상으로 연속한다. 다시 말해, 제1 면 302 부근의 제1 단부 306과 제2 단부 308의 사이에 변곡점이 형성된다.
- [0077] 여기에서는 지지기재 100의 제2 면 304 측으로부터 레이저 조사를 수행하는 제조 방법을 예시했지만, 이 방법으로 한정되지 않고, 제1 면 302측으로부터 제1 도량 250을 통과시켜 지지기재 100의 제1 면 302에 레이저 조사를 실시할 수도 있다. 레이저를 조사하는 영역이 제1 도량 250이 형성된 영역보다 좁은 제조 방법을 예시했지만, 이 방법으로 한정되지 않는다. 예를 들면, 레이저를 제1 도량 250이 형성된 영역과 같은 영역에 조사할 수

있고, 그것보다 넓은 영역에 조사할 수도 있다.

[0078] 여기서, 지지기재 100로 금속기재를 이용한 경우, 접착층 110, 제1 수지 절연층 130, 제2 수지 절연층 150, 및 지지기재 100을 일괄로 가공하면, 다이싱 블레이드의 소모가 커져, 다이싱 블레이드의 사용 수명이 짧아져 버린다. 또한, 금속기재를 다이싱 블레이드로 기계적으로 가공하면, 가공단에 대해 모퉁이의 형상이 예리한 "버(burr)"가 발생해 벼려, 핸들링 시에 작업자가 상처를 입을 위험성이 있다. 그러나, 지지기재 100을 레이저 가공하는 것으로, 다이싱 블레이드의 소모를 억제할 수 있고 지지기재 100의 가공단의 형상을 매끄럽게 할 수 있다.

[0079] 이상과 같이, 실시 형태 1과 관련되는 반도체 패키지의 제조 방법에 의하면, 수지 절연층(접착층 110, 제1 수지 절연층 130, 및 제2 수지 절연층 150)에 제1 도량 250을 형성한 후에, 지지기재 100에 레이저 조사를 실시하는 것으로, 예를 들면, 제1 도량 250을 형성하는 다이싱 블레이드의 소모를 억제할 수 있다. 그 결과, 제조 장치의 메인더너스 빙도를 저감시킬 수 있다. 또한, 지지기재 100의 측면 310의 형상을 매끄럽게 할 수 있다. 그 결과, 다른 부재를 손상시키는 또는 작업자에게 부상을 입히는 것을 억제할 수 있다. 본 발명과 관련되는 반도체 패키지의 제조 방법에 의하면, 메인더너스 빙도가 저감된 반도체 패키지의 제조 방법을 제공할 수 있다.

[0080] <실시 형태 2>

[0081] 본 발명의 실시 형태 2와 관련되는 반도체 패키지의 개요에 대해서, 도 24를 참조하면서 상세하게 설명한다. 도 24는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 단면 모식도이다.

[0082] (반도체 패키지 20의 구조)

[0083] 실시 형태 2와 관련되는 반도체 패키지 20은, 실시 형태 1의 반도체 패키지 10과 유사하지만, 얼라이먼트 마커 114가 접착층 110에 마련된 개구부에서 실현되어 있는 점에 있어서, 반도체 패키지 10으로 상이하다. 반도체 패키지 20에서는, 지지기재 100에는 오목부가 형성되어 있지 않다. 다만, 반도체 패키지 10과 마찬가지로, 반도체 패키지 20의 지지기재 100의 제1 면 302에 오목부를 마련하고, 보조적인 얼라이먼트 마커를 형성할 수도 있다. 반도체 패키지 20의 그 외의 부재에 대해서는, 반도체 패키지 10과 동일하므로, 여기에서는 자세한 설명을 생략한다.

[0084] (반도체 패키지 20의 제조 방법)

[0085] 도 25 내지 도 29를 이용하여, 본 발명의 실시 형태 2와 관련되는 반도체 패키지 20의 제조 방법을 설명한다. 도 25 내지 도 29에 있어서, 도 24에 나타내는 요소와 같은 요소에는 동일한 부호를 교부했다. 반도체 패키지 10과 같이, 지지기재 100으로서 SUS기재, 제1 수지 절연층 130으로서 에폭시계 수지, 제1 도전층 142 및 제2 도전층 144로서 Cu, 슬더 볼 160으로서 상기 Sn합금이 이용된 반도체 패키지의 제조 방법에 대해 설명한다.

[0086] 도 25는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재를 준비하는 공정을 나타내는 도면이다. 반도체 패키지 20의 제조 방법에서는, 지지기재 100의 제1 면 302에 얼라이먼트 마커를 형성하지 않는다. 다만, 필요에 따라서, 도 2에서 나타내는 제조 방법과 같이 얼라이먼트 마커를 형성할 수도 있다.

[0087] 도 26은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재에 접착층을 형성하는 공정을 나타내는 도면이다. 도 26에서 나타낸 것처럼, 지지기재 100의 제1 면 302에 접착층 110을 형성한다. 접착층 110으로서 시트 모양의 접착층을 붙인다. 접착층 110으로서 용매에 녹은 상태의 접착층 재료를 도포법에 따라 형성할 수도 있다.

[0088] 도 27은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재의 이면 및 측면을 조화하는 공정을 나타내는 도면이다. 후의 공정으로 무전해 도금법에 따라 형성되는 도금층이 박리하는 것을 억제하는 목적으로, 지지기재 100의 제2 면 304 및 측면 310을 조화(또는 조면화)한다. 지지기재 100의 조화는, Cu를 포함하는 약액(에천트)을 이용하는 것으로 실시할 수 있다. 도 27에 있어서, 조화 영역 104를 점선으로 나타내었다.

[0089] 여기에서는, 접착층 110을 붙인 후에 SUS기재의 조화를 실시하는 제조 방법을 예시했지만, 이 제조 방법으로 한정되지 않는다. 예를 들면, 접착층 110을 붙이기 전에 조화를 실시할 수도 있다.

[0090] 도 28은, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 접착층에 얼라이먼트 마커를 형성하는 공정을 나타내는 도면이다. 얼라이먼트 마커 114는, 포토리소그래피 및 에칭에 의해서 형성된다.

얼라이먼트 마커 114의 위치 및 평면 형상은 목적에 따라 적당히 결정할 수 있다. 얼라이먼트 마커 114는, 광학 현미경 등으로 지지기재 100을 상면측으로부터 관찰했을 때에, 시인할 수 있는 정도로 단차가 마련되어 있을 수 있다. 즉, 도 28의 얼라이먼트 마커 114는 접착층 110을 개구하고 있으나, 얼라이먼트 마커 114는 접착층 110에 형성된 오목부(바닥이 존재하는 구멍)일 수도 있다. 이 공정에 있어서, 얼라이먼트 마커 114와는 다른 개구부 또는 오목부를 접착층 110에 가공할 수도 있다. 접착층 110의 제거는 레이저 조사에 의한 승화 또는 절삭에 의해서 실시할 수 있다. 또는, 포토리소그래피 및 에칭에 의해서 형성할 수도 있다.

[0091] 도 29는, 본 발명의 일 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 지지기재상에 반도체 장치를 배치하는 공정을 나타내는 도면이다. 상기와 같이 하여 접착층에 형성된 얼라이먼트 마커 114에 기반하여 위치 맞춤을 실시하고, 상면에 외부 단자 122가 마련된 반도체 장치 120을 접착층 110을 개입시켜 지지기재 100에 배치한다. 얼라이먼트 마커 114의 판독은, 예를 들면, 광학 현미경, CCD 카메라, 전자현미경 등의 방법을 실시할 수 있다. 이 방법에 의해서, 높은 얼라이먼트 정밀도로 반도체 장치 120의 실장을 실현할 수 있다.

[0092] 이후의 공정은 도 7 내지 도 23과 같은 제조 방법을 이용하여 반도체 패키지 20을 형성할 수 있다. 따라서, 이 이후의 공정에 대해서, 설명을 생략한다.

[실시예]

[0093] 이하, 본 발명의 실시 형태와 관련되는 반도체 패키지의 제조 방법에 있어서, 실시예를 나타내는 광학 현미경상의 관찰 결과에 대해 설명한다. 구체적으로는, 도 22 및 도 23에서 나타낸 것과 같은, 본 발명과 관련되는 실시 형태의 제조 방법에 따라 개편화된 샘플과 그 비교예의 제조 방법에 따라 개편화 된 샘플을 비교했다.

[0094] 도 30a 및 도 30b는, 본 발명의 하나의 실시예에 있어서의 지지기재의 측면 형상과 그 비교예에 있어서의 지지기재의 측면 형상을 비교하는 광학 현미경상을 나타내는 도면이다. 도 30a의 실시예 (a)는, 반도체 패키지 10의 개편화를 수지 절연층(접착층 110, 제1 수지 절연층 130, 및 제2 수지 절연층 150)의 다이싱 및 지지기재 100의 레이저 조사의 2 단계의 스텝으로 수행한 샘플의 광학 현미경상이다. 한편, 도 30b의 비교예 (b)는, 수지 절연층 및 지지기재 100을 일괄로 다이싱 한 샘플의 광학 현미경상이다.

[0095] 도 30a의 실시예 (a)의 개편화는 이하와 같이 수행하였다. 다이싱으로서 다이싱 블레이드를 10 mm/sec의 속도로 1회 통과시키는 것에 의해서, 수지 절연층(접착층 110, 제1 수지 절연층 130, 및 제2 수지 절연층 150)에 제1 도량 250을 형성했다. 다이싱은 지지기재 100에 이르도록 실시하고, 다이싱에 의해서 지지기재 100의 제1 면 302에는 약 0.1 mm의 깊이의 오목부를 형성했다. 상기의 다이싱에 이어서, 지지기재 100의 제2 면 304측으로부터 레이저 조사를 실시했다. 레이저 조사로서 레이저 빔을 600 mm/sec의 속도로 1회 통과시키는 것에 의해서, 지지기재 100에 제2 도량 260을 형성하였다. 상기와 같이 하여, 실시예 (a)에서 나타낸 반도체 패키지 10을 얻었다.

[0096] 한편, 도 30b의 비교예 (b)의 개편화는 이하와 같이 수행하였다. 다이싱으로서 다이싱 블레이드를 5 mm/sec의 속도로 1회 통과시켜, 수지 절연층(접착층 110, 제1 수지 절연층 130, 및 제2 수지 절연층 150) 및 지지기재 100을 일괄로 절단 했다. 이와 같이 하여, 비교예 (b)에서 나타낸 반도체 패키지를 얻었다.

[0097] 여기서, 레이저로서 IR파장의 고출력 레이저를 이용하였다.

[0098] 도 30a의 실시예 (a)에서 나타낸 것처럼, 지지기재 100 및 수지 절연층(접착층 110, 제1 수지 절연층 130, 및 제2 수지 절연층 150)이 형성되어 있다. 도 30a에서는 각 수지 절연층의 계면은 확인되지 않고, 1층으로 보이지만, 접착층 110, 제1 수지 절연층 130, 및 제2 수지 절연층 150이 형성되어 있다. 실시예 (a)의 측면 310의 형상은, 제1 단부 306과 제2 단부 308의 사이에 변곡점 320을 가지는 만곡 형상이다. 즉, 측면 310은 변곡점 320 보다 제2 면 304 측에 있어서 지지기재 100의 내측을 향해 불록한 형상을 가지고, 변곡점 320보다 제1 면 302 측에 있어서 지지기재 100의 외측을 향해 오목한 형상을 가진다. 제1 단부 306과 제1 면 302 상에 배치된 접착층 110의 단부는 연속하고 있다.

[0099] 한편, 도 30b의 비교예 (b)에서 나타낸 것처럼, 지지기재 500의 측면 510은 직선 형상이다. 비교예 (b)의 수지 절연층(접착층 110, 제1 수지 절연층 130, 및 제2 수지 절연층 150)은, 지지기재 500의 측면 510보다 지지기재 500의 내측으로 들어가 있어서 제1 면 502측의 제1 단부 506의 모퉁이가 노출되어 있다. 지지기재 500은 다이싱으로 절단되어 있기 때문에, 제1 단부 506의 형상이 예리한 형상으로 되어 있다. 즉, 제1 단부 506에 "버(burr)"가 발생하고 있다.

[0100] 이상과 같이, 실시예에 의하면, 반도체 패키지의 개편화 시에 이용되는 다이싱 블레이드의 소모가 억제될 뿐만

아니라, 지지기재 100의 측면 310의 형상을 매끄럽게 할 수 있다. 그 결과, 다른 부재를 손상시키거나 작업자에게 부상을 입히는 것을 억제할 수 있다.

[0102] 덧붙여 본 발명은 상기 실시의 형태에 한정된 것이 아니고, 요지를 일탈하지 않는 범위에서 적당히 변경하는 것이 가능하다.

부호의 설명

[0103]

10, 20: 반도체 패키지

100: 지지기재

102, 114: 얼라이먼트 마커

104: 조화 영역

110, 500: 접착층

112, 132: 개구부

120: 반도체 장치

122: 외부 단자

130: 제1 수지 절연층

140: 배선

142: 제1 도전층

144: 제2 도전층

146: 조화 영역

150: 제2 수지 절연층

152: 개구부

160: 솔더 볼

200: 도금층

210: 포토레지스트

220: 레지스트 패턴

230: 후막영역

240: 박막 영역

250: 제1 도량

260: 제2 도량

302, 502: 제1 면

304, 504: 제2 면

306, 506: 제1 단부

308, 508: 제2 단부

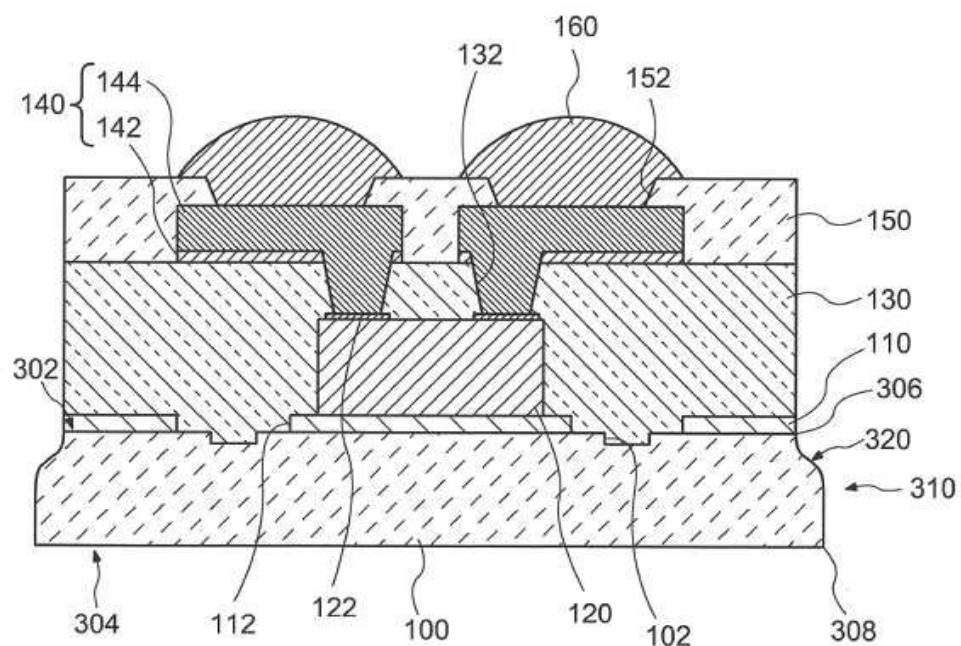
310, 510: 측면

320: 변곡점

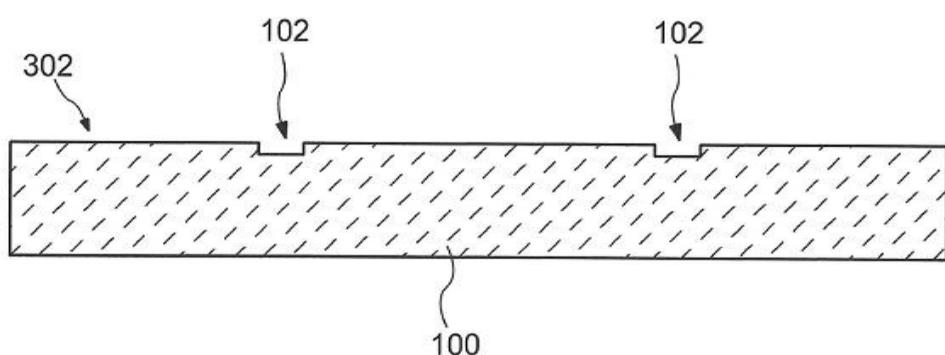
도면

도면1

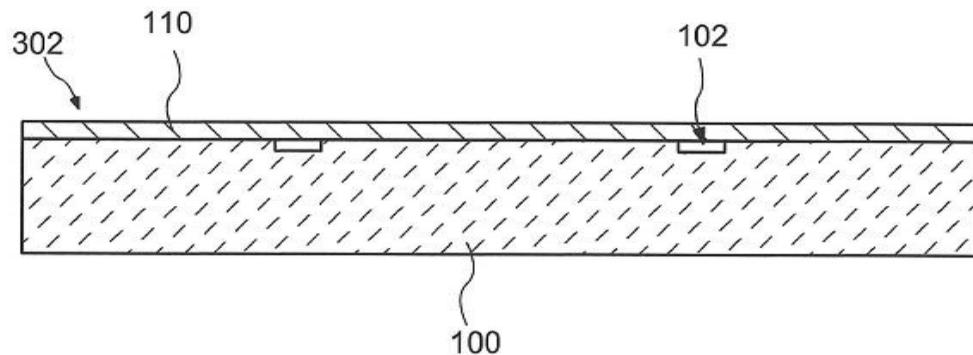
10



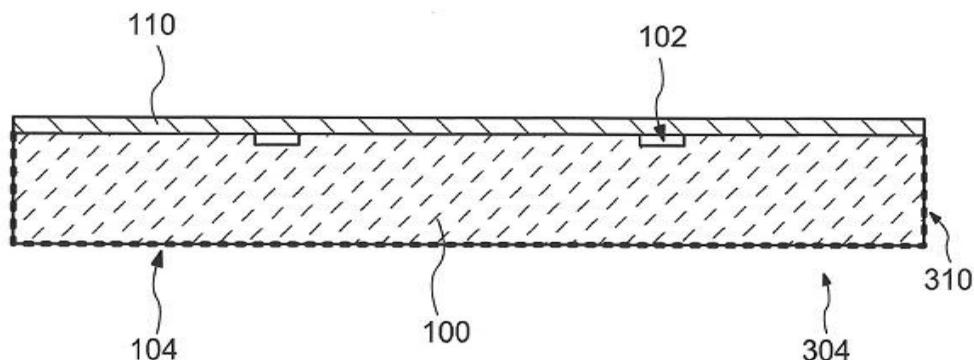
도면2



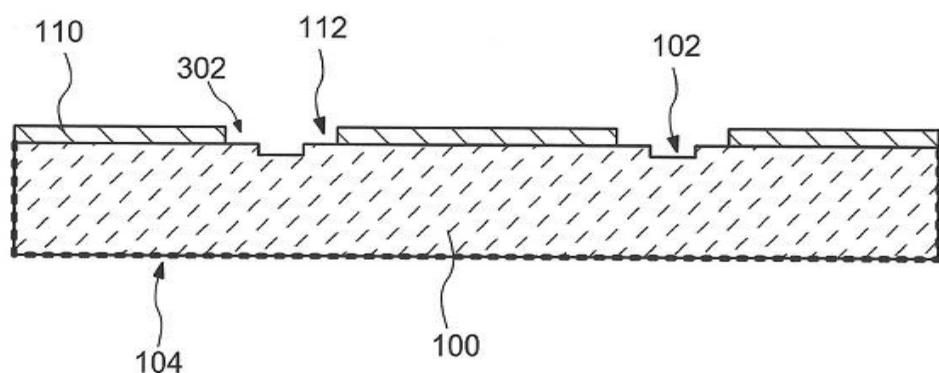
도면3



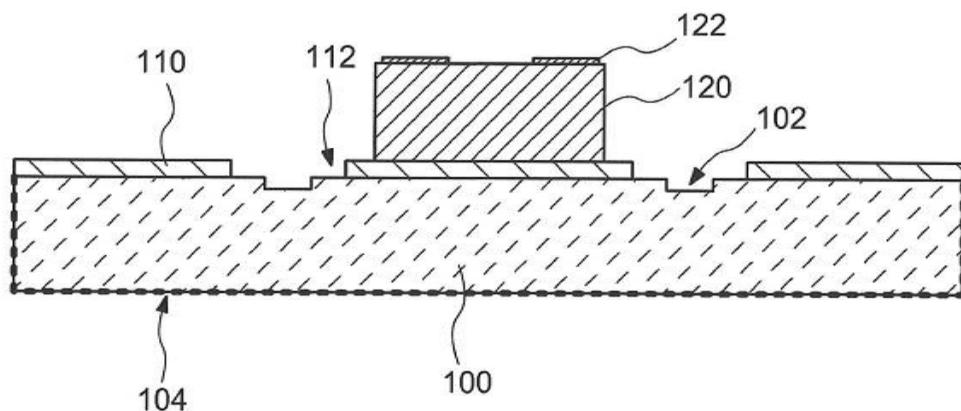
도면4



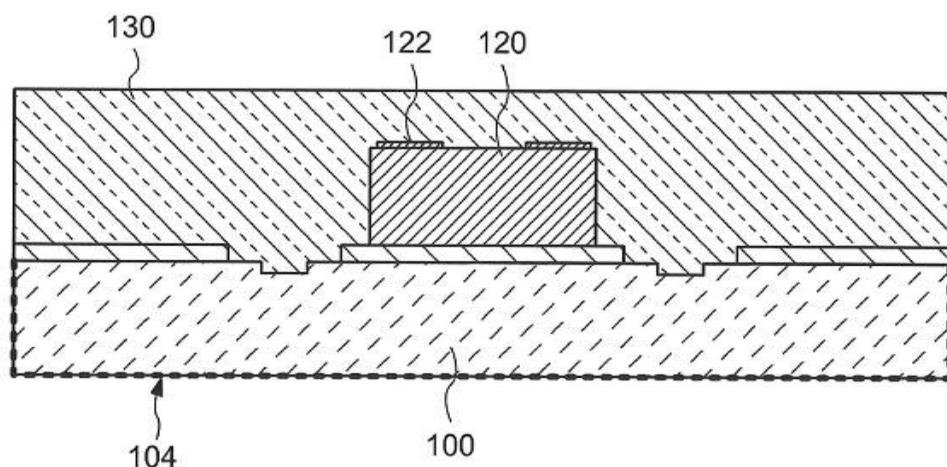
도면5



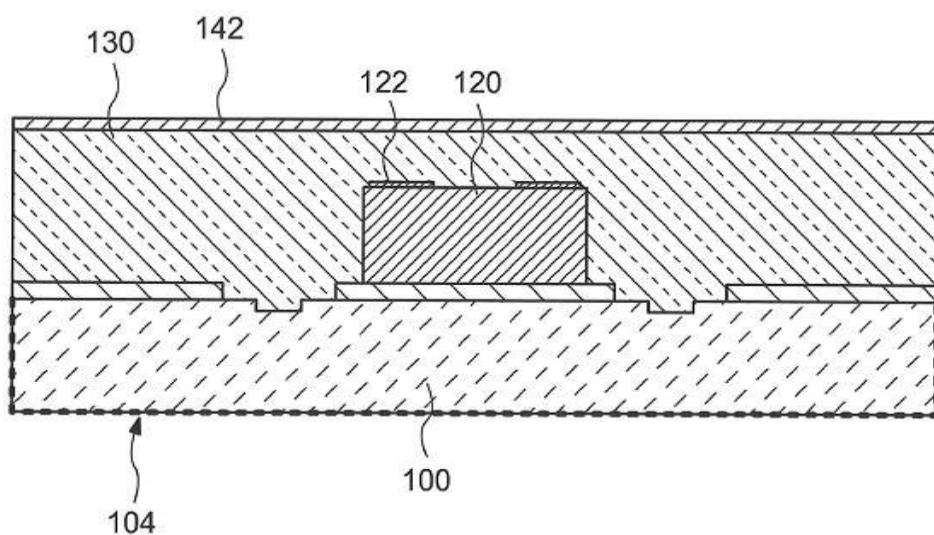
도면6



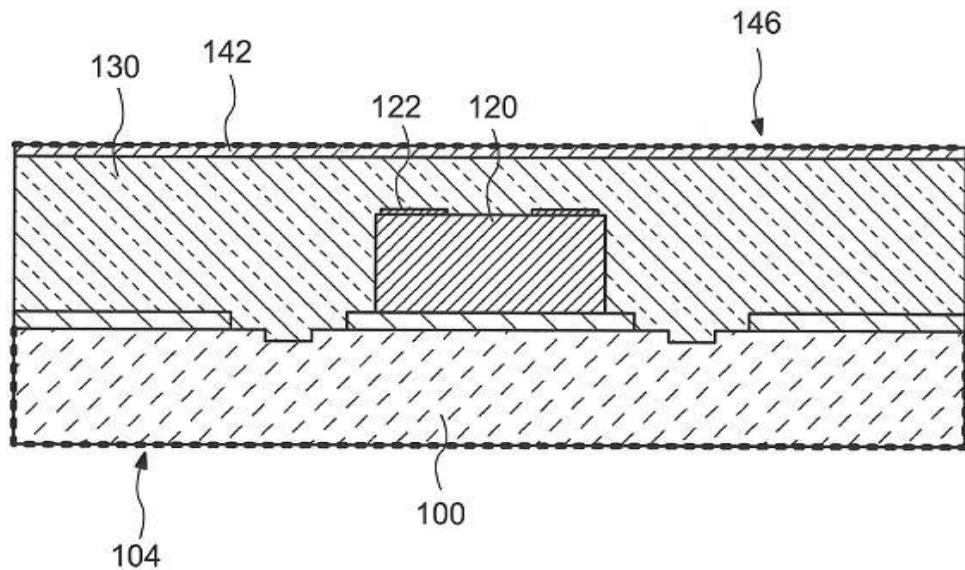
도면7



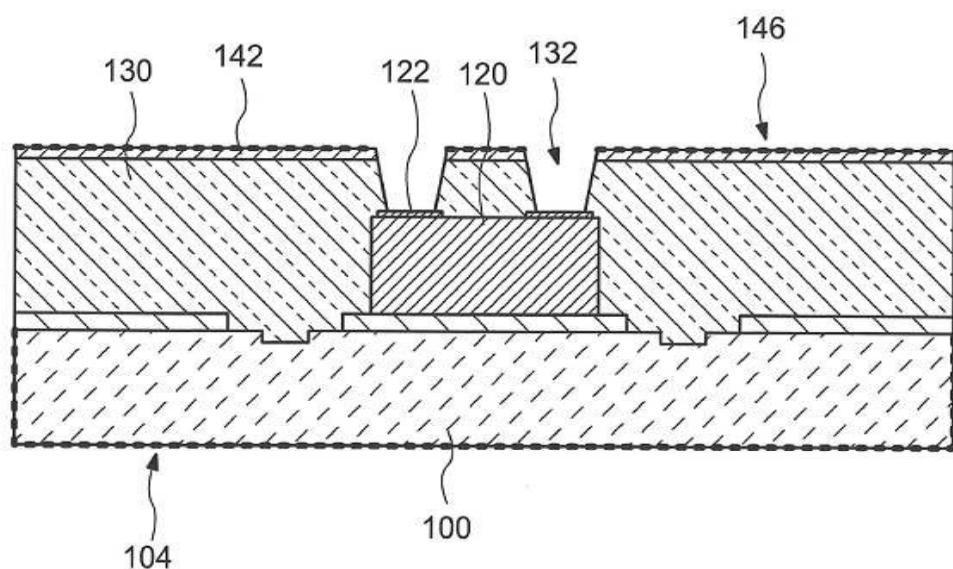
도면8



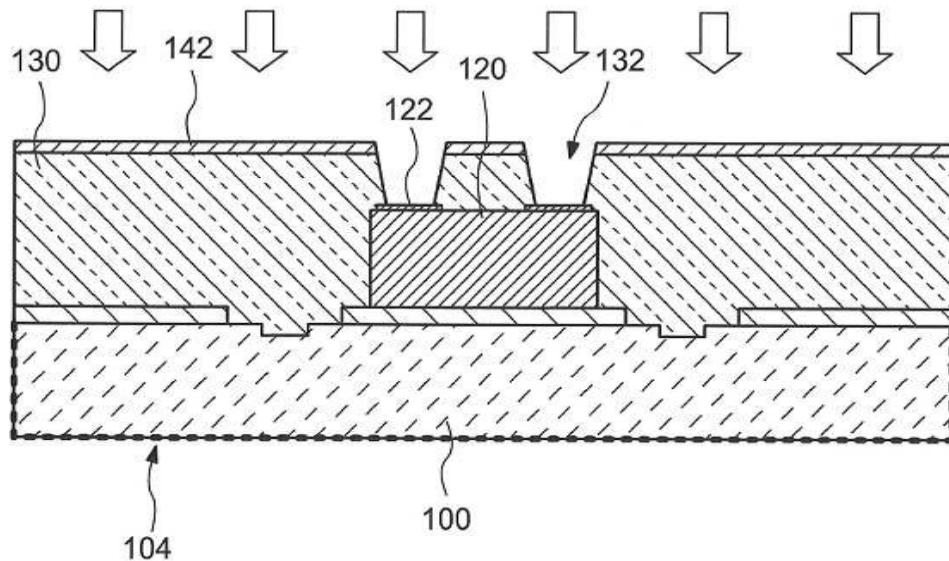
도면9



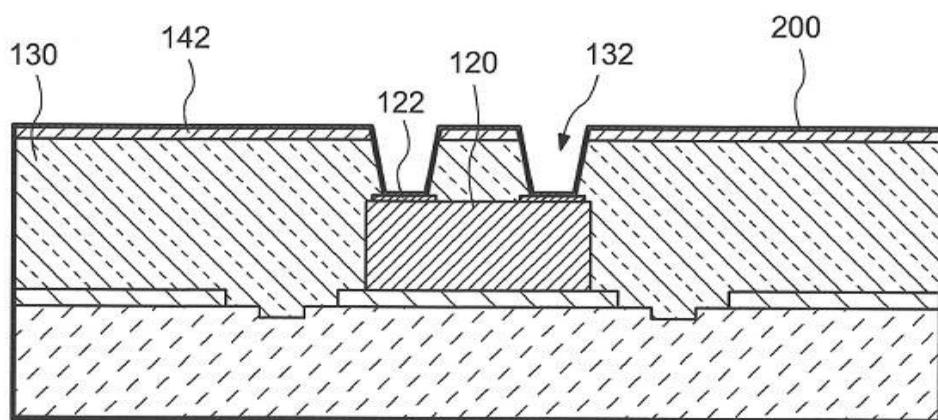
도면10



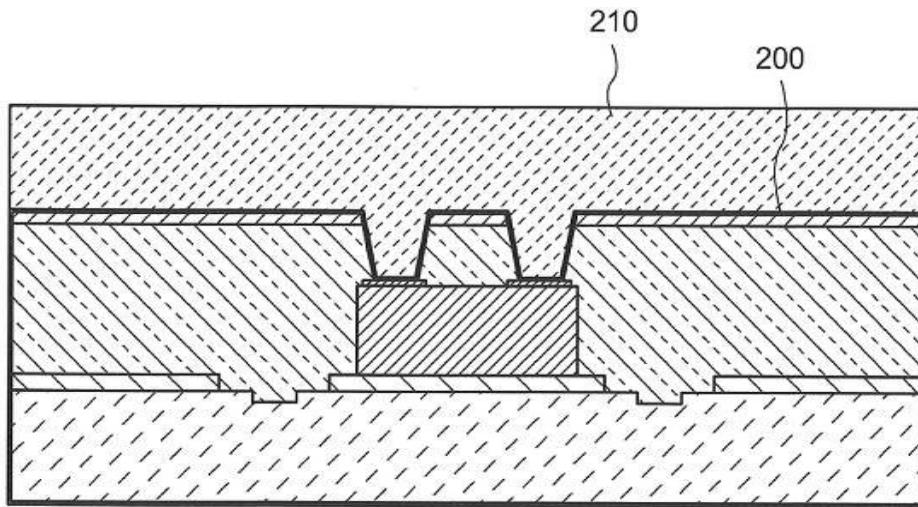
도면11



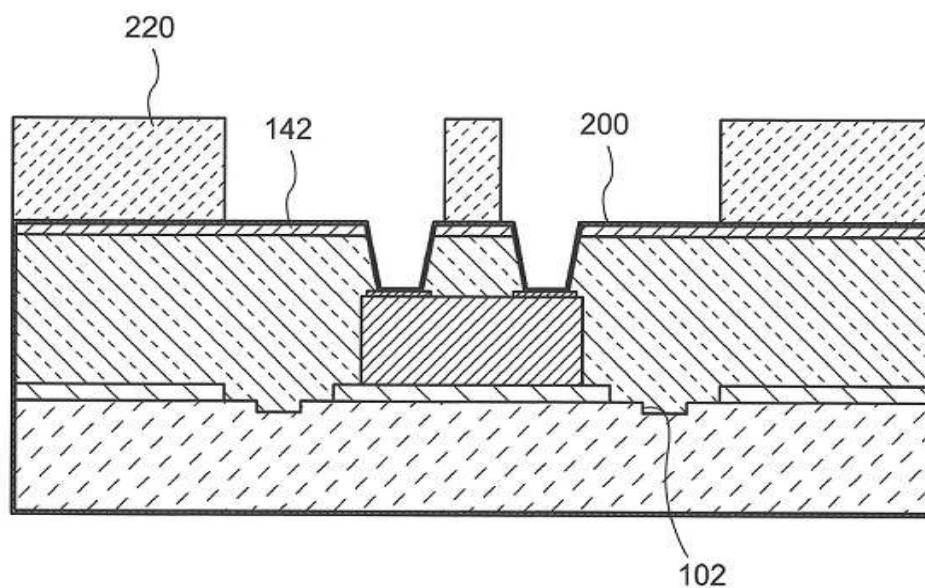
도면12



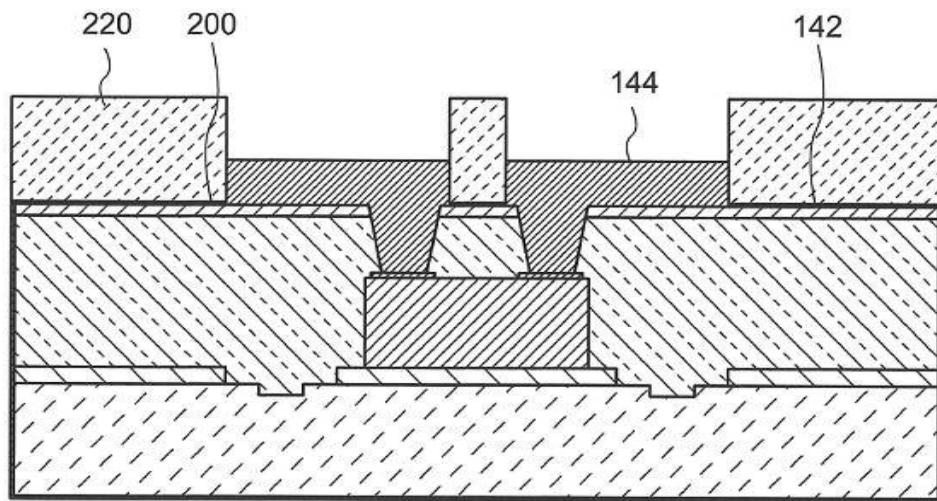
도면13



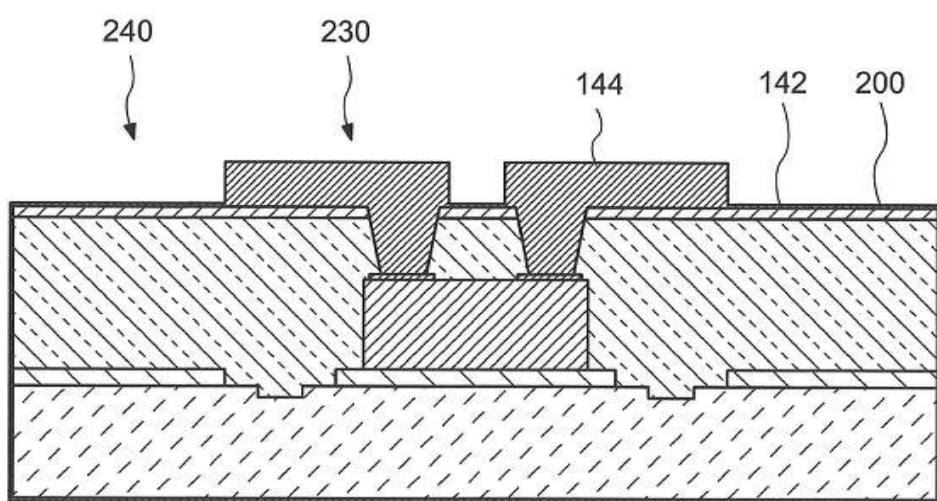
도면14



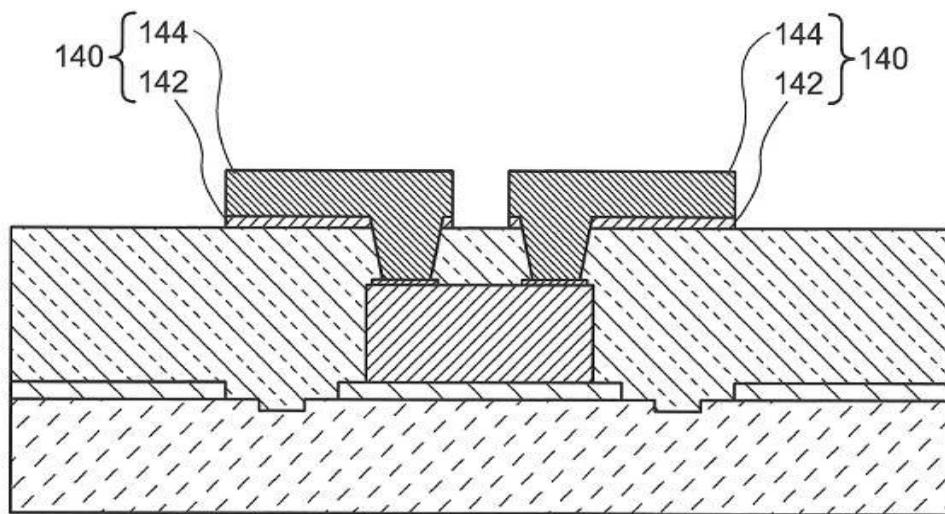
도면15



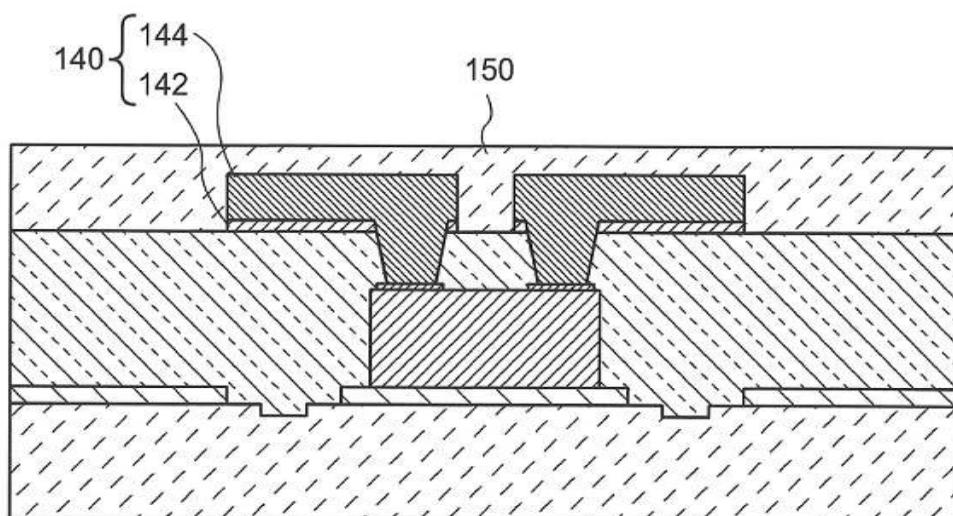
도면16



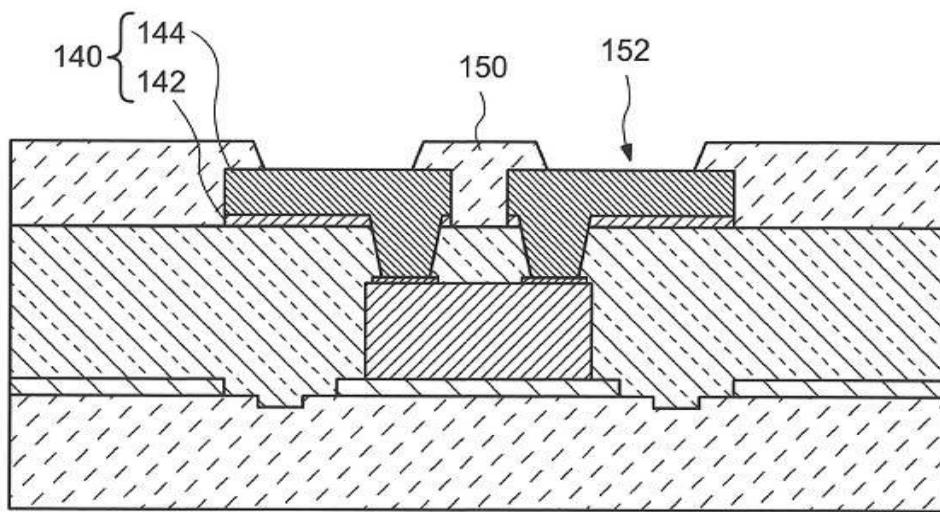
도면17



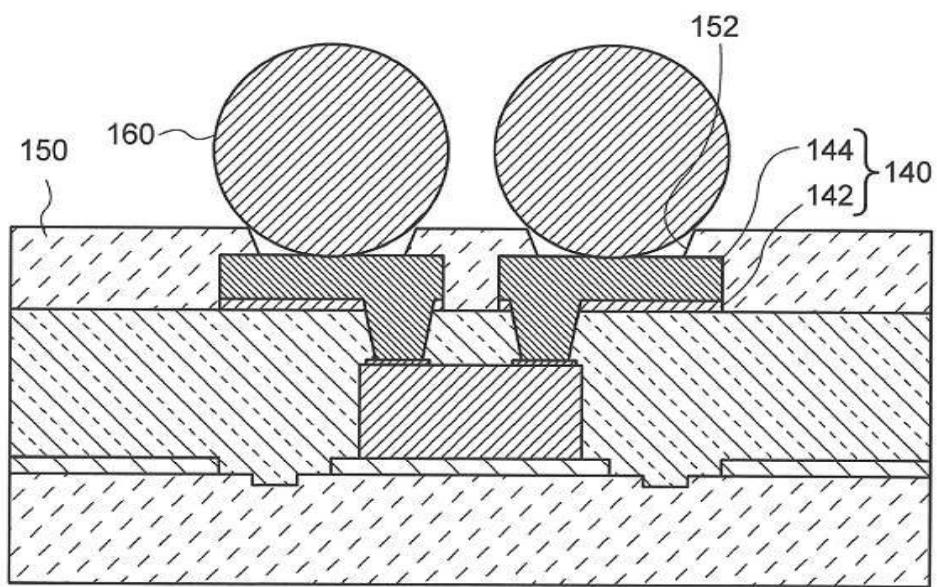
도면18



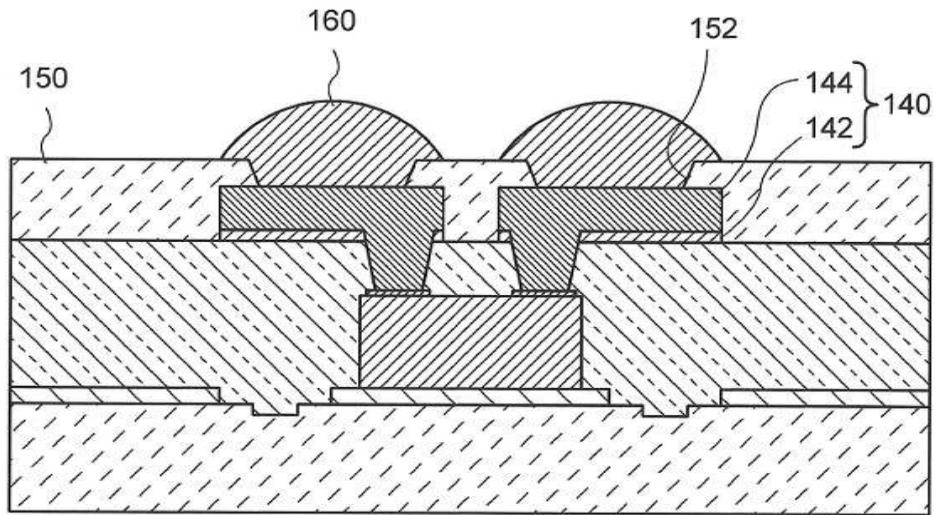
도면19



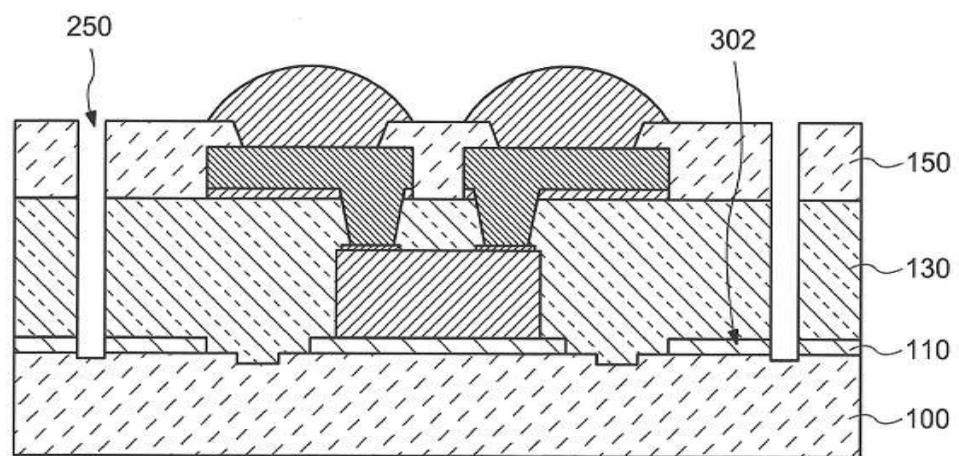
도면20



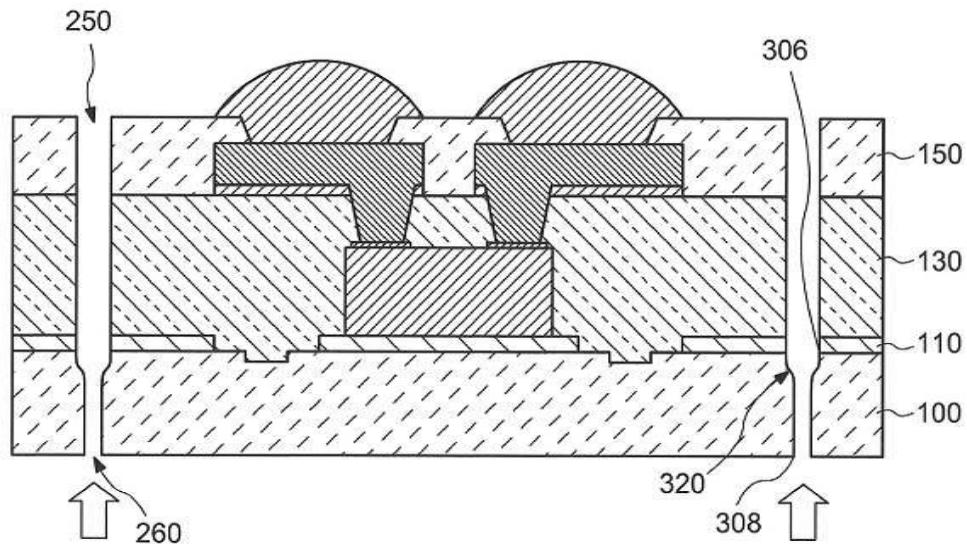
도면21



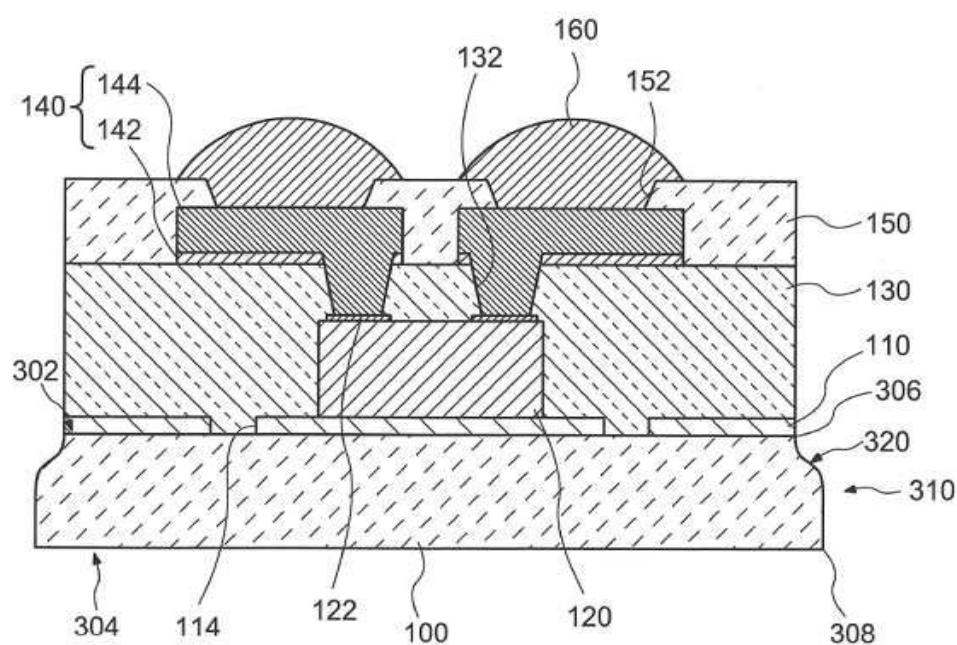
도면22



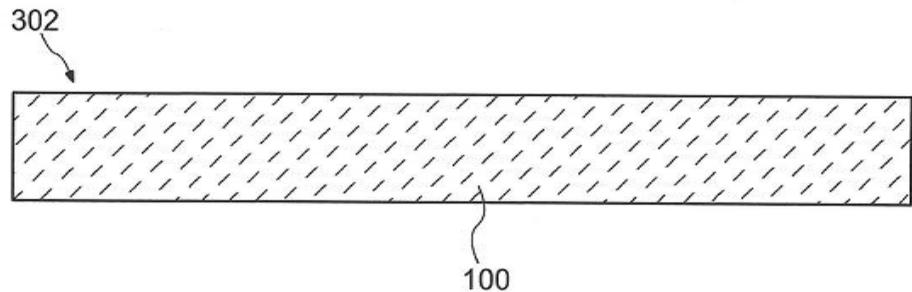
도면23



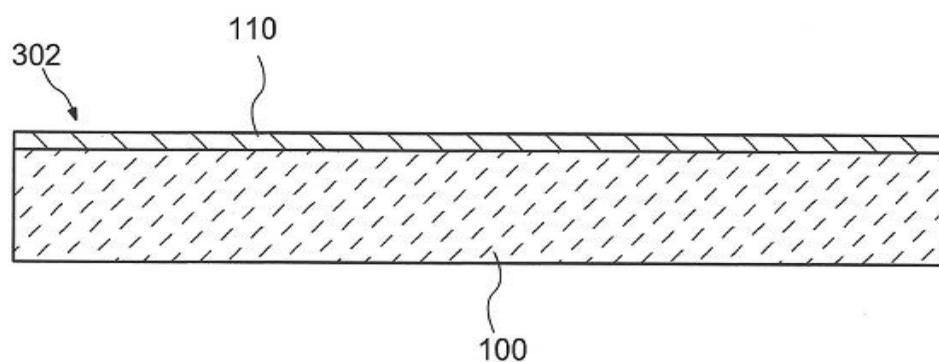
도면24

20

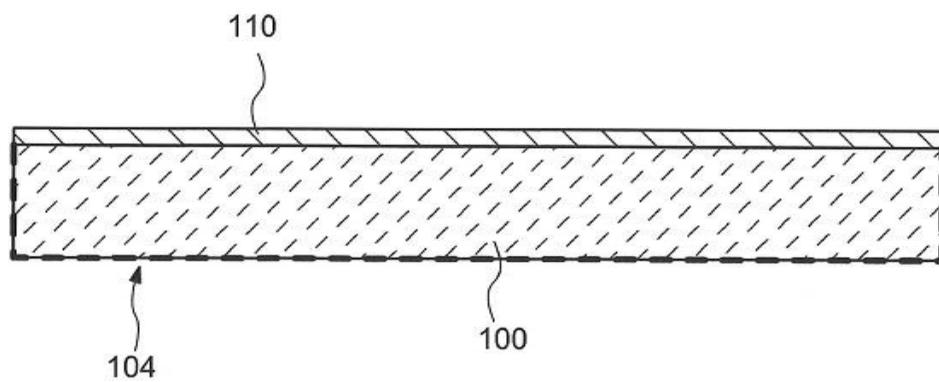
도면25



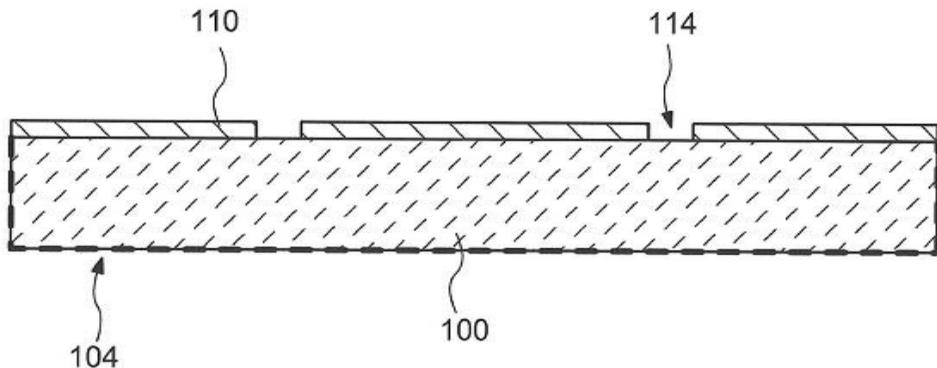
도면26



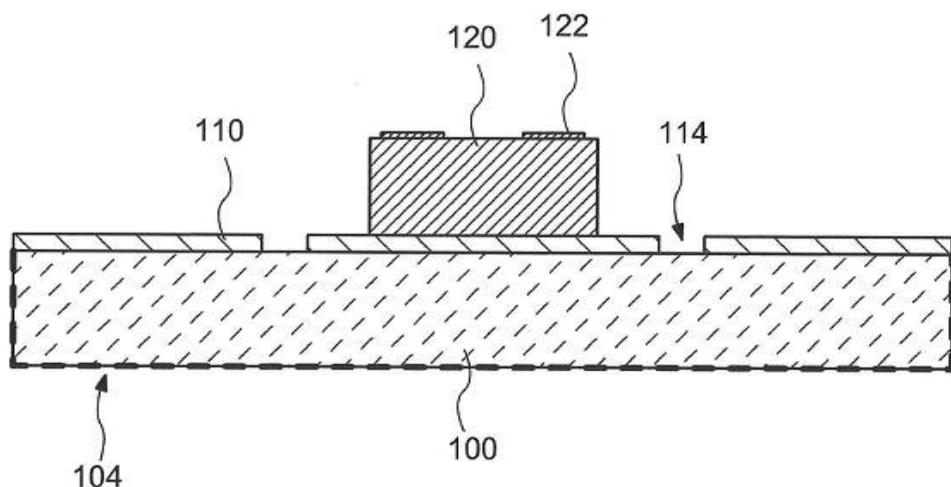
도면27



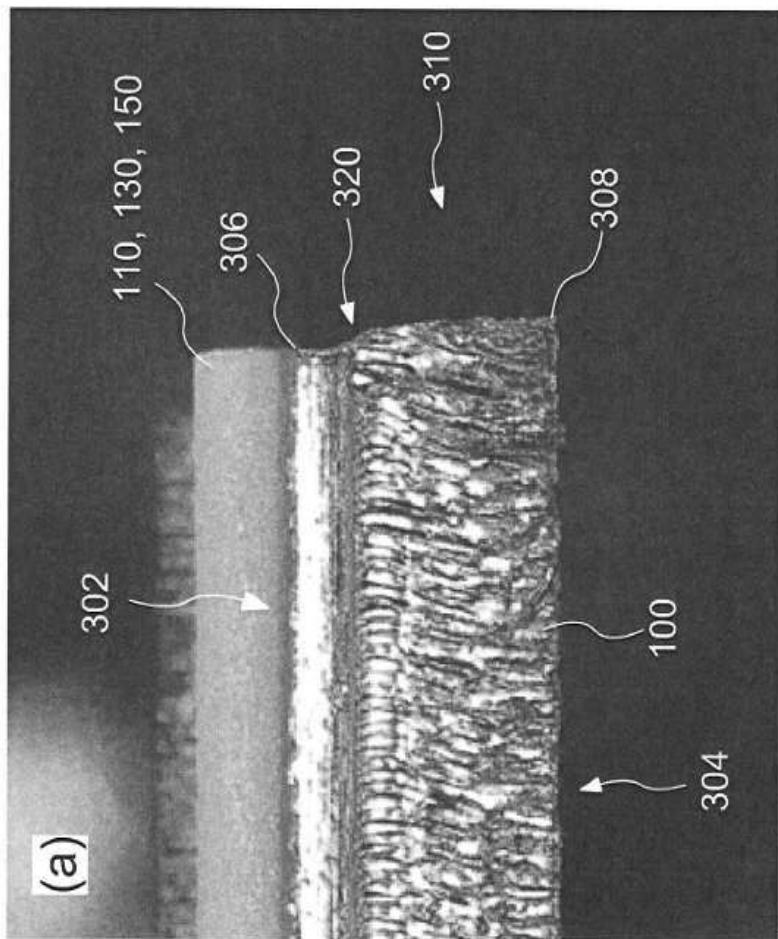
도면28



도면29



도면30a



도면30b

