

公告本

申請日期	83.12.20
案 號	83111P60
類 別	Pat. Cl ⁶ H04N 5/455

A4
C4

312886

(以上各欄由本局填註)

發明 專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明名稱	中 文	同步解調器用載波取得系統
	英 文	Carrier Acquisition System for a Synchronous Demodulator
二、發明人	姓 名	(1) 高 佩 蘭 · 克 里 斯 納 姆 西 (2) 維 克 多 G · 麥 西 內 克 (3) 蓋 里 J · 史 格 里 諾 利
	籍 貫 (國籍)	(1) ~ (3) 美 國
	住、居所	(1) 美國伊利諾州惠林市帕多克大道580號 (2) 美國伊利諾州德普蘭斯市安布雷西德路320號 (3) 美國伊利諾州山景市杜松巷1139號
三、申請人	姓 名 (名稱)	美商 · 增你智電子公司
	籍 貫 (國籍)	美 國
	住、居所 (事務所)	美國伊利諾州格蘭維市米爾伍基街1000號增你智中心
	代表人 姓 名	大衛 S · 李文

312886

(由本局填寫)

承辦人代碼：

A6

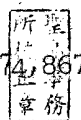
大類：

B6

I P C分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權
美 1993.12.29. 08/14,867



有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (/)

本發明大致上係有關於數位資料接收器，且特別地，係針對一種數位電視信號接收器。

最近已有多種系統被提議出來供發射及接收呈數位型態之電視信號。此種電視信號可包含例如一種經壓縮之寬帶 H D T V 信號或一或更多種經壓縮之 N T S C 信號。而被考慮用來實行此等信號發射傳輸動作的兩種最廣為推行的調變技術當推正交波幅調變 (Q A M) 及殘邊帶調變 (V S B) 技術。美國專利第 5,087,975 號揭露用以透過一個標準 6MHz 電視頻道以連續多個 M 準位符號之形式傳輸電視信號而在該頻道之下緣有相當小 (低位準) 引示作用的一種 V S B 系統。雖然表現諸符號之位準的數目 M (亦即 V S B 模式) 可能會變化，但符號率則較宜固定，諸如固定於 684H (約 10.76 百萬符號 / 秒) 的符號率，其中 H 為 N T S C 水平掃描頻率。用於任何特定狀況中之符號準位數目大半依為傳輸媒體特色所在之信號對雜訊比 (S / N 比) 而定，於 S / N 比偏低之情況下即用較少數目之符號準位。一般相信，能容納 24、16、8、4、與 2 個符號準位的一個系統，便可提供足以滿足大部份狀況的合適彈性。將可體會到的是，一些較低的 M 值可在降低傳輸位元率之代價下提供改善的 S / N 比性能。例如，假定有 10.76 百萬符號 / 秒的一個符號率，則一個 2 準位 V S B 信號 (每一符號一個位元) 便提供 10.76 百萬位元 / 秒的傳輸位元率，而一個 4 準位 V S B 信號 (每一符號兩個位元) 便提供 21.52 百萬位元 / 秒的傳輸位元率，諸如此類。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (2)

一部數位式電視接收機要能適當操作的前提是，被接收之載波信號必須能相當快速地被獲取，以及 R F 與 I F 頻段之增益須能適度地被調整。然由於欠缺任何種類之引示作用，在 Q A M 型接收機中的載波獲取作用頗為難以達成。而即使在上述 V S B 系統中採用一個引示指標可大為促進載波獲取作用，仍會遭遇某些難題，因為 V S B 接收機中所用之引示指標位準相當低而且其中所用同步解調器之拉入 (pull-in) 範圍有限。此發明之一個層面增強了鎖頻鎖相迴路 (F P L L) 之拉入作用，而另一層面則係關於一種創新之 A G C 系統。並且，同步解調器中之該 F P L L 係呈雙相穩定狀態；是以，輸出資料之相位可能被反相，且因而需作相位反轉處理。再者，該 F P L L 之鎖定特性係由 A F C 濾波器之特性來決定；且於此發明之另一層面中，提供了此等特性上的改進。此發明也包括了用以在使用一種 D C 偏抵作用來產生引示作用時使類比信號轉換成數位格式之動作最佳化的一種配置。

於是，本發明之一個基本目的係欲在運用到一個同步解調器的一部數位資料接收器中提供一種創新之載波取得能力。

本發明之另一概念是要提供用以在諸選定之啟動條件出現時把與該同步解調器聯結使用之一個 F P L L 快速鎖定的一種系統。

本發明之進一步特徵與優點將可在配合圖式之諸幅圖面，閱讀以下所作的本發明諸較佳實施例之詳細說明時更

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

為明瞭；其中：

第1圖係被組構來供接收一個M位準VSB信號之一部接收器的一幅部分方塊圖；

第2圖係第1圖中之IF放大器與同步解調器的更詳細示意圖；

第3圖係為用以為該接收器控制AGC的電路；

第4圖繪示出AGC電路之諸操作模式；

第5圖揭示用以在需要時將資料作自動相位反相處理的一組資料極性反轉器；

第6圖係依據本發明構成之一種經修改的FPLL濾波器；以及

第7A與7B圖係繪示第6圖之修改部分之操作狀況的曲線圖。

如上所述，被發射傳輸之VSB信號較宜包括在該6MHz電視頻道之下邊際處的一個小引示成份，其被轉換成靠近該頻道之上邊際的大約46.69MHz之中間頻率(IF)。而且，儘管並不限於此處所述者，惟被發射傳輸之信號較宜包含多個連續之資料訊框，且每一訊框包括有313個資料節段。各個資料節段包括有836個符號(以大約10.76百萬符號/秒之速率出現)，其中832個符號係供資料使用，另4個符號係被放在各個資料節段之一個固定位置處以供定義一個節段同步字符。此一資料節段同步字符只包含一些2位準符號，而諸資料符號可視應用狀況而為2、4、8、16或24位準。而各個訊框之第一個資料節段包含

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (三)

代表一個訊框同步碼的一串2位準符號序列、以及辨識各該訊框其餘312個資料節段之諸資料符號之位準M(24、16、8、4、或2)的一個VSB模式控制信號。

引示成份可藉著對諸符號值引入一個偏抵值(固定DC位準)，而方便地在發射器內生成。而在接收器內，該偏抵值產生用於載波復原的一個固定DC值。依據本發明之一個層面，在接收器內的此一“被復原”之DC值，於完成載波獲取動作之後，即自資料頻道中消除，以使後續之進一步處理動作最佳化。

參照第1圖，被接收之RF信號由一個調諧器10予以轉換成一個IF信號，而該調諧器10係受微處理器12所控制。微處理器12係響應於來自一個鍵盤14或一個IR接收器16的使用者輸入信號，而用於供應適當信號至調諧器10，俾調諧至選定之頻道。包括位於46.69 MHz之引示成份在內的IF信號，自調諧器10經過具有大約41-47MHz之通帶的一個SAW濾波器18，而被施加至一個IF放大器暨同步解調器20。解調器20之類比基帶輸出透過一個電容器21而被耦接至一個類比至數位(A/D)轉換器22，此轉換器22對該信號取樣並提供成數位形式之一些M位準符號至一個數位處理器24。電容器21將前述之DC偏抵值自A/D 22之輸入信號中除去。如同下文將會進一步詳細敘述地，A/D 22係被操作來響應於由數位處理器24所產生之時鐘信號，而於正確之一些符號時間時對解調器20之輸出信號進行取樣。數位處理器24供應該資料，且亦供應一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

A G C 控制信號給 I F 放大器暨同步解調器 20；而此 I F 放大器暨同步解調器 20 則依此而供應一個經延遲之 A G C 信號至調諧器 10。解調器 20 與數位處理器 24 二者乃響應於由微處理器 12 所產生之一個 A F C 制勝信號，而微處理器 12 係響應於諸如電源開啓、頻道變換、及喪失資料節段或訊框同步等等被選定之啓動狀態而產生該 A F C 制勝信號。最後，因為資料輸出之相位由於同步解調器內之 FPLL 具雙相位穩定特性而可被反相，故用以提供資料之適當相位的一組自動配置亦被涵括於本發明內；這會在稍後針對第 5 圖予以更完整地描述，並另案由一繫屬中之相關的美國專利申請案第 08/174,867 號案予以界定請求。

I F 放大器暨同步解調器 20 係更詳盡地顯示於第 2 圖中。來自該 S A W 濾波器 18 之 I F 信號經由一個增益控制放大器 30 而被施加至一個 I F 開關 32 之一個輸入端。放大器 30 之增益受一個 A G C 控制暨充電泵 31 所控制。而此電路 31 係響應於增益上升及增益下降信號，用以將一個電容器 33 充電及放電至某一預期值，俾控制放大器 30 之增益。電路 31 亦產生一個經延遲之 A G C 信號供施加至調諧器 10。

一個晶體振盪器 34 響應於來自微處理器 12 之該 A F C 制勝信號而被啓動，供施加處於引示成份頻率（46.69MHz）之一個相對強烈信號至 I F 開關 32 之一個第二輸入端。

I F 開關 32 亦響應於該 A F C 制勝信號供將晶體振盪器 34 之輸出耦接至此開關之輸出端，否則便可作動以將 I F 放

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明()

大器30之輸出耦接至其輸出端。因此，當無該AFC制勝信號時，IF開關32之輸出便為IF信號；而當有AFC制勝信號存在時，IF開關32之輸出即為晶體振盪器34之輸出。

IF開關32之輸出被施加至一對乘法器40與42個別之第一輸入端。一個可受電壓控制振盪器(VCO)44標稱性地產生處於等於4倍引示成份頻率(即186.76MHz)之一個頻率的輸出信號，而此輸出信號被施加至一組除以4預先定比器電路46，俾產生處於引示成份頻率之一對90°相位偏移信號。同相(0°)信號被施加至乘法器40之第二輸入端，以產生一個同相基帶成份I；而正交(90°)信號被施加至乘法器42之第二輸入端，以產生一個正交基帶成份Q。此等I與Q成份被耦接經過個別之低通濾波器50與52，俾去除二次諧波混波器乘積；再由個別之放大器54與56予以放大，而提供預期之諸輸出位準。經放大之此等I與Q成份被供應至一個鎖頻鎖相迴路(FPLL)58之個別輸入端，此FPLL58係以一種為人熟知之方式操作而用於產生一個調諧電壓 V_t ，用以把由VCO44所產生之信號的頻率與相位鎖定於4倍引示成份頻率。電容器21如前所述地防止I頻道信號中之DC偏抵值被施加至A/D22。依此方式，由除法器46所產生之諸正交信號即被鎖定於該引示成份IF頻率，俾供將被接收之IF信號適當地解調。

於某些啓動狀態型式期間，諸如在電源開啓或頻道變

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

換期間，VCO 44之頻率可能會遠遠偏離其186.76MHz之標稱頻率，以致於FPLL 58無法響應於相對小的被接收引示成份快速鎖定。(FPLL 58於微弱引示成份信號下通常具有在IF頻率僅有大約 ± 100 KHz的一個拉入範圍，而其在強烈引示成份信號下的拉入範圍則通常大約在 ± 750 KHz。)為減輕此問題，依據本發明，於一個啟動動作期間，乃將晶體振盪器34之該相對強烈的46.69 MHz輸出信號透過該IF開關32施加至乘法器40與42之輸入端，而非把來自IF放大器30之被接收IF信號施加至乘法器40與42之輸入端；該啟動動作期間係由該AFC制勝信號期間所定義成。此啟動動作期間可有大約100 毫秒(ms)長。因此，於此一啟動動作期間內，處於IF引示成份之頻率的一個相對強烈信號即被施加到同步解調器，俾容許該FPLL 58能將VCO 44之頻率迅速帶到其標稱值。在此啟動動作期間經過後，由於測知已無AFC制勝信號存在，來自放大器30之IF信號便被IF開關32施加至同步解調器；而因為VCO 44現在已極接近標稱解調頻率，是以該FPLL 58即可輕易將VCO 44鎖定於被接收引示成份之頻率與相位，以促進適當解調動作之進行。

經解調之資料即從同步解調器20之I頻道，透過電容器21而供應至A/D 22之輸入端(第1圖)。此A/D 22係響應於來自數位處理器24之一個時鐘信號，俾用以於一些正確取樣點時對該類比I頻道資料信號進行取樣，並藉以提供代表諸被接收符號之波幅的一串二進位I頻道資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

位元流給該數位處理器。諸符號值較宜以一條零軸為中心成對稱性配置，且任何DC偏抵值的出現會使諸符號值相對於該零軸發生偏斜。職是之故，A/D 22須處理在需要一個較大電容器A/D 22之一個方向上顯得較大的諸波幅。藉電容器21將DC偏抵值自資料頻道中消除的作法，可讓該A/D 22能看到對稱之輸入，且因而可以使A/D 22之大小得能最適化。

如第3圖中所示，其中係顯現出該數位處理器24，該串二進位I頻道資料位元流被供應至一個極性反轉器59（其係如同下文將會參照第5圖加以描述地受一個極性反轉控制信號所控制），以及接著被供應至一個符號同步濾波器60與一個同步相關濾波器62。濾波器60係響應於每一個節段同步字符，而供產生具有在同步字符中心處之一零交越點的一個鑑識元型輸出。濾波器62係被組構來用於產生在時間上與濾波器60之輸出之零交越點一致的一個相對大脈波。濾波器60之輸出被由濾波器62所產生之脈波予以開控進入PLL 64內。一個符號時鐘產生器66在經開控之該信號為零時，被適當地定相位；於此狀況下，即無任何相關作用由該PLL對該經開控之信號施行。然而，若該經開控之信號為正或負時，一個適當的錯誤信號即由PLL 64產生，以修正符號時鐘之相位，直到該經開控之信號達到預期之零值為止。如前所述，於此種配置中的發明內容係另案由前述繫屬中之相關美國專利申請案第08/174,867號案予以界定請求。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明()

為了促進同步解調器20之鎖定動作，本接收器在啟動動作期間過後係被操作於一個非一致同調A G C模式經過一段短時間週期，而後，才在相當於一般信號接收狀態的另一段遠為更長之時間週期內被操作於其一般的一致同調A G C模式；此等三種時間週期已繪示於第4圖中。詳言之，於啟動動作期間內（亦即有A F C制勝信號存在時），係希望把I F放大器30之增益調整至其最大值；如此可確保緊接於此啟動動作期間之後，放大器30之增益將會處於最大值，而便於促使由F P L L 58鎖定於在I F信號中之相對小被接收引示成份。隨後，於該非一致同調A G C模式期間，放大器30之增益迅速降低直至達到一個臨界位準T為止，接著下來，A G C即操作於其一致同調模式，而使放大器增益相當緩慢地受控制。

更詳細言之（再度參見第3圖），一個解碼器68響應於A F C制勝信號，而用於使一個第二解碼器70產生一個增益上升信號，此增益上升信號被施加至充電泵31，用以無視於輸入信號強度地快速提高I F放大器30之增益。在該啟動動作期間過後（A F C制勝信號消失），正被比較器72持續拿來與一個最大值比較的該二進位I頻道資料信號即變成有效。若被接收之資料信號等於或超過該最大值達八個連續符號，解碼器68便產生一個輸出，使解碼器70產生一個增益下降信號，供將放大器31之增益減低某一預定量額或位階；只要比較器72所要求之條件符合，則此一動作即持續下去；而一旦條件不符合時，本接收器即進入

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明()

一致同調 A G C 操作模式，其中，放大器 30 之增益乃依被接收之節段同步字符之強度受控制，而該強度係由在濾波器 62 輸出端產生之相關脈波來代表。此相關脈波在第 5 圖中被施加至一個極性選擇電路，以確保資料極性正確，因為 F P L L 58 可能鎖定於兩相位中之任一相位。一個參考位準在一個總和器 76 中自此相關脈波上被減除，且其結果在一個 A G C 積分器 74 中被積分，積分器 74 之輸出被施加至解碼器 70，供控制放大器 31 之增益。詳言之，當總和器 76 之累積輸出超過一個第一位準時，一個增益下降信號即由解碼器 70 產生，以減低放大器 31 之增益，而當累積信號落至一個第二位準以下時，一個增益上升信號即由解碼器 70 產生，以提高放大器 31 之增益。積分器 74 會在一個增益上升信號或一個增益下降信號被產生之後，由解碼器 70 予以復置重新設定。總和器 76 之輸出亦被施加至一個節段同步積分器 94，此積分器 94 之輸出被施加至一個比較器 96 之一個輸入端，而比較器 96 之另一個輸入端則被供以一個零信號參考值。比較器 96 之輸出被供應到一個節段同步產生器 98，以供在每當來自濾波器 62 之累積相關脈波等於或大於一個零值時，提供一個節段同步輸出。

由此將會看出，非一致同調 A G C 操作動作相當快速，能夠每八個符號時鐘完成一次增益變更動作；反之，一致同調 A G C 操作動作係響應於節段同步字符，且因而只可以在每一資料節段完成一次增益變更動作。並且，在本發明之一個較佳實施例中，非一致同調 A G C 操作動作具

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

有超越一致同調 A G C 操作動作的優先權；緣是，若比較器 72 之條件在任何時刻符合（亦即 I 信號等於或大於該最大值達八個連續符號），非一致同調模式 A G C 操作動作即生效。此種雙重模式 A G C 操作動作設計係另於繫屬中之又一相關專利申請案中加以界定請求。

如前所述，同步解調器 20 內之 F P L L 58 係具雙相位穩定特性；因此，輸出資料之相位可被反相。若有需要，數位處理器 24 中之極性反轉器 59 會把資料信號之相位反轉。此極性反轉器 59 係由來自第 5 圖中所示極性選擇電路的一個信號加以控制。

在第 5 圖中，於濾波器 62 之輸出處所產生之相關同步型樣的正負號位元被耦接至一個第一正反器 82 之 D 輸入端，而第一正反器 82 之 Q 輸出被耦接至一個第二正反器 84 之 D 輸入端以及耦接至一個比較器 86 之一個輸入端，該比較器 86 之第二輸入端則被供以正反器 84 之 Q 輸出。比較器 86 之輸出被施加至一個 3 位元計數器 88 之復置重新設定輸入端，而此計數器 88 之進位輸出係被耦接至一個及開 90 之一個輸入端。及開 90 之第二輸入端被供以正反器 82 之 Q 輸出，且此及開之輸出被耦接至一個捺跳正反器 92 之捺跳輸入端。正反器 92 之 Q 輸出即包含控制極性反轉器 59 之操作動作的極性反轉控制信號。諸正反器 82 - 84 與計數器 88 係由自節段同步產生器 98（第 3 圖）引出之節段同步信號供以時鐘信號。

當同步解調器 20 之輸出被適當地定相位時，濾波器 62

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 ()

之相關輸出的正負號位元將為邏輯 0。倘若此正負號位元為邏輯 1，反轉器 59 即被操作而把被施加至數位處理器 24 之資料信號的極性反轉。

詳言之，正反器 82 與 84 係被操作來儲存同步相關濾波器 62 之諸連續輸出的正負號位元。邏輯 0 與邏輯 1 狀態之正負號位元分別造成 $Q = 0$ 與 $Q = 1$ 之正反器狀態。倘若正負號位元經連續八個節段同步字符均未改變（亦即沒有來自比較器 86 的輸出），計數器 88 之輸出便啟動及開 90，用以查核目前之正負號位元的極性；若其非為邏輯 0，亦即正反器 82 之狀態為 $Q = 1$ ，則及開 90 將產生一個輸出俾使正反器 92 發生捺跳動作，而使極性反轉器 59 改變狀態。而若該正負號位元為邏輯 0，及開 90 即不產生輸出，且反轉器 59 之狀態便不會被改變。

第 6 圖顯示出 F P L L 58（第 2 圖）之一組較佳實施例，如同下文所述地，其係亦響應於來自微處理器 12 之該 A F C 制勝信號。該 F P L L 傳統上包括有由一連串電阻器 R1、R2、與 R3、以及電容器 C1、C2、與 C3 所構成的一組 A F C 濾波器 80。此濾波器 80 之輸入端被連接用於接受經解調之 I 頻道資料信號，且其輸出被連接至一個限制器 82 的一個輸入端，而限制器 82 之另一輸入端則被供以一個參考電壓。此限制器 82 之輸出被供應到一個乘法器 84 的一個輸入端；經解調之 Q 頻道信號被供應到乘法器 84 之第二個輸入端，而乘法器 84 之輸出端係連接至一個 P L L 濾波器 86，由後者產生供控制 V C O 44（第 2 圖）的該電壓 V_t 。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明()

A F C 濾波器 80 具有如同分別於第 7 A 與 7 B 圖中以實線所顯示者的波幅與相位對頻率響應特性，用以 (1) 斥拒 I 頻道資料信號中之高頻資料成份、以及 (2) 提供輸入信號之相移作用。V C O 44 之頻率偏離其標稱解調頻率的一個誤差，會由在該等 I 與 Q 信號中產生拍頻的作用予以反映出來。只要諸拍頻不致過高，亦即，V C O 44 之頻率仍在標稱解調頻率之某一給定範圍內，A F C 濾波器 80 將會產生具足夠波幅與相位之一個輸出，以容許修正 V C O 之頻率；此一修正動作係藉著把 A F C 濾波器 80 經限制之輸出乘上該 Q 信號，以供應一個頻率修正信號給 P L L 濾波器 86 來實行。參照第 7 A 與 7 B 圖，將會注意到，當拍頻上升時，A F C 濾波器響應之幅度即降低，且所施加之相移即趨近 180° 。此二因素俱會消滅 A F C 濾波器 80 完成所需頻率修正動作的效能；特別是，當濾波器之相移超過了 180° 時，V C O 44 之頻率實際上係被推向適與達成頻率鎖定作用所需者相反的方向；而於啓動動作狀態期間內，V C O 44 之頻率可能會充份地偏離其標稱頻率而足可造成此種狀況，導致了即使在 F P L L 係響應於晶體振盪器 34 之輸出而被操作時，仍極難以獲取所接收到之信號。

然依據本發明，前述問題已藉著設置一個充電泵 88 而順利加以解決，該充電泵 88 乃由該 A F C 制勝信號予以啓動而用於響應於 I 信號將一股電流注入到 A F C 濾波器 80 之輸出節點 90 內。如此實際上有效地將波幅與相位響應特性修改成如同第 7 A 與 7 B 圖中之虛線所示者。應可看出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

，經修改之波幅響應在濾波器隨頻率上升的波幅響應上及在相移上，提供了較為和緩的斜減現象；更重要的是，相移在基本上頂多相對於增大之頻率而固定在大約 90° 處，而決不會變成 180° 。因此，A F C濾波器80提供了具有小於 180° （亦即大約 90° ）之相移的一個位準增加之輸出信號，而能有助於在啓動動作期間響應於晶體振盪器34之輸出而進行之載波取得機能。

應知，在業界既知之技藝範圍內，可對以上所述之某些特定電路加以變更，而本發明係只欲由申請專利範圍各請求項中所界定者來限制之。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明()

專 有 名 詞 列 表

- 10 調諧器
- 12 微處理器
- 14 鍵盤
- 16 I R 接收器
- 18 S A W 濾波器
- 20 I F 放大器暨同步解調器
- 21、33 電容器
- 22 類比至數位 (A / D) 轉換器
- 24 數位處理器
- 30 增益控制放大器
- 31 A G C 控制暨充電泵
- 32 I F 開關
- 34 晶體振盪器
- 40、42、84 乘法器
- 44 可受電壓控制振盪器
- 46 除以4預先定比器電路／除法器
- 50、52 低通濾波器
- 54、56 放大器
- 58 鎖頻鎖相迴路 (F P L L)
- 59 極性反轉器
- 60 符號同步濾波器
- 62 同步相關濾波器
- 64 開控 PLL

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ()

- 66 符號時鐘產生器
- 68、70 解碼器
- 72、86、96 比較器
- 74 AGC 積分器
- 76 總和器
- 80 濾波器
- 82 第一正反器／限制器
- 84 第二正反器
- 86 PLL濾波器
- 88 3位元計數器／充電泵
- 90 及開／AFC濾波器輸出節點
- 92 擦跳正反器
- 94 節段同步積分器
- 98 節段同步產生器
- C1、C2、C3 電容器
- R1、R2、R3 電阻器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 同步解調器用載波取得系統)

一種同步解調器受一鎖相迴路所控制，俾供調諧於在一個電視信號中之一個引示成份。一段啟動動作期間乃於該調諧動作起始作動之際開始；而于此啟動動作之期間內，處於引示成份頻率之一個替代信號被供應至鎖相迴路，以迅速使VCO靠近其鎖定頻率。隨後，IF信號即被供應。該啟動動作期間係由來自一個微處理器之一個AFC制勝信號所定義，並控制一個IF開關。該替代信號則係來自一個晶體振盪器。

英文發明摘要(發明之名稱： Carrier Acquisition System for a Synchronous Demodulator)

A synchronous demodulator is controlled by a phase locked loop for tuning to a pilot in a television signal. A start-up interval is commenced upon initiation of tuning (either after power-up or a channel change) during which a substitute signal at the pilot frequency is supplied to the phase locked loop to rapidly bring the VCO close to its lock-up frequency. Thereafter the IF signal is supplied. The start-up interval is defined by an AFC Defeat signal from a microprocessor and controls an IF switch. The substitute signal is from a crystal oscillator.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第83111960號申請案申請專利範圍修正本 86.6.11.

1. 一種電視接收器，用以調諧包括有一個引示信號的一個電視信號，該接收器包括有：用以檢測該電視信號並生成一個 I F 信號的裝置；用以鎖定於該引示信號的一個受鎖頻鎖相迴路控制之同步解調器；用以在一段預定的啓動動作期間內將頻率大致等於該引示信號之頻率的一個替代信號供應至該同步解調器的裝置；以及用以在該啓動動作期間過後將該 I F 信號供應至該同步解調器的裝置。
2. 如申請專利範圍第 1 項所述之接收器，其包括有耦接於該鎖頻鎖相迴路之一個可受電壓控制振盪器、以及耦接於該 I F 開關與該鎖頻鎖相迴路之一對乘法器，該可受電壓控制振盪器供應一些相位經偏移之電壓至該對乘法器。
3. 如申請專利範圍第 1 項所述之接收器，其中於該啓動動作期間內，在濾波器信號波幅上有最小的衰減。
4. 如申請專利範圍第 2 項所述之接收器，其中於該啓動動作期間內，在濾波器信號波幅上有最小的衰減。
5. 如申請專利範圍第 1、2、3 或 4 項所述之接收器，其包括有資料信號處理裝置、以及用以將該同步解調器之輸出耦接至該資料信號處理裝置同時使該引示信號對該資料信號處理裝置之作用最小化的裝置。
6. 如申請專利範圍第 5 項所述之接收器，其中該引示信號在該同步解調器之輸出中產生一個 D C 成份，且其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

中該耦接裝置將該 D C 成份阻絕於該資料信號處理裝置之外。

7. 如申請專利範圍第 6 項所述之接收器，其中該資料信號處理裝置包含一個 A / D 轉換器，而該耦接裝置包含一個電容器。
8. 如申請專利範圍第 1、2、3 或 4 項所述之接收器，其中，該鎖頻鎖相迴路包括：具有一組濾波器電路的一個 A F C 濾波器，該濾波器電路包含顯現出一種預定之相位響應特性的一組電阻器與電容器網路；以及相移限制裝置，其可操作來藉著將該網路隨頻率上升而變之相移限制于小於 180° 之值而用於修改該預定相位響應特性。
9. 如申請專利範圍第 8 項所述之接收器，其中該相移係被限制于大約 90° 。
10. 如申請專利範圍第 8 項所述之接收器，其中該相移限制裝置包含有：耦接於該濾波器電路之一個充電泵、以及于該啓動動作期間操作該充電泵俾用以限制該相移的裝置。
11. 如申請專利範圍第 9 項所述之接收器，其中該相移限制裝置包含有：耦接於該濾波器電路之一個充電泵、以及于該啓動動作期間操作該充電泵俾用以限制該相移的裝置。

(請先閱讀背面之注意事項再填寫本頁)

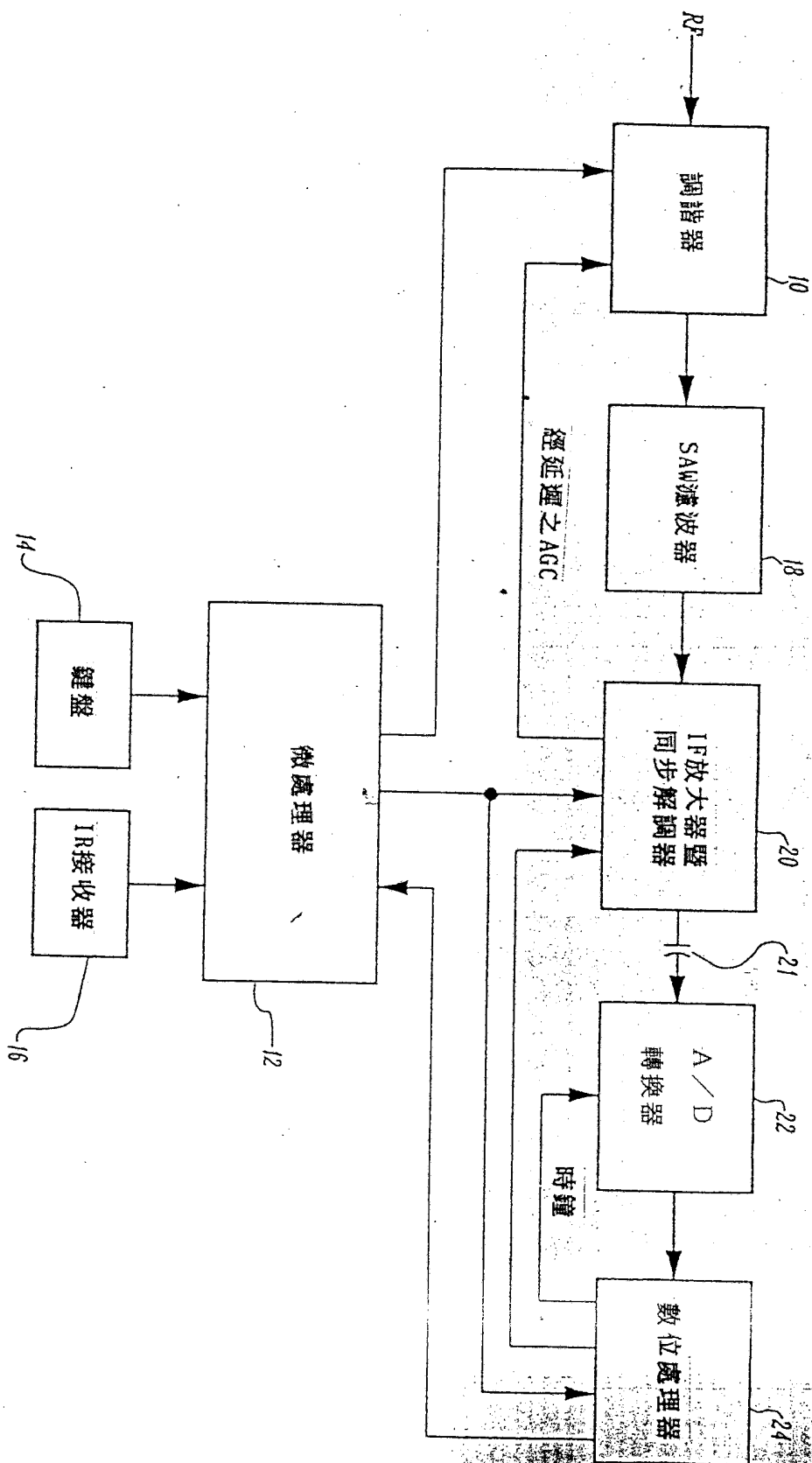
裝

訂

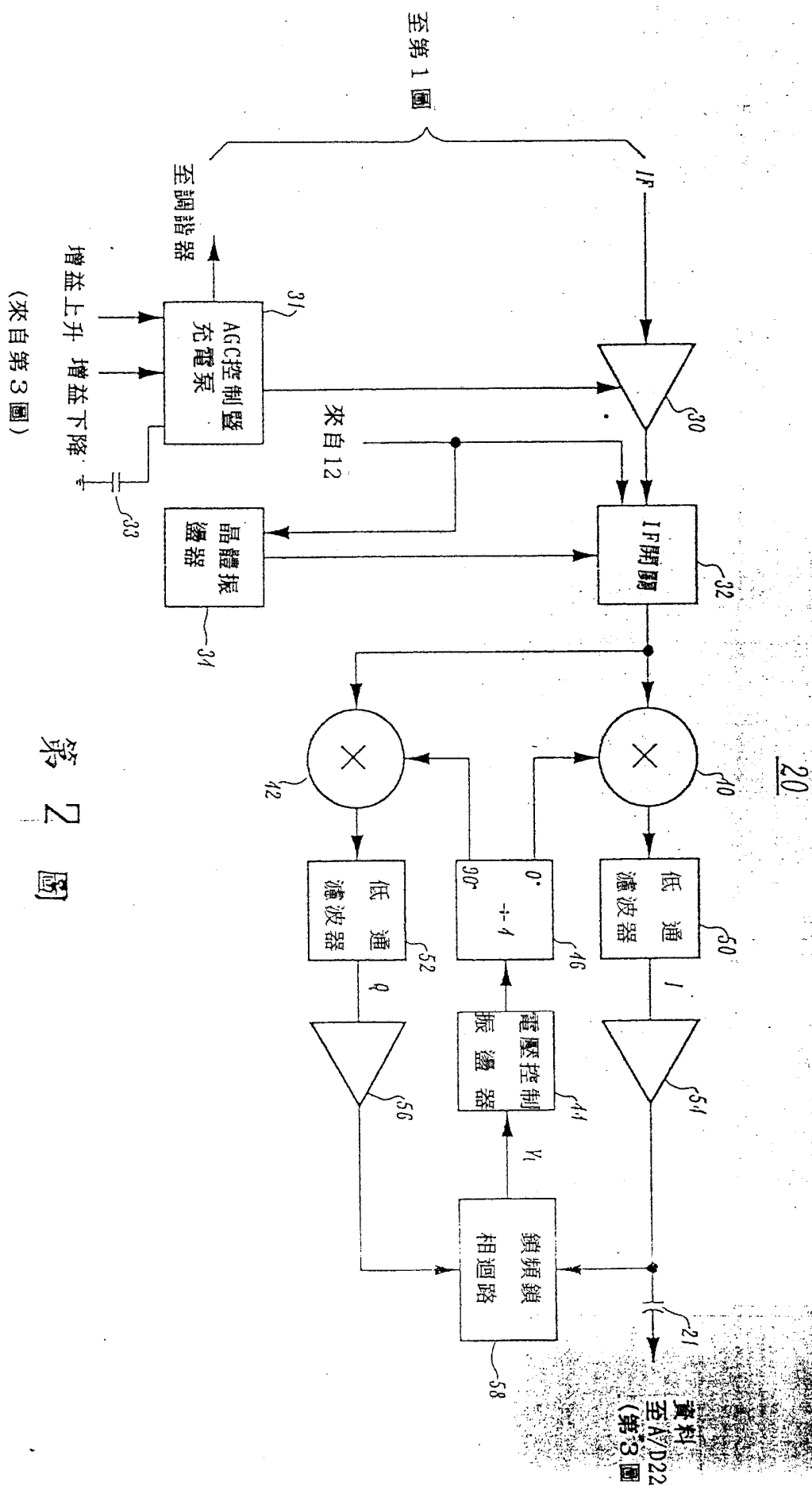
線

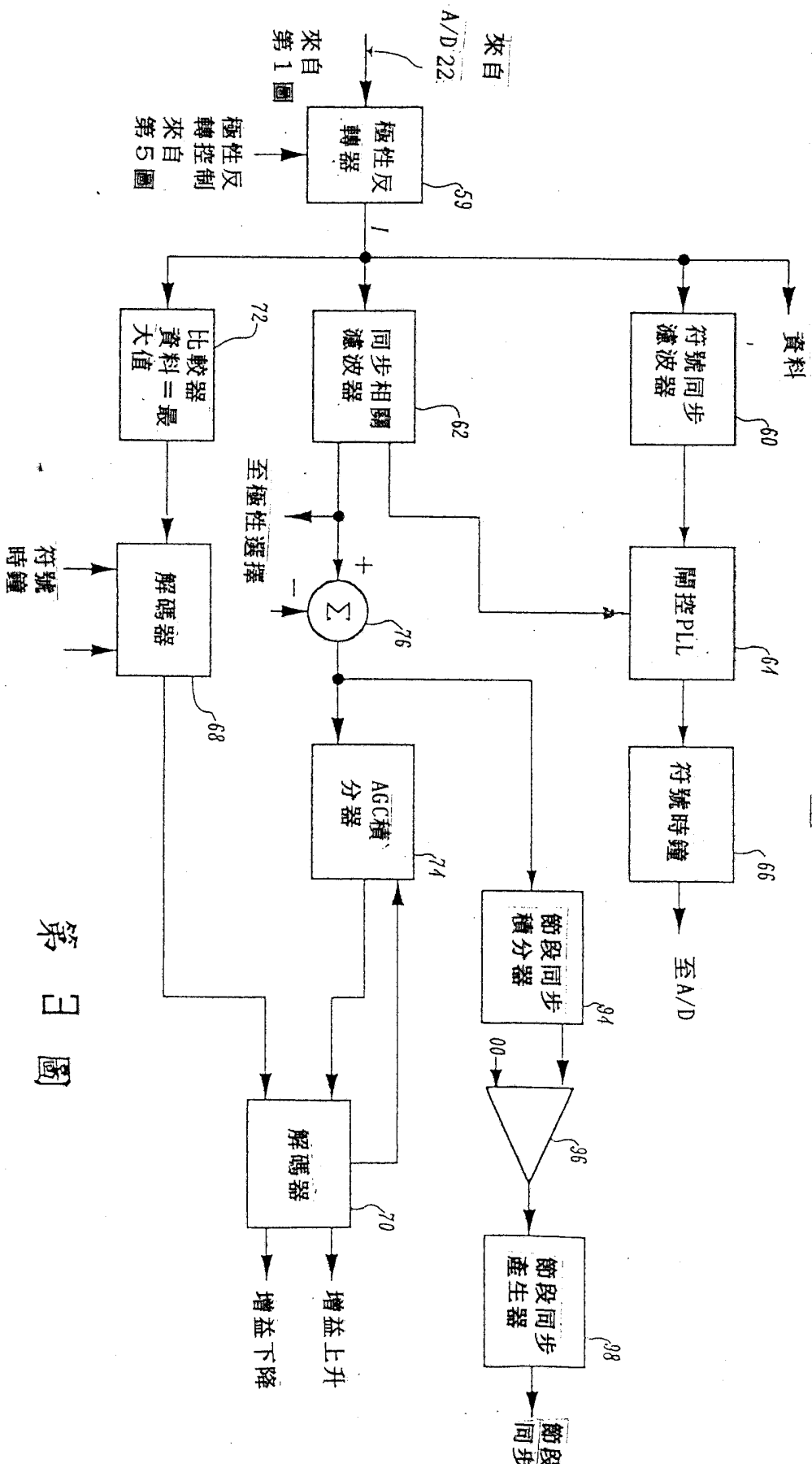
修正補充
88年6月11日

中 國 圖

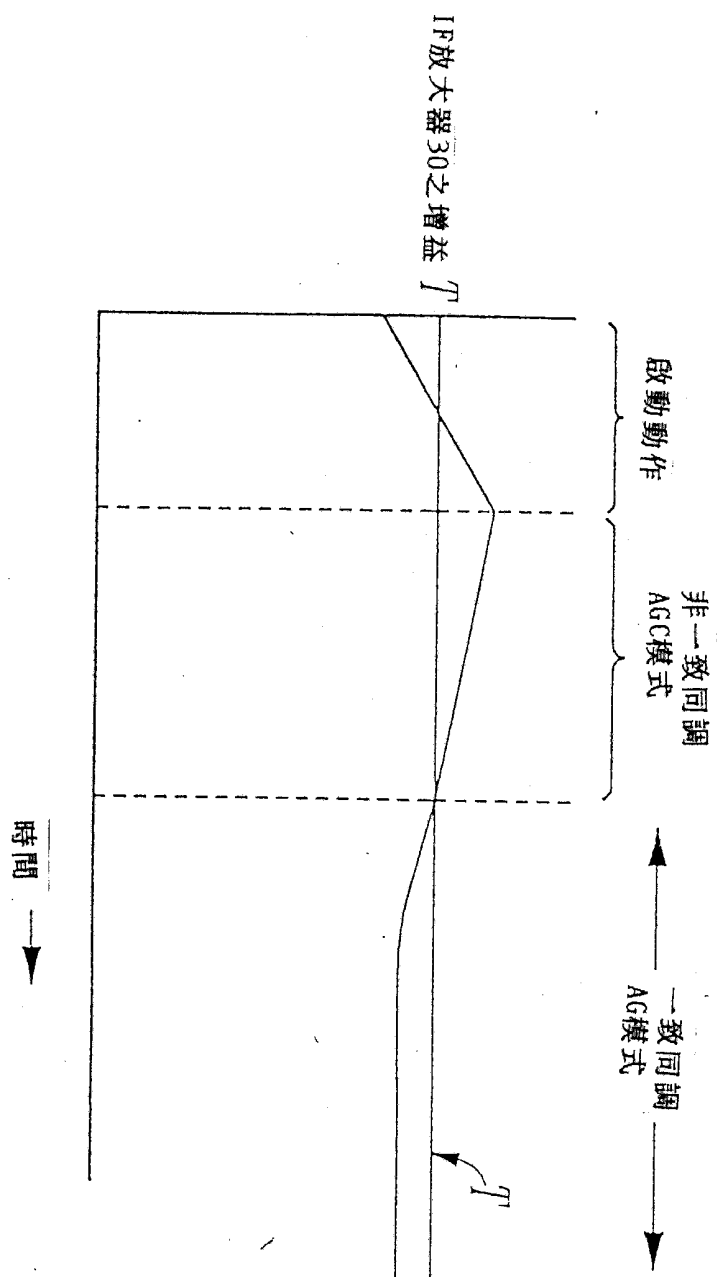


第一圖

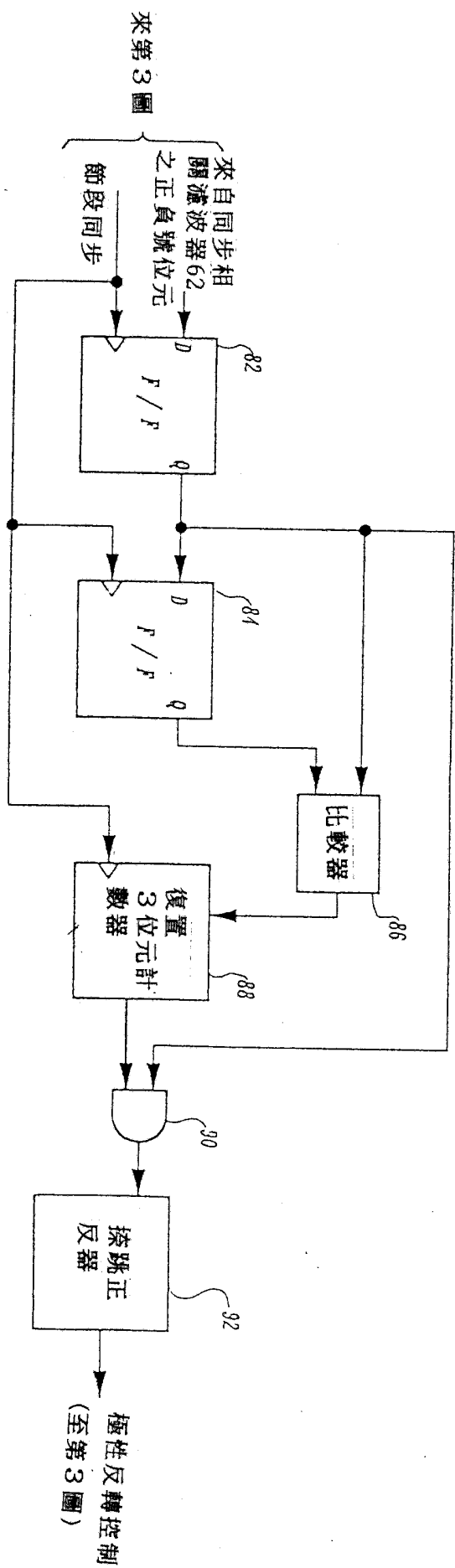




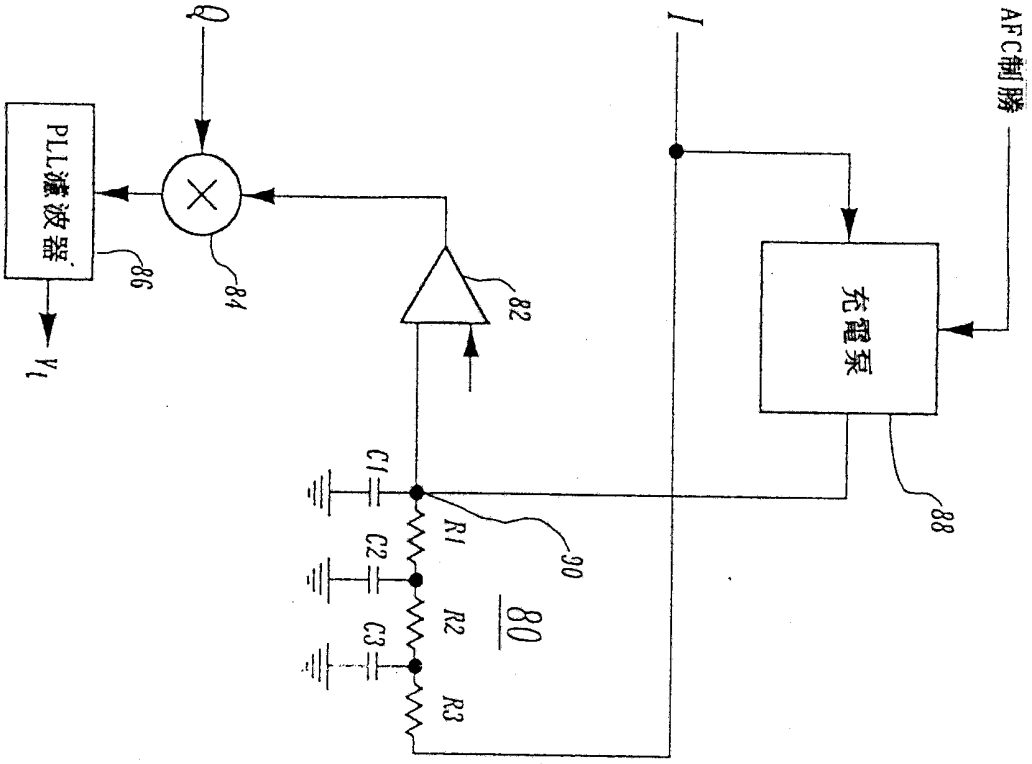
第 3 圖



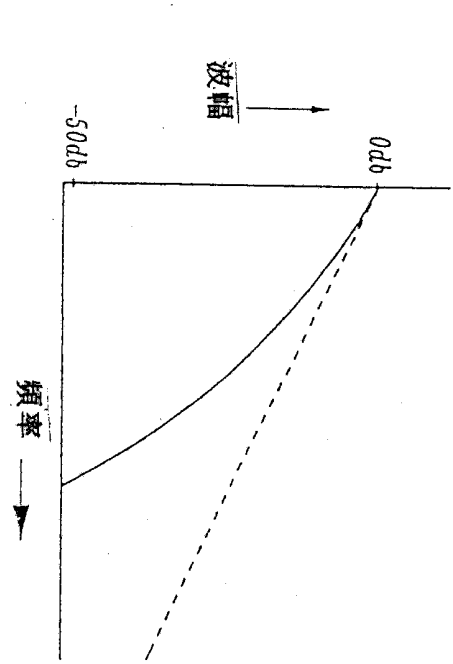
第十四圖



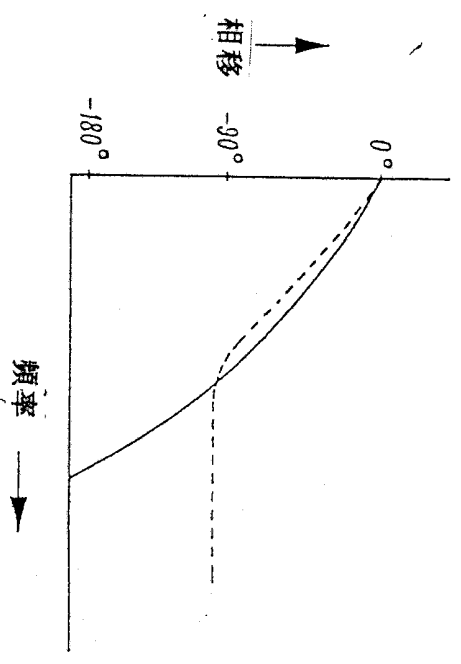
第5圖



第 6 圖



第 7A 圖



第 7B 圖