



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년02월17일
(11) 등록번호 10-1113096
(24) 등록일자 2012년01월31일

(51) Int. Cl.

G11C 11/15 (2006.01)

(21) 출원번호 10-2006-7004467

(22) 출원일자(국제출원일자) 2004년07월15일

심사청구일자 2009년07월15일

(85) 번역문제출일자 2006년03월03일

(65) 공개번호 10-2006-0088101

(43) 공개일자 2006년08월03일

(86) 국제출원번호 PCT/US2004/022510

(87) 국제공개번호 WO 2005/027135

국제공개일자 2005년03월24일

(30) 우선권주장

10/656,676 2003년09월05일 미국(US)

(56) 선행기술조사문현

EP01321944 A1*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

에버스핀 테크놀러지스, 인크.

미국 아리조나 85224, 첼들러, 앰디:400, 노스 앤
마 스쿨 로드 1300

(72) 발명자

나하스, 조셉, 제이.

미국 78731 텍사스주 오스틴 젠틀 브리즈 테라스
5824

안드레, 토마스, 더블유.

미국 78732 텍사스주 오스틴 라티머 드라이브
3508

(뒷면에 계속)

(74) 대리인

백만기, 정은진, 양영준, 장수길

전체 청구항 수 : 총 30 항

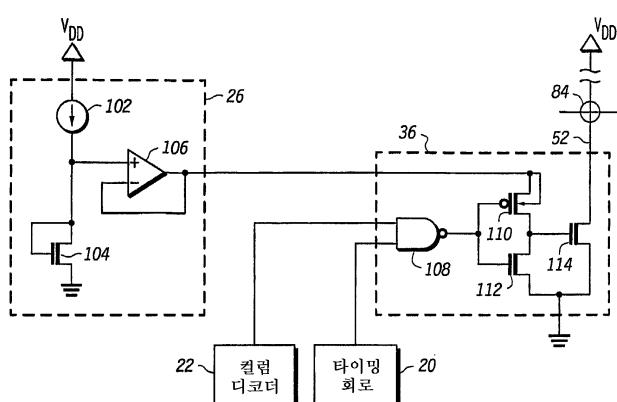
심사관 : 장진환

(54) 자기저항 메모리를 위한 기록 드라이버

(57) 요약

기록 드라이버(36)는 전압에 의해 드라이버 회로(114)에 반영되는 기준 전류(reference current; 102)를 사용한다. 드라이버 회로(114)는 드라이버(114)를 통한 전류가 미리 결정된 기준 전류(102)의 배수이도록 전압을 제공하는 디바이스(104)에 관련되어 크기가 된다. 이 전압은 스위치(110)를 통해 드라이버 회로(114)에 결합된다. 스위치(110)는, 기록 라인(52)이 어드레스에 응답하는 디코더(22)에 의해 결정되는 것처럼 단지 그것을 통해 기록 전류를 흐르도록 하기 위한 것일 때만 드라이버 회로(114)가 전압을 수신하도록 제어된다. 드라이버(114)는 기록 라인(52)이 그것을 통해 전류가 흐르지 않도록 의도될 때 확실히 디스에이블(disable)된다. 높은 전류 때 문의 그라운드 바운스(ground bounce)를 극복하기 위한 개선책으로서, 드라이버로의 입력은 그런 바운스를 경험하는 그라운드 단자에 캐패시터(120)로 결합될 수 있다. 추가 개선책들은 진폭과 에지 비율 제어에서 이득을 제공한다.

대 표 도 - 도2



(72) 발명자

서브라매니안, 치트라, 케이.

미국 78750 텍사스주 오스틴 퍽페어 드라이브
10601

린, 헬버트

미국 78717 텍사스주 오스틴 안도라 드라이브
10124

특허청구의 범위

청구항 1

메모리로서,

복수의 메모리 셀;

상기 복수의 셀에 데이터 값을 기록하기 위한 기록 라인;

상기 기록 라인에 결합되고, 상기 기록 라인에서의 전류를 제어하는 트랜지스터 - 상기 트랜지스터는 제어 전극을 가짐 -; 및

상기 트랜지스터의 제어 전극에 결합된 제1 단자와 기준 전압을 제공하기 위한 기준 전압 회로에 결합된 제2 단자를 가져서, 메모리 기록 동작 동안 상기 기록 라인을 통해 흐르는 전류의 양을 제어하기 위한 제1 스위치 회로- 상기 제1 스위치 회로는 타이밍 회로로부터의 타이밍 신호 또는 컬럼 디코더로부터의 인에이블(enable) 신호 중 적어도 하나에 응답하는 도통 상태를 가짐 -

를 포함하는 메모리.

청구항 2

제1항에 있어서, 상기 제1 스위치 회로의 도통 상태는 상기 타이밍 신호와 상기 인에이블 신호 양쪽 모두에 응답하는 메모리.

청구항 3

제1항에 있어서,

제2 스위치 회로 - 상기 제2 스위치 회로는, 상기 제어 전극에 결합된 제1 단자와 전압 레벨을 갖는 전압 소스에 결합된 제2 단자를 가져서, 자신이 도통 상태에 있을 때 상기 트랜지스터가 비도통이 되도록 하고, 상기 제2 스위치 회로는 상기 타이밍 신호 또는 상기 인에이블 신호 중 적어도 하나에 응답하는 도통 상태를 가짐 - 를 더 포함하는

메모리.

청구항 4

제3항에 있어서, 상기 제1 스위치 회로가 도통일 때 상기 제2 스위치 회로가 비도통이고, 상기 제1 스위치 회로가 비도통일 때 상기 제2 스위치 회로가 도통인 메모리.

청구항 5

제1항에 있어서,

상기 기준 전압 회로는 전류 소스 및 상기 전류 소스에 직렬로 결합된 다이오드 접속 트랜지스터를 포함하는 메모리.

청구항 6

제5항에 있어서, 상기 기준 전압 회로는 상기 제2 단자에 결합된 버퍼 회로를 더 포함하는 메모리.

청구항 7

제1항에 있어서, 상기 트랜지스터는 상기 기록 라인에 접속된 제1 전류 단자 및 전압 소스에 접속된 제2 전류 단자를 포함하는 메모리.

청구항 8

제1항에 있어서, 상기 트랜지스터가 기록 전류를 위해 도통될 때, 상기 트랜지스터는 포화 모드에서 동작하는 메모리.

청구항 9

제1항에 있어서, 상기 기록 라인은 상기 복수의 메모리 셀에게 전류를 제공하여 상기 복수의 메모리 셀에 데이터 값을 기록하기 위한 자계를 생성하는 메모리.

청구항 10

제1항에 있어서, 상기 트랜지스터는 상기 기록 라인에 결합된 제1 전류 전극 및 전압 소스에 결합된 제2 전류 전극을 가지며,

상기 메모리는,

상기 트랜지스터의 제2 전류 전극에 결합된 제1 전극과, 상기 제1 스위치 회로의 제2 단자에 결합된 제2 전극을 갖는 캐패시터; 및

상기 스위치 회로의 제2 단자와 상기 전압 기준 회로 사이에 결합된 제2 스위치 회로- 상기 제2 스위치 회로는 상기 타이밍 신호 또는 상기 인에이블 신호 중 적어도 하나에 응답하는 도통 상태를 가짐 -
를 더 포함하는 메모리.

청구항 11

제1항에 있어서, 상기 기준 전압 회로는,

제1 전원 단자에 결합된 소스, 게이트 및 드레인을 갖는 기준 트랜지스터;

제2 전원 단자에 결합된 제1 단자와, 상기 기준 트랜지스터의 드레인에 결합된 제2 단자를 갖는 기준 저항; 및
바이어스 전압을 수신하기 위한 제1 입력, 상기 기준 트랜지스터의 드레인에 결합된 제2 입력, 및 상기 기준 트랜지스터의 게이트에 결합된 출력을 갖는 증폭기 - 상기 출력은 상기 기준 전압을 제공함 - 를 포함하는
메모리.

청구항 12

제11항에 있어서,

상기 제1 전원 단자에 결합된 제1 단자와, 상기 바이어스 전압을 제공하는 제2 단자를 갖는 전류 소스; 및

상기 전류 소스의 제2 단자에 결합된 제1 단자와, 상기 제2 전원 단자에 결합된 제2 단자를 갖는 저항
을 더 포함하는 메모리.

청구항 13

제1항에 있어서,

제2 스위치 회로 - 상기 제2 스위치 회로는, 상기 제어 전극에 결합된 제1 단자와 상기 기준 전압 회로에 결합된 제2 단자를 가져서, 자신이 도통 상태에 있을 때 상기 트랜지스터가 비도통이 되도록 하고, 상기 제2 스위치 회로는 상기 타이밍 신호 또는 상기 인에이블 신호 중 적어도 하나에 응답하는 도통 상태를 가짐 - 를 더 포함하는 메모리.

청구항 14

메모리로서,

복수의 메모리 셀;

복수의 기록 라인- 상기 기록 라인 각각은 상기 복수의 메모리 셀 중 한 그룹의 메모리 셀들에 데이터 값을 기록하기 위한 것임 -;

복수의 트랜지스터- 상기 복수의 트랜지스터 각각은 상기 복수의 기록 라인 중 하나의 기록 라인에 결합되고 상기 기록 라인의 전류를 제어함 -; 및

복수의 스위치 회로 - 상기 스위치 회로 각각은 상기 복수의 트랜지스터 중 한 트랜지스터의 제어 전극에 결합

된 제1 단자를 가지며, 상기 스위치 회로 각각은 기준 전압을 제공하기 위한 기준 전압 회로에 결합된 제2 단자를 가져서 기록 라인을 통해 흐르는 전류의 양을 제어하며, 상기 스위치 회로 각각은 타이밍 회로로부터의 타이밍 신호 또는 컬럼 디코더로부터의 복수의 인에이블 신호 중 한 인에이블 신호 중 적어도 하나에 응답하는 도통 상태를 가짐 -

를 포함하는 메모리.

청구항 15

제14항에 있어서,

상기 복수의 인에이블 신호 각각은 상기 복수의 트랜지스터 중 한 트랜지스터와 연관되고, 및

상기 복수의 스위치 회로 각각은, 상기 스위치 회로의 제1 단자에 결합된 제어 전극을 갖는, 상기 복수의 트랜지스터 중 한 트랜지스터와 연관되는 적어도 상기 인에이블 신호에 응답하는 도통 상태를 갖는 메모리.

청구항 16

제14항에 있어서, 상기 복수의 스위치 회로 각각은 상기 타이밍 신호 및 상기 복수의 인에이블 신호 중 한 인에이블 신호 양쪽 모두에 응답하는 도통 상태를 갖는 메모리.

청구항 17

제14항에 있어서,

상기 복수의 메모리 셀은 로우들 및 컬럼들로 배열되고,

각 기록 라인은 상기 복수의 메모리 셀 중 메모리 셀들의 한 컬럼에 데이터 값을 기록하기 위한 것이며,

상기 메모리는,

제2 복수의 기록 라인 - 상기 제2 복수의 기록 라인 각각은 상기 복수의 메모리 셀 중 메모리 셀들의 한 로우에 데이터 값을 기록하기 위한 것임 -;

제2 복수의 트랜지스터 - 상기 제2 복수의 트랜지스터 각각은 상기 제2 복수의 기록 라인 중 한 기록 라인에 결합되고 상기 기록 라인의 전류를 제어함 -; 및

제2 복수의 스위치 회로 - 상기 제2 복수의 스위치 회로 각각은 상기 제2 복수의 트랜지스터 중 한 트랜지스터의 제어 전극에 결합된 제1 단자를 가지며, 상기 제2 복수의 스위치 회로 각각은 기준 전압을 제공하기 위한 제2 기준 전압 회로에 결합된 제2 단자를 가져서 상기 제2 복수의 기록 라인 중 한 기록 라인을 통해 흐르는 전류의 양을 제어하며, 상기 제2 복수의 스위치 회로 각각은 타이밍 회로로부터의 제2 타이밍 신호 또는 컬럼 디코더로부터의 제2 복수의 인에이블 신호 중 한 인에이블 신호 중 적어도 하나에 응답하는 도통 상태를 가짐 -

를 더 포함하는 메모리.

청구항 18

제17항에 있어서, 상기 복수의 메모리 셀 각각에 대해, 상기 제1 복수의 기록 라인 중 한 기록 라인 및 상기 제2 복수의 기록 라인 중 한 기록 라인 각각은 상기 메모리 셀에 전류를 공급하여 상기 메모리 셀에 데이터 값을 기록하기 위한 자계를 생성하는 메모리.

청구항 19

제14항에 있어서, 상기 복수의 트랜지스터 각각은 상기 복수의 기록 라인 중 한 기록 라인에 결합된 제1 전류 전극, 및 전압 소스에 결합된 제2 전류 전극을 가지며,

상기 메모리는,

복수의 캐패시터 - 상기 캐패시터 각각은, 상기 복수의 트랜지스터 중 한 트랜지스터의 제2 전류 전극에 결합된 제1 전극과 상기 복수의 스위치 회로 중 한 스위치 회로의 제2 단자에 결합된 제2 전극을 가짐 -; 및

복수의 제2 스위치 회로 - 상기 제2 복수의 스위치 회로 각각은, 상기 복수의 스위치 회로 중 한 스위치 회로의 제2 단자와 상기 기준 전압 회로 사이에 결합되고, 상기 제2 복수의 스위치 회로 각각은 타이밍 회로로부터의

타이밍 신호 또는 컬럼 디코더로부터의 상기 복수의 인에이블 신호 중 한 인에이블 신호 중 적어도 하나에 응답하는 도통 상태를 가짐 -
를 더 포함하는 메모리.

청구항 20

제14항에 있어서, 상기 기준 전압 회로는 전류 소스 및 상기 전류 소스에 직렬로 결합된 다이오드 접속된 트랜지스터를 포함하는 메모리.

청구항 21

제20항에 있어서, 상기 복수의 트랜지스터 각각에 대해, 상기 트랜지스터의 제어 전극에 결합된 제1 단자를 갖는 복수의 스위치 회로 중 한 스위치 회로가 도통 상태에 있을 때, 상기 기준 전압 회로는 전류 미러(mirror)의 제1 스테이지로서 동작하고 상기 트랜지스터는 전류 미러의 제2 스테이지로서 동작하는 메모리.

청구항 22

제20항에 있어서, 상기 기준 전압 회로는 상기 복수의 스위치 회로 각각의 제1 단자에 결합된 출력을 갖는 버퍼 회로를 더 포함하는 메모리.

청구항 23

제14항에 있어서, 상기 복수의 트랜지스터 각각은 상기 복수의 기록 라인 중 한 기록 라인에 접속된 제1 전류 단자, 및 전압 소스에 접속된 제2 전류 단자를 포함하는 메모리.

청구항 24

제14항에 있어서, 상기 복수의 트랜지스터 각각에 대해, 상기 트랜지스터가 기록 전류를 위해 도통될 때 상기 트랜지스터는 포화 모드에서 동작하는 메모리.

청구항 25

제14항에 있어서, 상기 기준 전압 회로는,
상기 기록 라인들 양단에 인가되는 원하는 전압을 나타내는 바이어스 전압을 제공하기 위한 바이어스 수단;
게이트와 드레인을 갖는 기준 트랜지스터; 및
상기 트랜지스터와 상기 바이어스 수단에 결합되고, 상기 기준 트랜지스터의 드레인에 상기 원하는 전압을 제공하는, 상기 기준 트랜지스터의 게이트에 인가되는 게이트 전압을 결정함으로써 상기 기준 전압을 제공하는 기준 수단을 포함하는
메모리.

청구항 26

메모리로서,
복수의 메모리 셀;
상기 복수의 셀에 데이터 값을 기록하기 위한 기록 라인;
상기 기록 라인에 결합되고 상기 기록 라인에서의 전류를 제어하는 트랜지스터 - 상기 트랜지스터는 제어 전극을 가짐 -; 및
타이밍 회로로부터의 타이밍 신호 또는 컬럼 디코더로부터의 인에이블 신호 중 적어도 하나에 응답하여 상기 트랜지스터의 제어 전극에 제어 신호를 제공하기 위한 수단 - 상기 제어 신호가 인가(assert)되지 않으면 상기 트랜지스터를 통해 전류가 흐르지 않으며, 상기 제어 신호가 인가되면 상기 제어 신호는 상기 트랜지스터를 통해 흐르는 전류의 양을 제어하는 전압을 가짐 -
을 포함하는 메모리.

청구항 27

삭제

청구항 28

제26항에 있어서, 상기 수단은 상기 타이밍 신호 및 상기 인에이블 신호 양쪽 모두에 응답하여 상기 제어 신호를 인가하도록 응답하는 메모리.

청구항 29

제26항에 있어서, 상기 기록 라인은 상기 복수의 메모리 셀에 전류를 제공하여 상기 복수의 메모리 셀에 데이터 값을 기록하기 위한 자계를 생성하는 메모리.

청구항 30

메모리로서,

복수의 메모리 셀;

복수의 기록 라인 - 상기 기록 라인 각각은 상기 복수의 메모리 셀 중 한 그룹의 셀들에 데이터 값을 기록하기 위한 것임 -;

복수의 트랜지스터 - 상기 복수의 트랜지스터 각각은 상기 복수의 기록 라인 중 한 기록 라인에 결합되고 상기 기록 라인의 전류를 제어함 -; 및

상기 복수의 트랜지스터 각각에 대해, 타이밍 회로로부터의 타이밍 신호 또는 컬럼 디코더로부터의 복수의 인에이블 신호 중 한 인에이블 신호 중 적어도 하나에 응답하여 상기 트랜지스터의 제어 전극에 제어 신호를 제공하기 위한 수단 - 상기 제어 신호가 인가되지 않을 때 상기 트랜지스터를 통해 전류가 흐르지 않으며, 상기 제어 신호가 인가될 때 상기 제어 신호는 상기 트랜지스터를 통해 흐르는 전류의 양을 제어하는 전압을 가짐 -

을 포함하는 메모리.

청구항 31

삭제

청구항 32

제30항에 있어서, 상기 복수의 트랜지스터 각각에 대해, 상기 수단은 상기 타이밍 신호 및 상기 복수의 인에이블 신호 중 상기 한 인에이블 신호 양쪽 모두에 응답하여 상기 제어 신호를 인가하도록 응답하는 메모리.

명세서**기술 분야**

[0001] 본 발명은 자기저항 랜덤 액세스 메모리(Magnetoresistive Random Access Memories; 이하, 'MRAM'이라고도 함)에 관한 것이고, 더 구체적으로는, MRAM들에서 사용하기 위한 기록 드라이브들에 관한 것이다.

배경기술

[0002] MRAM들은 비휘발성이고, 조밀하고, 빠른 것과 같은 특정한 이득이 있는 특성들을 갖는다. 이들 특성들은 범용 메모리 및, 내장형(embedded) 메모리, 즉, 마이크로컴퓨터와 같은 온-보드(on-board) 논리 회로의 메모리,로서 모두 사용하기에 그것을 매우 매력적으로 만든다. 그런 MRAM들을 생산하는 것은 다수의 요인들 때문에 어려웠다. 이들 중의 하나는 1과 0으로 식별될 수 있는 1과 0을 일관적으로 기록할 수 있는 것이다.

[0003] 이 어려움을 극복하기 위한 한 가지 방법은 토클 비트(toggle bit) MRAM의 개발이다. 그런 것은 미국특허번호 제6,545,906호 B1, 사브첸코 외,에 기재되었다. 이 경우, MRAM은 2 개의 시간 지정된 자기 신호들을 인가하여 MRAM 셀이 그것의 현재 상태에 무관하게 상태들을 스위치하도록 프로그램되었다. 논리 1에서 논리 0으로의 변경은 논리 0에서 논리 1로의 변경과 같은 방식으로 이루어진다. 이 기술은 논리 1 상태와 논리 0 상태 간의 우수한 일관성을 제공한다. 논리 상태들의 토클링이 비트의 자계를 제어하여 이루어지므로, 제어되어야 하는 자

계들을 생성하는 것은 기록 라인들의 전류이다.

[0004] 그러므로, 소형의 회로 디자인이라는 보통 바램을 또한 염두에 두면서 효과적 전류 제어를 제공하는 MRAM들을 위한 기록 드라이버들에 대한 필요성이 존재한다. 그러므로, 소형 크기와 효과적 전류 제어 모두를 제공하는 기록 드라이버가 바람직하다.

발명의 상세한 설명

[0005] 기록 드라이버는 전압에 의해 드라이버 회로로 반영되는 기준 전류(reference current)를 사용한다. 드라이버 회로는 드라이버를 통한 전류가 미리 결정된 기준 전류의 배수이도록 전압을 제공하는 디바이스와 관련하여 크기가 정해진다. 이 전압은 스위치를 통해 드라이버 회로에 결합된다. 스위치는, 기록 라인이 어드레스에 응답하는 디코더에 의해 결정되는 것처럼 그것을 통해 기록 전류가 흐를 때만 드라이버 회로가 전압을 수신하도록 제어된다. 기록 라인이 그것을 통해 전류가 흐르지 않도록 의도될 때, 드라이버는 확실히 디스에이블(disable)된다. 고 전류 때문의 그라운드 바운스(ground bounce)를 극복하기 위한 개선책으로서, 드라이버로의 입력은 그런 바운스를 경험하는 그라운드 단자에 용량 결합될 수 있다. 추가적 개선책들은 전류 진폭과 에지 비율의 제어에서 이점들을 제공한다. 이것은 도면들과 다음 설명을 참조하여 더 잘 이해된다.

실시예

[0011] 삭제

[0012] 도 1에, MRAM 셀들의 어레이(12), 로우 어드레스를 수신하기 위한 로우 디코더(14), 로우 디코더(14)에 결합된 복수의 로우 기록 드라이버들(16), 로우 기록 드라이버들(16)에 결합된 로우 바이어스 회로(18), 로우 기록 드라이버들(16)에 결합된 타이밍 회로(20), 컬럼 어드레스를 수신하기 위한 컬럼 디코더(22), 컬럼 디코더(22)와 타이밍 회로(20)에 결합된 복수의 컬럼 기록 드라이버들(24), 및 컬럼 기록 드라이버들(24)에 결합된 컬럼 바이어스 회로(26)를 갖는 메모리(10)가 도시된다. 어레이(12)는 로우 기록 라인들(44, 46, 48, 및 50), 컬럼 기록 라인들(52, 54, 56, 및 58), 및 MRAM 셀들(60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80, 82, 84, 86, 88, 및 90)을 포함한다. 복수의 로우 기록 드라이버들(16)은, 로우 기록 라인(44)과 결합된 로우 기록 드라이버(28), 로우 기록 라인(46)과 결합된 로우 기록 드라이버(30), 로우 기록 라인(48)과 결합된 로우 기록 드라이버(32), 및 로우 기록 라인(50)과 결합된 로우 기록 드라이버(34)를 포함한다. 복수의 컬럼 기록 드라이버들(24)은, 컬럼 기록 라인(52)에 결합된 컬럼 기록 드라이버(36), 컬럼 기록 라인(54)에 결합된 컬럼 기록 드라이버(38), 컬럼 기록 라인(56)에 결합된 컬럼 기록 드라이버(40), 및 컬럼 기록 라인(58)에 결합된 컬럼 기록 드라이버(42)를 포함한다. 당업자는, 실제에서, 메모리(10)가, 어드레스 버퍼, 판독을 위한 워드 라인과 비트 라인, 판독을 위한 센스 증폭기, 기록될 데이터를 수신하기 위한 입력 버퍼, 및 출력 버퍼와 같은 다른 특징들은 물론 다수의 추가적 메모리 셀들을 포함할 것임을 이해할 것이다. 그런 메모리는, 2002년 6월 28일에 출원된, "기록 회로를 갖는 메모리 아키텍처와 그것을 위한 방법(Memory Architecture with Write Circuitry and Method Therefor)"의 표제의, 미국특허출원번호 제10/185,888호에 기재된다.

메모리(10)에서, 메모리 셀들(60 내지 90)은 토글링에 의해 기록되는(프로그램되는) MRAM 셀들이다. 이 경우, 메모리 셀(84)과 같은, 특정 메모리 셀은 겹치는 기록 펄스들에 의해 기록된다. 전류가 컬럼 기록 라인(52)에 먼저 인가되는지, 혹은 로우 기록 라인(50)에 먼저 인가되는지는, 어느 쪽으로 하든 셀이 효과적으로 기록될 수 있으므로 어느 정도 임의적이다. 이를 중의 어느 것이 최적인지는 인접 셀들에의 교란의 양 및 다른 요인들과 더 관련이 있을 수 있다. 이 경우, 전류가 로우 방향으로 먼저 인가된다고 가정하면, 컬럼 기록 드라이버(36)에 의해 컬럼 기록 라인(52)에 아무런 전류가 흐르지 않는 동안, 로우 기록 드라이버(34)에 의해 로우 기록 라인(50)에 전류 펄스가 인가될 것이다. 이 타이밍은 타이밍 회로(20)에 의해 제어된다. 전류 세기는 로우 바이어스 회로(18)에 의해 제어된다. 로우 기록 드라이버(34)가 여전히 로우 기록 라인(50)에 전류 펄스를 인가하는 동안, 컬럼 기록 드라이버(36)에 의해 컬럼 기록 라인(52)에 전류 펄스가 인가된다. 이 전류 펄스의 전류의 크기는 컬럼 바이어스 회로(26)에 의해 제어된다. 컬럼 기록 드라이버(36)가 컬럼 기록 라인(52)에 전류 펄스를 인가하는 동안, 로우 기록 드라이버(34)는 로우 기록 라인(50)에 인가된 전류 펄스를 종료한다. 로우 기록 라인(50)에 인가된 전류 펄스가 종료된 후에, 컬럼 기록 라인(52)에 인가된 펄스가 종료된다. 이것은 셀(84)의 상태의 토글링을 완료한다. 기록 드라이버들(34와 24)은 그들이 이 유형의 토글링에 특히 잘 맞도록 하는 이점을 갖는다.

[0013] 도 2에, 메모리 셀(84), 컬럼 기록 드라이버(36), 컬럼 바이어스 회로(26), 컬럼 디코더(22), 및 타이밍 회로(20)가 도시된다. 바이어스 회로(26)와 기록 회로(36)는 회로도들로서 도시된다. 바이어스 회로(26)는 전류 소스(102), N 채널 트랜지스터(104), 및 1 이득 증폭기(106)를 포함한다. 전류 소스(102)는 제1 양의 전원 단자에 결합된 제1 단자와 제2 단자를 갖는다. 전류는 제1 단자에서 제2 단자로 흐른다. 트랜지스터(104)는 제어 전극 및 전류 소스의 제2 단자와 접속된 제1 전류 전극(이 경우 드레인) 및 음의 전원 단자(이 경우에 그라운드)와 결합된 제2 전류 전극을 갖는다.

[0014] 1 이득 증폭기(106)는 전류 소스(102)의 제2 단자에 접속된 제1 단자 및 출력을 갖는다. 이 1 이득 증폭기(106)의 출력은 바이어스 회로(26)의 출력이고, 도 2에 도시된 것처럼 기록 드라이버(36)를 포함하는, 컬럼 기록 드라이버들에 결합된다. 이 예에서 1 이득 증폭기(106)는 비반전(non-inverting) 입력이 전류 소스(102)의 제2 단자에 접속되고 반전(inverting) 입력이 그 연산 증폭기의 출력에 결합되는 연산 증폭기에 의해 이루어진다. 잘 이해되는 전류 미러 구성에서, 트랜지스터(104)는 트랜지스터(104)를 통한 전류에 직접적으로 비례하는 다른 트랜지스터를 통해 전류를 흘리도록 하기 위해 유용한 바이어스 전압을 설정한다. 전류 비율은 트랜지스터(104)의 크기 대 바이어스 전압을 수신하는 다른 트랜지스터의 크기의 비율에 기초하는 것으로 잘 이해될 수 있다. 이 바이어스 전압은 그것이 다수의 다른 기록 드라이버들에 의해 수신되므로 1 이득 증폭기(106)에 의해 버퍼링된다. 컬럼 기록 드라이버들의 수는 일반적으로, 예를 들어, 이 경우에 1024인 것처럼, 비교적 클 것이다.

[0015] 기록 드라이버(36)는 NAND 게이트(108), P 채널 트랜지스터(110), N 채널 트랜지스터(112), 및 N 채널 트랜지스터(114)를 포함한다. NAND 게이트(108)는 컬럼 디코더(22)의 출력에 결합된 제1 입력, 타이밍 회로(20)의 제1 출력에 결합된 제2 입력, 및 출력을 갖는다. 트랜지스터(110)는 NAND 게이트(108)의 출력에 결합된 게이트(제어 전극), 1 이득 증폭기(106)의 출력에 결합된 소스, 및 드레인을 갖는다. 트랜지스터(110)의 보디(body)와 소스는 함께 묶여 있다. 트랜지스터(112)는 NAND 게이트(112)의 출력에 결합된 게이트, 트랜지스터(110)의 드레인에 결합된 드레인, 및 음의 전원 단자에 접속된 소스를 갖는다. 트랜지스터(114)는 트랜지스터들(110과 112)의 드레인들에 접속된 제어 전극, 컬럼 기록 라인(52)에 접속된 드레인, 및 음의 전원 단자에 접속된 소스를 갖는다. 트랜지스터(114)는 트랜지스터(104)보다 훨씬 더 크다. 채널 길이들은 트랜지스터(104)의 채널 너비보다 훨씬 더 큰 트랜지스터(114)의 채널 너비와 동일할 것이 선호된다. 이 비율은 100의 차수일 것이 선호된다.

[0016] 동작에서, 컬럼 기록 라인(52)이 선택될 때, 컬럼 디코더(22)는 NAND 게이트(108)에 논리 하이(high) 값을 갖는 인에 이를 신호를 출력한다. 타이밍 회로(20)는 전류가 컬럼 기록 라인(52)을 통해 공급될 때 양의 진행 펄스로 이루어진 타이밍 신호를 제공한다. 타이밍 회로(20)로부터의 펄스에 의한 논리 하이의 인가는 트랜지스터(110)가 도통이 되도록 하는 논리 로우(low)를 NAND 게이트(108)가 출력하도록 한다. 그러므로, 트랜지스터(110)는 1 이득 증폭기(106)의 출력을 트랜지스터(114)의 게이트에 결합하는 스위치로서 동작한다. 트랜지스터(114)는 트랜지스터(114)를 통해 전류를 제어하는 게이트 전압으로 도통이 된다. 트랜지스터(104)를 통한 전류가 1 이득 증폭기(106)와 트랜지스터(110)를 통해 트랜지스터(114)로 반영되는 익숙한 전류 미러 방식으로 전류가 제어된다. 트랜지스터들(104와 114)의 너비 비율은 컬럼 기록 라인(52)을 통해 원하는 전류를 얻기 위해 설정된다. 전류 소스(102)에 의해 공급된 전류는 조심스럽게 제어되고 알려진다. 그 다음, 너비 비율들은 MRAM 셀들을 기록하기 위한 원하는 자계의 생성을 위해 컬럼 기록 라인(52)을 통해서 원하는 전류를 얻기 위해 선택된다.

[0017] 기록 라인(52)을 통해 전류를 종료할 시간일 때, 타이밍 회로(20)는 펄스를 종료하여 NAND 게이트(108)가 그것의 출력을 논리 하이로 스위치하여 트랜지스터(112)가 도통이 되고 트랜지스터(110)가 비도통이 되도록 한다. 트랜지스터(112)가 도통이 되어, 트랜지스터(114)의 게이트는 그것의 소스와 결합되어 그것이 비도통이 되도록 하여, 기록 라인(52)을 통해 기록 전류를 종료하도록 한다. 그러므로, 이 동작에서, 큰 기록 전류를 흘리도록 해야 하는 단 한 개의 트랜지스터는 트랜지스터(114)이다. 이 트랜지스터(114)는, 그것이 전송해야 하는 많은 전류 때문에, 기록 드라이버(36)를 구성하는 조합된 모든 다른 트랜지스터들보다 훨씬 더 크다. 기록 라인(52)의 전류 경로의 임의의 추가적 트랜지스터는 또한 비슷한 크기이어야 할 것이므로, 기록 드라이버들의 영역을 크게 증가시킬 것이다. 그러므로, 기록 라인(52)을 통해 제어된 전류가 제공되어서, 단지 매우 큰 한 개의 트랜지스터만을 가져야 하는 한편 셀들(84, 76, 68, 및 60)은 기록 라인(52)에 접속된다.

[0018] 컬럼 디코더(22)는 선택되지 않는 모든 컬럼 기록 드라이버들에게 논리 로우 출력을 제공한다. 그러므로, 기록 비트 라인(52)과 연관된 컬럼 디코더(22)로부터의 신호는 기록 비트 라인(52)이 비선택될 때 논리 로우를 불러온다. 이것은 NAND 게이트(108)의 출력을 논리 하이에 설정하며, 이것은 트랜지스터(112)가 도통이 되고 트랜

지스터(110)가 비도통이 되도록 한다. 이 상태에서, 트랜지스터(114)는 그것의 게이트가 그것의 소스에 결합되도록 하여 비도통이 된다.

[0019] 기록 라인(52)과 같은 기록 라인을 통해 흐르는 전류는 트랜지스터(114)의 소스 상의 전압을 실제로 상승시키기에 충분히 크게 될 수 있다. 예를 들어, 그라운드 리턴이 10 ohm 저항을 가지며 기록 전류가 10 milliamperes 정도이면, 트랜지스터(114)의 소스는 상승된 100 millivolts 일 수 있다. 트랜지스터(114)의 게이트 대 소스 전압의 100 millivolts 감소는 트랜지스터(114)를 통과하고 이에 따라 기록 라인(52)을 통과하는 전류를 크게 감소시킬 수 있다. 이 유형의 문제는 다양한 회로들에서 공통 문제이고, 그라운드 바운스(ground bounce)로서 일반적으로 알려졌다.

[0020] 도 3에서, 이 잠재적 문제를 해결하는 도 2에 도시된 기록 드라이버의 대체안이 도시된다. 그러므로, 도 1의 기록 드라이버(36)는 도 2에 도시된 것과는 다르게 구현된다. 이 도 3의 기록 드라이버(36) 구현은 전송 게이트(116), 인버터(118), 및 캐페시터(120)의 추가적 소자들을 갖는다. 전송 게이트(116)는 바이어스 회로(26)의 출력과 트랜지스터(110)의 소스 간에 배치된다. 그 결과는, 전송 게이트(116)의 제1 신호 단자가 바이어스 회로(26)의 출력에 접속되고 제2 신호 단자가 트랜지스터(110)의 소스와 결합되는 것이다. 반전 제어 입력은 인버터(118)의 출력에 결합되고, 비반전 제어 입력은 NAND 게이트(108)의 출력에 결합된다. 인버터(118)의 입력은 NAND 게이트(108)의 출력에 결합된다. 캐페시터(120)는 트랜지스터(114)의 소스와 접속된 제1 단자 및 트랜지스터(110)의 소스에 접속된 제2 단자를 갖는다.

[0021] 기록 라인(52)이 선택되지만 타이밍 회로(20)가 기록 펄스를 아직 생성하지 않았을 때의 경우에, NAND 게이트는 논리 하이 출력을 제공하여, 전송 게이트(116)가 도통이 되고, 트랜지스터(110)가 비도통이 되고, 트랜지스터(112)가 도통이 되도록 한다. 그 결과는, 트랜지스터(114)가 비도통이 되고, 캐페시터(120)가 바이어스 회로(26)의 출력에 의해 공급되는 전압으로 충전되는 것이다. 타이밍 회로(20)가 기록 펄스를 생성할 때, NAND 게이트(108)는 논리 로우를 출력하여, 트랜지스터(112)가 비도통이 되고, 트랜지스터(110)가 도통이 되고, 전송 게이트(116)가 비도통이 되도록 한다. 이 조건에서, 트랜지스터(114)가 도통이 되어, 기록 전류가 기록 라인(52)을 통해 흐른다. 이 기록 전류가 흐름에 따라, 그라운드 바운스 때문에, 트랜지스터(114)의 소스 전압이 증가할 것이다. 그런 경우, 캐페시터(120) 때문에, 트랜지스터(110)의 소스의 전압은 동일 양만큼 증가할 것이다. 이 트랜지스터(110)의 소스의 전압은 트랜지스터(114)의 게이트에 계속하여 결합된다. 그러므로, 소스 전압의 증가는 게이트 대 소스 전압의 감소를 발생시키지 않아서, 기록 라인(52)을 통한 전류는 비교적 일정하게 유지된다. 기록 전류의 종료는 도 2의 회로에 대한 것과 동일한 방식으로 이루어진다. 타이밍 회로는 펄스를 종료하여, NAND 게이트(108)는 논리 하이 출력을 제공하여, 트랜지스터(112)가 도통이 되고, 트랜지스터(110)가 비도통이 되고, 전송 게이트(116)가 도통이 되도록 한다. 이들 조건들은 캐페시터(120)가 바이어스 회로(26)의 출력의 전압으로 충전되도록 하고, 트랜지스터(114)가 비도통이 되도록 한다. 기록 라인(52)을 비선택할 때, 컬럼 디코더는 논리 로우 출력을 제공하여, NAND 게이트(108)의 출력을 논리 하이 조건에 유지하여, 타이밍 회로가 기록 전류를 종료할 때 기재된 것처럼 조건들을 유지한다.

[0022] 컬럼 바이어스 회로(26)의 대체물과 컬럼 기록 드라이버(36)의 다른 대체물이, 기록 라인(52)에 인가되는 전류 펄스에 대해, 동작 조건들의 범위에서, 진폭과 에지 비율의 증가된 제어를 제공하는 도 4에 도시된다. 이 실시 예에서, 컬럼 바이어스 회로는 저항(130), 저항(132), 전류 소스(134), N 채널 트랜지스터(136), 및 연산 증폭기(138)를 포함한다. 저항(130)은 VDD와 결합된 제1 단자 및 제2 단자를 갖는다. 전류 소스(134)는 저항(130)의 제2 단자에 결합된 제1 단자 및 그라운드에 결합된 제2 단자를 갖는다. 저항(132)은 VDD에 결합된 제1 단자 및 제2 단자를 갖는다. 트랜지스터(136)는 저항(132)의 제2 단자에 결합된 드레인, 그라운드에 결합된 소스, 및 게이트를 갖는다. 연산 증폭기(138)는 저항(130)의 제2 단자에 결합된 반전 입력, 저항(132)의 제2 단자에 결합된 비반전 입력, 및 트랜지스터(136)의 게이트에 결합된 출력을 갖는다. 저항들(130과 132)은 미리 결정된 기록 라인(52)의 저항의 배수가 되도록 디자인된다. 이것은 기록 라인(52)과 동일한 방식으로 만들어진, 직렬 접속된, 라인들을 사용하여 이루어지는 것이 선호된다.

[0023] 전류 소스(134)는, 저항(130)을 통해 전류를 유도하여 기록 라인(52)에 기록이 발생할 때 기록 라인(52)을 통해 원하는 전류를 얻기 위해, 연산 증폭기(138)의 비반전 입력에 인가되는 전압이 트랜지스터(114)의 드레인에 필요로 하는 전압과 동일하게 되게 한다. 연산 증폭기(138)는 트랜지스터(136)의 게이트를 제어하여 저항(132)을 통해 전류를 유도하여, 연산 증폭기(138)의 반전 입력의 전압이, 연산 증폭기(138)의 비반전 입력에 인가된 전압과 기본적으로 동일하게 된다. 그러므로, 트랜지스터(136)의 드레인에서의 전압은 기록 조건을 위해 트랜지스터(114)의 드레인에서 원해지는 전압이다. 저항(132)은 기록 라인(52)의 저항의 알려진 배수이다. 트랜지스터(136)는, 트랜지스터(114)의 채널 너비가 트랜지스터(136)의 채널 너비에 대해 이 동일한 배수를 갖도록 선택된

다. 그러므로, 트랜지스터(136)의 게이트는, 트랜지스터(114)의 게이트에 인가되면, 기록 라인(52)을 통해 트랜지스터(114)가 원하는 기록 전류를 유도하도록 하는 전압에 효과적으로 바이어스된다. 그러므로, 연산 증폭기(138)의 출력인, 트랜지스터(136)의 게이트 전압은 컬럼 기록 드라이버(36)의 제어를 통해 트랜지스터(114)의 게이트에 인가된다.

[0024] 이 접근법의 이점은, 그것이, 트랜지스터들이 포화 상태에 있는 것으로 알려 졌을 때 효과가 있는, 단지 게이트 전압들을 매치하는 것에만 의존하는 것이 아니라, 또한 드레인 전압들과도 매치한다는 점이다. 그러므로, 트랜지스터들(136 및 114)은 기록 전류의 원하는 제어를 얻기 위해 포화 상태에 있을 필요는 없다. 트랜지스터(114)가 포화 상태에 있을 것을 요구하지 않음으로써, 드레인 전압은 더 낮아질 수 있고, 그러므로 주어진 트랜지스터는 더 전류를 끌어낼 수 있다. 그러므로, 주어진 트랜지스터 크기에 대해, 기록 라인들은 더 길어질 수 있다.

[0025] 도 4에 도시된 컬럼 기록 드라이버(36)의 다른 대체물은 도 2의 NAND 게이트(108)의 다른 구현이다. 더 구체적으로, 다른 NAND 게이트는, 도 2의 NAND 게이트(108)와 동일한 논리 기능을 제공할 때에는 NAND 게이트로서 기능하지만, 트랜지스터(114)에 대해 드라이버, 트랜지스터들(110, 112)이 균형있는 상승과 하강 시간을 갖도록 하는 출력을 갖는 P 채널 트랜지스터들(140 및 142) 및 N 채널 트랜지스터들(144 및 146)을 포함한다. 트랜지스터(140)는 연산 증폭기(138)의 출력과 결합된 소스, 컬럼 디코더(22)의 출력과 결합된 게이트, 및 트랜지스터(110)의 게이트에 결합된 드레인을 갖는다. 트랜지스터(142)는 연산 증폭기(138)의 출력과 결합되는 소스, 타이밍 회로(20)의 출력에 결합되는 게이트, 및 트랜지스터(110)의 게이트에 결합된 드레인을 갖는다. 트랜지스터(144)는 트랜지스터(110)의 게이트와 결합된 드레인, 컬럼 디코더(22)의 출력과 결합된 게이트, 및 소스를 갖는다. 트랜지스터(146)는 트랜지스터(144)의 소스에 결합된 드레인, 타이밍 회로(20)의 출력에 결합된 게이트, 및 그라운드에 결합된 소스를 갖는다. 트랜지스터들(140 및 142)의 보디들은 이를 트랜지스터들의 소스들에 묶여진다.

[0026] 동작에서, 그리고 기록 라인(52)이 비선택에서 선택으로 스위칭하는 경우에 대해, 컬럼 디코더(22)는 논리 로우에서 논리 하이로 스위치하고, 타이밍 회로(20)가 또한 논리 로우에서 논리 하이로 스위치하는 것이 뒤따른다. 이 스위칭 전에, 연산 증폭기(138)의 출력은 트랜지스터들(110 및 112)의 게이트들에 결합된다. 이 조건에서, 트랜지스터(114)는 비도통이 된다. 컬럼 디코더(22)와 타이밍 회로(20)의 출력들의 스위칭시에, 트랜지스터들(140 및 142)은 비도통이 되고, 트랜지스터들(144 및 146)은 도통이 되어, 그라운드 전위가 트랜지스터들(110 및 112)의 게이트에 인가되도록 한다. 그러므로, 트랜지스터(110)의 게이트 대 소스 전압은 0 volt에서 연산 증폭기(138)의 출력과 크기가 동일한 전압으로 스위치된다. 트랜지스터(114)는 트랜지스터(110)가 도통이 되는 것에 응답하여 도통이 된다. 트랜지스터(114)에 의해 유도된 전류의 상승 시간은 트랜지스터(110)에 의해 인가된 전압의 상승 시간에 종속하고, 트랜지스터(110)에 의해 인가된 전압의 상승 시간은 트랜지스터(110)에 인가된 게이트 대 소스 전압에 종속한다.

[0027] 기록 시간이 만기된 후에, 타이밍 회로(20)는 논리 로우로 스위치하여, 트랜지스터(142)가 도통이 되고, 트랜지스터(146)가 비도통이 되도록 한다. 이것은 연산 증폭기(138)의 출력의 전압을 트랜지스터들(110 및 112)의 게이트들에 인가하는 효과를 가져서, 트랜지스터(114)가 비도통이 되도록 한다. 트랜지스터(114)에 의해 유도된 전류의 하강 시간은 트랜지스터(112)에 의해 인가된 전압의 하강 시간에 종속하고, 트랜지스터(112)에 의해 인가된 전압의 하강 시간은, 트랜지스터(112)에 인가된 게이트 대 소스 전압에 종속한다. 이 게이트 대 소스 전압은 연산 증폭기(138)의 출력의 전압과 동일하다. 그러므로, 트랜지스터(114)에 의해 유도된 전류의 상승 시간과 하강 시간 모두는, 연산 증폭기(138)의 출력의 전압인, 동일한 게이트 대 소스 전압에 의해 제어된다. 예지 비율 제어는 안정적 자기 스위칭 특성들을 위해 중요하다.

[0028] 컬럼 기록 드라이버(36)는 또한 다른 기록 드라이버들의 예이다. 컬럼 기록 바이어스 회로(26)는 또한 로우 바이어스 회로의 예이다. 로우 출력 바이어스 회로에 의해 제공되는 출력 전압은 컬럼 바이어스 회로를 위한 것과 동일하거나 동일하지 않을 수 있다. 이것은 선택된 특정 셀 유형과 아키텍처에 기초하여 발생되는 구현이고, MRAM 셀들을 만들기 위한 프로세스에 또한 종속할 수 있다.

[0029] 당업자들은 설명 목적으로 본 명세서에 선택된 실시예들로의 다양한 변경들과 수정들을 쉽게 할 수 있을 것이다. 예를 들어, 토글 프로그래밍 MRAM이 일부 응용들에 대해 논의되었지만, 다른 유형들의 메모리 셀들이 본 명세서에 개시된 특징들을 사용할 수 있음을 명백하다. 트랜지스터들의 전도성의 유형들, 트랜지스터들의 유형들 등의 변형들은 쉽게 만들어질 수 있다. 예를 들어, 트랜지스터(114)는 기록 드라이버의 다른 회로의 논리 상태들에서 반전을 요구하는 효과를 더 갖는 P 채널 트랜지스터일 수 있다. 특정 논리 회로들이

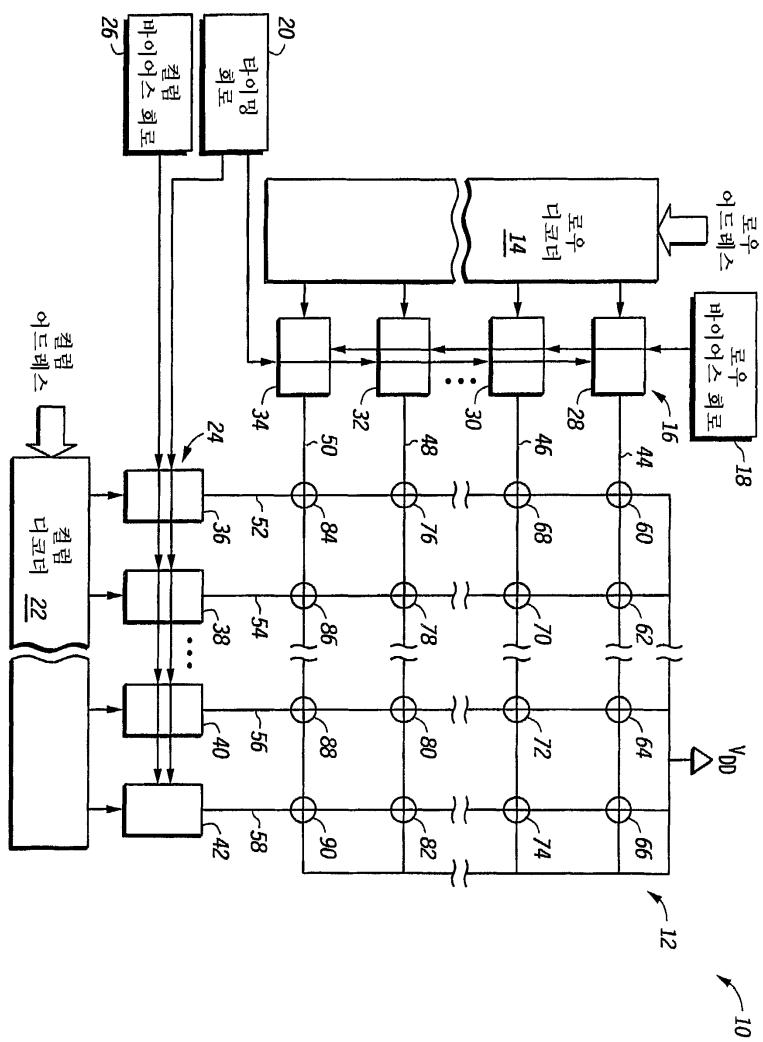
보여졌지만, 다수의 논리 회로 구현들은 본 명세서에 논의된 기능들을 구현하기 위해 사용될 수 있다. 그런 수 정들과 변형들이 본 발명의 취지를 벗어나지 않는 범위까지, 그들은 단지 다음 청구범위의 적절한 해석으로만 평가되는 그것의 범위 내에 포함되려고 의도된다.

도면의 간단한 설명

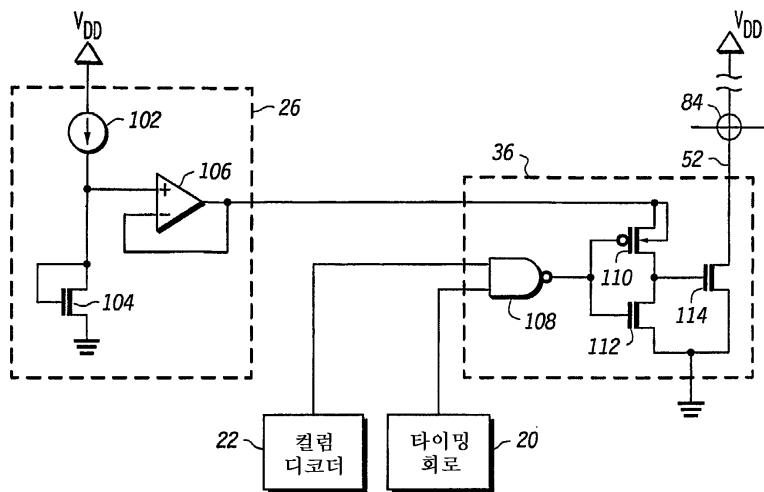
- [0006] 전술된 것 및, 본 발명의 추가적이고, 더 구체적인 목적들과 이점들은 당업자들에게 다음 도면들과 연결하여 고려되는 양호한 실시예의 다음 상세한 설명으로부터 쉽게 명백해질 것이다.
- [0007] 도 1은 본 발명의 일 실시예에 따른 메모리의 블록도이다.
- [0008] 도 2는 제1 구현에 따른 도 1의 메모리의 부분의 블록도와 회로도의 조합이다.
- [0009] 도 3은 제2 구현에 따른 도 1의 메모리 부분의 블록도와 회로도의 조합이다.
- [0010] 도 4는 제3 구현에 따른 도 1의 메모리의 블록도와 회로도의 조합이다.

도면

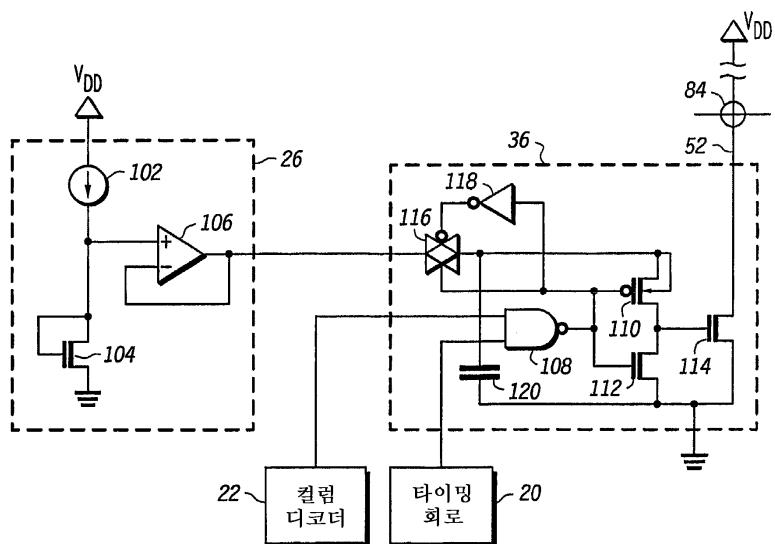
도면1



도면2



도면3



도면4

