(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-69765
(P2009-69765A)
(43)公開日　平成21年4月2日(2009.4.2)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/133	(2006.01)	G02F	1/133	505	2H091
G02F	1/1343	(2006.01)	G02F	1/133	550	2H092
G02F	1/1368	(2006.01)	G02F	1/1343		2H093
G02F	1/1335	(2006.01)	G02F	1/1368		2H191
			G02F	1/1335	510	

審査請求 有　請求項の数 9　ＯＬ　（全 16 頁）

(21)出願番号　特願2007-240811 (P2007-240811)
(22)出願日　平成19年9月18日 (2007.9.18)

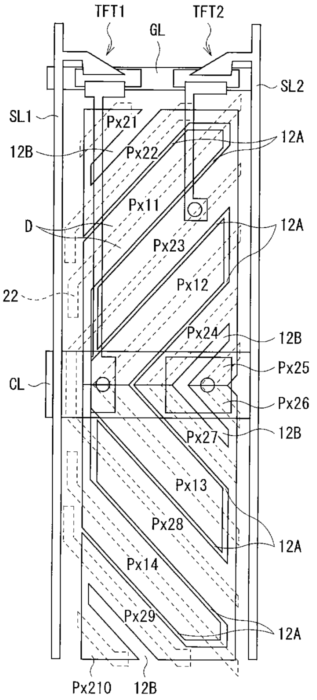
(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100098785
弁理士　藤島　洋一郎
(74)代理人　100109656
弁理士　三反崎　泰司
(74)代理人　100130915
弁理士　長谷部　政男
(72)発明者　鎌田　豪
東京都港区港南１丁目７番１号　ソニー株式会社内

Ｆターム(参考)　2H091 FA08X FA08Z GA02 GA11 HA09
LA16

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【要約】
【課題】逆極駆動による狭スリット化を適用できるスリットの数を増やすことができる液晶表示装置を提供する。
【解決手段】サブ画素電極Ｐｘ１の分割サブ画素電極Ｐｘ１１～Ｐｘ１４は、サブ画素電極Ｐｘ２の分割サブ画素電極Ｐｘ２２～Ｐｘ２４，Ｐｘ２７～Ｐｘ２９に隣接している。すなわち、分割サブ画素電極Ｐｘ２２，Ｐｘ１１，Ｐｘ２３，Ｐｘ１２，Ｐｘ２４が交互に配置されると共に、分割サブ画素電極Ｐｘ２７，Ｐｘ１３，Ｐｘ２８，Ｐｘ１４，Ｐｘ２９が交互に配置され、これらの間の８本のスリット１２Ａの間隔を狭くすることが可能となる。この構成は、面積が小さいサブ画素電極Ｐｘ１が８ドメインＤ以上となったときに適用可能となるので、サブ画素電極Ｐｘ１は、電圧印加時の液晶の配向方向が同一であるドメインＤを（４＋４＊ｎ）（ｎはｎ＞０である整数）有していることが望ましい。
【選択図】図４



【特許請求の範囲】
【請求項１】
複数の画素がマトリクス状に配置された液晶表示装置であって、
各画素は、駆動基板上に、複数の非線形素子と、前記複数の非線形素子にそれぞれ電気的に接続された複数のサブ画素電極とを有し、
前記複数のサブ画素電極のうちの少なくとも二つは、同一フレーム内において逆極性に電圧印加されると共に、各々４以上の分割サブ画素電極に分けられており、
一方の極性に電圧印加される前記サブ画素電極の分割サブ画素電極のうち少なくとも四つは、上下辺の両方において、他方の極性に電圧印加される前記サブ画素電極の分割サブ画素電極に隣接している
ことを特徴とする液晶表示装置。
【請求項２】
前記一方の極性に電圧印加されるサブ画素電極は、電圧印加時の液晶の配向方向が同一であるドメインを（４＋４＊ｎ）（ｎはｎ＞０である整数）有している
ことを特徴とする請求項１記載の液晶表示装置。
【請求項３】
前記駆動基板に対向配置された対向基板と、前記駆動基板および前記対向基板の各々に設けられた偏光板とを備え、
前記分割サブ画素電極の上下辺は、前記偏光板の光学軸と４５度の角度をなしている
ことを特徴とする請求項１または２記載の液晶表示装置。
【請求項４】
前記複数のサブ画素電極は一つの画素電極を構成し、
前記画素電極の外形が、左右辺は前記偏光板の光学軸に対して平行であり、上下辺は前記偏光板の光学軸に対して４５度，１３５度，２２５度または３１５度のいずれかに傾斜した台形である
ことを特徴とする請求項３記載の液晶表示装置。
【請求項５】
前記画素電極は、上下または左右に隣接する画素電極とは、前記複数のサブ画素電極どうしの極性の関係が逆である
ことを特徴とする請求項４記載の液晶表示装置。
【請求項６】
前記画素電極は、上下に隣接する画素電極とは点対称に配置されると共に、前記画素電極の上下辺と当該画素電極の上下に隣接する画素電極の上下辺とが互いに平行である
ことを特徴とする請求項４または５記載の液晶表示装置。
【請求項７】
前記画素電極は、左右に隣接する画素電極とは、垂直軸に対して線対称である
ことを特徴とする請求項４ないし６のいずれか１項に記載の液晶表示装置。
【請求項８】
前記複数のサブ画素電極は一つの画素電極を構成し、
前記画素電極の外形は、上下辺が前記偏光板の光学軸に対して４５度，１３５度，２２５度または３１５度のいずれかに傾斜した形状である
ことを特徴とする請求項３記載の液晶表示装置。
【請求項９】
前記画素電極の上下辺と当該画素電極の上下に隣接する画素電極の上下辺とが互いに平行である
ことを特徴とする請求項８記載の液晶表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、特にＶＡ（Vertical Alignment；垂直配向）モードに好適な液晶表示装置に

関する。

【背景技術】

【０００２】

近年、液晶テレビ等に用いられるＶＡモード用液晶表示装置には、中間調における視野角特性を改善するため、マルチ画素といわれる新技術が導入されている。各画素は、図９に示したように、複数のサブ画素Ａ，Ｂに分けられ、入力階調に対してサブ画素Ａが先に輝度を上げ、サブ画素Ｂは後から輝度を上げる。より優れた視野角特性を得るには、サブ画素Ａ，Ｂの面積比が１：１よりも１：２程度となるようにサブ画素Ａを小さくすることが望ましい。

【０００３】

図１０（Ａ），図１０（Ｂ）は、各サブ画素Ａ，Ｂの画素電極および共通電極の構成をそれぞれ表したものであり、図１０（Ｃ）はその等価回路を表したものである。サブ画素Ａ，Ｂに電位差をつける方法はいくつか存在するが、図１０（Ａ）～図１０（Ｃ）では、例えば、各サブ画素Ａ，Ｂに専用の薄膜トランジスタ（Thin Film Transistor）ＴＦＴ１，ＴＦＴ２をそれぞれ配置し、同じゲートバスラインＧＬに二本のソースバスラインＳＬ１，ＳＬ２を配置してＴＦＴ１，ＴＦＴ２を駆動するようにした場合を表している。

【０００４】

このマルチ画素は、ＴＦＴ１，ＴＦＴ２と、サブ画素Ａを構成する液晶素子Ｃｌｃ１と、サブ画素Ｂを構成する液晶素子Ｃｌｃ２と、容量素子Ｃｓｔ１，Ｃｓｔ２とを有している。ＴＦＴ１，ＴＦＴ２のゲートはゲートバスラインＧＬに接続されている。ＴＦＴ１のソースはソースバスラインＳＬ１に接続され、ドレインは液晶素子Ｃｌｃ１の一端および容量素子Ｃｓｔ１の一端に接続されている。ＴＦＴ２のソースはソースバスラインＳＬ２に接続され、ドレインは液晶素子Ｃｌｃ２の一端および容量素子Ｃｓｔ２の一端に接続されている。容量素子Ｃｓｔ１の他端および容量素子Ｃｓｔ２の他端は、容量素子バスラインＣＬに接続されている。

【０００５】

サブ画素Ａ用の画素電極Ｐｘ１はＴＦＴ１に接続され、サブ画素Ｂ用の画素電極Ｐｘ２はＴＦＴ２に接続されている。図１０（Ｃ）の等価回路図に示したように、サブ画素Ａ用の画素電極Ｐｘ１と、サブ画素Ｂ用の画素電極Ｐｘ２とは電気的に独立しており、画素電極Ｐｘ１，Ｐｘ２にそれぞれどのような電圧を書き込むかは制御回路によって決定される。

【０００６】

画素電極Ｐｘ１，Ｐｘ２には、ＶＡモード特有の構成として、液晶分子を４５度方向に傾斜させるためのスリット１１２が設けられている。これらのスリット１１２の一部は、画素電極Ｐｘ１，Ｐｘ２を分離するスリットと共用になっている。一方、対向基板に配置される共通電極１２１にも、液晶配向規制のためのスリット１２２が必要である。なお、対向基板側の液晶配向規制手段としては、共通電極１２１上に絶縁突起（図示せず）を形成する場合もある。図１０（Ａ）では、共通電極１２１のスリット１２２を破線で表している。

【０００７】

図１１および図１２は、スリット１１２の幅を説明するためのものである。液晶表示装置のセル厚ｄ、すなわちＴＦＴ基板１１０と対向基板１２０との間の間隔は、通常は約４μｍである。セル厚ｄに対してスリット１１２の幅が十分に広い場合、図１１（Ａ）に示したように、スリット１１２の等電位面はＴＦＴ基板１１０のガラスの中に深く入り、スリット１１２では縦方向の電界が弱まる。そのため、図１１（Ｂ）に示したように、スリット１１２の液晶分子１３１の垂直配向が保たれる一方、スリット１１２近傍の画素電極Ｐｘ１，Ｐｘ２上では十分に斜め方向の電界が発生し、液晶配向方向が安定する。

【０００８】

スリット１１２では液晶分子１３１が倒れず透過率には寄与しないので、スリット１１２の幅を広げると実質的な開口率が低下して透過率が落ちる。一方、スリット１１２の幅

を狭くすると開口率は大きくなるが、図１２（Ａ）に示したように、スリット１１２近傍の電界が徐々に斜めではなくなり、図１２（Ｂ）に示したように、液晶分子１３１の配向安定性が悪くなる。液晶分子１３１の方位角が４５度からずれると、偏光に対する液晶分子１３１の効果が変化するので単位面積当たりの透過率が減少し、開口率は増加しても総合的な透過率は低下する。

【０００９】

すなわち、図１３に示したように、透過率に対するスリット１１２の幅には、最適値が存在し、通常は４μｍのセル厚ｄに対してスリット１１２の幅は１０μｍ程度で設計されている。

【００１０】

図１４は、二つの画素電極Ｐｘ１，Ｐｘ２に逆極性の電圧が印加された場合の、スリット１１２における液晶分子１３１の配向を表したものである。この場合、等電位面は図１１（Ａ）および図１２（Ａ）とは大きく異なり、画素電極Ｐｘ１，Ｐｘ２間にスリット１１２に垂直に等電位面が入ることになる。また、スリット１１２には、共通電極１２１と同電位の場所が必ず形成される。この同電位の場所では液晶分子１３１が倒れず垂直に極めて安定する。一方、斜め電界も強く、この結果、液晶分子１３１の配向は極めて安定する。しかも、この効果は、スリット１１２の幅が狭いほど高まることになる。

【００１１】

図１５は、この効果を考慮して図１０のマルチ画素において二つの画素電極Ｐｘ１，Ｐｘ２に逆極性の電圧を印加することを前提に、画素電極Ｐｘ１，Ｐｘ２の間のスリット１１２Ａを狭くしたものである。なお、画素の左下コーナーおよび左上コーナーのスリット１１２Ｂ、および対向基板１２０の共通電極１２１のスリット１２２については、電極Ｐｘ１，Ｐｘ２の間のスリットに該当しないので、従来どおりの設計となっている。

【００１２】

図１６は、図１５のようにスリット１１２Ａの間隔を狭くした場合の透過率を表したものである。二つの画素電極Ｐｘ１，Ｐｘ２に同極性の電圧を印加した場合（同極駆動）には、スリット１１２の間隔が１０μｍ以下になると液晶配向悪化のため透過率が低下していたが、二つの画素電極Ｐｘ１，Ｐｘ２に逆極性の電圧を印加した場合（逆極駆動）には、スリット１１２Ａを狭くすることで透過率を改善できることがわかる（例えば、特許文献１参照。）。

【特許文献１】特開２００５－３１６２１１号公報

【発明の開示】

【発明が解決しようとする課題】

【００１３】

スリット１１２，１２２間の距離ｘはＶＡモードの応答特性に大きく影響し、セル厚ｄが４μｍの場合、およそ２５μｍが標準的な設計となっている。今後、高速化を志向すると、更にスリット１１２，１２２間の距離ｘを狭くすることが必要となる。また、今後、液晶テレビの大画面化が進むと一画素が大きくなる。

【００１４】

この二つの方向性は、画素の設計に対して同様の影響を与える。すなわち、高速化のためには、液晶の配向規制手段であるスリット１１２を、一つの画素の中により多く設ける必要が出てくる。図１７は、図１５に示した画素電極Ｐｘ１，Ｐｘ２のスリット１１２を増やしたものである。しかしながら、ＴＦＴ基板１１０側の１２本のスリット１１２のうち、逆極駆動による狭スリット設計が可能なスリット１１２Ａは、４本に過ぎない。それ以外の８本のスリット１１２Ｂ、および対向基板１２０の共通電極１２１のスリット１２２については従来どおりの設計とせざるを得なかった。また、一画素が大きくなることにより、図１７よりも更にスリット１１２の数が多くなる可能性も高く、逆極駆動による狭スリット化の効果をより高めることが重要になっていた。

【００１５】

本発明はかかる問題点に鑑みてなされたもので、その目的は、逆極駆動による狭スリッ

ト化を適用できるスリットの数を増やすことができ、狭スリット化の効果をより高めることができる液晶表示装置を提供することにある。

【課題を解決するための手段】

【００１６】

本発明による液晶表示装置は、複数の画素がマトリクス状に配置されたものであって、各画素は、駆動基板上に、複数の非線形素子と、複数の非線形素子にそれぞれ電気的に接続された複数のサブ画素電極とを有し、複数のサブ画素電極のうちの少なくとも二つは、同一フレーム内において逆極性に電圧印加されると共に、各々４以上の分割サブ画素電極に分けられており、一方の極性に電圧印加されるサブ画素電極の分割サブ画素電極のうち少なくとも四つは、上下辺の両方において、他方の極性に電圧印加されるサブ画素電極の分割サブ画素電極に隣接しているものである。

【００１７】

本発明による液晶表示装置では、一方の極性に電圧印加されるサブ画素電極の分割サブ画素電極のうち少なくとも四つが、上下辺の両方において、他方の極性に電圧印加されるサブ画素電極の分割サブ画素電極に隣接しているので、一方の極性に電圧印加されるサブ画素電極の分割サブ画素電極と、他方の極性に電圧印加されるサブ画素電極の分割サブ画素電極とが交互に配置される。よって、両者の間のスリットには、逆極駆動による狭スリット化を適用することが可能となり、液晶配向の安定により透過率が向上する。

【発明の効果】

【００１８】

本発明の液晶表示装置によれば、一方の極性に電圧印加されるサブ画素電極の分割サブ画素電極のうち少なくとも四つを、上下辺の両方において、他方の極性に電圧印加されるサブ画素電極の分割サブ画素電極に隣接させるようにしたので、より多くのスリットを、逆極駆動による狭スリットとすることができる。よって、液晶配向を安定させて透過率を向上させるという狭スリット化の効果をより高めることが可能となる。また、スリットを増やすことにより、ＶＡモードの応答特性を高めることができ、高速化に有利であると共に、大画面化に伴う画素の大型化にも極めて好適である。

【発明を実施するための最良の形態】

【００１９】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【００２０】

（第１の実施の形態）

図１は、本発明の第１の実施の形態に係る液晶表示装置の構成を表したものである。この液晶表示装置は、液晶テレビ等に用いられるＶＡモード用液晶表示装置であり、例えば、液晶表示パネル１と、バックライト部２と、画像処理部３と、フレームメモリ４と、ゲートドライバ５と、データドライバ６と、タイミング制御部７と、バックライト駆動部８とを備えている。

【００２１】

液晶表示パネル１は、ゲートドライバ５から供給される駆動信号によって、データドライバ６から伝達される映像信号Ｄｉに基づいて映像表示を行うものであり、マトリクス状に配置された複数の画素Ｐ１を有し、これらの画素Ｐ１ごとに駆動が行われるアクティブマトリクス方式の液晶表示パネルである。この画素Ｐ１の具体的な構成については後述する。

【００２２】

バックライト部２は、液晶表示パネル１に光を照射する光源であり、例えば、ＣＣＦＬ（Cold Cathode Fluorescent Lamp ：冷陰極傾向ランプ）や、ＬＥＤ（Light Emitting Diode：発光ダイオード）などを含んで構成されている。

【００２３】

画像処理部３は、外部からの映像信号Ｓ１に対して所定の画像処理を施すことにより、ＲＧＢ信号である映像信号Ｓ２を生成するものである。

【００２４】
フレームメモリ４は、画像処理部３から供給される映像信号Ｓ２をフレーム単位で画素Ｐごとに記憶するものである。
【００２５】
タイミング制御部７は、ゲートドライバ５、データドライバ６およびバックライト駆動部８の駆動タイミングを制御するものである。また、バックライト駆動部８は、タイミング制御部７のタイミング制御に従って、バックライト部２の点灯動作を制御するものである。
【００２６】
以下、図２ないし図４を参照して、液晶表示パネル１の各画素Ｐ１の具体的な構成について説明する。各画素Ｐ１は、二つのサブ画素からなるマルチ画素構造を有するものであり、例えば、赤（Ｒ；Red ）、緑（Ｇ；Green ）、青（Ｂ；Blue）の基本色のいずれかを表示するようになっている。
【００２７】
図２は、画素Ｐ１の等価回路を表したものである。画素Ｐ１は、ＴＦＴ１，ＴＦＴ２と、一つのサブ画素（以下、サブ画素Ａという。）を構成する液晶素子Ｃｌｃ１と、もう一つのサブ画素（以下、サブ画素Ｂという。）を構成する液晶素子Ｃｌｃ２と、容量素子Ｃｓｔ１，Ｃｓｔ２とを有している。
【００２８】
ＴＦＴ１，ＴＦＴ２は、サブ画素Ａ，Ｂに対して、映像信号Ｓ３を供給するためのスイッチング素子としての機能を有するものであり、例えばＭＯＳ－ＦＥＴ（Metal Oxide Semiconductor-Field Effect Transistor ）により構成され、３つの電極、ゲート、ソースおよびドレインを有している。ＴＦＴ１，ＴＦＴ２のゲートは、左右方向に延在するゲートバスラインＧＬに接続されている。このゲートバスラインＧＬには、上下方向に延在する二本のソースバスラインＳＬ１，ＳＬ２が直交している。ＴＦＴ１のソースはソースバスラインＳＬ１に接続され、ドレインは液晶素子Ｃｌｃ１の一端および容量素子Ｃｓｔ１の一端に接続されている。ＴＦＴ２のソースはソースバスラインＳＬ２に接続され、ドレインは液晶素子Ｃｌｃ２の一端および容量素子Ｃｓｔ２の一端に接続されている。
【００２９】
液晶素子Ｃｌｃ１，Ｃｌｃ２は、ＴＦＴ１，２を介して供給される信号電圧に応じて表示のための動作を行う表示素子としての機能を有するものである。液晶素子Ｃｌｃ１の他端および液晶素子Ｃｌｃ２の他端は液晶を挟んで対向する基板表面に形成されたコモン電極となる。
【００３０】
容量素子Ｃｓｔ１，Ｃｓｔ２は、両端間に電位差を発生させるものであり、具体的には電荷を蓄積させる誘電体を含んで構成されている。容量素子Ｃｓｔ１の他端および容量素子Ｃｓｔ２の他端は、ゲートバスラインＧＬに平行すなわち左右方向に延在する容量素子バスラインＣＬに接続されている。
【００３１】
図３は液晶表示パネル１の断面構造を表したものである。液晶表示パネル１は、ＴＦＴ基板（駆動基板）１０と対向基板２０との間に液晶層３０を有している。ＴＦＴ基板１０および対向基板２０の各々には、偏光板４１，４２が、それらの光学軸（図示せず）を直交させるように設けられている。
【００３２】
ＴＦＴ基板１０は、ガラス基板１０Ａに、各画素Ｐ１ごとに、ＴＦＴ１，ＴＦＴ２と、層間絶縁層１０Ｂと、ＩＴＯ（Indium Tin Oxide；インジウムスズ酸化物）よりなるサブ画素電極Ｐｘ１，Ｐｘ２とが形成されたものである。サブ画素電極Ｐｘ１はサブ画素Ａを構成し、ＴＦＴ１に電気的に接続されている。サブ画素電極Ｐｘ２はサブ画素Ｂを構成し、ＴＦＴ２に電気的に接続されている。これらサブ画素電極Ｐｘ１，Ｐｘ２により、一つの画素電極１１が構成されている。サブ画素電極Ｐｘ１，Ｐｘ２の間には、液晶配向制御

のためのスリット１２が設けられている。なお、ガラス基板１０Ａには、図示しないが、図２に示した容量素子Ｃｌｃ１，Ｃｌｃ２等が設けられている。

【００３３】

図２の等価回路図に示したように、サブ画素電極Ｐｘ１と、サブ画素電極Ｐｘ２とは電気的に独立しており、サブ画素電極Ｐｘ１，Ｐｘ２は同一フレーム内において逆極性に電圧印加されている。これにより、画素Ｐ１内のスリット１２の幅を狭くし、透過率を改善することができる。

【００３４】

対向基板２０は、ガラス基板２０Ａに共通電極（コモン電極）２１が形成されたものである。ガラス基板２０Ａには、図示しないが、カラーフィルターおよびブラックマトリクス等が形成されている。共通電極２１には、液晶配向制御のためのスリット２１が、画素電極１１のスリット１２とは重ならない位置に設けられている。

【００３５】

液晶層３０は、ＶＡモードの液晶層であり、液晶分子３１により構成されている。

【００３６】

図４は、一つの画素Ｐ１の画素電極１１を表したものである。サブ画素電極Ｐｘ１は、四つの分割サブ画素電極Ｐｘ１１，Ｐｘ１２，Ｐｘ１３，Ｐｘ１４に分けられている。これらの分割サブ画素電極Ｐｘ１１～Ｐｘ１４の上下辺は、偏光板４１，４２の光学軸と４５度の角度をなしている。また、分割サブ画素電極Ｐｘ１１～Ｐｘ１４は、共通電極２１のスリット２２によって各々二つのドメインＤに分かれているので、サブ画素電極Ｐｘ１は８個のドメインＤを有している。ここで、ドメインとは、電圧印加時の液晶分子３１の配向方向が同一である領域をいう。

【００３７】

サブ画素電極Ｐｘ２は、十個の分割サブ画素電極Ｐｘ２１，Ｐｘ２２，Ｐｘ２３，Ｐｘ２４，Ｐｘ２５，Ｐｘ２６，Ｐｘ２７，Ｐｘ２８，Ｐｘ２９，Ｐｘ２１０に分けられている。これらの分割サブ画素電極Ｐｘ２１～Ｐｘ２１０の上下辺は、偏光板４１，４２の光学軸と４５度の角度をなしている。分割サブ画素電極Ｐｘ２１～Ｐｘ２１０も、同様に各々二つのドメインＤに分かれているので、サブ画素電極Ｐｘ２は２０個のドメインＤを有している。

【００３８】

サブ画素電極Ｐｘ１の分割サブ画素電極Ｐｘ１１～Ｐｘ１４は、その上下辺の両方で、サブ画素電極Ｐｘ２の分割サブ画素電極Ｐｘ２２～Ｐｘ２４，Ｐｘ２７～Ｐｘ２９に隣接している。すなわち、分割サブ画素電極Ｐｘ２２，Ｐｘ１１，Ｐｘ２３，Ｐｘ１２，Ｐｘ２４が交互に配置されると共に、分割サブ画素電極Ｐｘ２７，Ｐｘ１３，Ｐｘ２８，Ｐｘ１４，Ｐｘ２９が交互に配置され、これらの間の８本のスリット１２Ａの間隔を狭くすることが可能となり、残り４本のスリット１２Ｂのみが従来通りの間隔となる。これにより、この液晶表示装置では、逆極駆動による狭スリット化を適用可能なスリット１２Ａの数を増やすことができるようになっている。

【００３９】

図４に示した構成は、面積が小さいサブ画素電極Ｐｘ１が８ドメイン以上となったときに適用可能となる。よって、サブ画素電極Ｐｘ１は、電圧印加時の液晶の配向方向が同一であるドメインＤを（４＋４＊ｎ）（ｎはｎ＞０である整数）有していることが望ましい。

【００４０】

なお、飛び飛びになった分割サブ画素電極Ｐｘ１１～Ｐｘ１４は、接続パターンにより電気的に接続される必要があり、その分開口率が低下するおそれもある。しかし、本実施の形態では、より多くのスリット１２Ａの間隔を狭くすることが可能となるので、それ以上の効果が得られる。分割サブ画素電極Ｐｘ２１～Ｐｘ２１０についても同様である。

【００４１】

この液晶表示装置は、サブ画素電極Ｐｘ１，Ｐｘ２を図４に示した形状に形成すること

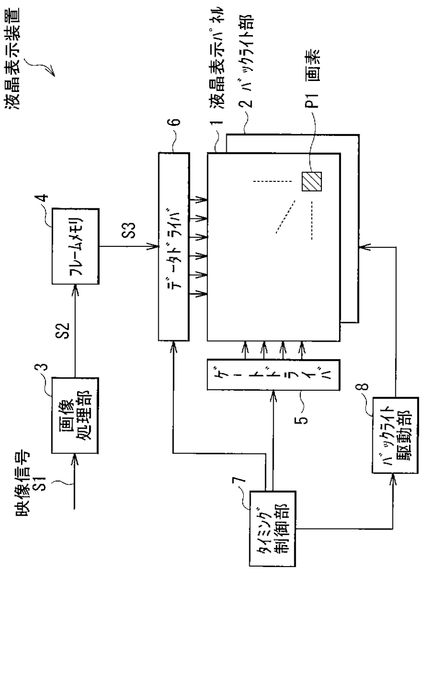
を除いては、通常の製造方法により製造することができる。
【００４２】
　この液晶表示パネル１では、図１に示したように、外部から供給された映像信号Ｓ１が画像処理部３により画像処理され、各画素Ｐ１用の映像信号Ｓ２が生成される。この映像信号Ｓ２は、フレームメモリ４において記憶され、映像信号Ｓ３として、データドライバ６へ供給される。このようにして供給された映像信号Ｓ３に基づいて、ゲートドライバ５およびデータドライバ６から出力される各画素Ｐ１内への駆動電圧によって、各画素Ｐ１ごとに線順次表示駆動動作がなされる。具体的には、ゲートドライバ５からゲートバスラインＧＬを介して供給される選択信号に応じて、ＴＦＴ１，ＴＦＴ２のオンオフが切り替えられ、ソースバスラインＳＬと画素Ｐ１を選択的に導通するようになっている。これにより、バックライト部２からの照明光が液晶表示パネル１により変調され、表示光として出力される。
【００４３】
　ここでは、サブ画素電極Ｐｘ１の分割サブ画素電極Ｐｘ１１～Ｐｘ１４が、サブ画素電極Ｐｘ２の分割サブ画素電極Ｐｘ２２～Ｐｘ２４，Ｐｘ２７～Ｐｘ２９に隣接しているので、分割サブ画素電極Ｐｘ２２，Ｐｘ１１，Ｐｘ２３，Ｐｘ１２，Ｐｘ２４が交互に配置されると共に、分割サブ画素電極Ｐｘ２７，Ｐｘ１３，Ｐｘ２８，Ｐｘ１４，Ｐｘ２９が交互に配置される。よって、これらの間の８本のスリット１２Ａの間隔を狭くすることが可能となり、図５に示したように、液晶配向の安定により透過率が向上するという狭スリット化の効果が更に高くなる。
【００４４】
　このように本実施の形態では、サブ画素電極Ｐｘ１の分割サブ画素電極Ｐｘ１１～Ｐｘ１４を、サブ画素電極Ｐｘ２の分割サブ画素電極Ｐｘ２２～Ｐｘ２４，Ｐｘ２７～Ｐｘ２９に隣接させるようにしたので、８本のスリット１２Ａを、逆極駆動による狭スリットとすることができる。よって、液晶配向を安定させて透過率を向上させるという狭スリット化の効果をより高めることが可能となる。また、スリット１２を増やすことにより、ＶＡモードの応答特性を高めることができ、高速化に有利であると共に、大画面化に伴う画素の大型化にも極めて好適である。
【００４５】
（第２の実施の形態）
　図６は、本発明の第２の実施の形態に係る液晶表示装置の四つの画素Ｐ１の画素電極１１を並べて表したものであり、図７（Ａ）は図６の左上および右下に示した画素電極１１、図７（Ｂ）は図６の右上および左下に示した画素電極１１をそれぞれ表したものである。本実施の形態の液晶表示装置は、画素電極１１の外形を変えることにより画素Ｐ１のコーナーの透過率を改善するようにしたものであり、このことを除いては第１の実施の形態と同様の構成を有している。よって、対応する構成要素には同一の符号を付して説明する。
【００４６】
　図６の左上および右下に示した画素電極１１では、図７（Ａ）に示したように、サブ画素電極Ｐｘ１は、四つの分割サブ画素電極Ｐｘ１１～Ｐｘ１４に分けられ、サブ画素電極Ｐｘ２は、八個の分割サブ画素電極Ｐｘ２２～Ｐｘ２９に分けられている。一方、図６の右上および左下に示した画素電極１１では、図７（Ｂ）に示したように、サブ画素電極Ｐｘ２は、四つの分割サブ画素電極Ｐｘ２１～Ｐｘ２４に分けられ、サブ画素電極Ｐｘ１は、八個の分割サブ画素電極Ｐｘ１２～Ｐｘ１９に分けられている。
【００４７】
　すなわち、本実施の形態では、画素Ｐ１のコーナーに位置していた三角形の分割サブ画素電極（第１の実施の形態における分割サブ画素電極Ｐｘ２１，Ｐｘ２１０）が省略されており、画素電極１１の外形が、９０度縦になった台形となっている。画素電極１１の左右辺は、台形の平行な辺であり、偏光板４１，４２の光学軸に対して平行である。画素電極１１の上下辺は、台形の傾斜する辺であり、偏光板４１，４２の光学軸に対して４５度

，１３５度，２２５度または３１５度のいずれかに傾斜している。これにより、本実施の形態では、画素Ｐ１のコーナーの透過率を改善することができるようになっている。
【００４８】
画素電極１１は、左右に隣接する画素電極１１とは、垂直軸に対して線対称に配置されている。また、画素電極１１は、上下に隣接する画素電極１１とは点対称に配置されていると共に、画素電極１１の上下辺と当該画素電極１１の上下に隣接する画素電極の上下辺とが互いに平行である。これにより、無駄なスペースをなくすことができる。
【００４９】
また、図６の左上および右下に示した画素電極１１では、図７（Ａ）に示したように、サブ画素電極Ｐｘ１の分割サブ画素電極Ｐｘ１１～Ｐｘ１４は、その上下辺の両方で、サブ画素電極Ｐｘ２の分割サブ画素電極Ｐｘ２２～Ｐｘ２４，Ｐｘ２７～Ｐｘ２９に隣接している。すなわち、分割サブ画素電極Ｐｘ２２，Ｐｘ１１，Ｐｘ２３，Ｐｘ１２，Ｐｘ２４が交互に配置されると共に、分割サブ画素電極Ｐｘ２７，Ｐｘ１３，Ｐｘ２８，Ｐｘ１４，Ｐｘ２９が交互に配置され、これらの間の８本のスリット１２Ａの間隔を狭くすることが可能となり、残り２本のスリット１２Ｂのみが従来通りの間隔となる。
【００５０】
一方、図６の右上および左下に示した画素電極１１では、図７（Ｂ）に示したように、サブ画素電極Ｐｘ２の分割サブ画素電極Ｐｘ２１～Ｐｘ２４は、その上下辺の両方で、サブ画素電極Ｐｘ１の分割サブ画素電極Ｐｘ１２～Ｐｘ１４，Ｐｘ１７～Ｐｘ１９に隣接している。すなわち、分割サブ画素電極Ｐｘ１２，Ｐｘ２１，Ｐｘ１３，Ｐｘ２２，Ｐｘ１４が交互に配置されると共に、分割サブ画素電極Ｐｘ１７，Ｐｘ２３，Ｐｘ１８，Ｐｘ２４，Ｐｘ１９が交互に配置され、これらの間の８本のスリット１２Ａの間隔を狭くすることが可能となり、残り２本のスリット１２Ｂのみが従来通りの間隔となる。
【００５１】
以上により、本実施の形態では、第１の実施の形態と同様に、逆極駆動による狭スリット化を適用可能なスリット１２Ａの割合を更に増やすことができるようになっている。
【００５２】
更に、画素電極１１は、上下または左右に隣接する画素電極１１とは、複数のサブ画素電極Ｐｘ１，Ｐｘ２どうしの極性の関係が逆であることが好ましい。隣接する画素電極１１間のスリット１２Ｃを狭くすることが可能となり、透過率をより改善することができるからである。
【００５３】
この液晶表示装置は、画素電極１１を図６および図７に示したような外形で形成することを除いては、通常の製造方法により製造することができる。
【００５４】
この液晶表示パネル１では、図１に示したように、第１の実施の形態と同様にして各画素Ｐ１ごとに線順次表示駆動動作がなされ、バックライト部２からの照明光が液晶表示パネル１により変調され、表示光として出力される。
【００５５】
ここでは、画素電極１１の外形が、左右辺は偏光板４１，４２の光学軸に対して平行であり、上下辺は偏光板４１，４２の光学軸に対して４５度，１３５度，２２５度または３１５度のいずれかに傾斜した台形であるので、液晶分子３１の配向方向と画素電極１１の外形形状との矛盾が改善されている。よって、画素Ｐ１のコーナーの液晶分子のφ（方位角）ブレが低減され、透過率が向上する。
【００５６】
これに対して、図８（Ａ）は、図１５に示した従来の画素と同じものを表し、図８（Ｂ）は、図８（Ａ）に示した画素の透過率をシミュレーションした結果を表したものであり、図８（Ａ）に示した画素の左下コーナーの点線で囲まれた部分を拡大して表している。左上コーナーについては特に図示しないが、方位角が異なるだけで、結果はほぼ同様と考えてよい。

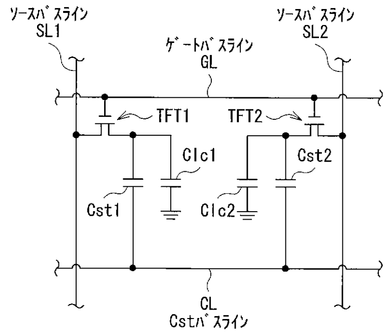
【００５７】
図８（Ｂ）から分かるように、従来では、特に画素のコーナーで透過率が非常に悪くなっていた。その原因として、画素の基本形状と液晶分子の配向方向との不一致が挙げられる。液晶分子は偏光板の光学軸との関係から４５度方向に傾斜することで透過率が最大となる。そのためにスリット１１２は４５度に配置されている。しかし、画素の基本形状は長方形であるので、画素のコーナーでは、縦横に切られた画素電極Ｐｘ１，Ｐｘ２のパターンの影響により液晶分子の方位角がずれてしまう（φブレ）。特に画素のコーナーでは、左右端と上下端のφブレが集中するので、透過率の悪化が著しくなってしまっていた。
【００５８】
このように本実施の形態では、画素電極の外形を、左右辺は偏光板の光学軸に対して平行であり、上下辺は偏光板の光学軸に対して４５度，１３５度，２２５度または３１５度のいずれかに傾斜した台形としたので、画素のコーナーのφブレを低減することができ、透過率を向上させることができる。
【００５９】
以上、実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定されず、種々の変形が可能である。例えば、上記第１の実施の形態では、サブ画素電極Ｐｘ１が四つの分割サブ画素電極Ｐｘ１１～Ｐｘ１４に分けられており、これら四つの分割サブ画素電極Ｐｘ１１～Ｐｘ１４のすべてが、サブ画素電極Ｐｘ２の分割サブ画素電極Ｐｘ２２～Ｐｘ２４，Ｐｘ２７～Ｐｘ２９に隣接している場合について説明したが、サブ画素電極Ｐｘ１は、四つ以上の分割サブ画素電極に分けられていてもよい。この場合、それらの分割サブ画素電極のうち少なくとも四つが、サブ画素電極Ｐｘ２の分割サブ画素電極に隣接していればよい。
【００６０】
また、例えば、上記第２の実施の形態では、画素電極１１の外形が台形である場合について説明したが、本発明は、画素電極１１の外形が台形である場合に限られず、平行四辺形など、上下辺が偏光板の光学軸に対して４５度，１３５度，２２５度または３１５度のいずれかに傾斜した形状である場合に適用可能である。
【００６１】
また、例えば、上記実施の形態では、各画素が２つのサブ画素に分割される例について説明したが、本発明は、各画素が３つ以上のサブ画素に分割されるようにした場合にも適用可能である。
【００６２】
更に、サブ画素の形状は上記実施の形態に限定されず、他の形状、例えば正方形や長方形などでもよく、実質的に画素の平面積が分割されるような構成であればよい。
【００６３】
加えて、上記実施の形態では非線形素子としてＴＦＴ１，ＴＦＴ２を用いた場合を例として説明したが、非線形素子はＴＦＤ（Thin Film Diode ；薄膜ダイオード）でもよい。
【図面の簡単な説明】
【００６４】
【図１】本発明の第１の実施の形態に係る液晶表示パネルを備えた液晶表示装置の全体構成を示す図である。
【図２】図１に示した液晶表示パネルの画素の等価回路図である。
【図３】図１に示した液晶表示パネルの一部の構造を表す断面図である。
【図４】図３に示した画素電極の平面図である。
【図５】本実施の形態による透過率を表す図である。
【図６】本発明の第２の実施の形態に係る液晶表示装置の画素電極の平面図である。
【図７】図７（Ａ）は図６の左上および右下に示した画素電極、図７（Ｂ）は図６の右上および左下に示した画素電極をそれぞれ表す平面図である。
【図８】従来の画素の透過率のシミュレーション結果を表す図である。
【図９】従来のマルチ画素による階調表示の一例を表した図である。

【図１０】図９に示した各サブ画素の画素電極および共通電極の構成、並びにその等価回路図である。
【図１１】図１０に示したスリットの幅を説明するための図である。
【図１２】図１０に示したスリットの幅を説明するための図である。
【図１３】スリットの幅と透過率との関係を表した図である。
【図１４】図１０に示した二つの画素電極に逆極性の電圧を印加した場合の、スリットにおける液晶分子の配向を説明するための図である。
【図１５】逆極駆動の画素の構成を表す平面図である。
【図１６】スリットの幅を狭くした場合の透過率を表す図である。
【図１７】図１５に示した画素においてスリットを増やした場合の問題点を説明するための平面図である。
【符号の説明】
【００６５】
１…液晶表示パネル、１０…ＴＦＴ基板（駆動基板）、１１…画素電極、１２，２２…スリット、２０…対向基板、２１…共通電極、４１，４２…偏光板、Ｐ１…画素、Ｐｘ１，Ｐｘ２…サブ画素電極、Ｐｘ１１～Ｐｘ１９，Ｐｘ２１～Ｐｘ２１０…分割サブ画素電極。

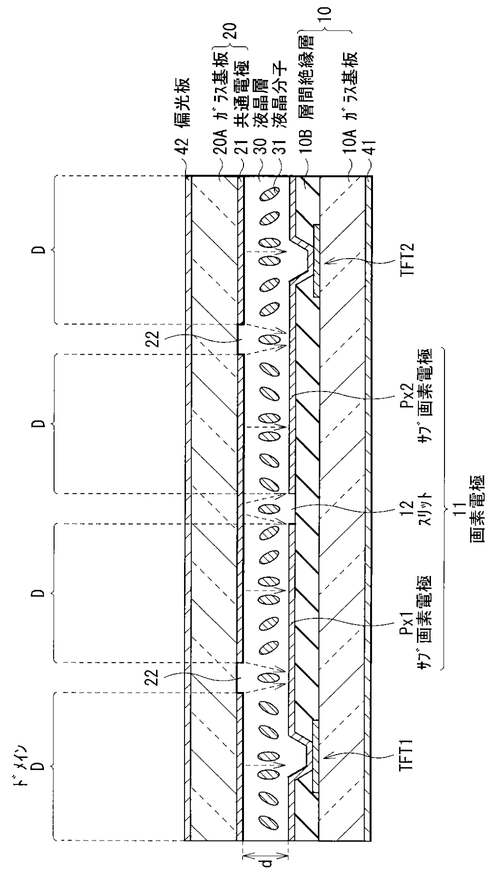
【図１】



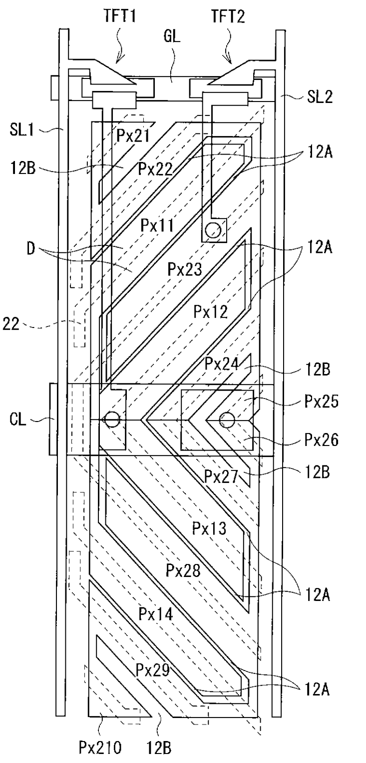
【図２】



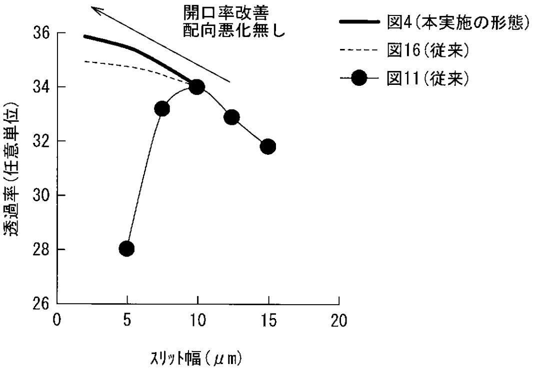
【図３】


42 偏光板
20A ガラス基板
21 共通電極
30 液晶層
31 液晶分子
10B 層間絶縁層
10A ガラス基板
41
20
10
D
22
TFT2
Px2 サブ画素電極
12 スリット
11 画素電極
Px1 サブ画素電極
TFT1
ドメイン D
d

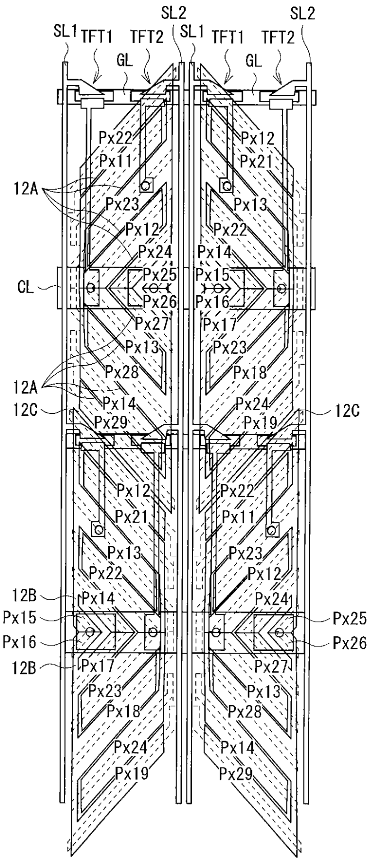
【図４】


TFT1
TFT2
GL
SL2
SL1
Px21
12B
Px22
12A
Px11
D
Px23
Px12
22
Px24
Px25
CL
Px26
Px27
Px13
Px28
Px14
Px29
Px210

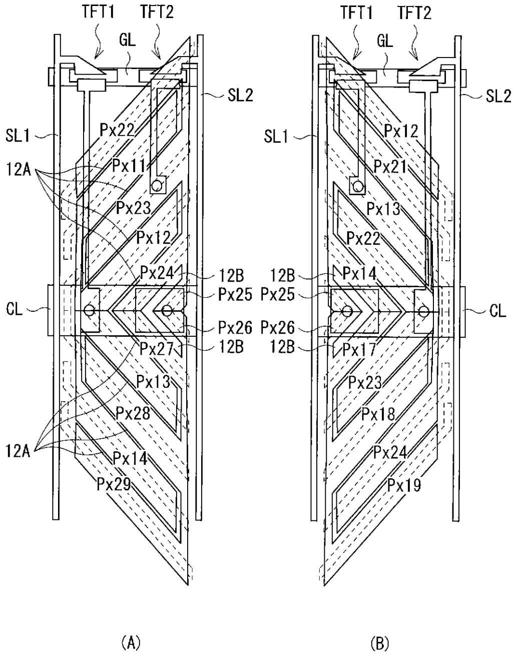
【図５】


開口率改善
配向悪化無し
図4(本実施の形態)
図16(従来)
図11(従来)
透過率(任意単位)
スリット幅(μm)
36
34
32
30
28
26
0
5
10
15
20

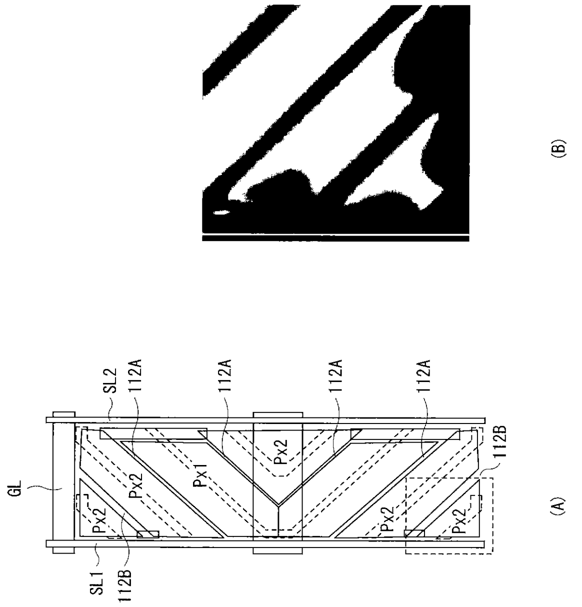
【図６】


SL1
TFT1
TFT2
SL2
GL
Px22
Px11
Px12
Px21
12A
Px23
Px13
Px24
Px14
Px25
Px15
CL
Px26
Px16
Px27
Px17
Px28
Px18
12C
Px29
Px19
12B

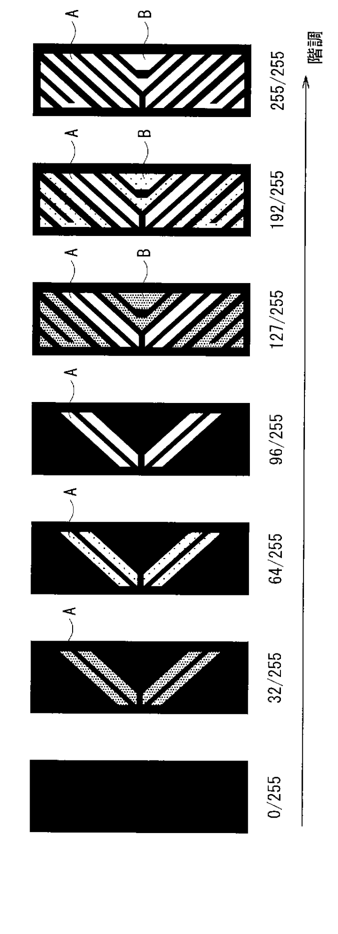
【図７】


TFT1
TFT2
GL
SL1
SL2
Px22
Px11
Px23
Px12
Px24
Px25
Px26
Px27
Px13
Px28
Px14
Px29
Px21
Px22
Px14
Px17
Px23
Px18
Px24
Px19
12A
12B
CL
(A)
(B)

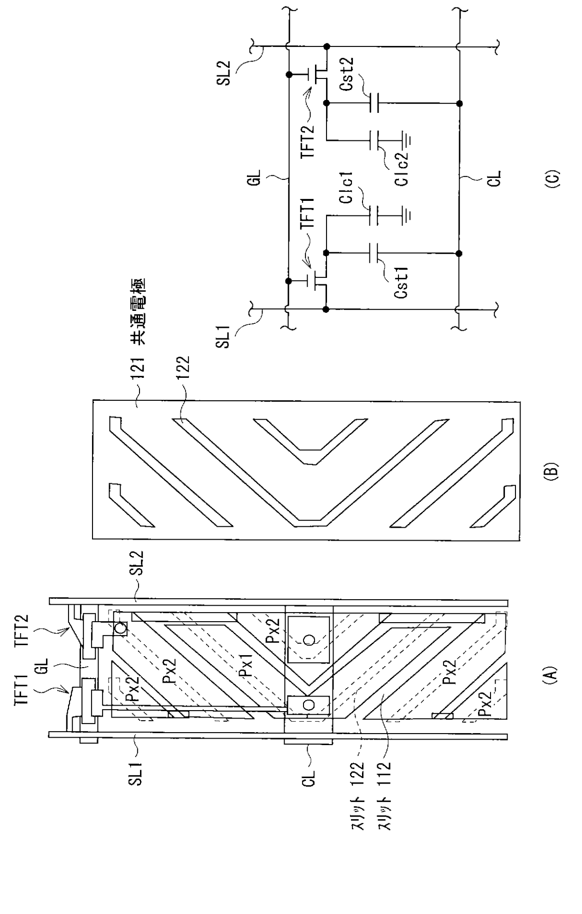
【図８】


(B)
SL2
112A
Px2
Px1
112B
GL
SL1
(A)

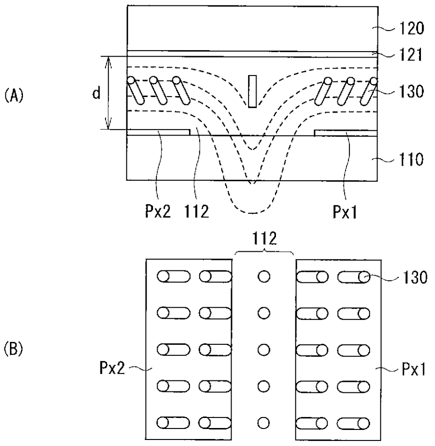
【図９】


A
B
255/255
192/255
127/255
96/255
64/255
32/255
0/255
階調

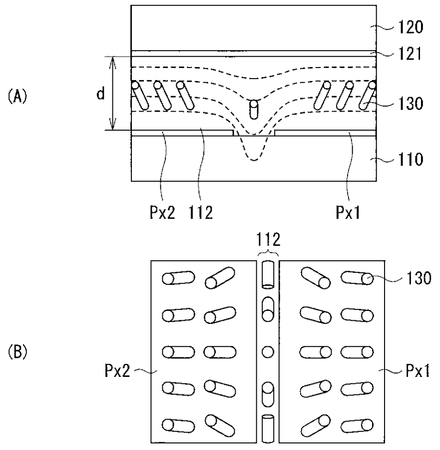
【図１０】


SL2
Cst2
TFT2
Clc2
GL
CL
Clc1
TFT1
Cst1
SL1
(C)
121 共通電極
122
(B)
Px2
Px1
SL1
CL
スリット122
スリット112
(A)

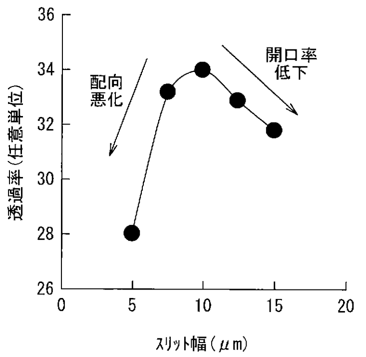
【図１１】



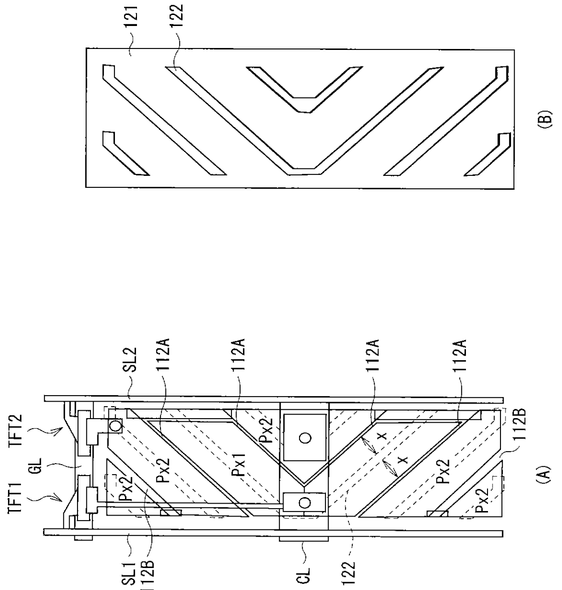
【図１２】



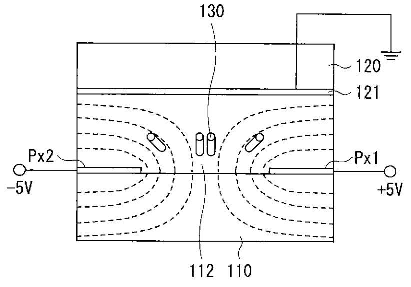
【図１３】



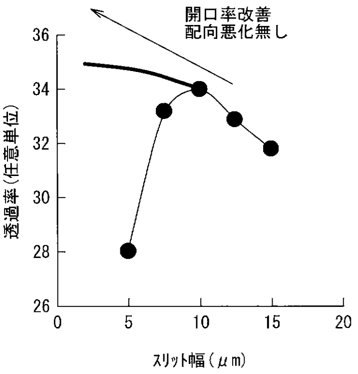
【図１５】



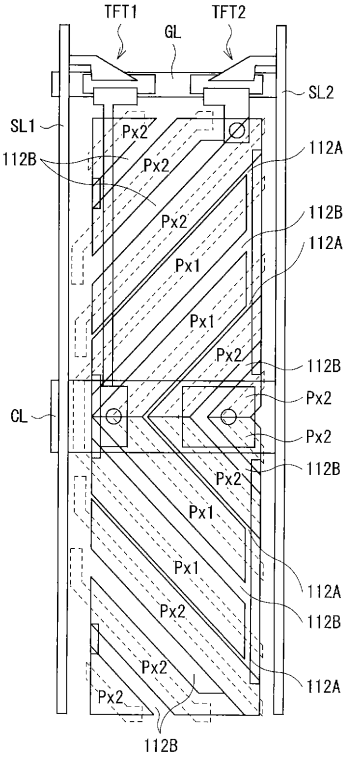
【図１４】



【図１６】


開口率改善
配向悪化無し
36
34
32
30
28
26
0
5
10
15
20
透過率(任意単位)
スリット幅(μm)

【図１７】


TFT1
TFT2
GL
SL2
SL1
Px2
112B
112A
Px1
CL

フロントページの続き

Ｆターム(参考)	2H092	GA13 GA15 GA17 JA24 JB05 JB06 JB42 NA01 NA11 PA06 QA09
	2H093	NA16 NA31 NB07 NC12 NC34 NC40 NC49 NC66 ND08 ND33 NE03 NF09
	2H191	FA22X FA22Z GA04 GA17 HA08 LA21