

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-44077

(P2009-44077A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/60 (2006.01)	HO 1 L 21/92 6 O 2 K	5 F 0 3 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/92 6 O 2 H	
HO 1 L 23/52 (2006.01)	HO 1 L 21/92 6 O 4 B	
	HO 1 L 21/92 6 O 4 N	
	HO 1 L 21/92 6 O 4 S	
審査請求 未請求 請求項の数 5 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2007-209849 (P2007-209849)
 (22) 出願日 平成19年8月10日 (2007.8.10)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100109900
 弁理士 堀口 浩
 (72) 発明者 板橋 康
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5F033 HH07 HH08 HH09 HH11 HH12
 HH13 HH14 HH18 HH23 JJ17
 KK08 KK09 KK11 KK12 MM05
 MM13 NN03 PP15 PP27 QQ08
 QQ19 QQ27 QQ48 RR04 RR06
 RR22 VV07 XX01

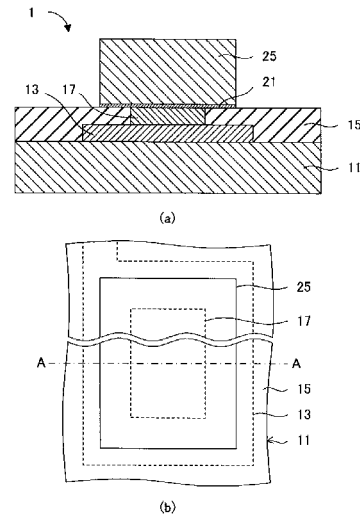
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 表面が平坦なバンプ電極を有する半導体装置及び半導体装置の製造方法を提供する。

【解決手段】 表面に電極パッド13が形成された半導体チップ11、電極パッド13の上に配置され、半導体チップ11と対向する上面が平面をなす上部配線層17、上部配線層17の上面と同一面をなし、上部配線層17の側面と接し、半導体チップ11の表面を被うパシベーション膜15、上部配線層17及び上部配線層17の周囲のパシベーション膜15の上に配置され、上部配線層17と接続されたバンプ下地金属21、及び平面をなすバンプ下地金属21の上に側面を共有して配置され、所定の膜厚の金バンプ25とを備える。

【選択図】 図1



1: 半導体装置 11: 半導体チップ 13: 電極パッド
 15: パシベーション膜 17: 上部配線層
 21: バンプ下地金属 25: 金バンプ

【特許請求の範囲】

【請求項 1】

表面に電極パッドが形成された半導体チップと、
前記電極パッドの上に配置され、前記半導体チップと対向する上面が平面をなす上部配線層と、
前記上部配線層の上面と同一面をなし、前記上部配線層の側面と接し、前記半導体チップの表面を被う絶縁膜と、
前記上部配線層及び前記上部配線層の周囲の前記絶縁膜の上に配置され、前記上部配線層と接続された金属膜と、
平面をなす前記金属膜の上に前記金属膜と側面を共有して配置され、所定の膜厚の金属バンプと、
を備えていることを特徴とする半導体装置。 10

【請求項 2】

前記電極パッドは、アルミニウムまたはアルミニウム合金であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記金属膜は、高融点金属を含む単層、または、高融点金属を含む層を有する複数層であることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記金属バンプは、前記上部配線層より大きく、前記電極パッドより小さいことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。 20

【請求項 5】

半導体チップが欠けることなく配列可能な半導体基板のチップ形成有効領域内の表面に電極パッドを形成し、前記電極パッド上に開口を有する絶縁膜を形成する工程と、
前記電極パッド及び前記絶縁膜の上に導電膜を堆積し、前記導電膜の上面が前記絶縁膜の上面と同一平面となるように平坦化された上部配線層を形成する工程と、
前記絶縁膜及び前記上部配線層の上に、金属膜を堆積する工程と、
前記チップ形成有効領域内に、前記金属膜を介して前記上部配線層上に第 1 の金属バンプを形成し、同時に、前記半導体基板の前記チップ形成有効領域に隣接する領域に、前記金属膜上に第 2 の金属バンプを形成する工程と、
前記第 2 の金属バンプの硬度を測定する工程と、
を備えていることを特徴とする半導体装置の製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バンプ電極を有する半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

液晶表示装置（LCD）に使用される LCD ドライバ用半導体チップは、小型化及びノまたは高精細化等への対応が要求されている。LCD ドライバのパッケージとして T C P（Tape Carrier Package）等が採用され、C O F（Chip on Film）等において、LCD ドライバ用半導体チップに形成されたバンプ電極が、インナリードと I L B（Inner Lead Bonding）法等で接続されることが多い。C O F は、小型化・薄型化が可能で、微細ピッチ化に適しているとして知られている。 40

【0003】

半導体チップのバンプ電極を微細ピッチに対応するために、従来技術で用いられているレジストではなく、シラノール化合物を用いて、バンプ電極の寸法精度を上げる製造方法が開示されている（例えば、特許文献 1 参照。）。 50

【0004】

この開示された製造方法では、バンプ電極の寸法精度を上げることが可能と考えられる

が、パンプ電極となる、例えば、金パンプは、チップ上部の電極パッド、その上のパシベーション膜、パシベーション膜の段差を有する開口で接続されて、その上に配置された UBM (Under Bump Metal) 膜の段差形状を反映して、周辺部で高く、中央部で低い表面形状を有している。この表面の凹凸は、例えば、インナリードと接続する場合、金パンプの中央部がインナリードと十分に接触できず、接続不良となる問題を有している。そして、金パンプの中央部をリードと十分に接触させるために、荷重をかけると、より多くのつづれが発生し、隣接する金パンプと接触するという問題が起こる。

【特許文献 1】特開 2005 - 322735 号公報 (第 4 頁、図 2)

【発明の開示】

【発明が解決しようとする課題】

10

【0005】

本発明は、表面が平坦なパンプ電極を有する半導体装置及び半導体装置の製造方法を提供する。

【課題を解決するための手段】

【0006】

本発明の一態様の半導体装置は、表面に電極パッドが形成された半導体チップと、前記電極パッドの上に配置され、前記半導体チップと対向する上面が平面をなす上部配線層と、前記上部配線層の上面と同一面をなし、前記上部配線層の側面と接し、前記半導体チップの表面を被う絶縁膜と、前記上部配線層及び前記上部配線層の周囲の前記絶縁膜の上に配置され、前記上部配線層と接続された金属膜と、平面をなす前記金属膜の上に前記金属膜と側面を共有して配置され、所定の膜厚の金属パンプとを備えていることを特徴とする。

20

【0007】

また、本発明の別態様の半導体装置の製造方法は、半導体チップが欠けることなく配列可能な半導体基板のチップ形成有効領域内の表面に電極パッドを形成し、前記電極パッド上に開口を有する絶縁膜を形成する工程と、前記電極パッド及び前記絶縁膜の上に導電膜を堆積し、前記導電膜の上面が前記絶縁膜の上面と同一平面となるように平坦化された上部配線層を形成する工程と、前記絶縁膜及び前記上部配線層の上に、金属膜を堆積する工程と、前記チップ形成有効領域内に、前記金属膜を介して前記上部配線層上に第 1 の金属パンプを形成し、同時に、前記半導体基板の前記チップ形成有効領域に隣接する領域に、前記金属膜上に第 2 の金属パンプを形成する工程と、前記第 2 の金属パンプの硬度を測定する工程とを備えていることを特徴とする。

30

【発明の効果】

【0008】

本発明によれば、表面が平坦なパンプ電極を有する半導体装置及び半導体装置の製造方法を提供することができる。

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施例について、図面を参照しながら説明する。なお、図において、同一の構成要素には同一の符号を付す。

40

【実施例】

【0010】

本発明の実施例に係る半導体装置について、図 1 乃至図 4 を参照して説明する。図 1 は半導体装置の構成を模式的に示す図で、図 1 (a) は断面図、図 1 (b) は平面図である。図 2 は半導体装置の製造方法を工程順に模式的に示す断面図である。図 3 は、図 2 に続く半導体装置の製造方法を工程順に模式的に示す断面図である。図 4 は、半導体装置をインナリードと接続した構成を模式的に示す図で、図 4 (a) は断面図、図 4 (b) は平面図である。

【0011】

図 1 に示すように、半導体装置 1 は、表面に電極パッド 13 が形成された半導体チップ

50

11と、電極パッド13の上に配置され、半導体チップ11と対向する上面が実質的に平面をなす上部配線層17と、上部配線層17の上面と実質的に同一面をなし、上部配線層17の側面と接し、半導体チップ11の表面を被うパシベーション膜15と、上部配線層17及び上部配線層17の周囲のパシベーション膜15の上に配置され、上部配線層17と接続された金属膜であるバンプ下地金属(UBM)21と、平面をなすバンプ下地金属21の上に側面を共有して配置され、膜厚がほぼ一定の金属バンプである金バンプ25とを備えている。なお、半導体チップ11表面に立てた垂線において、半導体チップ側を下または底、金バンプ25側を上とする。

【0012】

図1(a)に示す断面図は、図1(b)に示すA-A線に沿った断面図である。半導体チップ11の表面へ投影すると、すなわち、図1(b)の平面図に示すように、金バンプ25の平面的な大きさは、上部配線層17の平面的な大きさより大きく、電極パッド13の平面的な大きさより小さい関係にある。

10

【0013】

次に、半導体装置1の製造方法について説明する。ここで、各構成要素の材料等についても説明する。図2(a)に示すように、半導体チップ11は、図示を省略するが、例えば、シリコンからなる半導体基板の表面に半導体素子等が形成され、半導体素子等を被うように層間絶縁膜及び配線層が形成され、最上部のAlまたはAl合金からなる配線層に電極パッド13が形成されている。半導体チップ11は、表面にシリコン酸化膜及びシリコン窒化膜が積層されたパシベーション膜15が形成され、電極パッド13を金バンプ25と接続するための開口14が、電極パッド13の上面の内側に、フォトリソグラフィ法により形成されている。なお、電極パッド13は、他に、Cu、または、Cu合金等であってもよいし、パシベーション膜15は、シリコン酸化膜、シリコン窒化膜、または、ポリイミド樹脂等の有機絶縁膜等が可能である。

20

【0014】

図2(b)に示すように、半導体チップ11の表面に電極パッド13と同様な材料、例えば、Al合金からなる上部配線層17となる層を、スパッタリング法にて堆積する。膜厚は、開口14の段差より厚くする。

【0015】

図2(c)に示すように、CMP(Chemical Mechanical Polishing)法にて、開口14を埋めた上部配線層17の上面と、パシベーション膜15の上面とが、実質的に同一平面をなすように加工する。つまり、上部配線層17は、開口14及び開口14周辺においては、開口14の中にしか残らないようにする。実質的に同一平面をなす領域は、後述の金バンプ25を配置する領域を含む領域である。なお、上部配線層17の上面が平坦に加工されるまで、パシベーション膜15の上面を研磨することが可能なら、上部配線層17の堆積時の膜厚は、必ずしも、開口14の段差より厚くなくてもよい。

30

【0016】

図2(d)に示すように、パシベーション膜15及び上部配線層17の上面全面に、高融点金属であるTi及びPdの2層からなるバンプ下地金属21を、例えば、スパッタリング法にて堆積する。バンプ下地金属21は、電解めっき法において所定の電位を与えるためのもの、また、バリアメタルであって、他に、TiW及びAuの2層構造等とすることも可能である。少なくとも、金バンプ25を配置する領域のバンプ下地金属21の上面は平坦である。

40

【0017】

図3(a)に示すように、バンプ下地金属21の上面に、レジスト23を塗布し、フォトリソグラフィ法により、金バンプ25を形成する領域に、バンプ下地金属21に達するレジスト23の開口22を形成する。開口22の底面のバンプ下地金属21は実質的に平面をなしている。開口22の段差、つまり、開口22の周辺のレジスト23の上面は、後述の金バンプ25の上面より、高い位置となるように形成されている。

【0018】

50

図3(b)に示すように、底部にパンプ下地金属21が露出した開口22の内部に、金イオンや金錯イオンを含む電解質をめっき液として、電解(電気)めっき法により、金からなる析出層、すなわち、金パンプ25を形成する。金パンプ25は、膜厚、すなわち、パンプ下地金属21からの高さがほぼ一定となり、レジスト23の膜厚を越えることはない。

【0019】

図1(a)に示すように、レジスト23が、例えば、アルカリ系の剥離液で除去され、その後、金パンプ25をマスクとして、パンプ下地金属21のPd及びTiが、例えば、王水および弗酸で、それぞれエッチングされ、パンプ下地金属21の上に、パンプ下地金属21の側面とほぼ同じ側面を有する金パンプ25が形成された半導体装置1が完成する。なお、Pdのエッチング液は、ヨウ素系、または、シアン系等であってもよいし、Tiのエッチングは、フッ化アンモニウム系液等の使用、または、ドライエッチングが可能である。また、Pdをエッチングする際に、金パンプ25もエッチングされるが、エッチングされる分だけ予め余分に形成することにより、所望の金パンプ25が得られる。

10

【0020】

金パンプ25の高さ(膜厚)は約15 μm 、図1の左右方向に示す幅は約18 μm 、金パンプ25間のピッチ(図示略)は約25 μm である。電極パッド13の側面は、金パンプ25の側面の投影位置から、約2~3 μm 外側にある。上部配線層17の側面は、金パンプ25の側面の投影位置から、約3~5 μm 内側にある。なお、これらの寸法は、目的により、適宜、変更可能である。

20

【0021】

上述したように、半導体装置1は、表面に電極パッド13が形成された半導体チップ11、電極パッド13の上に配置され、半導体チップ11と対向する上面が実質的に平面をなす上部配線層17、上部配線層17の上面と実質的に同一面をなし、上部配線層17の側面と接し、半導体チップ11の表面を被うパシベーション膜15、上部配線層17及び上部配線層17の周囲のパシベーション膜15の上に配置され、上部配線層17と接続されたパンプ下地金属21、及び平面をなすパンプ下地金属21の上に側面を共有して配置され、膜厚がほぼ一定の金パンプ25とを備えている。

【0022】

つまり、半導体装置1は、上部配線層17とパシベーション膜15とがなす面が平坦なのでパンプ下地金属21が平坦、パンプ下地金属21が平坦なので金パンプ25の底面が平坦、金の膜厚がほぼ一定なので金パンプ25の露出した表面、すなわち上面が平坦となる。

30

【0023】

次に、半導体装置1をパッケージに実装した形態を説明する。図4(a)及び図4(b)は、図1(a)及び図1(b)にそれぞれ対応し、図4(a)に示す断面図は、図4(b)に示すB-B線に沿った断面図である。図4に示すように、半導体装置1の金パンプ25とCOFテープ(図示略)に形成されたインナリード31とは、1対1で接続される。図4(b)の左右方向に示すインナリード31の幅は金パンプ25の幅より小さく形成され、図4(b)の上下方向に示すインナリード31の長さは金パンプ25の長さを越えて配置されている。

40

【0024】

インナリード31は、例えば、CuまたはCu合金が使用され、表面にはSnがめっきされている。図示は省略するが、インナリードボンダ等を使用して、金パンプ25とインナリード31とは押圧され、同時に、接触部の温度をAu-Sn共晶を形成する温度に上げることにより、金パンプ25とインナリード31との間に共晶32が形成される。金パンプ25とインナリード31とは、この共晶32によって、電氣的、機械的に接続される。

【0025】

上述したように、金パンプ25の上面は平坦化されている。そのために、金パンプ25

50

とインナリード31とは、比較的弱い力で押圧することにより、接触させるべき面を接触させることが可能となる。つまり、表面に凹凸を有する金バンプとインナリードとの接触に比較して、より小さな力で接触させることが可能となる。

【0026】

その結果、押圧によって生じる金バンプ25の変形を小さく抑えることが可能となる。また、金バンプ25の平面的な大きさは、電極パッド13の平面的な大きさより小さい関係にあることも加わり、押圧によって生じる応力によって、パシベーション膜15、上部配線層17、及び電極パッド13等が破壊されることを抑えることが可能となる。また、強い力で押圧することがないので、室温に戻したときの、残留応力が比較的小さい。

【0027】

従って、半導体装置1は、金バンプ25とインナリード31との接続不良が抑制され、信頼性が高められる。また、半導体装置1は、金バンプ25の幅方向への変形が小さくできるので、隣接する金バンプとの接触の危険性が抑制され、微細ピッチが可能となって、小型化及び高精細化に対応可能となる。

【0028】

また、従来、金バンプの表面の凹凸を軽減する技術、すなわち、本実施例の開口14を、パシベーション膜に開けた径の小さな開口の集合とすることにより、その上のバンプ下地金属を小さな開口に沿って形成し、更にその上に金バンプを形成することによって、金バンプの表面の凹部を小さくしようとする技術が知られている。しかしながら、この従来技術は、小さな開口の集合により、電気的な接続は可能となるものの、バンプ下地金属と電極パッドとの接触面積が小さくなり、いわゆる、バンプ剥がれが起こり易くなる。

【0029】

これに比較して、半導体装置1は、大きな開口14を形成し、上部配線層17とバンプ下地金属21とが、大きな開口14に相等する面積で接触、接続されることになり、上部配線層17とバンプ下地金属21との間が、より強く接続されている。その結果、バンプ剥がれは抑制される。なお、電極パッド13と上部配線層17は、同一の材料で形成され、機械的な接続強度は、上部配線層17とバンプ下地金属21との間の接続強度より強くなっている。

【0030】

また、上述した実施例の技術は、半導体装置1の金バンプ25の硬度をモニタする硬度測定用の金バンプに適用することが可能である。金バンプ25は、電解めっき法により形成されるが、めっきの条件等により硬度が変化することがあり、この硬度をモニタするために、半導体装置1には、電気的、機械的接続用途以外に、硬度測定用の金バンプが形成されることが多い。

【0031】

硬度測定用の金バンプは、例えば、金バンプ25とインナリード31との接続を妨げないような半導体チップ11の周辺部に配置される。ピッカー硬度測定用の金バンプは、本発明者の実験によれば、一辺が70 μ m乃至それ以上の正方形または矩形をなして形成されると安定して正確に測定可能である。つまり、硬度測定用の金バンプは、図1に示した金バンプ25と模式的には同様の形状を有し、高さが同様で、平面的な広がりが大きく形成される。硬度測定用の金バンプの上面は、金バンプ25の下地層と同様な層構造を有する下地層の上に形成されるので平坦となる。なお、硬度測定用の金バンプは、金バンプ25を形成する工程で同様に形成可能である。

【0032】

その結果、本実施例の技術を適用した硬度測定用の金バンプは、ピッカー硬度測定装置で形成された圧痕(測定用のくぼみ)を平坦な上面にはっきりと残すことが可能となり、圧痕の対角線をより正確に読み取ることができ、ピッカー硬度をより正確に求めることが可能となる。そして、半導体装置1は、金バンプ25の硬度がバンプ接続に適するものとされる。

【0033】

10

20

30

40

50

また、面積の大きな硬度測定用の金バンプが、半導体装置 1 の小型化を妨げる場合は、硬度測定用の金バンプを半導体装置 1 の外、つまり、半導体装置 1 (半導体チップ 1 1) が配列された半導体基板 (ウェーハ状) の外周部に配置することが可能である。半導体基板の外周部には、例えば、矩形の半導体チップ 1 1 を配置するに十分な面積はないが、硬度測定用の金バンプは配置できる領域を有しており、この領域にのみ硬度測定用の金バンプを形成することが可能である。ここで、半導体チップが欠けることなく配列可能な半導体基板の領域をチップ形成有効領域という。硬度測定用の金バンプはチップ形成有効領域に隣接する領域に配置される。

【0034】

硬度測定用の金バンプを形成する工程は、例えば、金バンプ 2 5 を形成する工程において、バンプ下地金属 2 1 (図 2 (d) 参照) までは、同様に進めることができる。そして、図 3 (a) に示した金バンプのための開口 2 2 を形成する工程及びそれ以降において、硬度測定用の金バンプを配置する領域にのみ、別マスクによりパターニングを行い、金バンプ 2 5 と同時に電解めっきを行って、硬度測定用の金バンプを形成することができる。

【0035】

その結果、例えば、図 5 に示すように、半導体チップ 1 1 の延長にある外周部に位置する半導体基板 4 1、半導体基板 4 1 の上に配置された電極パッド 1 3 と同様な下部配線層 4 3、半導体基板 4 1 の表面及び下部配線層 4 3 を被うパシベーション膜 1 5、及び、パシベーション膜 1 5 の上に配置されたバンプ下地金属 2 1 と同様なバンプ下地金属 5 1 が積層され、硬度測定用金バンプ 5 5 は、バンプ下地金属 5 1 の上に金バンプ 2 5 と同様の硬度測定用金バンプ 5 5 が配置される。硬度測定用金バンプ 5 5 は、下地の各層が平坦であるので、表面は同様に平坦である。図 1 に示した半導体装置 1 の金バンプ 2 5 の下地の構成とは、上部配線層 1 7 を持たないことが異なる。硬度測定用金バンプ 5 5 は、接続用ではないので、必ずしも上部配線層 1 7 を持つ必要はない。

【0036】

硬度測定用金バンプ 5 5 は、上述の半導体装置 1 内に配設された硬度測定用の金バンプと同様に、ピッカース硬度がより正確に測定されて、半導体装置 1 は、金バンプ 2 5 の硬度がバンプ接続に適するものとされる。半導体装置 1 の外、外周部の半導体基板 4 1 に硬度測定用金バンプ 5 5 を形成するための工程が追加されるものの、面積の比較的大きな硬度測定用の金バンプを配置することが必要ないので、半導体装置 1 のチップサイズの小型化が可能となる。

【0037】

本発明は、上述した実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内で、種々、変形して実施することができる。

【0038】

例えば、上記実施例では、金バンプとインナリードが Au - Sn 共晶を形成して接続される例を示したが、金バンプとインナリードに相当する実装テープまたは実装基板側電極とが、異方性導電樹脂の導電性粒子を介して接続されることは可能である。金バンプの表面が平坦であることにより、接触抵抗をより低く、且つより安定化させることが可能である。

【0039】

また、上記実施例では、金バンプとインナリードが Au - Sn 共晶を形成して接続される例を示したが、金属バンプは、Au の他、Cu、Ag、及びこれらの金属の合金等であって、熱圧着、超音波熱圧着等により接続する方法、または、金属バンプは、Cu 及び Cu 合金等であって、半田等により接続する方法が可能である。

【図面の簡単な説明】

【0040】

【図 1】本発明の実施例に係る半導体装置の構成を模式的に示す図で、図 1 (a) は断面図、図 1 (b) は平面図。

【図 2】本発明の実施例に係る半導体装置の製造方法を工程順に模式的に示す断面図。

10

20

30

40

50

【図3】本発明の実施例に係る半導体装置の、図2に続く製造方法を工程順に模式的に示す断面図。

【図4】本発明の実施例に係る半導体装置をインナリードと接続した構成を模式的に示す図で、図4(a)は断面図、図4(b)は平面図。

【図5】本発明の実施例の変形例に係る金バンプ部の構成を模式的に示す断面図。

【符号の説明】

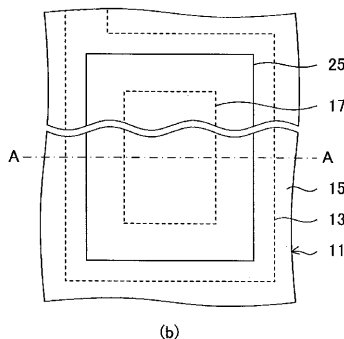
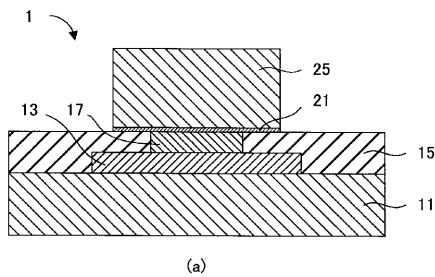
【0041】

- 1 半導体装置
- 11 半導体チップ
- 13 電極パッド
- 14、22 開口
- 15 パシベーション膜
- 17 上部配線層
- 21、51 バンプ下地金属
- 23 レジスト
- 25 金バンプ
- 31 インナリード
- 32 共晶
- 41 半導体基板
- 43 下部配線層
- 55 硬度測定用金バンプ

10

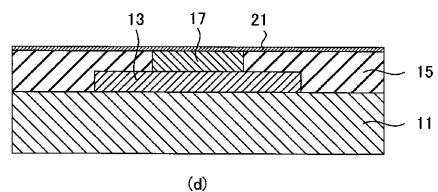
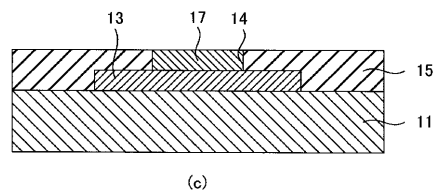
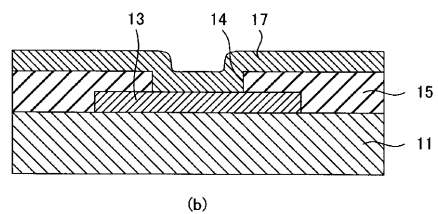
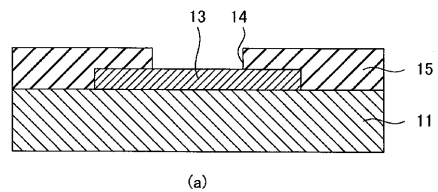
20

【図1】



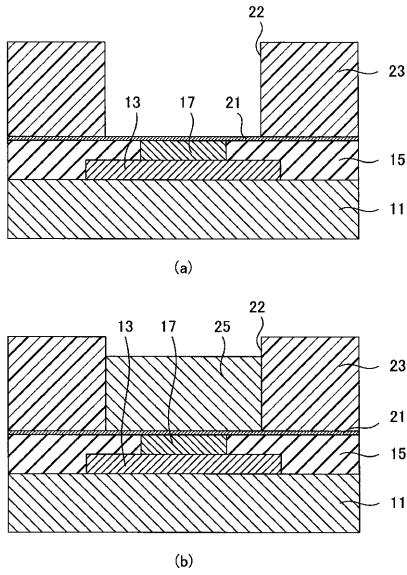
1:半導体装置 11:半導体チップ 13:電極パッド
 15:パシベーション膜 17:上部配線層
 21:バンプ下地金属 25:金バンプ

【図2】



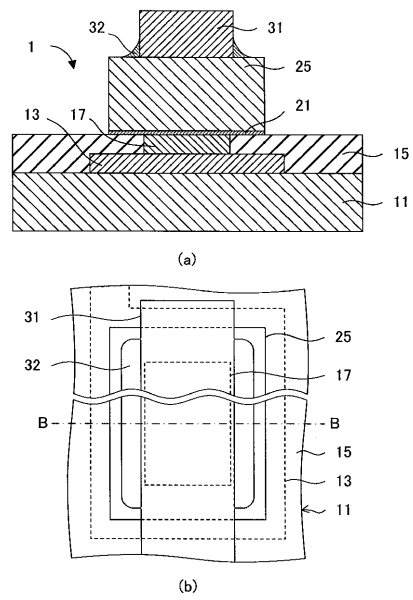
11:半導体チップ 13:電極パッド 14:開口
 15:パシベーション膜 17:上部配線層
 21:バンプ下地金属

【 図 3 】



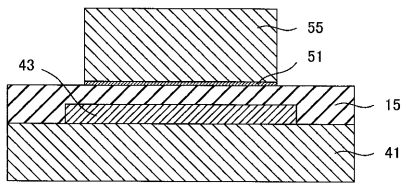
1: 半導体装置 11: 半導体チップ 13: 電極パッド
 15: パシベーション膜 17: 上部配線層
 21: バンプ下地金属 22: 開口 23: レジスト
 25: 金バンプ

【 図 4 】



1: 半導体装置 11: 半導体チップ 13: 電極パッド
 15: パシベーション膜 17: 上部配線層
 21: バンプ下地金属 25: 金バンプ 31: インナリード
 32: 共晶

【 図 5 】



15: パシベーション膜 41: 半導体基板
 43: 下部配線層 51: バンプ下地金属
 55: 硬度測定用金バンプ

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 21/88

T

テーマコード(参考)