

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年8月22日(22.08.2019)



(10) 国際公開番号

WO 2019/159651 A1

(51) 国際特許分類:

G09G 3/3233 (2016.01) *H01L 51/50* (2006.01)
G09G 3/20 (2006.01) *H05B 33/14* (2006.01)
H01L 27/32 (2006.01)

(21) 国際出願番号: PCT/JP2019/002460

(22) 国際出願日: 2019年1月25日(25.01.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-024112 2018年2月14日(14.02.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

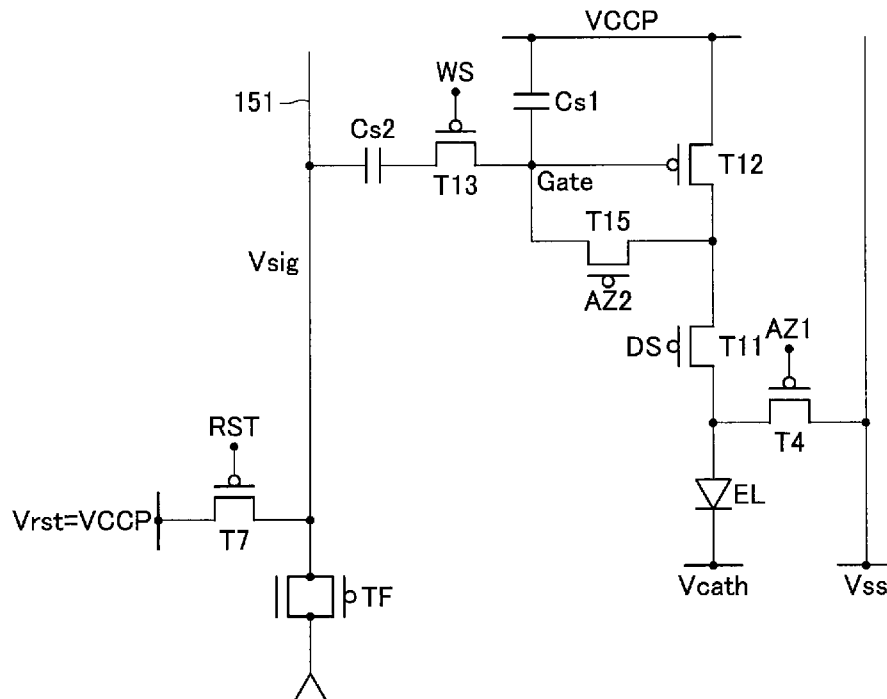
(72) 発明者: 豊村 直史 (TOYOMURA, Naobumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: PIXEL CIRCUIT, DISPLAY APPARATUS, DRIVE METHOD FOR PIXEL CIRCUIT AND ELECTRONIC DEVICE

(54) 発明の名称: 画素回路、表示装置、画素回路の駆動方法および電子機器



(57) Abstract: Provided is a pixel circuit which can shorten the time required to correct a drive transistor threshold voltage and accelerate the driving of the pixel circuit without increasing the size of the pixel circuit. Provided is a pixel circuit comprising: a light emitting element; a drive transistor which supplies a current to the light emitting element; a light emitting control transistor which controls a connection between a drain node of the drive transistor and an anode of the light emitting element; a first reset transistor which sets the electric potential of the anode of the light emitting element

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

to a prescribed electric potential; a second reset transistor which controls a connection between the drain node of the drive transistor and a gate node; a write transistor which controls writing of a signal voltage for the gate node of the drive transistor; and a capacitive element provided between a source node of the write transistor and a signal wire to which the signal voltage is applied.

(57) 要約: 画素回路のサイズを大きくすることなく、駆動トランジスタの閾値電圧の補正に要する時間を短縮させて、画素回路の駆動を高速化することが可能な画素回路を提供する。発光素子と、前記発光素子へ電流を供給する駆動トランジスタと、前記駆動トランジスタのドレインノードと前記発光素子のアノードとの間の接続を制御する発光制御トランジスタと、前記発光素子のアノードの電位を所定の電位に設定する第1リセットトランジスタと、前記駆動トランジスタのドレインノードとゲートノードとの間の接続を制御する第2リセットトランジスタと、前記駆動トランジスタのゲートノードでの信号電圧の書き込みを制御する書き込みトランジスタと、前記信号電圧が印加される信号線と、前記書き込みトランジスタのソースノードとの間に設けられる容量素子と、を備える、画素回路が提供される。

明 細 書

発明の名称：

画素回路、表示装置、画素回路の駆動方法および電子機器

技術分野

[0001] 本開示は、画素回路、表示装置、画素回路の駆動方法および電子機器に関する。

背景技術

[0002] 近年、表示装置の分野では、発光部を含む画素が行列状（マトリクス状）に配置されて成る平面型（フラットパネル型）の表示装置が主流となっている。平面型の表示装置の一つとして、発光部に流れる電流値に応じて発光輝度が増加する、所謂、電流駆動型の電気光学素子、例えば、有機エレクトロルミネッセンス（E l e c t r o L u m i n e s c e n c e : E L）素子を用いる有機EL表示装置がある。

[0003] この有機EL表示装置に代表される平面型の表示装置にあつては、電気光学素子を駆動する駆動トランジスタのトランジスタ特性（例えば、閾値電圧）が、プロセスの変動などによって画素毎にばらつく場合がある。その駆動トランジスタの特性の補正動作を行うに当たって、駆動トランジスタのゲートノードに対する初期化電圧の書き込み時間の短縮化を可能にした表示装置の技術が、例えば特許文献1に開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-34861号公報

発明の概要

発明が解決しようとする課題

[0005] 駆動トランジスタの閾値電圧の補正に要する時間を短縮させることは、画素回路の駆動を高速化することに繋がる。しかし、駆動トランジスタの閾値電圧の補正に要する時間を短縮させるために1つの画素におけるトランジス

タの数を増加させてしまうと、画素回路のサイズが大きくなってしまいます。

[0006] そこで、本開示では、画素回路のサイズを大きくすることなく、駆動トランジスタの閾値電圧の補正に要する時間を短縮させて、画素回路の駆動を高速化することが可能な、新規かつ改良された画素回路、表示装置、画素回路の駆動方法および電子機器を提案する。

課題を解決するための手段

[0007] 本開示によれば、発光素子と、前記発光素子へ電流を供給する駆動トランジスタと、前記駆動トランジスタのドレインノードと前記発光素子のアノードとの間の接続を制御する発光制御トランジスタと、前記発光素子のアノードの電位を所定の電位に設定する第1リセットトランジスタと、前記駆動トランジスタのドレインノードとゲートノードとの間の接続を制御する第2リセットトランジスタと、前記駆動トランジスタのゲートノードでの信号電圧の書き込みを制御する書き込みトランジスタと、前記信号電圧が印加される信号線と、前記書き込みトランジスタのソースノードとの間に設けられる容量素子と、を備える、画素回路が提供される。

[0008] また、本開示によれば、発光素子と、前記発光素子へ電流を供給する駆動トランジスタと、前記駆動トランジスタのドレインノードと前記発光素子のアノードとの間の接続を制御する発光制御トランジスタと、前記発光素子のアノードの電位を所定の電位に設定する第1リセットトランジスタと、前記駆動トランジスタのドレインノードとゲートノードとの間の接続を制御する第2リセットトランジスタと、前記駆動トランジスタのゲートノードでの信号電圧の書き込みを制御する書き込みトランジスタと、前記駆動トランジスタのゲートノードと電源線との間に設けられる第1容量素子と、前記信号電圧が印加される信号線と、前記書き込みトランジスタのソースノードとの間に設けられる第2容量素子と、を備える、画素回路において、第1期間の開始時に前記発光制御トランジスタをオフにし、前記第1リセットトランジスタをオンにすることで前記発光素子のアノードの電位を所定の電位に設定し、前記第1期間の後の第2期間の開始時に前記書き込みトランジスタ及び前記発光

制御トランジスタをオンにして、前記第2リセットトランジスタをオンにすることで前記駆動トランジスタのゲートノードの電位を準備電圧に設定し、前記第2期間の後の第3期間の開始時に前記発光制御トランジスタをオフにして、前記駆動トランジスタの閾値電圧を補正し、前記第3期間の後の第4期間の開始時に前記第2リセットトランジスタをオンにして、前記第4期間の後の第5期間の開始時に前記書き込みトランジスタをオフにして、前記第5期間の間に前記第1リセットトランジスタをオフにして、前記第5期間の後の第6期間の開始時に前記発光制御トランジスタをオンにして前記発光素子に電流を供給する、画素回路の駆動方法が提供される。

発明の効果

- [0009] 以上説明したように本開示によれば、画素回路のサイズを大きくすることなく、駆動トランジスタの閾値電圧の補正に要する時間を短縮させて、画素回路の駆動を高速化することが可能な、新規かつ改良された画素回路、表示装置、画素回路の駆動方法および電子機器を提供することが出来る。
- [0010] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

- [0011] [図1]本開示の実施の形態に係る表示装置100の構成例を示す説明図である。
- [図2]同実施の形態に係る表示装置100のより詳細な構成例を示す説明図である。
- [図3]比較例となる画素回路の構成例を示す説明図である。
- [図4]図3に示した画素回路の駆動例を示す説明図である。
- [図5]比較例となる画素回路の構成例を示す説明図である。
- [図6]同実施の形態に係る画素回路の構成例を示す説明図である。
- [図7]図6に示した画素回路の駆動例を示す説明図である。

発明を実施するための形態

[0012] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0013] なお、説明は以下の順序で行うものとする。

1. 本開示の実施の形態

1. 1. 本開示の表示装置、表示装置の駆動方法、及び、電子機器、全般に関する説明

1. 2. 構成例及び動作例

2. まとめ

[0014] <1. 本開示の実施の形態>

[1. 1. 本開示の表示装置、表示装置の駆動方法、及び、電子機器、全般に関する説明]

本開示の表示装置は、発光部を駆動する駆動トランジスタの他に、サンプリングトランジスタ及び保持容量を有する画素回路が配置されて成る平面型（フラットパネル型）の表示装置である。平面型の表示装置としては、有機EL表示装置、液晶表示装置、プラズマ表示装置などを例示することができる。これらの表示装置のうち、有機EL表示装置は、有機材料のエレクトロルミネッセンスを利用し、有機薄膜に電界をかけると発光する現象を用いた有機EL素子を画素の発光素子（電気光学素子）として用いている。

[0015] 画素の発光部として有機EL素子を用いた有機EL表示装置は次のような特長を持っている。すなわち、有機EL素子が10V以下の印加電圧で駆動できるために、有機EL表示装置は低消費電力である。有機EL素子が自発光型の素子であるために、有機EL表示装置は、同じ平面型の表示装置である液晶表示装置に比べて、画像の視認性が高く、しかも、バックライト等の照明部材を必要としないために軽量化及び薄型化が容易である。更に、有機EL素子の応答速度が数マイクロ秒程度と非常に高速であるために、有機EL表示装置は動画表示時の残像が発生しない。

- [0016] 有機EL素子は、自発光型の素子であるとともに、電流駆動型の電気光学素子である。電流駆動型の電気光学素子としては、有機EL素子の他に、無機EL素子、LED素子、半導体レーザー素子などを例示することができる。
- [0017] 有機EL表示装置等の平面型の表示装置は、表示部を備える各種の電子機器において、その表示部（表示装置）として用いることができる。各種の電子機器としては、テレビジョンシステムその他、ヘッドマウントディスプレイ、デジタルカメラ、ビデオカメラ、ゲーム機、ノート型パーソナルコンピュータ、電子書籍等の携帯情報機器、PDA（Personal Digital Assistant）や携帯電話機等の携帯通信機器などを例示することができる。
- [0018] 本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、駆動部について、駆動トランジスタのゲートノードをフローティング状態にした後ソースノードをフローティング状態にする構成とすることができる。また、駆動部について、駆動トランジスタのソースノードをフローティング状態にしたままサンプリングトランジスタによる信号電圧の書込みを行う構成とすることができる。初期化電圧については、信号電圧と異なるタイミングで信号線に供給され、信号線からサンプリングトランジスタによるサンプリングによって駆動トランジスタのゲートノードに書き込まれる構成とすることができる。
- [0019] 上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、画素回路について、シリコンのような半導体上に形成する構成とすることができる。また、駆動トランジスタについて、Pチャネル型のトランジスタから成る構成とすることができる。駆動トランジスタとして、Nチャネル型のトランジスタではなく、Pチャネル型のトランジスタを用いるのは次の理由による。
- [0020] トランジスタをガラス基板のような絶縁体上ではなく、シリコンのような半導体上に形成する場合、トランジスタは、ソース／ゲート／ドレインの3

端子ではなく、ソース／ゲート／ドレイン／バックゲート（ベース）の4端子となる。そして、駆動トランジスタとしてNチャネル型のトランジスタを用いた場合、バックゲート（基板）電圧が0Vとなり、駆動トランジスタの閾値電圧の画素毎のばらつきを補正する動作などに悪影響を及ぼすことになる。

[0021] また、トランジスタの特性ばらつきは、LDD (Lightly Doped Drain) 領域を持つNチャネル型のトランジスタに比べて、LDD領域を持たないPチャネル型のトランジスタの方が小さく、画素の微細化、ひいては、表示装置の高精細化を図る上で有利である。このような理由などから、シリコンのような半導体上への形成を想定した場合、駆動トランジスタとして、Nチャネル型のトランジスタではなく、Pチャネル型のトランジスタを用いるのが好ましい。

[0022] 上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、サンプリングトランジスタについても、Pチャネル型のトランジスタから成る構成とすることができる。

[0023] あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、画素回路について、発光部の発光／非発光を制御する発光制御トランジスタを有する構成とすることができる。このとき、発光制御トランジスタについても、Pチャネル型のトランジスタから成る構成とすることができる。

[0024] あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、保持容量について、駆動トランジスタのゲートノードとソースノードとの間に接続された構成とすることができる。また、画素回路について、駆動トランジスタのソースノードと固定電位のノードとの間に接続された補助容量を有する構成とすることができる。

[0025] あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、画素回路について、駆動トランジスタのドレインノードと発光部のカソードノードとの間に接続されたスイッチ

ングトランジスタを有する構成とすることができる。このとき、スイッチングトランジスタについても、Pチャネル型のトランジスタから成る構成とすることができる。また、駆動部について、発光部の非発光期間にスイッチングトランジスタを導通状態にする構成とすることができる。

[0026] あるいは又、上述した好ましい構成を含む本開示の表示装置、表示装置の駆動方法、及び、電子機器にあっては、駆動部は、スイッチングトランジスタを駆動する信号を、サンプリングトランジスタによる初期化電圧のサンプリングタイミングよりも前にアクティブ状態にする。そして、発光制御トランジスタを駆動する信号をアクティブ状態にした後に非アクティブ状態にする構成とすることができる。このとき、駆動部について、発光制御トランジスタを駆動する信号を非アクティブ状態にする前に、サンプリングトランジスタによる初期化電圧のサンプリングを完了する構成とすることができる。

[0027] [1. 2. 構成例および動作例]

続いて、本開示の実施の形態に係る表示装置の構成例を説明する。図1は、本開示の実施の形態に係る表示装置100の構成例を示す説明図である。以下、図1を用いて本開示の実施の形態に係る表示装置100の構成例を説明する。

[0028] 画素部110は、有機EL素子その他の自発光素子がそれぞれ設けられた画素がマトリクス状に配置された構成を有する。画素部110は、マトリクス状に配置した画素に対して、走査線がライン単位で水平方向に設けられ、また走査線と直交するように信号線が列毎に設けられる。

[0029] 水平セクタ120は、所定のサンプリングパルスを順次転送し、このサンプリングパルスで画像データを順次ラッチすることにより、この画像データを各信号線に振り分ける。また水平セクタ120は、各信号線に振り分けた画像データをそれぞれアナログディジタル変換処理し、これにより各信号線に接続された各画素の発光輝度を時分割により示す駆動信号を生成する。水平セクタ120は、この駆動信号を対応する信号線に出力する。

[0030] 垂直スキャナ130は、この水平セクタ120による信号線の駆動に応

動して、各画素の駆動信号を生成して走査線S C Nに出力する。これにより表示装置100は、垂直スキャナ130により画素部110に配置された各画素を順次駆動し、水平セクタ120より設定される各信号線の信号レベルで各画素を発光させ、所望の画像を画素部110で表示する。

[0031] 図2は、本開示の実施の形態に係る表示装置100のより詳細な構成例を示す説明図である。以下、図2を用いて本開示の実施の形態に係る表示装置100の構成例を説明する。

[0032] 画素部110には、赤色を表示する画素111R、緑色を表示する画素111G、青色を表示する画素111Bがマトリクス状に配置されている。

[0033] そして垂直スキャナ130は、オートゼロスキャナ131、駆動スキャナ132及び書き込みスキャナ133を有する。それぞれのスキャナから信号が画素部110にマトリクス状に配置された画素に供給されることで、それぞれの画素に設けられるT F Tのオン、オフ動作が行われる。

[0034] 画素部110に設けられる各画素は様々な形態が考えられるが、以下の説明では、Pチャネル型のM O Sトランジスタを5つ備える場合について示す。続いて、画素部110に設けられる各画素の詳細な回路構成例を説明するが、本実施形態に係る画素回路について詳細に説明する前に、比較例となる画素回路の構成例を説明する。

[0035] 図3は、比較例となる画素回路の構成例を示す説明図である。図3に示した画素回路は、Pチャネル型のトランジスタT1～T5と、有機E L素子E Lと、容量素子C sと、を含んで構成される。また、画素回路に映像信号V s i gを供給する信号線には容量素子C s i gと、トランスファークロークT Fが設けられている。また図3には、映像信号V s i gを供給する信号線に対して信号線寄生容量C pが示されている。

[0036] トランジスタT1は発光制御トランジスタとして機能し、ゲートが信号線D Sに接続されており、ドレインが有機E L素子E Lのアノードに接続されており、ソースがトランジスタT2のドレインに接続されている。トランジスタT2のゲートには、トランジスタT3を介して映像信号V s i gが供給

され、ソースが電源電圧 V_{CCP} に接続されている。トランジスタ T_3 はゲートが信号線 WS に接続されている。トランジスタ T_4 はゲートが信号線 AZ_1 に接続されている。トランジスタ T_5 はゲートが信号線 AZ_2 に接続されている。

[0037] また、図3には、容量素子 C_{sig} と、Pチャネル型のトランジスタ T_6 、 T_7 とにより構成され、トランスファergeート TF の出力電圧をシフトさせるレベルシフト回路が示されている。

[0038] 図4は、図3に示した画素回路の駆動例を示す説明図である。図4に示した時刻 t_1 において前フレームの発光期間が終了し、信号線 DS がローからハイになる。これによりトランジスタ T_1 がオフとなる。また時刻 t_1 において信号線 AZ_1 がハイからローになる。これによりトランジスタ T_4 がオンになり、有機EL素子 EL のアノードの電位が V_{ss} に設定される。

[0039] その後、時刻 t_2 になると消光期間が終了し、初期化期間が開始される。時刻 t_2 になると信号線 WS がハイからローになり、トランジスタ T_3 がオンとなる。また時刻 t_2 において信号線 AZ_2 がハイからローになり、トランジスタ T_5 がオンとなる。また信号線 OFS がハイからローになり、トランジスタ T_6 がオンとなる。従って、トランジスタ T_2 のゲート電位が V_{ofs} に設定される。

[0040] その後、時刻 t_3 になると初期化期間が終了し、 V_{th} 補正期間が開始される。時刻 t_3 になると信号線 OFS がローからハイになり、トランジスタ T_6 がオフとなる。すると、トランジスタ T_2 のゲート電位が V_{ofs} から徐々に上昇する。トランジスタ T_2 のゲート電位は、電源電圧 V_{CCP} との電位差がトランジスタ T_2 の閾値電圧 V_{th} になるまで上昇する。

[0041] その後、時刻 t_4 になると V_{th} 補正期間が終了し、信号書込み期間が開始される。時刻 t_4 になると、信号線 AZ_2 がローからハイになり、トランジスタ T_5 がオフとなる。したがって、トランジスタ T_2 のゲートとドレインとが短絡される。これによりトランジスタ T_2 のゲート電位が映像信号 V_{sig} の電位となる。

[0042] その後、時刻 t_5 になると信号書込み期間が終了し、信号線 WS がローからハイになり、トランジスタ T_3 がオフとなる。その後、信号線 AZ_1 がローからハイになることでトランジスタ T_4 がオフになる。そして、時刻 t_6 になって信号線 DS がハイからローになることでトランジスタ T_1 がオンとなり、有機 EL 素子 EL に映像信号 $Vsig$ に対応した電流が流れ、有機 EL 素子 EL が電流量に応じて発光する。

[0043] この画素回路では、信号線 WS をローにしてトランジスタ T_3 をオンにしたまま V_{th} 補正動作が行われるが、 V_{th} 補正の電圧は、容量 C_s のみならず信号線寄生容量 C_p 及び容量 C_{sig} に書きこまれる。ここで容量 C_p は信号線 1 本分の容量値を有し、非常に大きく、またこの容量を持つ信号線に書きこむ為に容量 C_{sig} の容量値も同様に大きい。よってトランジスタ T_2 のゲート電位が $V_{CCP} - V_{th}$ に収束するまでに時間がかかり、駆動の高速化の障害となっている。

[0044] そこで、画素回路の駆動を高速化させるために、信号線自体を V_{th} 補正に使用せず、補正用の容量線を別途設けて、その容量線を複数画素に分割することで容量を小さくし、補正スピードを上げる方法もある。図 5 は、比較例となる画素回路の構成例を示す説明図である。図 5 に示した画素回路は、 P チャネル型のトランジスタ $T_1 \sim T_5$ 、 T_8 と、有機 EL 素子 EL と、容量素子 C_s 、 C_1 と、を含んで構成される。

[0045] 図 5 に示した画素回路は、図 3 に示した画素回路と比べて、 V_{th} 補正用の容量線が、映像信号 $Vsig$ を供給するための信号線と、トランジスタ T_3 との間に設けられている。容量素子 C_1 は、 V_{th} 補正用の容量線と、映像信号 $Vsig$ を供給するための信号線との間に設けられている。容量素子 C_1 に蓄えられた電荷を用いてトランジスタ T_2 の閾値電圧補正を行うことにより、容量 C_p 、 C_{sig} の容量を少なくすることができ、トランジスタ T_2 のゲート電位が $V_{CCP} - V_{th}$ に収束するまでの時間の高速化を図っている。しかし、その一方で、図 5 に示した画素回路は、図 3 に示した画素回路と比べて、トランジスタの数が 1 つ増えている。トランジスタの数が増

えることは回路面積の増大に繋がり、ディスプレイの微細化の妨げとなってしまう。

[0046] そこで本件開示者は、上述した点に鑑み、5つのトランジスタからなる画素回路において、トランジスタの数をそこから増加させずに駆動を高速化させることが可能な技術について鋭意検討を行った。その結果、本件開示者は、以下で説明するように、5つのトランジスタからなる画素回路において、トランジスタの数をそこから増加させずに駆動を高速化させることが可能な技術を考案するに至った。

[0047] (本開示の実施の形態に係る画素回路)

図6は、本開示の実施の形態に係る画素回路の構成例を示す説明図である。図6に示したように、本開示の実施の形態に係る画素回路は、Pチャネル型のトランジスタT11～T15と、有機EL素子ELと、容量素子Cs1、Cs2と、を含んで構成される。また、画素回路に映像信号Vsigを供給する信号線にはトランスファークロークTFが設けられている。

[0048] トランジスタT11は発光制御トランジスタとして機能し、ゲートが信号線DSに接続されており、ドレインが有機EL素子ELのアノードに接続されており、ソースがトランジスタT12のドレインに接続されている。トランジスタT12は駆動トランジスタである。トランジスタT12のゲートには、トランジスタT13を介して映像信号Vsigが供給され、ソースが電源電圧VCCPに接続されている。トランジスタT13は書き込みトランジスタである。トランジスタT13はゲートが信号線WSに接続されている。またトランジスタT13のソースと、映像信号Vsigを供給する信号線151との間には容量素子Cs2が設けられている。トランジスタT14、T15はリセットトランジスタである。トランジスタT14はゲートが信号線AZ1に接続されている。トランジスタT15はゲートが信号線AZ2に接続されている。

[0049] そして本開示の実施の形態に係る画素回路は、信号線151とトランジスタT13との間に容量素子Cs2が設けられている。本開示の実施の形態に

係る画素回路は、容量素子 C_{s2} が設けられていることで、駆動トランジスタであるトランジスタ T_{12} の閾値電圧の補正を高速化させることができる。

[0050] 図7は、図6に示した画素回路の駆動例を示す説明図である。本実施形態に係る画素回路は、発光期間中に信号 RST を一度ローにして、トランジスタ T_7 をオンさせて、信号線電圧を $V_{rst} = V_{CCP}$ にリセットする。その後、発光期間中に、信号 RST を再度ハイにして、トランジスタ T_7 をオフさせる。従って、映像信号 V_{sig} の電圧はトランジスタ T_7 をオンさせた後に、 $V_{rst} = V_{CCP}$ となる。なお、 V_{rst} は必ずしも電源電圧 V_{CCP} と同電位である必要は無い。

[0051] その後、時刻 t_1 において前フレームの発光期間が終了し、信号線 DS がローからハイになる。これによりトランジスタ T_{11} がオフとなる。また時刻 t_1 において信号線 AZ_1 がハイからローになる。これによりトランジスタ T_{14} がオンになり、有機 EL 素子 EL のアノードの電位が V_{ss} に設定される。

[0052] その後、時刻 t_2 になると消光期間が終了し、初期化期間が開始される。時刻 t_2 になると信号線 WS がハイからローになり、トランジスタ T_{13} がオンとなる。また時刻 t_2 において信号線 DS がハイからローになり、トランジスタ T_{11} がオンとなる。また時刻 t_2 において信号線 AZ_2 がハイからローになり、トランジスタ T_{15} がオンとなる。これにより、トランジスタ T_{12} のゲート電圧が V_{CCP} から低下し、 V_{th} 補正のための準備電圧がトランジスタ T_{12} のゲートに書き込まれる。

[0053] ここで信号線 AZ_1 、 AZ_2 、 DS のロー電圧を V_{Low} 、トランジスタ T_{14} 、 T_{15} 、 T_{11} の閾値電圧を $V_{th}(AZ_1) = V_{th}(AZ_2) = V_{th}(DS) = V_{th}$ とすると、時刻 t_2 の時点でトランジスタ T_{12} のゲートに書き込まれる電圧 V_g は、 $V_{ss} < |V_{th}| + V_{Low}$ の時、 $V_g = |V_{th}| + V_{Low}$ であり、 $V_{ss} \geq |V_{th}| + V_{Low}$ の時、 $V_g = V_{ss}$ である。いずれの場合もトランジスタ T_{12} がターン

オンする様な電圧設定とする必要がある。

[0054] その後、時刻 t_3 になると初期化期間が終了し、 V_{th} 補正期間が開始される。時刻 t_3 になると信号線 DS がローからハイになり、トランジスタ T_{11} がオフとなる。すると、トランジスタ T_{12} のゲート電位が V_g から徐々に上昇する。トランジスタ T_{12} のゲート電位は、電源電圧 V_{CCP} との電位差がトランジスタ T_{12} の閾値電圧 V_{th} になるまで上昇する。この V_{th} 補正期間を短縮させることが出来るのが容量素子 C_{s2} を設けた効果である。

[0055] その後、時刻 t_4 になると V_{th} 補正期間が終了し、信号書込み期間が開始される。時刻 t_4 になると、信号線 AZ_2 がローからハイになり、トランジスタ T_{15} がオフとなる。したがって、トランジスタ T_{12} のゲートとドレインとが短絡される。この時点で、映像信号 V_{sig} の電圧が V_{CCP} から $V_{CCP} - V_{data}$ に遷移する。すると、トランジスタ T_{13} がオンになっているので、トランジスタ T_{12} のゲート電圧は、 $V_{CCP} - V_{th} - V_{data} * C_{s2} / (C_{s1} + C_{s2})$ となる。すなわち、トランジスタ T_{12} のゲート電圧は閾値電圧 V_{th} を反映した電圧となり、トランジスタ T_{12} の閾値電圧 V_{th} は発光時にキャンセルされる。

[0056] その後、時刻 t_5 になると信号書込み期間が終了し、信号線 WS がローからハイになり、トランジスタ T_{13} がオフとなる。その後、信号線 AZ_1 がローからハイになることでトランジスタ T_{14} がオフになる。そして、時刻 t_6 になって信号線 DS がハイからローになることでトランジスタ T_{11} がオンとなり、有機 EL 素子 EL に映像信号 V_{sig} に対応した電流が流れ、有機 EL 素子 EL が電流量に応じて発光する。

[0057] 本開示の実施の形態に係る画素回路は、図 6 のような構成を有し、図 7 に示したように駆動することで、5 つのトランジスタからなる画素回路において、トランジスタの数をそこから増加させずに駆動を高速化させることが可能となる。すなわち、上述した比較例では、駆動トランジスタの閾値電圧の補正の際に信号線に充電する必要がある、高速駆動化の妨げになっていた。

これに対して、本開示の実施の形態に係る画素回路は、画素毎に適切に容量素子 C_{s2} を備えることで、駆動トランジスタの閾値電圧の補正を高速に実行させることが可能となる。

[0058] また、図6に示した画素回路は、図3に示した比較例と比べ、電源が1つ削減されている。すなわち、図6に示した本開示の実施の形態に係る画素回路は、 V_{th} 補正用の準備電圧を消光用リセット電源 V_{ss} と共有することで、回路の駆動に必要な電源の削減も可能となっている。

[0059] <2. まとめ>

以上説明したように本開示の実施の形態によれば、5つのトランジスタからなる画素回路において、トランジスタの数をそこから増加させずに駆動を高速化させることが可能な画素回路が提供される。

[0060] そして、本開示の実施の形態に係る画素回路を備えた表示装置、及びそのような表示装置を備えた電子機器も同様に提供される。そのような電子機器には、テレビ、スマートフォン等の携帯電話、タブレット型携帯端末、パーソナルコンピュータ、携帯型ゲーム機、携帯型音楽再生装置、デジタルスチルカメラ、デジタルビデオカメラ、腕時計型携帯端末、ウェアラブルデバイスなどがある。

[0061] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0062] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0063] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

発光素子と、

前記発光素子へ電流を供給する駆動トランジスタと、

前記駆動トランジスタのドレインノードと前記発光素子のアノードとの間の接続を制御する発光制御トランジスタと、

前記発光素子のアノードの電位を所定の電位に設定する第1リセットトランジスタと、

前記駆動トランジスタのドレインノードとゲートノードとの間の接続を制御する第2リセットトランジスタと、

前記駆動トランジスタのゲートノードでの信号電圧の書き込みを制御する書き込みトランジスタと、

前記駆動トランジスタのゲートノードと電源線との間に設けられる第1容量素子と、

前記信号電圧が印加される信号線と、前記書き込みトランジスタのソースノードとの間に設けられる第2容量素子と、
を備える、画素回路。

(2)

前記駆動トランジスタの閾値電圧の補正時に設定される準備電圧は、前記所定の電位が前記第1リセットトランジスタの閾値電圧にロー側の電位を加えた値未満であれば、前記第1リセットトランジスタの閾値電圧にロー側の電位を加えた値であり、前記所定の電位が前記第1リセットトランジスタの閾値電圧にロー側の電位を加えた値以上であれば、前記所定の電位と等しい、前記(1)記載の画素回路。

(3)

前記(1)または(2)に記載の画素回路を備える、表示装置。

(4)

前記(3)に記載の表示装置を備える、電子機器。

(5)

発光素子と、

前記発光素子へ電流を供給する駆動トランジスタと、

前記駆動トランジスタのドレインノードと前記発光素子のアノードとの間の接続を制御する発光制御トランジスタと、

前記発光素子のアノードの電位を所定の電位に設定する第1リセットトランジスタと、

前記駆動トランジスタのドレインノードとゲートノードとの間の接続を制御する第2リセットトランジスタと、

前記駆動トランジスタのゲートノードでの信号電圧の書き込みを制御する書き込みトランジスタと、

前記駆動トランジスタのゲートノードと電源線との間に設けられる第1容量素子と、

前記信号電圧が印加される信号線と、前記書き込みトランジスタのソースノードとの間に設けられる第2容量素子と、
を備える、画素回路において、

第1期間の開始時に前記発光制御トランジスタをオフにし、前記第1リセットトランジスタをオンにすることで前記発光素子のアノードの電位を所定の電位に設定し、

前記第1期間の後の第2期間の開始時に前記書き込みトランジスタ及び前記発光制御トランジスタをオンにして、前記第2リセットトランジスタをオンにすることで前記駆動トランジスタのゲートノードの電位を準備電圧に設定し、

前記第2期間の後の第3期間の開始時に前記発光制御トランジスタをオフにして、前記駆動トランジスタの閾値電圧を補正し、

前記第3期間の後の第4期間の開始時に前記第2リセットトランジスタをオンにして、

前記第4期間の後の第5期間の開始時に前記書き込みトランジスタをオフにして、

前記第 5 期間の間に前記第 1 リセットトランジスタをオフにして、
前記第 5 期間の後の第 6 期間の開始時に前記発光制御トランジスタをオン
にして前記発光素子に電流を供給する、
画素回路の駆動方法。

(6)

前記第 2 期間における前記準備電圧は、前記所定の電位が前記第 1 リセッ
トトランジスタの閾値電圧にロー側の電位を加えた値未満であれば前記第 1
リセットトランジスタの閾値電圧にロー側の電位を加えた値であり、前記所
定の電位が前記第 1 リセットトランジスタの閾値電圧にロー側の電位を加え
た値以上であれば前記所定の電位と等しい、前記 (5) に記載の画素回路の
駆動方法。

符号の説明

[0064]	1 0 0	: 表示装置
	1 1 0	: 画素部
	1 1 1 B	: 画素
	1 1 1 G	: 画素
	1 1 1 R	: 画素
	1 2 0	: 水平セレクタ
	1 3 0	: 垂直スキャナ
	1 3 1	: オートゼロスキャナ
	1 3 2	: 駆動スキャナ
	1 3 3	: 書き込みスキャナ
	1 5 1	: 信号線
	C s 1	: 容量素子
	C s 2	: 容量素子
	T 1	: トランジスタ
	T 1 1	: トランジスタ
	T 1 2	: トランジスタ

T 1 3 : トランジスタ

T 1 4 : トランジスタ

T 1 5 : トランジスタ

請求の範囲

- [請求項1] 発光素子と、
前記発光素子へ電流を供給する駆動トランジスタと、
前記駆動トランジスタのドレインノードと前記発光素子のアノードとの間の接続を制御する発光制御トランジスタと、
前記発光素子のアノードの電位を所定の電位に設定する第1リセットトランジスタと、
前記駆動トランジスタのドレインノードとゲートノードとの間の接続を制御する第2リセットトランジスタと、
前記駆動トランジスタのゲートノードでの信号電圧の書き込みを制御する書き込みトランジスタと、
前記駆動トランジスタのゲートノードと電源線との間に設けられる第1容量素子と、
前記信号電圧が印加される信号線と、前記書き込みトランジスタのソースノードとの間に設けられる第2容量素子と、
を備える、画素回路。
- [請求項2] 前記駆動トランジスタの閾値電圧の補正時に設定される準備電圧は、前記所定の電位が前記第1リセットトランジスタの閾値電圧にロー側の電位を加えた値未満であれば、前記第1リセットトランジスタの閾値電圧にロー側の電位を加えた値であり、前記所定の電位が前記第1リセットトランジスタの閾値電圧にロー側の電位を加えた値以上であれば、前記所定の電位と等しい、請求項1に記載の画素回路。
- [請求項3] 請求項1に記載の画素回路を備える、表示装置。
- [請求項4] 請求項3に記載の表示装置を備える、電子機器。
- [請求項5] 発光素子と、
前記発光素子へ電流を供給する駆動トランジスタと、
前記駆動トランジスタのドレインノードと前記発光素子のアノードとの間の接続を制御する発光制御トランジスタと、

前記発光素子のアノードの電位を所定の電位に設定する第1リセットトランジスタと、

前記駆動トランジスタのドレインノードとゲートノードとの間の接続を制御する第2リセットトランジスタと、

前記駆動トランジスタのゲートノードでの信号電圧の書き込みを制御する書き込みトランジスタと、

前記駆動トランジスタのゲートノードと電源線との間に設けられる第1容量素子と、

前記信号電圧が印加される信号線と、前記書き込みトランジスタのソースノードとの間に設けられる第2容量素子と、

を備える、画素回路において、

第1期間の開始時に前記発光制御トランジスタをオフにし、前記第1リセットトランジスタをオンにすることで前記発光素子のアノードの電位を所定の電位に設定し、

前記第1期間の後の第2期間の開始時に前記書き込みトランジスタ及び前記発光制御トランジスタをオンにして、前記第2リセットトランジスタをオンにすることで前記駆動トランジスタのゲートノードの電位を準備電圧に設定し、

前記第2期間の後の第3期間の開始時に前記発光制御トランジスタをオフにして、前記駆動トランジスタの閾値電圧を補正し、

前記第3期間の後の第4期間の開始時に前記第2リセットトランジスタをオンにして、

前記第4期間の後の第5期間の開始時に前記書き込みトランジスタをオフにして、

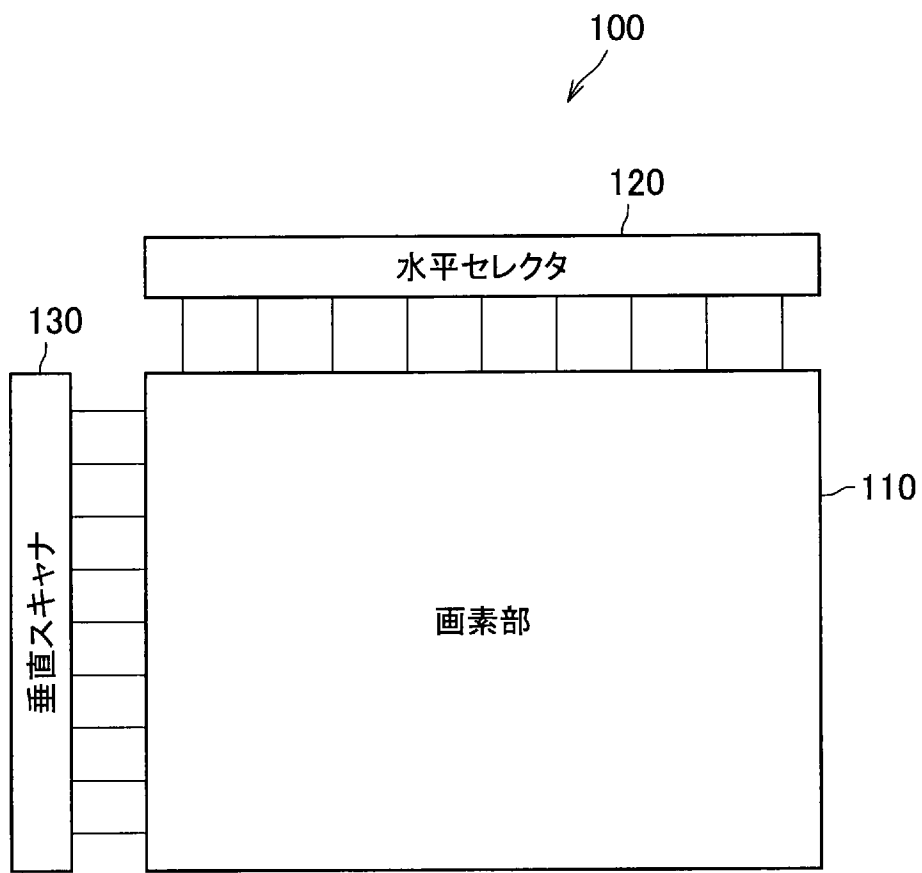
前記第5期間の間に前記第1リセットトランジスタをオフにして、

前記第5期間の後の第6期間の開始時に前記発光制御トランジスタをオンにして前記発光素子に電流を供給する、

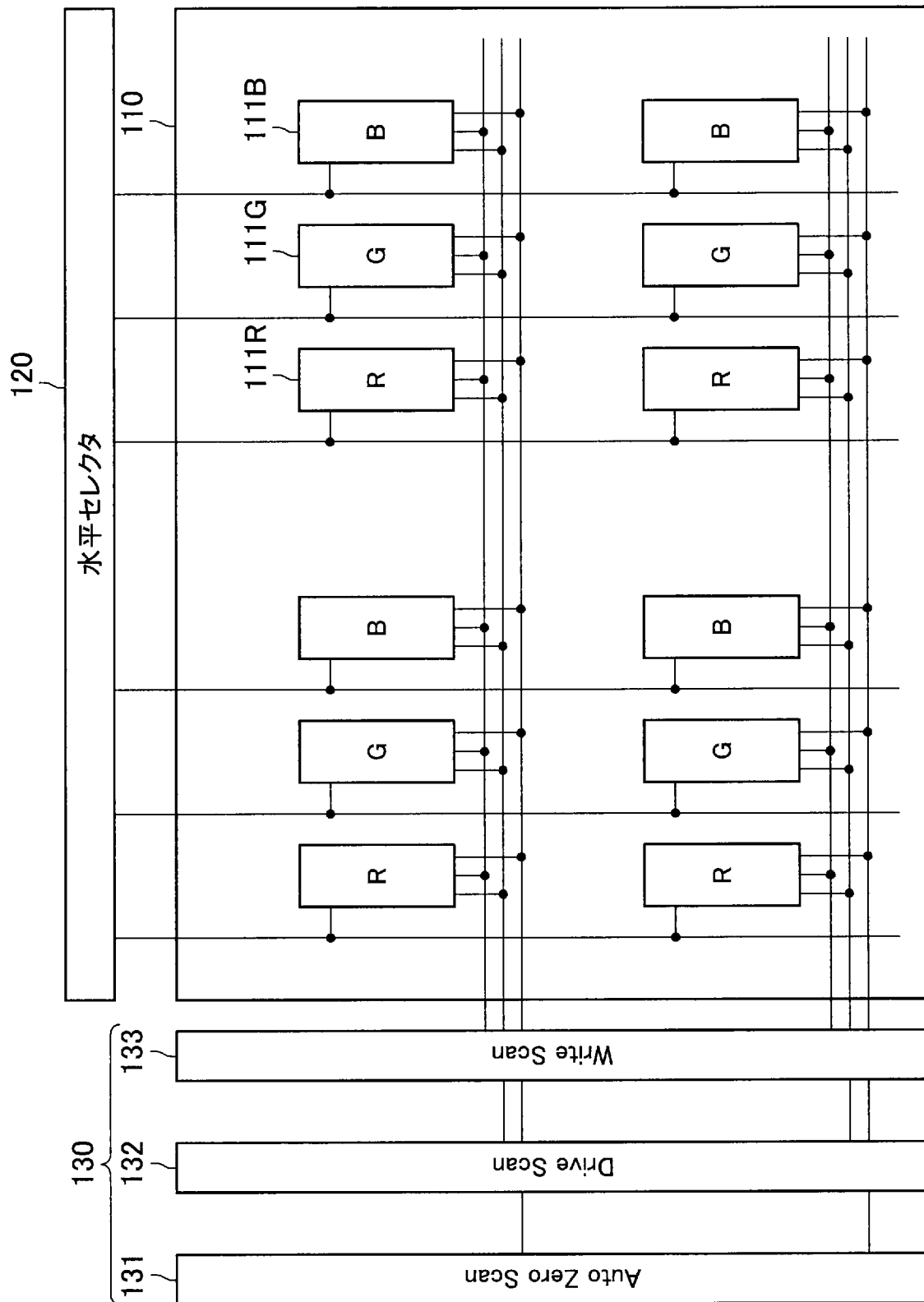
画素回路の駆動方法。

[請求項6] 前記第2期間における前記準備電圧は、前記所定の電位が前記第1リセットトランジスタの閾値電圧にロー側の電位を加えた値未満であれば前記第1リセットトランジスタの閾値電圧にロー側の電位を加えた値であり、前記所定の電位が前記第1リセットトランジスタの閾値電圧にロー側の電位を加えた値以上であれば前記所定の電位と等しい、請求項5に記載の画素回路の駆動方法。

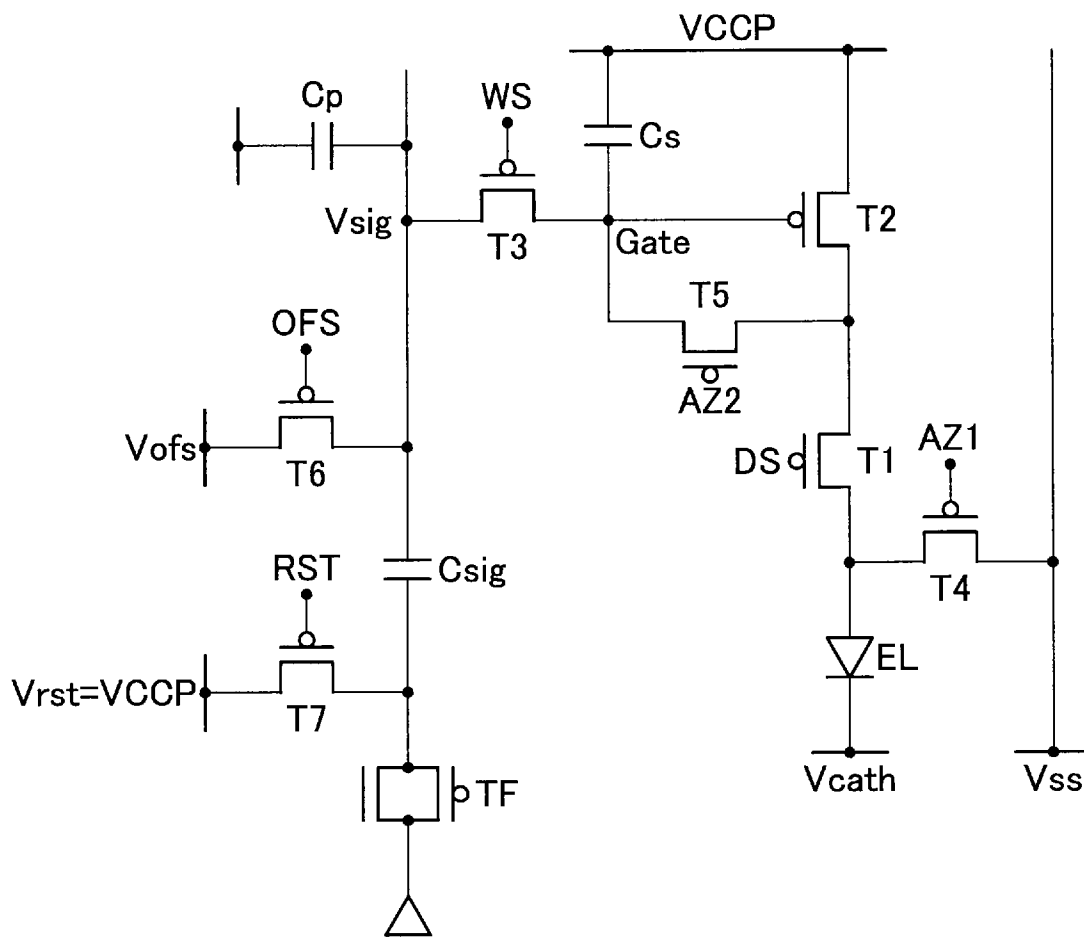
[図1]



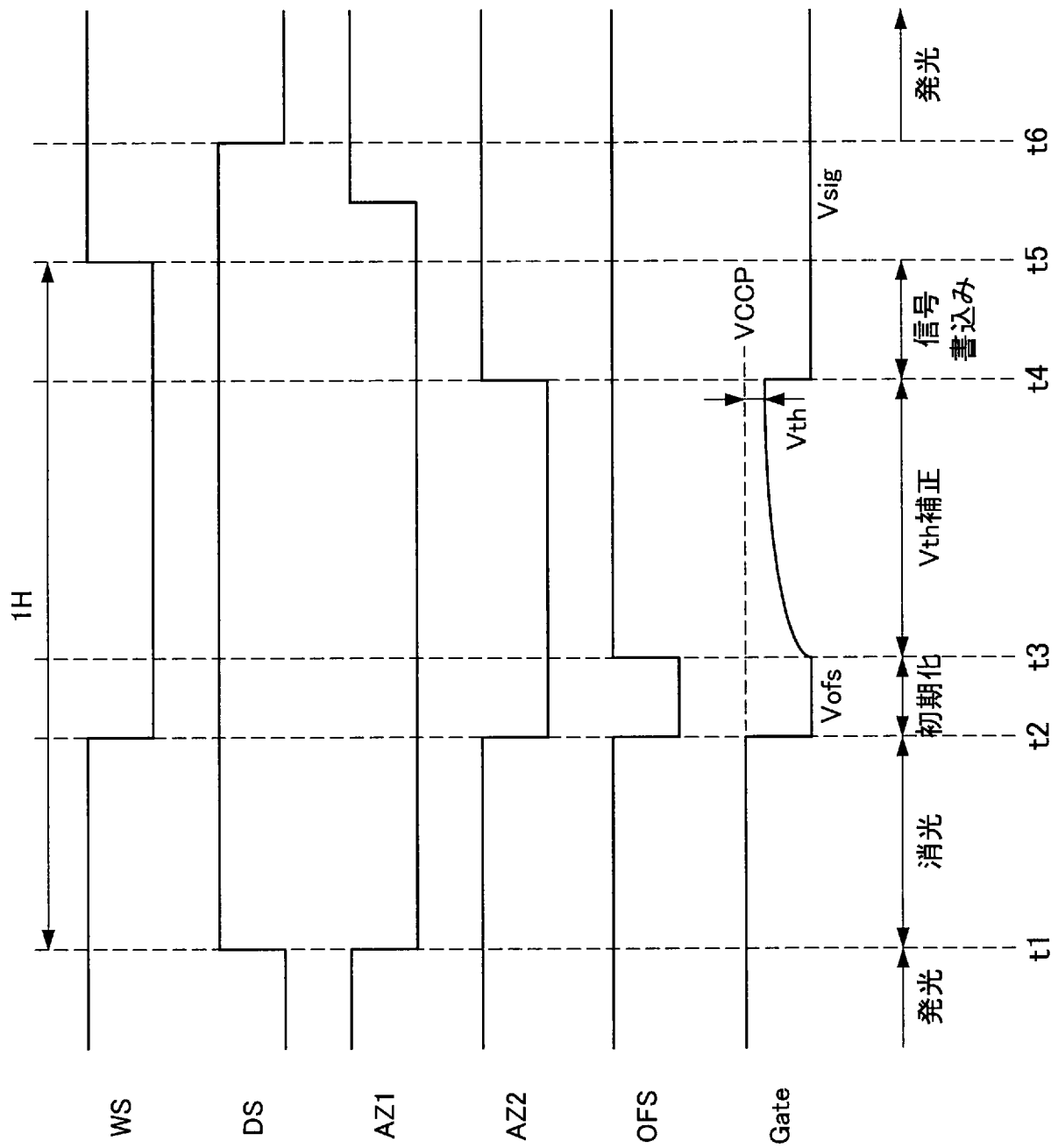
[図2]

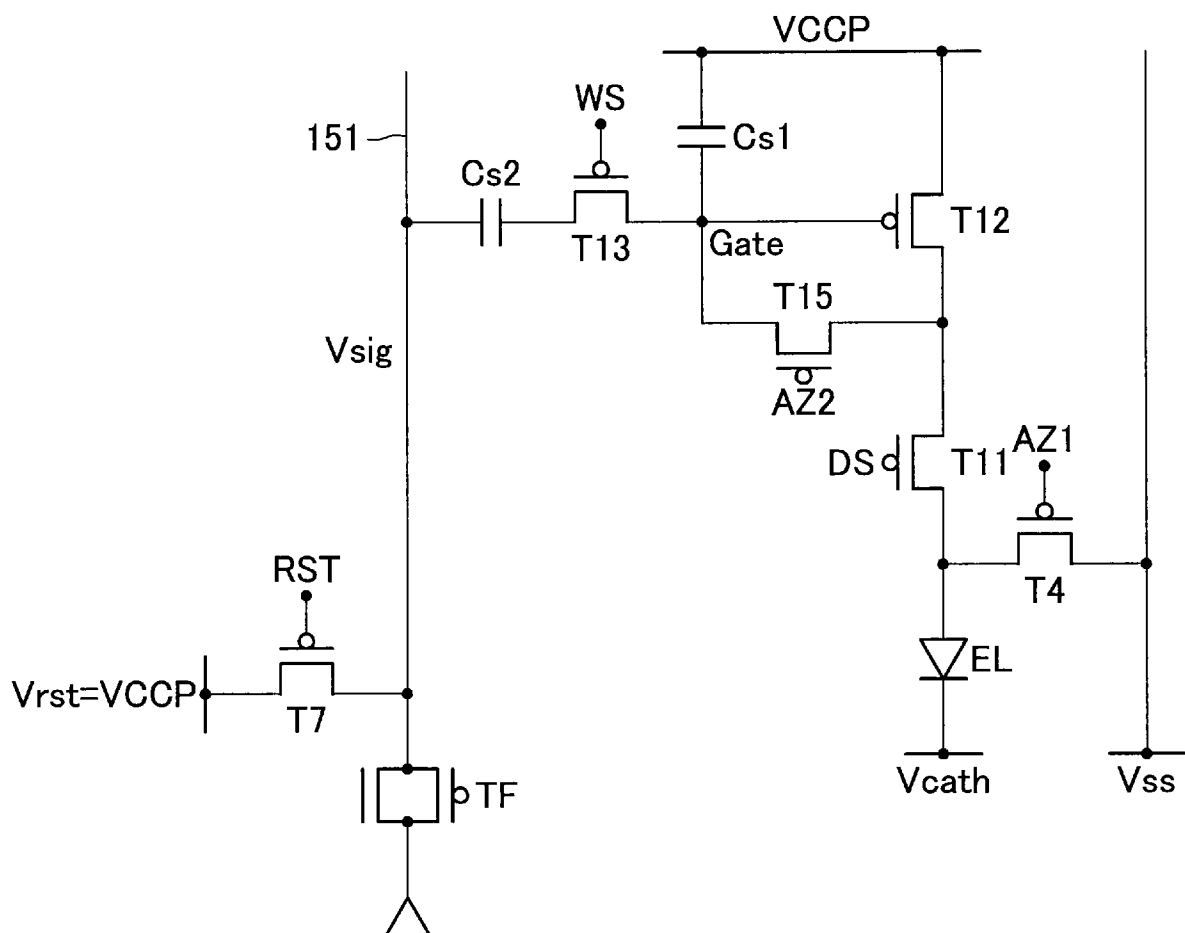
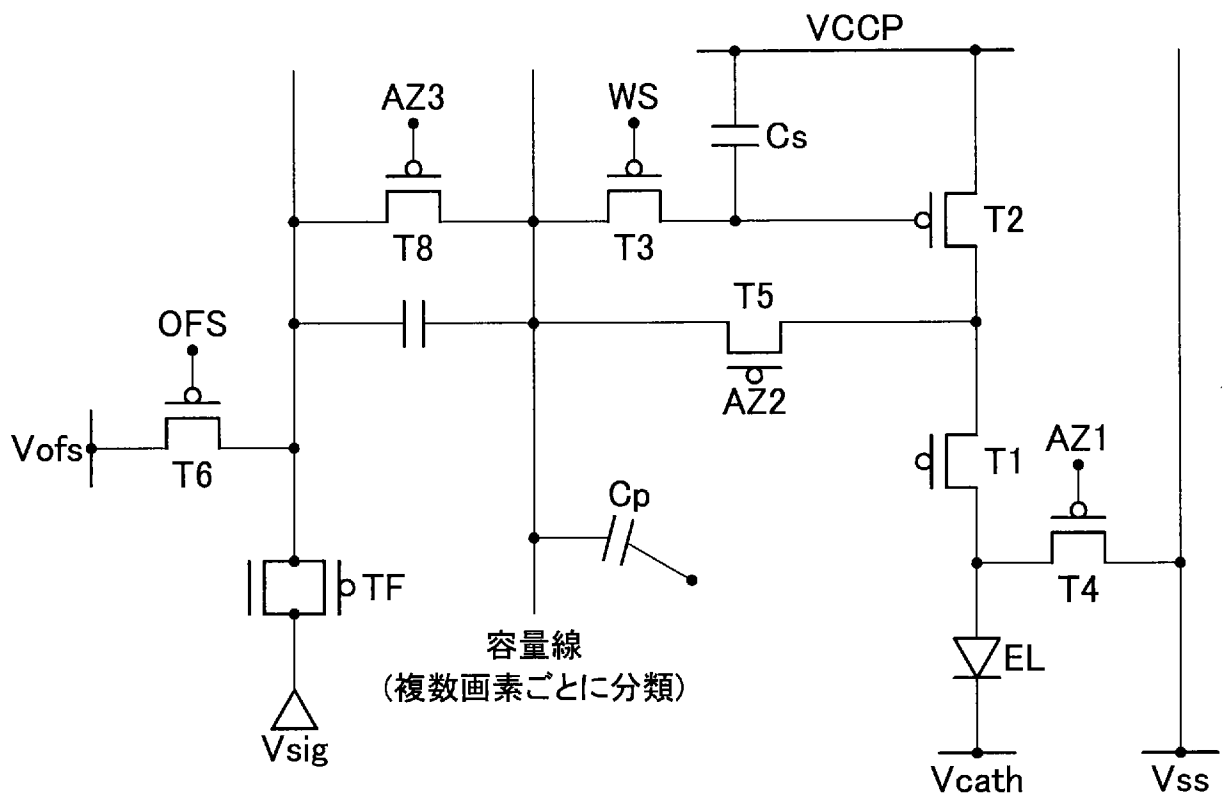


[図3]



[図4]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/002460

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/3233 (2016.01) i, G09G3/20 (2006.01) i, H01L27/32 (2006.01) i, H01L51/50 (2006.01) i, H05B33/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/3233, G09G3/20, H01L27/32, H01L51/50, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-38425 A (SEIKO EPSON CORP.) 22 March 2016, entire text, all drawings & US 2016/0042692 A1 & TW 201607023 A & CN 106205470 A	1-6
A	JP 2008-170788 A (HITACHI DISPLAYS, LTD.) 24 July 2008, entire text, all drawings & US 2008/0170011 A1 & CN 101221726 A	1-6
A	US 2013/0300724 A1 (IGNIS INNOVATION INC.) 14 November 2013, entire text, all drawings & EP 2662852 A2 & CN 103390386 A	1-6
A	US 2015/0356921 A1 (SAMSUNG DISPLAY CO., LTD.) 10 December 2015, entire text, all drawings & KR 10-2015-0142143 A	1-6

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family

Date of the actual completion of the international search 04 April 2019 (04.04.2019)	Date of mailing of the international search report 16 April 2019 (16.04.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/3233(2016.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/3233, G09G3/20, H01L27/32, H01L51/50, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-38425 A (セイコーエプソン株式会社) 2016.03.22, 全文全図 & US 2016/0042692 A1 & TW 201607023 A & CN 106205470 A	1-6
A	JP 2008-170788 A (株式会社日立ディスプレイズ) 2008.07.24, 全文全図 & US 2008/0170011 A1 & CN 101221726 A	1-6

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

04.04.2019

国際調査報告の発送日

16.04.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

斎藤 厚志

電話番号 03-3581-1101 内線 3273

21

5702

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2013/0300724 A1 (IGNIS INNOVATION INC.) 2013.11.14, 全文全図 & EP 2662852 A2 & CN 103390386 A	1-6
A	US 2015/0356921 A1 (SAMSUNG DISPLAY CO., LTD.) 2015.12.10, 全文全図 & KR 10-2015-0142143 A	1-6