

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4956734号
(P4956734)

(45) 発行日 平成24年6月20日 (2012.6.20)

(24) 登録日 平成24年3月30日 (2012.3.30)

(51) Int.Cl.		F I		
G 1 1 C 11/407 (2006.01)		G 1 1 C 11/34	3 6 2 S	
G 1 1 C 11/4076 (2006.01)		G 1 1 C 11/34	3 5 4 C	
G 1 1 C 11/406 (2006.01)		G 1 1 C 11/34	3 6 3 N	

請求項の数 38 (全 18 頁)

(21) 出願番号	特願2006-534066 (P2006-534066)	(73) 特許権者	510127664
(86) (22) 出願日	平成16年9月29日 (2004.9.29)		ラウンド ロック リサーチ、エルエルシ
(65) 公表番号	特表2007-508649 (P2007-508649A)		ー
(43) 公表日	平成19年4月5日 (2007.4.5)		アメリカ合衆国、ニューヨーク州 105
(86) 国際出願番号	PCT/US2004/032037		49、マウント キスコ、ディア クリー
(87) 国際公開番号	W02005/038864		ク レーン 26
(87) 国際公開日	平成17年4月28日 (2005.4.28)	(74) 代理人	100106851
審査請求日	平成19年4月12日 (2007.4.12)		弁理士 野村 泰久
(31) 優先権主張番号	10/684, 123	(74) 代理人	100074099
(32) 優先日	平成15年10月9日 (2003.10.9)		弁理士 大菅 義之
(33) 優先権主張国	米国 (US)	(72) 発明者	ショーエンフェルド, アーロン エム.
			アメリカ合衆国 アイダホ 83716,
			ボイシ, イースト アルタ リッジ
			ドライブ 3701

最終頁に続く

(54) 【発明の名称】 低電力リフレッシュ動作のためのクロック同期回路を制御するための回路および方法

(57) 【特許請求の範囲】

【請求項1】

外部クロック信号を受信するシンクロナスメモリデバイスの中でリフレッシュ動作を実行する方法であって、

リフレッシュ動作が内部で完了する内部リフレッシュ動作期間と該リフレッシュ動作が内部で完了してから新たなメモリコマンドの実行が始まるまでのプリチャージ期間とを含むリフレッシュ期間をかけて各リフレッシュ動作が完了する n回 の該リフレッシュ動作を該メモリデバイスの中で開始することと、

該内部リフレッシュ動作期間の間、該外部クロック信号に関連してタイミングされる内部クロック信号の生成を、該内部クロック信号の生成を停止した際の該シンクロナスメモリデバイスの同期クロック回路のセッティングを維持したまま停止することをn回の該リフレッシュ動作ごとに一度行なうことと、

該内部リフレッシュ動作期間が経過した後、該内部クロック信号の生成を再開することと、

内部クロック信号の生成が停止されたときから該内部クロック信号の生成が再開されたときまでの変化について、該プリチャージ期間の間、該シンクロナスメモリデバイスの中の動作条件を監視し、

該内部クロック信号が該外部クロック信号に同期するように調整することと、
を包含する、方法。

【請求項2】

前記内部クロック信号の生成を停止することは、実行されるそれぞれのリフレッシュ動作に対して、リフレッシュ動作が完了するまでの時間の少なくとも1部分の間は、前記内部クロック信号の生成を停止することを包含する、請求項1に記載の方法。

【請求項3】

前記内部クロック信号の生成を停止することは、前記シンクロナスメモリデバイスの中の同期クロック回路をアイドルリングすることを包含する、請求項1に記載の方法。

【請求項4】

前記内部クロック信号に応答して動作する出力サーキットリをアイドルリングすることをさらに包含する、請求項3に記載の方法。

【請求項5】

前記同期クロック回路はディレイロックドループを備える、請求項3に記載の方法。

【請求項6】

前記リフレッシュ動作は自動リフレッシュ動作を含む、請求項1に記載の方法。

【請求項7】

メモリデバイスの中でリフレッシュ動作を実行する方法であって、

その間にリフレッシュ動作が完了し、新しいメモリコマンドの実行が可能となる前に経過するリフレッシュ期間であって、該リフレッシュ動作が内部で完了する内部リフレッシュ動作期間を含む該リフレッシュ期間、を各リフレッシュ動作が有する n回の該リフレッシュ動作を開始することと、

前記リフレッシュ期間の少なくとも1部分の間、該メモリデバイスの中の同期クロック回路を、内部クロック信号の生成を停止した際の該同期クロック回路のセッティングを維持したままアイドルリングすることをn回の該リフレッシュ動作ごとに一度行なうことであって、該同期クロック回路は有効化されているときには入力クロック信号と同期する出力クロック信号を生成する、ことと、

該内部リフレッシュ動作期間が経過した後であって、かつ該リフレッシュ期間が経過することに先立って、該同期クロック回路を再有効化することを前記一度のリフレッシュ動作において行なうことと、

を包含する、方法。

【請求項8】

前記メモリデバイスのリフレッシュコマンドの受信に対応してリフレッシュ実行信号を生成することをさらに包含し、

前記同期クロック回路をアイドルリングすることは、前記リフレッシュ実行信号がアクティブとなることに応答して前記同期クロック回路をアイドルリングすることを包含し、

前記同期クロック回路を再有効化することは、前記リフレッシュ実行信号がインアクティブとなることに応答して前記同期クロック回路を再有効化することを包含する、

請求項7に記載の方法。

【請求項9】

前記メモリデバイスの中の動作条件を、前記同期クロック回路によって再有効化に引き続いて監視すること、および前記同期クロック回路がアイドルリングされるときから前記同期クロック回路が再有効化されるときに該動作条件が変化したときに、前記同期クロック回路のタイミングを調整することをさらに包含する、請求項7に記載の方法。

【請求項10】

前記同期クロック回路をアイドルリングすることは、内部クロック信号の生成を停止することを包含する、請求項7に記載の方法。

【請求項11】

前記内部クロック信号に応答して動作する出力サーキットリをアイドルリングすることをさらに包含する、請求項10に記載の方法。

【請求項12】

前記リフレッシュ動作は自動リフレッシュ動作を含む、請求項7に記載の方法。

【請求項13】

10

20

30

40

50

前記同期クロック回路はディレイロックドループを備える、請求項 7に記載の方法。

【請求項 14】

メモリデバイスの中でリフレッシュ動作を実行する方法であって、

新しいメモリコマンドの実行が可能となる前に経過するリフレッシュ期間であって、各々のリフレッシュ動作が内部で完了する内部リフレッシュ動作期間を含む該リフレッシュ期間を該各々のリフレッシュ動作が有する、複数のリフレッシュ動作を開始することと、開始された n 回ごとのリフレッシュ動作に対して、1 回のリフレッシュ動作が完了するために要する期間の少なくとも 1 部分の間は、同期クロック回路をアイドルングすることと、

該 1 回のリフレッシュ動作の該内部リフレッシュ動作期間が経過した後に、残り ($n - 1$) 回の各々のリフレッシュ動作に対して、該同期クロック回路を有効化することと、を包含する、方法。

10

【請求項 15】

複数のリフレッシュ動作が順次開始される、請求項 14に記載の方法。

【請求項 16】

n 回のリフレッシュ動作が順次開始される、請求項 14に記載の方法。

【請求項 17】

前記メモリデバイスのリフレッシュコマンドの受信にตอบสนองしてリフレッシュ実行信号を生成することをさらに包含し、

前記同期クロック回路をアイドルングすることは、前記 1 回のリフレッシュ動作に対する前記リフレッシュ実行信号がアクティブとなることにตอบสนองして前記同期クロック回路をアイドルングすることを包含し、

20

前記同期クロック回路を再有効化することは、前記 1 回のリフレッシュ動作に対する前記リフレッシュ実行信号がインアクティブとなることにตอบสนองして前記同期クロック回路を再有効化することを包含する、

請求項 14に記載の方法。

【請求項 18】

前記メモリデバイスの中の動作条件を、前記同期クロック回路によって有効化に引き続いて監視すること、および前記同期クロック回路がアイドルングされるときから前記同期クロック回路が有効化されるときに該動作条件が変化したときに、前記同期クロック回路のタイミングを調整することをさらに包含する、請求項 14に記載の方法。

30

【請求項 19】

前記同期クロック回路をアイドルングすることは、内部クロック信号の生成を停止することを包含する、請求項 14に記載の方法。

【請求項 20】

n 回ごとのリフレッシュ動作に対して、前記内部クロック信号にตอบสนองして動作する出力サーキットリをアイドルングすることをさらに包含する、請求項 19に記載の方法。

【請求項 21】

前記リフレッシュ動作は自動リフレッシュ動作を含む、請求項 14に記載の方法。

【請求項 22】

前記同期クロック回路はディレイロックドループを備える、請求項 14に記載の方法。

40

【請求項 23】

メモリデバイスであって、

アドレスバスと、

制御バスと、

データバスと、

該アドレスバスと結合されるアドレスデコーダと、

該データバスと結合される読み出し / 書き込み回路と、

該制御バスと結合される制御回路と、

該アドレスデコーダ、制御回路、および読み出し / 書き込み回路と結合されるメモリ

50

セルのアレイと、

該メモリセルのアレイおよび該制御回路と結合され、リフレッシュ動作を実行するリフレッシュ回路であって、リフレッシュ動作は、その間に該リフレッシュ動作が完了し、該制御回路によって提供されるリフレッシュコマンド信号に応答して新しいメモリコマンドの実行が始まる前に経過するリフレッシュ期間であって、該リフレッシュ動作が内部で完了する内部リフレッシュ動作期間を含む該リフレッシュ期間を有する、リフレッシュ回路と

、
該制御回路と結合され、入力クロック信号を受信し、該入力クロック信号に関連してタイミングされる内部クロック信号を生成するように動作可能な、同期クロック回路と、

該同期クロック回路および該制御回路と結合される同期クロック制御回路であって、

該内部リフレッシュ動作期間の間は該同期クロック回路を、該内部クロック信号の生成を停止した際の該同期クロック回路のセッティングを維持したままアイドルリングするために、該リフレッシュコマンド信号に応答してアイドル信号を生成し、

かつ、該内部リフレッシュ動作期間の経過に応じて、該同期クロック回路が再開信号に応答して動作を再開するための該再開信号を生成する

ように動作可能であって、

前記リフレッシュコマンド信号を受信するために前記制御回路と結合される入力を有するカウンタ回路であって n 個のアクティブなリフレッシュコマンド信号を計数することに応答して、出力に 1 個のアクティブな出力信号を生成するように動作可能なカウンタ回路と、

前記リフレッシュコマンド信号を受信するために前記制御回路と結合される第 1 の入力および該カウンタ回路の該出力と結合される第 2 の入力を有し、出力をさらに有する AND ロジックゲートと、

該 AND ロジックゲートの該出力と結合される第 1 の入力およびパワーダウン信号を受信するために前記制御回路と結合される第 2 の入力を有する OR ロジックゲートであって、前記アイドル信号を提供するために前記同期クロック回路と結合される出力をさらに有する OR ロジックゲートと、

を備える、同期クロック制御回路と、

を備えるメモリデバイス。

【請求項 24】

前記同期クロック回路はディレイロックドループを備える、請求項 23 に記載のメモリデバイス。

【請求項 25】

前記同期クロック制御回路は、前記リフレッシュコマンド信号を受信するために前記制御回路と結合される第 1 の入力およびパワーダウン信号を受信するために前記制御回路と結合される第 2 の入力を有する OR ロジックゲートを備え、該 OR ロジックゲートは前記アイドル信号を提供するために前記同期クロック回路と結合される出力をさらに有する、請求項 23 に記載のメモリデバイス。

【請求項 26】

前記読み出し / 書き込み回路は、前記内部クロック信号に応答して前記メモリセルのアレイからデータを出力するために、前記同期クロック回路と結合される出力サーキットりを備える、請求項 23 に記載のメモリデバイス。

【請求項 27】

メモリデバイスであって、

アドレスバスと、

制御バスと、

データバスと、

該アドレスバスと結合されるアドレスデコーダと、

該データバスと結合される読み出し / 書き込み回路と、

該制御バスと結合される制御回路と、

10

20

30

40

50

該アドレスデコーダ、制御回路、および読み出し / 書き込み回路と結合されるメモリセルのレイと、

該メモリセルのレイおよび該制御回路と結合され、該制御回路によって提供されるリフレッシュコマンド信号にตอบสนองして該メモリセルのレイのメモリセルをリフレッシュするリフレッシュ動作であって、該リフレッシュ動作が内部で完了する内部リフレッシュ動作期間を含むリフレッシュ期間をかけて完了する該リフレッシュ動作を実行するリフレッシュ回路と、

該制御回路と結合され、入力クロック信号を受信し、該入力クロック信号に関連してタイミングされる内部クロック信号を生成するように動作可能な、同期クロック回路と、

該同期クロック回路および該制御回路と結合される同期クロック制御回路であって、
n 回ごとのリフレッシュ動作に対して該内部リフレッシュ動作期間の間は該同期クロック回路をアイドルリングするために、n 個のリフレッシュコマンド信号の受信にตอบสนองして 1 個のアイドル信号を生成し、

かつ、該内部リフレッシュ動作期間の経過に応じて、該同期クロック回路が再開信号にตอบสนองして動作を再開するための該再開信号を生成する

ように動作可能な、同期クロック制御回路と、

を備える、メモリデバイス。

【請求項 28】

前記同期クロック制御回路は、

前記リフレッシュコマンド信号を受信するために前記制御回路と結合される入力を有するカウンタ回路であって、n 個のアクティブなリフレッシュコマンド信号を計数することに対応して、出力に 1 個のアクティブな出力信号を生成するように動作可能なカウンタ回路と、

前記リフレッシュコマンド信号を受信するために前記制御回路と結合される第 1 の入力および該カウンタ回路の該出力と結合される第 2 の入力を有し、出力をさらに有する AND ロジックゲートと、

該 AND ロジックゲートの該出力と結合される第 1 の入力およびパワーダウン信号を受信するために前記制御回路と結合される第 2 の入力を有する OR ロジックゲートであって、前記アイドル信号を提供するために前記同期クロック回路と結合される出力をさらに有する OR ロジックゲートと、

を備える、請求項 27 に記載のメモリデバイス。

【請求項 29】

前記同期クロック回路はディレイロックドループを備える、請求項 27 に記載のメモリデバイス。

【請求項 30】

前記読み出し / 書き込み回路は、前記内部クロック信号にตอบสนองして前記メモリセルのレイからデータを出力するために、前記同期クロック回路と結合される出力サーキットを備える、請求項 27 に記載のメモリデバイス。

【請求項 31】

プロセッサベースのシステムであって、

プロセッサバスを有するプロセッサと、

該プロセッサバスと結合され、システムメモリポートおよび周辺デバイスポートを有する、システムコントローラと、

該システムコントローラの該周辺デバイスポートと結合される少なくとも 1 個の入力デバイスと、

該システムコントローラの該周辺デバイスポートと結合される少なくとも 1 個の出力デバイスと、

該システムコントローラの該周辺デバイスポートと結合される少なくとも 1 個のデータ記憶装置と、

該プロセッサと結合されるメモリデバイスであって、

10

20

30

40

50

アドレスバスと、
 制御バスと、
 データバスと、
 該アドレスバスと結合されるアドレスデコーダと、
 該データバスと結合される読み出し / 書き込み回路と、
 該制御バスと結合される制御回路と、
 該アドレスデコーダ、制御回路、および読み出し / 書き込み回路と結合されるメモ
 リセルのアレイと、

該メモリセルのアレイおよび該制御回路と結合され、リフレッシュ動作を実行するリ
 フレッシュ回路であって、該リフレッシュ動作は、その間に該リフレッシュ動作が完了し、
 該制御回路によって提供されるリフレッシュコマンド信号にตอบสนองして新しいメモリコマン
 ドの実行が始まる前に経過するリフレッシュ期間であって、該リフレッシュ動作が内部で
 完了する内部リフレッシュ動作期間を含む該リフレッシュ期間を有する、リフレッシュ回
 路と、

該制御回路と結合され、入力クロック信号を受信し、該入力クロック信号に関連して
 タイミングされる内部クロック信号を生成するように動作可能な、同期クロック回路と、

該同期クロック回路および該制御回路と結合される同期クロック制御回路であって、
 該内部リフレッシュ動作期間の間は該同期クロック回路を、該内部クロック信号の
 生成を停止した際の該同期クロック回路のセッティングを維持したままアイドル
するために、該リフレッシュコマンド信号にตอบสนองしてアイドル信号を生成し、

かつ、該内部リフレッシュ動作期間の経過に応じて、該同期クロック回路が再開信
 号にตอบสนองして動作を再開するための該再開信号を生成する
 ように動作可能であって、

前記リフレッシュコマンド信号を受信するために前記制御回路と結合される入力を
 有するカウンタ回路であって、n個のアクティブなリフレッシュコマンド信号を計数する
 ことにตอบสนองして、出力に1個のアクティブな出力信号を生成するように動作可能なカウン
 タ回路と、

前記リフレッシュコマンド信号を受信するために前記制御回路と結合される第1の
 入力および該カウンタ回路の該出力と結合される第2の入力を有し、出力をさらに有する
 ANDロジックゲートと、

該ANDロジックゲートの該出力と結合される第1の入力およびパワーダウン信号
 を受信するために前記制御回路と結合される第2の入力を有するORロジックゲートであ
 って、前記アイドル信号を提供するために前記同期クロック回路と結合される出力をさら
 に有するORロジックゲートと、

を備える、同期クロック制御回路と

を備える、メモリデバイスと

を備える、プロセッサベースのシステム。

【請求項32】

前記メモリデバイスの前記同期クロック回路はディレイロックドループを備える、請求
 項31に記載のプロセッサベースのシステム。

【請求項33】

前記メモリデバイスの前記同期クロック制御回路は、前記リフレッシュコマンド信号を
 受信するために前記制御回路と結合される第1の入力およびパワーダウン信号を受信する
 ために前記制御回路と結合される第2の入力を有するORロジックゲートを備え、該OR
 ロジックゲートは前記アイドル信号を提供するために前記同期クロック回路と結合される
 出力をさらに有する、請求項31に記載のプロセッサベースのシステム。

【請求項34】

前記メモリデバイスの前記読み出し / 書き込み回路は、前記内部クロック信号にตอบสนองし
 て前記メモリセルのアレイからデータを出力するために、前記同期クロック回路と結合さ
 れる出力サーキットを備える、請求項31に記載のプロセッサベースのシステム。

10

20

30

40

50

【請求項 35】

プロセッサベースのシステムであって、
 プロセッサバスを有するプロセッサと、
 該プロセッサバスと結合され、システムメモリポートおよび周辺デバイスポートを有する、システムコントローラと、
 該システムコントローラの該周辺デバイスポートと結合される少なくとも 1 個の入力デバイスと、
 該システムコントローラの該周辺デバイスポートと結合される少なくとも 1 個の出力デバイスと、
 該システムコントローラの該周辺デバイスポートと結合される少なくとも 1 個のデータ記憶装置と、
 該プロセッサと結合されるメモリデバイスであって、
 アドレスバスと、
 制御バスと、
 データバスと、
 該アドレスバスと結合されるアドレスデコーダと、
 該データバスと結合される読み出し / 書き込み回路と、
 該制御バスと結合される制御回路と、
 該アドレスデコーダ、制御回路、および読み出し / 書き込み回路と結合されるメモリスセルのアレイト、
 該メモリスセルのアレイトおよび該制御回路と結合され、該制御回路によって提供されるリフレッシュコマンド信号に対応して該メモリスセルのアレイトのメモリスセルをリフレッシュするリフレッシュ動作であって、該リフレッシュ動作が内部で完了する内部リフレッシュ動作期間を含むリフレッシュ期間をかけて完了する該リフレッシュ動作を実行する、リフレッシュ回路と、
 該制御回路と結合され、入力クロック信号を受信し、該入力クロック信号に関連してタイミングされる内部クロック信号を生成するように動作可能な、同期クロック回路と、
 該同期クロック回路および該制御回路と結合される同期クロック制御回路であって、
 n 回ごとのリフレッシュ動作に対して該内部リフレッシュ動作期間の間は該同期クロック回路をアイドルにするために、n 個のリフレッシュコマンド信号の受信に 응답して 1 個のアイドル信号を生成し、
 かつ、該内部リフレッシュ動作期間の経過に応じて、該同期クロック回路が再開信号に 응답して動作を再開するための該再開信号を生成するように動作可能な、同期クロック制御回路と、
 を備えるメモリデバイスと
 を備える、プロセッサベースのシステム。

【請求項 36】

前記メモリデバイスの前記同期クロック制御回路は、
 前記リフレッシュコマンド信号を受信するために前記制御回路と結合される入力を有するカウンタ回路であって、n 個のアクティブなリフレッシュコマンド信号を計数すること
 に応答して、出力に 1 個のアクティブな出力信号を生成するように動作可能なカウンタ回路と、
 前記リフレッシュコマンド信号を受信するために前記制御回路と結合される第 1 の入力および該カウンタ回路の該出力と結合される第 2 の入力を有し、出力をさらに有する AND ロジックゲートと、
 該 AND ロジックゲートの該出力と結合される第 1 の入力およびパワーダウン信号を受信するために前記制御回路と結合される第 2 の入力を有する OR ロジックゲートであって、前記アイドル信号を提供するために前記同期クロック回路と結合される出力をさらに有する OR ロジックゲートと、
 を備える、請求項 35 に記載のプロセッサベースのシステム。

【請求項 37】

前記メモリデバイスの前記同期クロック回路はディレイロックドループを備える、請求項 35に記載のプロセッサベースのシステム。

【請求項 38】

前記メモリデバイスの前記読み出し / 書き込み回路は、前記内部クロック信号に応答して前記メモリセルのアレイからデータを出力するために、前記同期クロック回路と結合される出力サーキットリを備える、請求項 35に記載のプロセッサベースのシステム

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概してシンクロナス集積回路に関する。より詳細には、シンクロナスダイナミックランダムアクセス記憶装置などにおいて、リフレッシュ動作の間に同期回路をアイドリングするための制御回路に関する。

【背景技術】

【0002】

シンクロナス集積回路においては、集積回路は外部クロック信号によってクロックされ、加えられるクロック信号の立上りおよび立下りのエッジに対して相対的な所定の時刻に動作を実行する。シンクロナス集積回路の例は、シンクロナスダイナミックランダムアクセスメモリ (SDRAM)、シンクロナススタティックランダムアクセスメモリ (SSRAM)、および S L D R A M および R D R A M などのパケタイズドメモリなどのシンクロナスメモリデバイスを含み、またマイクロプロセッサなどの他の種類の集積回路を含む。SDRAM デバイスにおいては、メモリコアは一般的には揮発性のダイナミックランダムアクセスメモリ (DRAM) セルのアレイから成る。当該分野において周知のとおり DRAM セルは揮発性であり、その理由はデータを蓄える方法、すなわちコンデンサに渡る (across) 電荷の有無によるためである。半導体 DRAM セルの設計に固有の漏れ電流のために、コンデンサはその電荷をある限られた時間しか維持できない。その結果として、DRAM セルはそれぞれのデータの状態を維持するために、定期的に「リフレッシュ」されなければならない。DRAM および S D R A M デバイスのメモリセルがリフレッシュされるメカニズムは、当該分野において周知である。

【0003】

SDRAM を特別に参照すると、シンクロナスメモリデバイスの外部の信号のタイミングは外部クロック信号によって決定され、メモリデバイスの内部の動作は一般的には外部の動作に対して同期されなければならない。シンクロナスメモリデバイスの外部の信号のタイミングは外部クロック信号によって決定され、メモリデバイスの内部の動作は一般的には外部の動作に対して同期されなければならない。例えば、データはメモリデバイスによって外部クロック信号と同期してデータバス上に置かれ、従って、メモリデバイスは適切な時間にデータをバスに提供しなければならない。正しい時間にデータを提供するために、外部クロック信号に回答して内部クロック信号が発生され、それは一般的にはメモリデバイスの中に含まれるラッチに加えられて、そこでデータバス上へのデータをクロックする。内部クロック信号および外部クロックは、内部クロック信号が適切な時間にラッチをクロックして、適切な時間にデータを成功裏に出力することを保証するために、同期されなければならない。

【0004】

ここで用いられるように、同期された (synchronized) の用語は同時発生する信号および相互に相対的に所望の遅延を有する信号を含む。追加として、本記載内容においては、「外部 (external)」はメモリデバイスの外側での信号および動作を参照するために使用され、「内部 (internal)」はメモリデバイスの内部での信号および動作を参照するために使用される。さらに、本記載内容はシンクロナスメモリデバイスに関するものであるが、ここに記載される原理は他の種類のシンクロナス集積回路に対しても等しく適用可能である。

10

20

30

40

50

【 0 0 0 5 】

現在のシンクロナスメモリデバイスにおいて外部および内部クロック信号を同期させるために、多数の異なる方法が考案され使用されており、それは入力クロック信号と同期された出力クロック信号を生成し得るクロック同期回路を使用することを含む。当業者によって認識されるように、従来のクロック同期回路の例はディレイロックドループ (D L L)、フェーズロックドループ (P L L)、およびシンクロナスミラーディレイ (S M D) を含む。周知のように、従来のクロック同期回路は一般的には同期された出力クロック信号を生成するために使用される可変遅延線を含む。例えば、従来の D L L においては、可変遅延線はタイミングフィードバックループの部分である。入力と出力クロック信号との間の位相差が比較され、位相差を表す制御信号が生成される。次いで制御信号は、遅延が同期された出力クロック信号となるまで、可変遅延線を増加する方向に調整するために使用され得る。適切な遅延時間が得られたとき、D L L は「ロックされた (l o c k e d) 」と言われる。D L L がロックされた後においても、電圧変動、動作温度の変化などの入力と出力とのクロック信号の間の同期に影響を与え、従って同期からの過度のドリフトから同期された出力クロック信号を守るために時間遅延を調整する、変化を D L L は常時監視する。

10

【 0 0 0 6 】

可変遅延線はしばしば多数の直列接続された個別の遅延ステージから形成され、当業者によって理解されるように、個別の遅延ステージは可変遅延を調節するために追加または削除される。例えば、複数の直列接続された遅延ステージが可変遅延線を形成するために使用され得、異なる遅延ステージの入力の1つが、可変遅延の長さを制御するために、制御信号に対応して入力クロック信号に対する入力点 (エントリポイント) として選択される。可変遅延線の中に多数のステージがあることが望ましく、なぜならば、各ステージは遅延の増分を有し得、それは可変遅延の値を制御するうえでより良い分解能を提供し得るからである。追加として、周知のように、D L L が動作可能な最低の入力クロック周波数は、可変遅延線によって提供され得る最大の可変遅延によって制限される。

20

【 0 0 0 7 】

所望の細かい分解能および可変遅延線が提供することを要する最大の可変遅延は、同期クロック回路によって非常に大きな電力消費が生じる結果となり得、メモリデバイスが低電力の用途に用いられる場合には、それは特に好ましくない。例えば、シンクロナスメモリデバイスが可搬式電池駆動デバイスに含まれるときである。より多くの遅延ステージを使用するときに電力消費が増加する1つの理由は、入力クロック信号が可変遅延線の遅延ステージに加えられる方法にある。周知のように、各々の遅延ステージは一般的には入力クロック信号を受信し、遅延時間は一連の遅延ステージへの入力クロック信号の入力点 (エントリポイント) を選択することによって調節される。入力クロック信号は次いで、一連の遅延ステージの最後の遅延ステージによって出力されるまで、遅延ステージの中を伝播する。入力点は一連の遅延ステージの「中央 (m i d d l e) 」にあり得ることが理解される。「アップストリーム」の遅延ステージは出力クロック信号を同期させるためには使用されないが、それにもかかわらず、それらは入力クロック信号によってクロックされ、各遅延ステージの中のロジックゲートのトグリング (t o g g l i n g) を引き起こす。その結果として生じるスイッチング電流が無駄に消費される。なぜならば、前述したとおり、アップストリームの遅延ステージは同期された出力クロック信号を生成するためには利用されないからである。追加として、同期されたクロック信号を用いてラッチをクロックすることによって出力データを同期化する前記された例のような、同期された出力クロック信号によって駆動されるサーキットリは、同期された出力クロック信号の遷移 (t r a n s i t i o n) のたびに、出力サーキットリの中のスイッチング電流によって電力を消費し続ける。

30

40

【 発明の開示 】

【 課題を解決するための手段 】

【 0 0 0 8 】

50

本発明の実施形態は、メモリデバイスの中でリフレッシュ動作を実行する時間の間の少なくとも1部分の間に、クロック同期回路をアイドルングするための方法および装置を提供する。本発明の一局面に従って、外部クロック信号を受信するシンクロナスメモリデバイスにおいて、メモリデバイスの中で少なくとも1つのリフレッシュ動作を開始することと、少なくとも1つのリフレッシュ動作が完了するまでの時間の少なくとも1部分の間は、外部クロック信号にตอบสนองしてタイミングされる内部クロック信号の生成を停止することと、を含むリフレッシュ動作を実行する方法が提供される。本発明の別の局面に従って、その間にリフレッシュ動作が完了し、新しいメモリコマンドの実行が始まり得る前に経過するリフレッシュ期間 (time period)、を有するリフレッシュ動作を開始することを含む、メモリデバイスの中でリフレッシュ動作を実行する方法が提供される。メモリデバイスの中の同期クロック回路は、リフレッシュ期間の少なくとも1部分の間はアイドルングされ、リフレッシュ期間の経過に先立って再有効化 (re-enabling) される。本発明の別の局面に従って、複数のリフレッシュ動作を開始することと、開始されたn回ごとのリフレッシュ動作に対して、1回のリフレッシュ動作が完了するために要する期間の少なくとも1部分の間は同期クロック回路をアイドルングすることと、を含む、メモリデバイスの中でリフレッシュ動作を実行する方法が提供される。同期クロック回路は残り (n-1) 回のリフレッシュ動作に対して有効化され (enabled) る。

【0009】

該発明の別の局面に従って、メモリセルアレイと結合されるリフレッシュ回路、およびメモリセルアレイのメモリセルをリフレッシュするリフレッシュ動作を実行する制御回路、を含むメモリデバイスが提供される。メモリデバイスは、入力クロック信号にตอบสนองしてタイミングされる内部クロック信号を生成するための制御回路と結合される同期クロック回路、および同期クロック回路および制御回路と結合される同期クロック制御回路、をさらに含む。同期クロック制御回路は、n個のリフレッシュコマンド信号の受信にตอบสนองして1個のアイドルング信号を生成し、n回ごとのリフレッシュ動作に対して1回のリフレッシュ期間の少なくとも1部分の間は、同期クロック回路をアイドルングする。

【0010】

該発明の別の局面に従って、メモリセルアレイおよび制御回路と結合されるリフレッシュ回路を含む、メモリデバイスが提供される。リフレッシュ回路は、その中でリフレッシュ動作が完了し、制御回路によって提供されるリフレッシュコマンド信号にตอบสนองして始まる新しいメモリコマンドの実行の前に経過するリフレッシュ期間、を有するリフレッシュ動作を実行する。制御回路と結合される同期クロック回路は、入力クロック信号にตอบสนองしてタイミングされる内部クロック信号を生成し、同期クロック回路および制御回路と結合される同期クロック制御回路は、リフレッシュコマンド信号にตอบสนองしてアイドルング信号を生成し、リフレッシュ期間の少なくとも1部分の間は同期クロック回路をアイドルングする。

【発明を実施するための最良の形態】

【0011】

図1は本発明の実施形態が実行され得る、メモリデバイス100の機能ブロック図である。該発明の十分な理解を提供するために、いくつかの詳細が以下に説明される。しかしながら、該発明はこれらの特定の詳細によらずとも実施可能であることは、当業者にとって明らかである。他の事例においては、周知の回路、制御信号、およびタイミングプロトコルは、該発明を不必要に不明瞭にすることを避けるために、詳細には示されていない。図1のメモリデバイス100はダブルデータレート (DDR) シンクロナスダイナミックランダムアクセスメモリ (「SDRAM」) であり、ここに記載される原理は、従来のシンクロナスDRAM (SDRAM) および、SLDRAMおよびRDRAMなどのパケット化 (packetized) メモリデバイスなどの、内部および外部信号を同期するための同期回路を含み得る任意のメモリデバイスに対して適用可能であるが、内部および外部クロック信号を同期する必要のある任意の集積回路に対しても、等しく適用可能である。

【 0 0 1 2 】

メモリデバイス100は、一般的にはメモリコントローラのような外部回路（示されていない）から制御バスCONTを通じて、複数のコマンドおよびクロッキング信号を受信する制御ロジックおよびコマンドデコーダ134を含む。コマンド信号は一般的にはチップ選択信号CS*、書き込みイネーブル信号WE*、列（column）アドレスストロープ信号CAS*、および行（row）アドレスストロープ信号RAS*を含み、一方クロッキング信号はクロックイネーブル信号CKEおよび相補的な（complementary）クロック信号CLK、CLK*を含み、「*」はその信号がアクティブ・ローであることを示す。コマンド信号CS*、WE*、CAS*、およびRAS*は読み出し、書き込み、または自動リフレッシュコマンドなどの特定のコマンドに対応する値に対して駆動される。CKE信号は内部クロック、入力バッファおよび出力ドライバを活性化および不活性化するために使用される。クロック信号CLK、CLK*にตอบสนองして、コマンドデコーダ134は加えられたコマンドをラッチデコードし、構成要素102~132を制御し加えられたコマンドの機能を実行させる、一連のクロッキングおよび制御信号を生成する。コマンドデコーダ134は、CLK、CLK*信号の正のエッジ（すなわち、CLKが上昇しCLK*が下降する交差点）において、コマンドおよびアドレス信号をラッチし、一方入力レジスタ130およびデータドライバ124は、データストロープ信号DQSの両側のエッジにตอบสนองして、その結果クロック信号CLK、CLK*の周波数の2倍で、メモリデバイス100の中へ、または、から外へ、それぞれデータを移送する。DQS信号はCLK、CLK*信号と同じ周波数を有するために、これは真実である。メモリ

デバイス100はダブルデータレートデバイスとして参照されるが、それは該デバイスに、またはから移送されるデータワードDQが、加えられたクロック信号の周波数に対応する速さでデータを移送する従来のSDRAMの、2倍の速さで移送されるからである。制御およびタイミング信号を生成するうえでの制御ロジックおよびコマンドデコーダ134の詳細な動作は従来からあるものであり、簡潔のためにより詳細には記載されない。

10

20

【 0 0 1 3 】

メモリデバイス100にはさらに、一般的にアドレスを供給するメモリコントローラ（示されていない）と共に、行、列、およびバンクアドレスを、アドレスバスADDRを通じて受信するアドレスレジスタ102を含む。アドレスレジスタ102は、行アドレスマルチプレクサ104およびバンク制御ロジック回路106に対してそれぞれ加えられる行

アドレスおよびバンクアドレスを受信する。行アドレスマルチプレクサ104は、複数の行アドレスラッチおよびデコーダ110A~Dに対して、アドレスレジスタ102から受信する行アドレスまたはリフレッシュカウンタ108からのリフレッシュ行アドレスの何れかを加える。バンク制御ロジック106は、アドレスレジスタ102から受信するバンクアドレスまたはリフレッシュカウンタ108からのリフレッシュバンクアドレスの何れにも対応して、行アドレスラッチおよびデコーダ110A~Dを活性化し、活性化された行アドレスラッチおよびデコーダは、受信した行アドレスをラッチデコードする。デコードされた行アドレスにตอบสนองして、活性化された行アドレスラッチおよびデコーダ110A~Dは様々な信号を対応するメモリバンク112A~Dに加え、それによってデコードされた行アドレスに対応するメモリセルの行を活性化する。それぞれのメモリバンク11

2A~Dは行および列に配列された複数のメモリセルを有するメモリセルアレイを含み、活性化された行のメモリセルの中に蓄えられるデータは、対応するメモリバンクの中のセンスアンプの中に蓄えられる。当業者によって認識されるように、メモリデバイス100に対して加えられる自動、または自己リフレッシュコマンドにตอบสนองする自動リフレッシュまたは自己リフレッシュ動作モードでメモリデバイス100が動作するとき、行アドレスマルチプレクサ104はリフレッシュカウンタ108からのリフレッシュ行アドレスをデコーダ110A~Dに加え、バンク制御ロジック回路106はリフレッシュカウンタからのリフレッシュバンクアドレスを使用する。

30

40

【 0 0 1 4 】

行およびバンクアドレスの後に、列アドレスがADDRバス上に加えられ、アドレスレ

50

ジスタ102は列アドレスを列アドレスカウンタおよびラッチ114に加え、それは次いで、列アドレスをラッチし、ラッチされた列アドレスを複数の列デコーダ116A~Dに加える。バンク制御ロジック106は受信されたバンクアドレスに対応する列デコーダ116A~Dを活性化し、活性化された列デコーダは加えられた列アドレスをデコードする。メモリデバイス100の動作モードに従って、列アドレスカウンタおよびラッチ114は、ラッチされた列アドレスをデコーダ116A~Dに対して直接加えるか、またはアドレスレジスタ102によって提供される列アドレスから始まる一連の列アドレスをデコーダに加えるか、のいずれかを行う。カウンタおよびラッチ114からの列アドレスに対応して、活性化された列デコーダ116A~Dは、デコードおよび制御信号をI/Oゲーティングおよびデータマスキング回路118に加え、それは次いで、アクセスされるメモリバンク112A~Dの中の、活性化されたメモリセルの行の中のデコードされた列アドレスに対応するメモリセルにアクセスする。

10

【0015】

データ読み出し動作の間に、アドレスを付されたメモリセルから読み出されたデータは、I/Oゲーティングおよびデータマスキング回路118を経由して読み出しラッチ120に結合される。I/Oゲーティングおよびデータマスキング回路118は、Nビットのデータを読み出しラッチ120に供給し、それは次いで、2個のN/2ビットのワードをマルチプレクサ122に加える。図1の実施形態においては、回路118は64ビットを読み出しラッチ120に提供し、それは次いで、2個の32ビットワードをマルチプレクサ122に提供する。データドライバ124はマルチプレクサ122からN/2ビットのワードを順次受信し、またストロブ信号発生器126からのデータストロブ信号DQSおよびディレイロックドループ(DLL)123からの遅延クロック信号CLKDELを受信する。DLL制御回路125はDLL123と結合されている。DLL制御回路125は、当該分野において公知のとおり、制御ロジック134によって生成される自動リフレッシュ活性化信号AREFを受信する。以下により詳細に説明されるように、DLL制御回路125はAREF信号にตอบสนองして、すなわち、自動リフレッシュ動作が要求されるとき、DLL123をアイドル状態に置くための制御信号を生成する。

20

【0016】

DQS信号はメモリコントローラ(示されていない)のような外部回路によって、読み出し動作の間にメモリデバイス100からのデータをラッチするために使用される。遅延クロック信号CLKDELにตอบสนองして、データドライバ124は受信したN/2のワードに対応するデータワードDQとして順次出力し、各々のデータワードはメモリデバイス100をクロックするために加えられるCLK信号の立上りまたは立下りのエッジと同期して出力される。データドライバ124はまた、CLK信号の立上りおよび立下りのエッジにそれぞれ同期する、立上りおよび立下りのエッジを有するデータストロブ信号DQSを出力する。各々のデータワードDQおよびデータストロブ信号DQSは、共同でデータバスを定義する。当業者によって認識されるように、DLL123からのCLKDEL信号はCLK信号の遅延バージョンであり、またDLL123はCLK信号に対するCLKDEL信号の相対的な遅れを調整し、DQS信号およびDQワードが、メモリデバイス100に対して公開されたタイミング仕様に合致するように、データバス上に置かれることを保証する。データバスはまたマスキング信号DM0-Mを含み、それは以下にデータ書き込み動作との関連でより詳細に記載される。

30

40

【0017】

データ書き込み動作の間に、メモリコントローラ(示されていない)のような外部回路は、N/2ビットのデータワードDQ、ストロブ信号DQS、および対応するデータマスキング信号DM0-Xをデータバス上加える。データレシーバ128はそれぞれのDQワードおよび関連するDM0-X信号を受信し、これらの信号をDQS信号によってクロックされる入力レジスタ130に加える。DQS信号の立上りのエッジにตอบสนองして、入力レジスタ130は最初のN/2ビットのDQワードおよび関連するDM0-X信号をラッチし、DQS信号の立下りエッジにตอบสนองして、入力レジスタは2番目のN/2ビットの

50

DQワードおよび関連するDM0 - X信号をラッチする。入力レジスタ130は2個のラッチされたN/2ビットDQワードを1個のN - ビットワードとして書き込みFIFOおよびドライバ132に提供し、それは書き込みFIFOおよびドライバの中に加えられたDQワードおよびDM0 - X信号を、DQS信号にตอบสนองしてクロックする。DQワードは、CLK信号にตอบสนองして、書き込みFIFOおよびドライバ132からクロックアウトされ、I/Oゲーティングおよびマスキング回路118に加えらる。I/Oゲーティングおよびマスキング回路118はDQワードをDM0 - X信号に従って、アクセスされたバンク112A ~ Dの中のアドレスされたメモリセルに移送し、それはアドレスされたメモリセルの中に書き込まれたDQワードの中の(すなわち、書き込まれたデータの中の)ビットまたはビットのグループを選択的にマスクするために使用され得る。

10

【0018】

図2は、本発明の実施形態に従った、DLL制御回路200を示す。DLL制御回路200は、DLL制御回路125(図1)に対して置き換り得るものである。図1に関連して以前に説明したとおり、DLL制御回路200は、メモリセルのリフレッシュ動作の間にDLLをアイドル状態に置くために使用されることができ、それ故にこの時間の間のDLLのスイッチング電流を大幅に減少し、従って電力の消耗を防ぐ。DLL制御回路200は、第1の入力に加えらる相補的なクロックイネーブル信号CKEf、および第2の入力に加えらる自動リフレッシュ活性化信号AREFを有するプリアンORゲート202を含む。ORゲート202の出力はDLLアイドル信号DLL__FRZNを提供し、それはDLLをアイドル状態に置くために使用される。

20

【0019】

CKEf信号は、内部クロック発生器が不活性化されたときを表す。すなわち、CKE信号(図1)がLOWであり内部クロックが不活性化されているときには、CKEf信号はHIGHである。反対に、LOWのCKEf信号はクロック発生器が有効化された(enabled)ことを表す。当該分野において公知のとおり、CKE信号はしばしばメモリデバイスを「パワーダウン」状態に置くために使用される。この状態の間は、メモリセルは最小限の電力を消費するが、メモリセルによって蓄えられるデータの本来の姿を維持するように設計される。一般的にはパワーダウン状態に入るプロセスの部分として、重要でないサーキットリは、メモリデバイス内部の無関係のスイッチング電流を除去するために無効化され(disabled)る。一部の応用例においては、任意のDLLを含む出力サーキットリはアイドル状態に置かれる。図2に示されるように、メモリデバイス100(図1)に加えらるLOWなCKE信号にตอบสนองして、CKEf信号がHIGHであるときには、HIGHなDLL__FRZN信号が生成されDLL123をアイドルにする。アイドル状態においては、DLL123は同期された出力クロック信号の生成を停止するが、その遅延線の現在のセッティングを維持し、その結果DLL123がアイドル状態を離脱するときには、DLL123は可変遅延線の最後のディレイセッティングに基づいて、同期された出力クロック信号を生成することを開始できる。電圧および温度の変化が出力クロック信号の同期性をドリフトさせる原因となり得るが、DLL123が完全にリセットされるよりもはるかに速やかに、DLL123は入力クロック信号上のロックを再取得することができる。

30

40

【0020】

以前に述べたように、メモリデバイスが自動リフレッシュ動作を実行するための外部コマンド信号を受信することにตอบสนองして、AREF信号が生成される。当該分野において公知のとおり、自動リフレッシュコマンドがメモリデバイスによって受信されるときには、内部で生成されたアドレスに対応するメモリセルは従来の方法でリフレッシュされる。AREF信号は一般的には適切なサーキットリに対して自動リフレッシュ動作を開始させるために提供され、また自動リフレッシュ動作のための内部タイミング信号としてもしばしば使用される。当該分野においてまた公知のとおり、内部リフレッシュ動作が開始されたときには、新しいコマンドが開始され得る以前に、リフレッシュ動作を完了するための最小限の時間が必要とされる。

50

【 0 0 2 1 】

図2に示された本発明の実施形態において、DLL制御回路200がアクティブなDLL__FRZN信号を生成しDLL123をアイドル状態に置くために、AREF信号が追加的にORゲート202に提供される。その結果として、AREF信号によってタイミングされて、DLL123は自動リフレッシュ動作の間アイドル状態に置かれ得る。以前に説明されたように、新しいコマンドが開始され得る前に、リフレッシュ動作が完了するための最小限に時間が必要である。一実施形態においては、次のコマンドが実行される前に、DLL123が電圧または温度の任意の変化に対する調整を行うことを許容するために、DLL123はこの時間の終了を待たずにアイドル状態から取り出される。図3に示され、以下により詳細に説明されるように、このような実施形態においては、適切にタイミングされたAREF信号が、DLL123に対するアイドル状態をタイミングするために使用され得る。時刻T0において、自動リフレッシュコマンドREFがメモリデバイス100によってラッチされる。制御ロジック834が自動リフレッシュコマンドを解釈し、自動リフレッシュ動作を開始するための内部信号を生成する。動作の開始の部分として、時刻T1において制御ロジック134によって、アクティブなAREF信号が生成される。これにตอบสนองして、DLL制御回路125がアクティブなDLL__FRZN信号を生成し、その信号はDLL123をアイドル状態に入らせる。その結果として、DLL123の出力クロック信号CLKDELはクロック状態の間の移行を停止し、DLL123がアイドル状態となった時刻における最後のクロック状態を維持する。時刻T2において、リフレッシュ動作は内部で完了し、AREF信号はインアクティブとなる。これにตอบสนองして、DLL制御回路200はLOWであるDLL__FRZN信号を生成し、その信号はDLL123をアイドル状態から離脱させ、出力クロック信号を生成することを開始させる。T0とT2との間の時間は、一般的にtRASとして参照される。以前に説明されたとおり、DLL123は、DLL123がアイドル状態となった時刻の可変遅延線のセッティングを使用して、出力クロック信号の生成を開始する。時刻T3において、メモリデバイスによって新しいコマンドがラッチされ、コマンドの実行が開始され得る。T2とT3との間の、一般的にはtRPとして参照される時間の中で、DLL123は電圧または温度の変化などのDLL123のタイミングに影響を及ぼす変化に順応するために、必要な場合には可変遅延線を調整するための時間を有する。このように、時刻T3において次のメモリコマンドCMDがラッチされるときまでに、DLL123は同期関係の任意のドリフトを調整し、CLK信号と再び同期関係にある出力クロック信号を提供する。

10

20

30

【 0 0 2 2 】

自動リフレッシュサイクルの少なくとも1部分の間、DLL123をアイドル状態に置くことによって、自動リフレッシュ動作の間にメモリデバイスによって消費される平均電力が低減され得ることが、認識される。データドライバ124のような、DLL123のシンクロナス出力クロック信号によって駆動される出力サーキットリが、DLL123のアイドル状態によって自動リフレッシュ動作の間のスイッチング電流が減少するために、より少ない電力を消費するという事実によって、追加的な電力節約が達成される。本発明の実施形態と対照的に、一般的なメモリデバイスは、自動リフレッシュサイクル時間に係らずDLLが電圧および変化を連続的に監視することを保証するために、自動リフレッシュ動作の間すべてDLLを有効な状態のままに放置する。以前に説明されたとおり、同期性に影響を及ぼす動作条件の変化をDLLが常時監視し調整しない場合には、DLLの同期された出力クロック信号が過度にドリフトすることが問題点である。しかしながら、本発明の実施形態においては、内部での自動リフレッシュ動作の完了に引き続いて、次のメモリコマンドの実行が始まる前に、出力クロック信号の同期性に影響を及ぼす動作条件の変化に対する任意の必要な調整を行うための、十分な時間がDLL123に対して提供される。調整のためにDLL123に提供される時間の長さは設計上の選択であり、それは当業者の十分に理解するところである。

40

【 0 0 2 3 】

50

図3のタイミング図は例示として提供されたものであり、特定の信号およびタイミングは本発明の実施形態の動作の単なる表現にすぎないことがさらに理解される。しかしながら、該タイミングダイヤグラムは、本発明の範囲をここに記載された任意の特定の実施形態に限定するものとして解釈されるべきではない。

【0024】

図3のタイミング図において、時刻T0における自動リフレッシュコマンドREFは、最終的には時刻T3におけるメモリコマンドCMDによってフォローされる。しかしながら、「バースト(burst)」自動リフレッシュ動作を実施するために、多数の自動リフレッシュコマンドがメモリデバイスに対して連続して発行され得ることが、認識される。図2および図3に関連して記載された実施形態においては、DLLはそれぞれの自動リフレッシュ動作に対して、アイドル状態に入ることおよびアイドル状態から離脱することを通過するサイクルを繰り返す。かくして、DLLは同期性に影響を及ぼす任意の変化(すなわち、電圧および温度の変化)を評価し、必要な場合にはそれぞれの自動リフレッシュサイクルを再同期するための調整を行う機会を有する。しかしながら、本発明の代替の実施形態においては、n回の自動リフレッシュサイクルごとにDLLをアイドル状態に置くために、DLL制御回路200(図2)の中に追加的なロジックサーキットリが含まれる。このような実施形態においては、DLLは動作条件の変化を、図3に関連して説明された実施形態と比較して一連の自動リフレッシュ動作に対するより長い期間の間、監視することを許容される。入力クロック信号とより密接に同期関係を維持するためには、このような実施形態を有することが望ましい。

【0025】

図4は、本発明の代替の実施形態に従ったDLL制御回路123を示す。DLL制御回路123は、AREF信号が加えられる入力、およびプリアンANDゲート202の第1の入力に出力信号を提供する出力を有するアシンクロナスカウンタ回路404を含む。ANDゲート202の第2の入力はAREF信号を受信する。ANDゲート202は出力信号を、プリアンORゲート406の第1の入力に提供する。ORゲートの第2の入力は、CKEF信号を受信する。動作においては、アシンクロナスカウンタ404がAREF信号のサイクルの数を計数し、AREF信号のn-1サイクルにおいてアクティブなCOUNT信号を出力する。COUNT信号およびAREF信号の両方がHIGHであることに応答して、ORゲート406はアクティブなDLL_FRZN信号を出力する。この方法で、DLLはAREF信号のnサイクルごとに一度、すなわち、n回ごとの自動リフレッシュ動作に一度、アイドル状態に置かれる。アシンクロナスカウンタ404は従来の設計および動作のものであり、当業者は適切なカウンタ回路を提供するうえで十分な理解を有する。

【0026】

図5は、図1のメモリデバイス100を含むコンピュータサーキットリ502を含む、プロセッサベースのシステム500のブロック図である。一般的には、コンピュータサーキットリ502はアドレス、データ、および制御バスを経由してメモリデバイス100と結合され、メモリデバイスへのデータ書き込み、およびからのデータ読み出しを提供する。コンピュータサーキットリ502は、特定の計算またはタスクを実施するための特定のソフトウェアを実行することなどの、様々な計算機能を実施するためのサーキットリを含む。追加として、プロセッサベースのシステム500は、キーボードまたはマウスなどの、コンピュータサーキットリ502と結合されオペレータがコンピュータシステムとインターフェイスすることを可能とする、1個以上の入力装置504を含む。一般的には、プロセッサベースのシステム500はまた、一般的にはプリンタおよびビデオターミナルを含む出力装置のような、コンピュータサーキットリ502と結合された1個以上の出力装置506を含む。1個以上のデータ記憶装置508がまた、データを蓄え、または外部記憶媒体(示されていない)からデータを取り込むために、一般的にはコンピュータサーキットリ502と結合される。一般的な記憶装置508の例はハードおよびフロッピディスク、テープカセット、読み出し専用コンパクトディスク(CD-ROM)および読み出し

- 書き込みコンパクトディスク (CD-RW) メモリ、およびデジタルビデオディスク (DVD) を含む。

【0027】

発明の特定の実施形態が例示の目的のためにここに記載されてきたが、該発明の精神および範囲から逸脱することなく様々な修正案が作成され得ることが、これまでの内容から認識される。従って、該発明は、添付の請求項によるものの外には、制約されない。

【図面の簡単な説明】

【0028】

【図1】本発明の実施形態が使用され得る、シンクロナスメモリデバイスの機能ブロック図である。

10

【図2】本発明の実施形態に従った、ディレイロックドループ制御回路の簡略化された機能ブロック図である。

【図3】本発明の実施形態の動作の間の、様々な信号のタイミング図である。

【図4】本発明の代替の実施形態に従った、ディレイロックドループ制御回路の簡略化された機能ブロック図である。

【図5】図1のシンクロナスメモリデバイスを含む、プロセッサベースのシステムの簡略化された機能ブロック図である。

【図1】

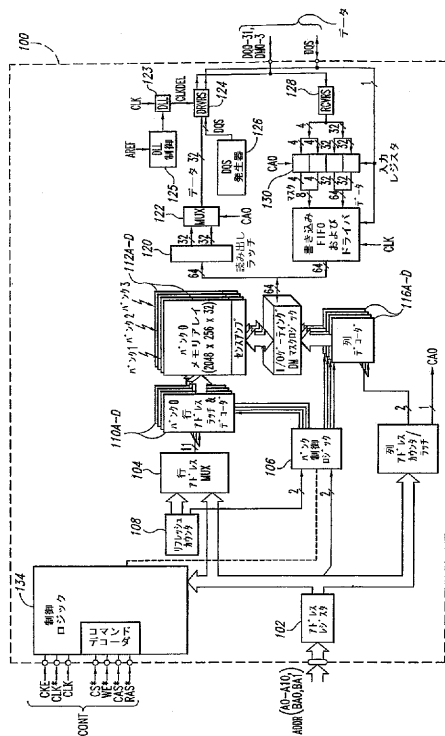


Fig. 1

【図2】

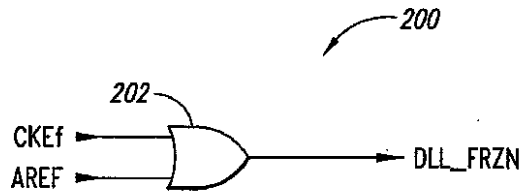


Fig. 2

【 図 3 】

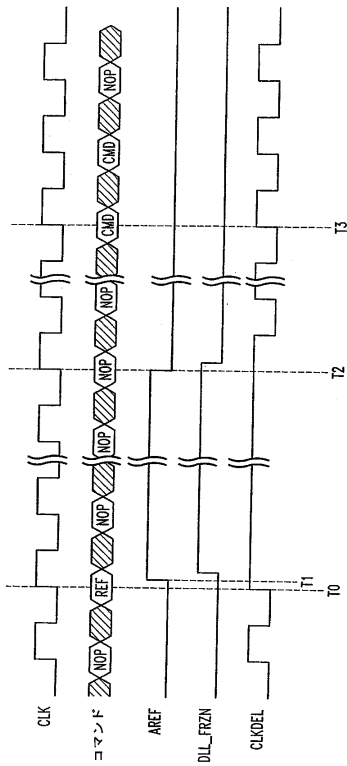


Fig. 3

【 図 4 】

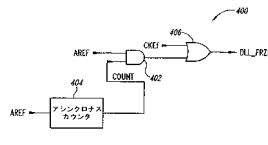


Fig. 4

【 図 5 】

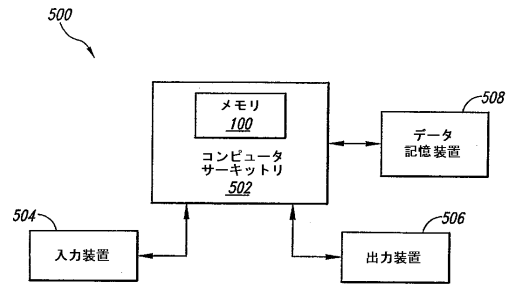


Fig. 5

フロントページの続き

(72)発明者 デルモット, ロス イー.
アメリカ合衆国 アイダホ 83702, ボイシ, ノース 21 エスティー ストリート 1
706

審査官 高瀬 勤

(56)参考文献 特開平11-096760(JP,A)
特開平08-147967(JP,A)
特開2000-195265(JP,A)
特開平11-250657(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/407
G11C 11/406
G11C 11/4076