



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월08일
(11) 등록번호 10-0961815
(24) 등록일자 2010년05월28일

(51) Int. Cl.

H01L 27/12 (2006.01)

(21) 출원번호 10-2007-7000058

(22) 출원일자(국제출원일자) 2005년05월27일

심사청구일자 2008년02월28일

(85) 번역문제출일자 2007년01월02일

(65) 공개번호 10-2007-0037483

(43) 공개일자 2007년04월04일

(86) 국제출원번호 PCT/EP2005/052424

(87) 국제공개번호 WO 2006/003061

국제공개일자 2006년01월12일

(30) 우선권주장

10/883,887 2004년07월02일 미국(US)

(56) 선행기술조사문헌

US20030003679 A1*

US20030119280 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인터내셔널 비지네스 머신즈 코퍼레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

아담, 토마스, 엔

미국, 뉴욕 12603, 포우킵씨, 콜번 드라이브 44

베델, 스티븐, 더블유.

미국, 뉴욕 12590, 웨이핑거즈 폴즈, 니콜 드라이브 32

(뒷면에 계속)

(74) 대리인

신영무, 윤혜진

전체 청구항 수 : 총 10 항

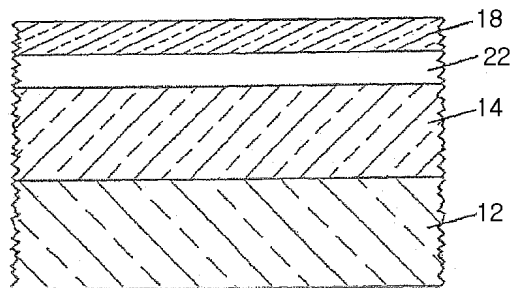
심사관 : 이규재

(54) 매립 P + 실리콘 게르마늄층의 양극화에 의한 스트레인드실리콘 온 절연체

(57) 요약

웨이퍼 접착이 없는 스트레인드 반도체 온 절연체 (SSOI) 기판을 제조하는 비용면에서 효율적인 제조 방법이 제공된다. 이 방법은 기판 상에 여러 에피택셜 반도체 층을 성장하는 단계 - 반도체층 중 적어도 하나는 스트레인드 반도체층 아래에 도핑 완화된 반도체층임 -, 도핑 완화된 반도체층을 전해 양극화 프로세스를 거쳐 다공성 반도체로 변환하는 단계, 및 다공성 반도체층을 매립된 산화물층으로 변환하도록 산화하는 단계를 포함한다. 이 방법은 기판 상의 완화된 반도체층; 이 완화된 반도체 기판 상의 고품질의 매립된 산화물 층; 및 고품질의 매립된 산화물 층 상의 스트레인드 반도체층을 포함하는 SSOI 기판을 제공한다. 본 발명에 따르면, 완화된 반도체층과 스트레인드 반도체층은 동일한 결정 배향을 갖는다.

대표도 - 도1d



(72) 발명자

드 소우자, 조엘, 피.

미국, 뉴욕 10579, 푸트남 밸리, 웨스트 쇼어 드라이브 10

포젤, 케이스, 이.

미국, 뉴욕 10547, 모히칸 레이크, 루크 레인 4

레즈니첵, 알렉산더

미국, 뉴욕 10549, 마운틴 키스코, 카펜터 4 애비뉴 84

사다나, 테벤드라, 케이.

미국, 뉴욕 10570, 플리산트빌, 스카이 탑 드라이브 90

샤히디, 가밤

미국, 뉴욕 10579, 파운드 리지, 바게가트 로드 111

특허청구의 범위

청구항 1

스트레인드 반도체 온 절연체 (SSOI) 기판을 제조하는 방법에 있어서:

기판, 상기 기판 상의 완화된 반도체 층, 상기 완화된 반도체 층 상의 도핑 완화된 반도체층, 및 상기 도핑 완화된 반도체 층 상의 스트레인드 반도체 층을 포함하는 구조물을 제공하는 단계 - 상기 도핑 완화된 반도체 층과 상기 스트레인드 반도체 층은 동일한 결정 배향을 가짐 - ;

상기 스트레인드 반도체 층 아래의 상기 도핑 완화된 반도체 층을 매립된 다공성 층으로 변환하는 단계; 및

상기 매립된 다공성 층을 포함하는 상기 구조물을 어닐링하여 스트레인드 반도체 온 절연체 기판을 제공하는 단계 - 상기 어닐링 동안 상기 매립된 다공성 층이 매립된 산화물층으로 변환됨 -

을 포함하는 방법.

청구항 2

제1항에 있어서,

상기 구조물을 제공하는 단계는 상기 완화된 반도체 층, 상기 도핑 완화된 반도체 층, 상기 스트레인드 반도체 층의 에피텍셜 성장을 포함하는 방법.

청구항 3

제1항에 있어서,

상기 변환 단계 이전에 상기 스트레인드 반도체 층을 패터닝하는 단계를 더 포함하는 방법.

청구항 4

제1항에 있어서,

상기 변환 단계는 전해 양극화 프로세스를 포함하는 방법.

청구항 5

제1항에 있어서,

상기 스트레인드 반도체 온 절연체 기판에 존재하는 도펀트를 감소시키는 베이킹 단계를 더 포함하는 방법.

청구항 6

스트레인드 반도체 온 절연체 (SSOI) 기판을 제조하는 방법에 있어서:

에피텍셜 도핑 완화된 반도체 층의 표면에 스트레인드 반도체 층을 에피텍셜 성장시키는 단계 -상기 도핑 완화된 반도체는 에피텍셜 완화된 SiGe 템플릿 상단에 위치함- 와,

상기 도핑 완화된 반도체 층을 다공성 층으로 변환시키기 위하여 상기 도핑 완화된 반도체 층을 전해 양극화시키는 단계와,

상기 스트레인드 반도체 층 및 상기 다공성 층을 산화시키는 단계 -이것에 의해 상기 다공성 층은 상기 스트레인드 반도체 층과 상기 완화된 SiGe 템플릿 사이에 배치되는 매립된 산화물 층으로 변환됨-

를 포함하는 방법.

청구항 7

반도체 구조물에 있어서,

기판과,

상기 기판상의 완화된 반도체 층과,

상기 완화된 반도체 층상의 약 1 마이크로암페어 미만의 누설을 갖고 약 2메가볼트/cm 이상의 브레이크다운 전계를 갖는 매립된 산화물층과,

상기 매립된 산화물층상의 스트레인드 반도체 층을 포함하며,

상기 완화된 반도체층과 상기 스트레인드 반도체층은 동일한 결정 배향을 갖는, 반도체 구조물.

청구항 8

제7항에 있어서,

상기 기판은 결정질 반도체 기판인, 반도체 구조물.

청구항 9

제7항에 있어서,

상기 완화된 반도체층은 Ge의 농도가 변화하는 차등 SiGe층인, 반도체 구조물.

청구항 10

제7항에 있어서,

상기 스트레인드 반도체 층의 표면에 위치하는 적어도 하나의 상보형 금속 산화물 반도체 장치를 더 포함하는, 반도체 구조물.

명세서

기술분야

[0001] 본 발명은 반도체 기판 재료 및 이의 제조 방법에 관한 것이다. 더욱 특히 본 발명은 스트레인드 반도체, 예를 들어, Si 온 절연체 (SSOI) 기판 재료 및 웨이퍼 접착이 없는 이의 제조 방법에 관한 것이다.

배경기술

[0002] 반도체 산업에서, 종래의 실리콘 온 절연체 (SOI) 기판을 스트레인드 반도체 온 절연체 (SSOI) 기판으로 교체하여 상보형 금속 산화물 반도체 (CMOS) 장치의 성능을 증진하는 데에 관심이 점차 증가하고 있다. 이 관심의 이유는 SSOI 기판이 종래의 SOI 기판 보다 더 큰 캐리어 (전자/정공) 이동성을 제공한다는 것에 있다. SSOI 기판의 스트레인은 압축성 또는 신장성일 수 있다.

[0003] SSOI 기판을 제조하는 종래의 방법은 통상 완화된 SiGe 층 상에 위치된 스트레인드 Si 함유층이 핸들 웨이퍼 상으로 전달되는 층 전달 프로세스를 필요로 한다. 특히, 종래의 프로세스는 Si 함유 기판의 표면 상에 두께가 수 미크론인 완화된 SiGe 층을 먼저 형성하는 단계를 포함한다. 완화된 SiGe 층은 통상 Si의 것 보다 더 큰 면내 격자 파라미터를 갖는다. 다음에, Si 함유층은 완화된 SiGe층 상에 성장된다. SiGe 층은 Si에 비교하여 더 큰 면내 격자 파라미터를 갖기 때문에, Si 함유층은 스트레인을 받게 된다.

[0004] 완화된 SiGe층 상에 위치된 스트레인드 Si 함유층을 포함하는 구조물은 핸들 웨이퍼에 접착되고, 이는 산화물층 등의 절연층을 포함한다. 접착은 스트레인드 Si 함유층과 절연체층 사이에 발생한다. 다음에 Si 함유 기판과 완화된 SiGe 층은 통상 접착 구조물에서 제거되어 스트레인드 Si 온 절연체 기판을 제공하게 된다.

[0005] 상술된 종래의 SSOI 기판 준비법은 두 개의 진보된 기판 기술, 즉 고품질의 두꺼운 SiGe/스트레인 Si 성장법 및 웨이퍼 접착법을 조합하기 때문에 아주 값비싸고 수율이 낮다. 더구나, 종래의 준비법은 대량의 기판을 제조하는 데에 매력적이지 못하다.

[0006] 상기에 비추어, SSOI 기판을 제조하는 비용면에서 효율적인 제조법이 장차 고성능의 Si 함유 CMOS 제품에 필요하다.

발명의 상세한 설명

[0007] 본 발명은 SSOI 기판 재료를 제조하기 위해 종래의 기술에 통상 필요로 하는 웨이퍼 접착을 방지하는 SSOI 기판을 제조하는 비용면에서 효율적이며 제조 가능한 해결책을 제공한다. 특히, SSOI 기판을 제조하는 본 발명의

방법은 스트레인드 반도체층 아래에 매립 다공성 층을 형성하는 단계를 포함한다. 다음에 다공성층은 스트레인드 반도체층의 일부만이 처리 중에 소모되도록 고온의 산화/어닐링 단계를 이용하여 매립 산화물층으로 변환된다.

- [0008] 이 방법은 산화물층 위에 스트레인드 반도체층을 포함하는 SSOI 기판을 제공하고, 이 산화물층은 완화된 반도체 템플릿 상에 위치된다. 상술된 종래의 프로세스와 다르게, 스트레인드 반도체층과 완화된 반도체층은 동일한 결정 배향을 갖는다. 더욱, 본 발명에 의해 형성되는 산화물층은 이 산화물층이 약 1마이크로암페어 미만의 누설을 갖고 약 2메가볼트/cm 이상의 브레이크다운 전계를 갖는 것을 의미하는 "고품질"의 것이다.
- [0009] 광범위하게, 본 발명의 방법은:
- [0010] 기판, 기판 상의 완화된 반도체 층, 완화된 반도체 층 상의 도핑 완화된 반도체층, 및 도핑 완화된 반도체 층 상의 스트레인드 반도체 층을 포함하는 구조물을 제공하는 단계 - 도핑 완화된 반도체 층과 상기 스트레인드 반도체 층은 동일한 결정 배향을 가짐 - ;
- [0011] 스트레인드 반도체 층 아래의 도핑 완화된 반도체 층을 매립된 다공성 층으로 변환하는 단계; 및
- [0012] 매립된 다공성 층을 포함하는 구조물을 어닐링하여 스트레인드 반도체 온 절연체 기판을 제공하는 단계 - 어닐링 동안 상기 매립된 다공성 층이 매립된 산화물층으로 변환됨 -
- [0013] 을 포함한다.
- [0014] 상술된 방법에 추가하여, 본 발명은 또한 형성된 SSOI 기판에 관한 것이다. 구체적으로, 본 발명의 SSOI 기판은:
- [0015] 기판;
- [0016] 이 기판 상의 완화된 반도체층; 및
- [0017] 이 완화된 반도체층 상의 고품질의 매립된 산화물층; 및
- [0018] 이 고품질의 매립된 산화물층 상의 스트레인드 반도체층
- [0019] 을 포함하고, 완화된 반도체층과 스트레인드 반도체층은 동일한 결정 배향을 갖는다.

실시예

- [0022] SSOI 기판을 제조하는 방법과 이 방법에 의해 제조된 SSOI 기판을 제공하는 본 발명이 본 출원에 첨부한 도면을 참조하여 이하 더욱 상세히 설명된다. 도면은 오직 설명적으로만 제공되는 것으로 스케일되어 도시되지 않는다. 도면에서, 유사한 대응 요소에는 유사한 참조 부호로 참조된다.
- [0023] 본 발명의 방법은 먼저 예를 들어, 도 1A에 나타난 구조물(10)을 제공하는 것으로 시작된다. 구조물(10)은 기판(12), 완화된 반도체, 예를 들어 SiGe 합금, 기판(12)의 표면 상에 위치한 층(14), 완화된 반도체층(14) 상에 위치한 도핑 완화된 반도체층(16), 및 도핑 완화된 반도체층(16)의 표면 상에 위치한 스트레인드 반도체층(18)을 포함한다. 본 발명에 따르면, 층(14, 16 및 18)은 이들 층이 각각 에피택셜 성장에 의해 형성되기 때문에 동일한 결정 배향을 갖는다.
- [0024] 기판(12) 상에 층(14, 16, 및 18)을 제조할 때 본 발명에서 이용될 수 있는 여러가지 에피택셜 성장 프로세스의 예는 예를 들어, 급속 열 화학 증착법 (RTCVD), 저 에너지 플라즈마 적층법 (LEPD), 초고 진공 화학적 증착법 (UHVCVD), 대기압 화학 증착법 (APCVD), 및 분자빔 에피택시 (MBE)를 포함한다.
- [0025] 본 발명에서 이용되는 기판(12)은 예를 들어, 결정 유리나 금속을 포함하는 재료나 재료층으로 이루어질 수 있지만, 바람직하게 이 기판(12)은 결정 반도체 기판인 것이 바람직하다. 기판(12)으로 이용될 수 있는 반도체 기판의 예는 이에만 제한되는 것은 아니지만, Si, SiGe, SiC, SiGeC, GaAs, InAs, InP 및 그 외 III/IV 또는 II/VI 합성 반도체를 포함한다. 용어 "반도체 기판"은 또한 다수의 매립 절연 (연속성, 비연속성 또는 연속성과 비연속성의 조합) 영역을 내부에 포함할 수 있는 실리콘 온 절연체 (SOI) 또는 SiGe 온 절연체 (SGOI) 기판을 포함한다. 바람직한 일 실시예로, 기판(12)은 Si 함유 기판이다. 기판(12)은 도핑되지 않거나 전자가 풍부하거나 정공이 풍부한 기판, 즉 도핑된 기판일 수 있다.
- [0026] 완화된 반도체층(14)은 다음에 상술된 처리 중 하나를 이용하여 기판(12)의 표면 상에 에피택셜 성장된다. 다음의 설명에서, 완화된 반도체층(14)은 이 반도체 재료가 층(14)에 바람직한 재료를 나타내기 때문에 완화된

SiGe 층(14)을 말하는 것이다. 용어 "SiGe 합금층"은 99 원자 퍼센트 Ge를 포함하는 SiGe 층을 나타낸다. 더욱 통상적으로는, SiGe 합금층은 약 1 내지 약 99 원자 퍼센트 Ge를 포함하며, 약 10 내지 약 50 원자 퍼센트의 Ge 원자 퍼센트가 매우 바람직하다.

- [0027] 완화된 SiGe 합금층(14)은 연속적 분산의 Ge를 갖는 단일층일 수 있거나, 층의 여러 영역 내에 포함되는 가변 양의 Ge를 갖는 다층일 수 있다. 상술된 바와 같이, 층(14)은 약 10% 이상의 측정된 완화 정도를 갖는 완화 층이다. 통상적으로, 완화된 반도체층(14)의 표면 영역은 보통 약 $1E5$ 결함/ cm^2 이상인 결함 (적층 이상, 파일업 및 드레딩) 밀도를 가져 준안정적이다.
- [0028] 완화된 반도체층(14)은 도핑되거나 도핑되지 않을 수 있다. 도펀트의 유형과 층(14) 내의 도펀트의 농도는 임의적이며 당업자에 의해 미리 정해질 수 있다. 도핑시, 완화층(14)은 통상 $1E17 atoms/cm^2$ 보다 큰 도펀트 농도를 갖는다. 도핑층(14)은 도펀트 소스에 에피텍셜 성장 프로세스 동안 이용되는 Si 소스나 Ge 소스, 또는 두 소스를 제공하여 형성된다.
- [0029] 완화된 반도체층(14)의 두께는 완화된 층이 형성될 수 있는 한 변할 수 있다. 완화된 반도체층(14)의 두께는 층의 Ge양에 좌우된다. 통상, 약 50 원자% 이하의 Ge양을 갖는 완화된 반도체층(14)은 약 1 내지 약 5000nm의 두께를 가지며, 약 1000 내지 약 3000nm의 두께가 더욱 통상적이다.
- [0030] 완화된 SiGe 합금 템플릿이 바람직하지만, 본 발명은 또한 완화 상태로 형성될 수 있는 다른 반도체 재료의 이용을 생각할 수 있다.
- [0031] 다음에, 도핑 완화된 반도체층(16)이 완화된 반도체층(14) 상에 형성된다. 도핑 완화된 반도체층(16)은 p 또는 n형 도펀트를 포함하고, p형 도펀트가 매우 바람직하다. p형 도펀트는 Ga, Al, B 및 BF_2 를 포함한다. 도핑 완화된 반도체층(16)은 도 1A에 나타난 바와 같이, 개별 층일 수 있거나, 이전에 형성된 완화 반도체층(14)의 상단부일 수 있다. 층(16)과 일치하여 이용되는 용어 "반도체"는 예를 들어, Si, SiGe, SiC, 및 SiGeC를 포함하는 반도체 재료를 나타낸다. 바람직하게, 도핑 완화된 반도체층(16)은 Si 함유 반도체이며, Si 및 SiGe가 가장 바람직하다.
- [0032] 본 발명에 따르면, 도핑 완화된 반도체층(16)은 주변층, 즉 층(14 및 18) 보다 더욱 중도핑된 층이다. 보통, 도핑 완화된 반도체층(16)은 약 $1E19$ 원자/ cm^2 이상의 p형 도펀트 농도를 함유하며, 약 $1E20$ 내지 약 $5E20$ 원자/ cm^2 의 p형 도펀트 농도가 더욱 통상적이다. 도핑 완화된 반도체층(16)은 도펀트 소스가 반도체 소스에 포함되는 상술된 에피텍셜 성장 프로세스의 하나를 이용하여 형성된다. 도핑 완화된 반도체 재료(16)는 원래의 Si의 것 보다 크거나 작은 면내 격자 파라미터를 가질 수 있다.
- [0033] 도핑 완화된 반도체층(16)은 그 두께가 이어서 형성되는 매립 산화물층의 두께를 정의하게 되는 얇은 층이다. 통상, 도핑 완화된 반도체층(16)은 약 1 내지 약 1000nm의 두께를 가지며, 약 10 내지 약 200nm의 두께가 가장 일반적이다.
- [0034] 도핑 완화된 반도체층(16)을 형성한 후에, 스트레인드 반도체층(18)이 상술된 에피텍셜 성장 프로세스 중 하나를 이용하여 도핑 완화된 반도체층(16)의 상부에 형성된다. 스트레인드 반도체층(18)은 층(16)과 관련하여 상술된 반도체 재료 중 하나로 이루어진다. 따라서 스트레인드 반도체층(18) 및 도핑 완화된 반도체(16)는 동일하거나 다른 반도체 재료로 이루어질 수 있다. 스트레인드 반도체(18)는 인장성 또는 압축성 응력을 가질 수 있다.
- [0035] 층(14, 16 및 18)의 성장은 동일하거나 다른 에피텍셜 성장 프로세스를 이용하여 발생할 수 있다는 점에 유의해야 한다. 더욱, 진공 파괴 없이 동일한 반응실에 층(14, 16 및 18)을 형성하는 것을 생각할 수 있다.
- [0036] 스트레인드 반도체층(18)은 도핑되거나 언도핑될 수 있다. 도핑시, 언스트레인드 반도체층(18)은 통상 약 $1E15$ 원자/ cm^2 이상의 도펀트 농도를 갖는다. 층(18)의 두께는 통상 약 5 내지 약 2000nm이고, 약 10 내지 약 500nm의 두께가 더욱 일반적이다.
- [0037] 본 발명의 일 실시예에서, 스트레인드 반도체층(18) 및 도핑 완화된 반도체층(16)은 동일하거나 다른 Si 함유 반도체로 이루어지며, Si 또는 SiGe가 매우 바람직하다.
- [0038] 본 발명의 매우 바람직한 실시예에서, 스트레인드 반도체층(18) 및 완화된 반도체층(14)은 둘 다 약 $1E15$ 원자/ cm^2 이상의 도펀트 농도를 갖는 도핑층인 반면, 도핑 완화된 반도체층(16)은 약 $1E20$ 원자/ cm^2 이상의 도펀트 농도를 갖는 p 도핑층이다.

- [0039] 본 발명에 따르면, 층(14, 16, 및 18)은 여러 층들이 에피텍셜 성장으로 형성되기 때문에 기판(12)과 동일한 결정 배향을 갖는다. 따라서, 층(14, 16 및 18)은 (100), (110), (111) 또는 그 외 다른 결정 배향을 가질 수 있다.
- [0040] 다음에, 도 1A에 나타난 구조물은 도핑 완화된 반도체층(16)을 다공성 영역으로 변환할 수 있는 전해 양극화 프로세스를 거친다. 전해 양극화 프로세스가 실행된 후에, 이 구조물은 예를 들어, 도 1B에 나타난 바와 같다. 도면에서, 참조 부호 20은 다공성 영역이나 층을 나타낸다.
- [0041] 양극화 프로세스는 전기 바이어스가 HF 함유 용액에 놓인 전극과 관련하여 이 구조물에 인가되는 동안 도 1A에 나타난 구조물을 HF 함유 용액에 담가 실행된다. 이 프로세스에서, 이 구조물은 통상 전기 화학적 전지의 양의 전극으로 작용하는 한편, Si와 같은 다른 반도체성 재료나 금속은 음의 전극으로 이용되게 된다.
- [0042] 일반적으로, HF 양극화는 도핑 완화된 반도체층(16)을 다공성 반도체층(20)으로 전환한다. 이렇게 형성된 다공성 반도체층(20)의 형성과 특성 비율 (다공성과 마이크로구조물)은 재료 특성, 즉 도핑 유형과 농도 뿐만 아니라, 양극화 프로세스 자체의 반응 조건 (전류 밀도, 바이어스, 조명 및 HF 함유 용액내의 첨가물)에 의해 결정된다. 일반적으로, 본 발명에서 형성된 다공성 반도체층(20)은 약 0.1% 이상의 다공도를 갖는다.
- [0043] 용어 "HF 함유 용액"은 농축 HF (49%), HF와 물의 혼합물, HF와 메타놀, 에타놀, 프로파놀 등의 1가 알코올의 혼합물, 또는 적어도 하나의 계면활성제와 혼합된 HF를 포함한다. HF 용액에 존재하는 계면활성제의 양은 49% HF에 기초하여, 보통 약 1 내지 약 50%이다.
- [0044] 도핑 완화된 반도체층(16)을 다공성 반도체층(20)으로 전환하는 양극화 프로세스는 약 0.05 내지 약 50밀리암페어/ cm^2 의 전류 밀도에서 동작하는 정전류원을 이용하여 실행된다. 광원이 샘플을 조명하기 위해 선택적으로 이용된다. 더욱 바람직하게, 본 발명의 양극화 프로세스는 약 0.1 내지 약 5밀리암페어/ cm^2 의 전류 밀도에서 동작하는 정전류원을 이용하여 이용된다.
- [0045] 양극화 프로세스는 실온에서 보통 실행되며, 실온에서 상승된 온도가 이용될 수도 있다. 양극화 프로세스에 이어, 구조물은 통상 탈이온수로 세정되어 건조된다. 양극화는 통상 약 10분 미만의 시간 동안 발행하며, 1분 미만의 시간이 더욱 일반적이다.
- [0046] 다공성 반도체 층(20)을 포함하는 도 1B에 나타난 구조물은 다공성 반도체 층(20)을 매립 산화물 영역(22)으로 변환시키는 온도에서 가열, 즉 어닐링된다. 최종 구조물은 예를 들어, 도 1C에 나타난 것과 같다. 도시된 바와 같이, 구조물은 매립 산화물층(22) 위에 스트레인드 반도체층(18)을 포함한다. 매립 산화물층(22)은 완화된 반도체층(14) 위에 다음에 기판(12) 위에 위치된다.
- [0047] 산화물층(24)이 가열 단계 동안 층(18) 위에 형성된다. 이 면 산화물층, 즉 산화물층(24)은 통상 항상 그런것은 아니지만, 종래의 습식 에칭 프로세스를 이용하여 가열 단계 이후에 구조물에서 제거되는데, 여기에서 반도체와 비교하여 산화물을 제거하기 위해 고 선택도를 갖는 HF 등의 화학 에천트가 이용된다. 표면 산화물층(24)이 없는 구조물을 도 1D에 나타낸다.
- [0048] 산화물층(24)이 제거될 때, 상기 처리 단계는 저부에서 상부로 기판/(완화 반도체/매립 산화물/스트레인드 반도체)x을 포함하는 다중층 구조물을 제공하기 위해 수회 반복될 수 있으며, 이 때 x는 1 보다 크다. x가 1일 때, 도 1D에 나타난 구조물이 형성된다.
- [0049] 본 발명의 몇 실시예에서, 다수의 매립 산화물층은 연속되는 재료층(14, 16 및 18)을 기판(12) 상에 형성한 다음에 전해 양극화 프로세스를 실행하고 본 발명의 프로세스를 어닐링하여 성취될 수 있다.
- [0050] 본 발명의 가열 단계 이후 형성된 표면 산화물층(24)은 약 10 내지 약 1000nm의 범위인 가변 두께를 가지며, 약 20 내지 약 500nm가 가장 바람직하다. 매립 산화물층(22)은 통상 도핑 완화된 반도체층(16)에 대해 이전에 설명한 것과 동일한 두께를 갖는다.
- [0051] 구체적으로, 본 발명의 가열 단계는 400℃ 이상, 바람직하게는 1100℃ 이상인 온도에서 실행되는 어닐링 단계이다. 본 발명의 가열 단계의 통상적인 온도 범위는 약 1200℃ 내지 약 1320℃이다.
- [0052] 더구나, 본 발명의 가열 단계는 O_2 , NO, N_2O , 오존, 공기 및 그 외 유사한 산소 함유 가스와 같은 적어도 하나의 산소 함유 가스를 포함하는 산화 분위기에서 실행된다. 산소 함유 가스는 서로 혼합될 수 있으며 (O_2 와 NO의 혼합물과 같이) 가스는 H_2 , Ar, N_2 , Xe, Kr, 또는 Ne 등의 불활성 가스로 희석될 수 있다. 희석 분위기가 이용

되면, 희석된 분위기는 약 0.1 내지 약 100%의 산소 함유 가스를 함유하고, 100% 까지의 나머지는 불활성 가스이다.

[0053] 가열 단계는 통상 0분 내지 약 1800분의 범위인 가변 시주기 동안 실행되며, 약 60 내지 약 600분의 시주기가 가장 바람직하다. 가열 단계는 하나의 타겟 온도에서 실행되거나, 여러 램프 (ramp) 레이트와 소크 (soak) 시간을 이용한 여러 램프와 소크 주기가 이용될 수 있다.

[0054] 가열 단계는 산화물층, 즉 층(22 및 24)의 존재를 이루도록 산화 분위기에서 실행된다. 다공성 반도체 영역이 증가된 속도에서 확산 산소와 반응한다는 점에 유의한다.

[0055] 가열 및 후속되는 표면 산화물층(24)의 제거 후에, 구조물은 최종 구조물에 존재하는 도펀트의 양을 감소할 수 있는 열적 프로세스 (즉, 베이킹 단계)를 거치게 된다. 베이킹 단계는 H₂와 같은 수소 함유 분위기의 존재에서 보통 실행된다. 이 단계가 800℃ 이상의 온도에서 실행될 때 보통 구조물에서 도펀트가 침출되게 되고, 1000℃ 이상의 온도가 더욱 일반적이다. 이 열적 단계는 선택적으로 모든 경우에 실행될 필요는 없다. 열적 처리 프로세스를 이용하여 도펀트를 침출시키는 것은 원하는 시간 동안 실행될 수 있다.

[0056] 통상, 구조물에서 도펀트를 침출시키는 열적 프로세스는 약 1 내지 약 60분의 시주기 동안 실행된다. 상술된 바와 같이, 이 베이킹 단계는 SSOI 기판 내의 도펀트의 양을 감소시킨다. 이것이 SSOI 기판 내의 도펀트를 감소시키는 데에 이용될 수 있지만, 특히 구조물에서 불소를 제거하기 위해 이용되게 된다.

[0057] 상기 처리 단계를 실행한 후에, 종래의 CMOS 프로세스는 스트레인드 반도체층 위에 전계 효과 트랜지스터 (FET) 등의 하나 이상의 CMOS 장치를 형성하도록 실행될 수 있다. CMOS 처리는 당업자에게는 잘 알려진 것이므로, 이 처리에 대한 상세 기재는 여기에 필요하지 않다.

[0058] 상술된 본 발명의 방법은 산화물층(22) 위에 스트레인드 반도체 층(18)을 포함하는 SSOI 기판을 제공하며, 이 산화물층(22)은 기판(12) 상에 위치한 완화된 반도체 층(14) 위에 위치된다. 상술된 종래의 프로세스와 달리, 스트레인드 반도체층(18) 및 완화된 반도체 층(14)은 동일한 결정 배향을 갖는다. 더구나, 본 발명의 방법으로 형성된 산화물층(22)은 매립된 산화물층(22)이 약 1 microAmp 이하의 누설과 2 Megavolts 이상의 브레이크다운 전계를 갖는 점에서 고품질이다.

[0059] 도 1A-1D에 도시된 실시예는 어떤 층이 패터닝되지 않는 경우를 설명한다. 다른 실시예에서, 매립된 산화물층(22) 상에 패터닝된 스트레인드 반도체층(18)을 포함하는 구조물을 형성하는 것을 또한 생각할 수 있다. 이런 패터닝된 하나의 SSOI 구조물은 예를 들어 도 2A에 도시된 바와 같다. 패터닝된 구조물은 예를 들어, 도 1A에 나타낸 스트레인드 반도체 층(18)을 양극화 하기 전에, 리소그래피와 에칭에 의해 패터닝되는 것을 제외하고는 상술된 것과 동일한 기본 처리 단계를 이용하여 형성된다. 리소그래피 단계는 스트레인드 반도체층(18) 상에 포토레지스트를 도포하고, 포토레지스트를 방사 패턴에 노출하고 종래의 레지스트 현상제를 이용하여 노출된 포토레지스트에 패터닝 현상하는 단계를 포함한다. 에칭 단계는 노출된 스트레인드 반도체 층(18)을 선택적으로 제거하는 습식 에칭 프로세스나 건식 에칭 프로세스를 포함할 수 있다. 구조물로부터 패터닝 포토레지스트를 벗겨낸 후에, 상술된 바와 같이 양극화 및 산화를 실행한다. 몇 실시예에서, 스트레인드 반도체 층 아래가 아닌 산화물층(22)이 제거되어 완화된 반도체 층(14)을 노출시킨다.

[0060] 본 발명의 또 다른 실시예에서, 도 2B에 나타낸 것과 같은 패터닝된 SSOI 기판이 형성될 수 있다. 이 패터닝된 SSOI 기판은 에피텍셜 성장, 양극화 및 산화의 처리 단계를 먼저 행한 후에 리소그래피와 에칭으로 구조물을 패터닝하여 형성된다. 에칭 단계는 산화물층(22)의 표면 위에서 중지되어 도 2A에 나타낸 구조물을 제공하거나, 도 2B에서와 같이, 완화된 반도체 층(14)의 표면에 이를 때 중지될 수 있다. 양 층(18 및 22)의 노출부를 제거하는 데에 이용되는 에칭은 하나의 에칭 단계를 포함하거나, 다수의 에칭 단계가 이용될 수 있다.

[0061] CMOS 처리는 또한 패터닝된 SSOI 기판 상에서 실행될 수 있다.

[0062] 본 발명은 바람직한 실시예에 관련하여 특정하게 도시 및 설명되었지만, 당업자라면 본 발명의 정신과 영역에서 벗어나지 않고 상기 및 그 외 유형과 상세 사항의 변경들이 행해질 수 있다는 것이 이해될 것이다. 따라서 본 발명은 도시 및 설명된 유형과 상세 사항에 제한되는 것이 아니고 청구범위의 영역 내에 들어가는 것이다.

도면의 간단한 설명

[0020] 도 1A-1D는 본 발명의 SSOI 기판을 제조하는 데에 이용되는 기본 처리 단계를 설명하는 대표도 (단면도로)로서,

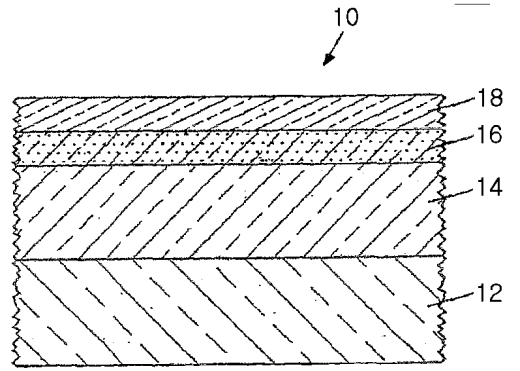
도 1D에 나타낸 본 발명의 SSOI 기판은 둘 다 패터닝되지 않은 스트레인드 반도체층과 매립 산화물을 포함한다.

[0021]

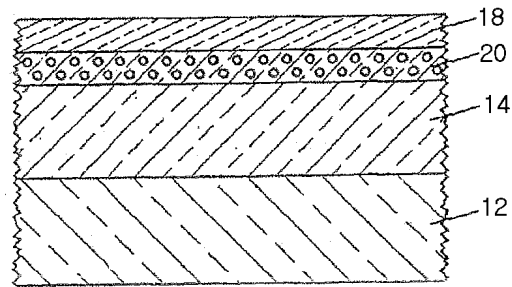
도 2A-2B는 본 발명의 방법을 이용하여 제조되는 패터닝된 SSOI 기판을 설명하는 회화적 대표도(단면도로)이다.

도면

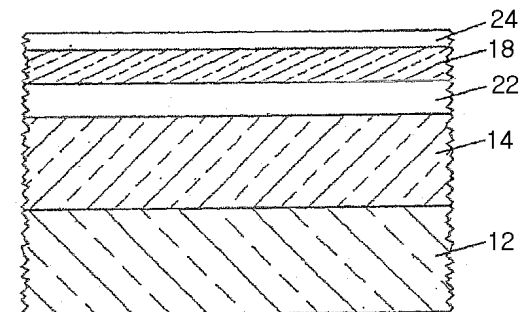
도면1a



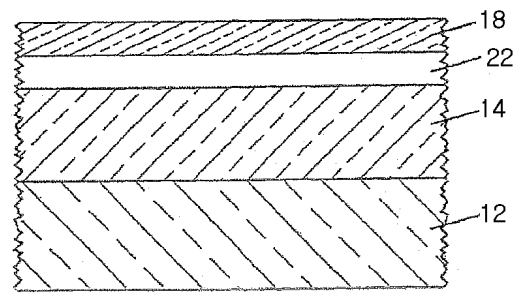
도면1b



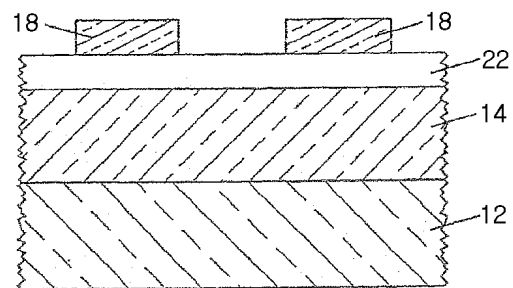
도면1c



도면1d



도면2a



도면2b

