

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6212153号  
(P6212153)

(45) 発行日 平成29年10月11日(2017.10.11)

(24) 登録日 平成29年9月22日(2017.9.22)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 T
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 3 1 1
HO 1 L 27/108 (2006.01)	HO 1 L 27/108 6 7 1 Z
HO 1 L 21/8244 (2006.01)	HO 1 L 27/108 6 0 1
請求項の数 5 (全 29 頁) 最終頁に続く	

(21) 出願番号	特願2016-53786 (P2016-53786)	(73) 特許権者	000153878
(22) 出願日	平成28年3月17日(2016.3.17)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-225524 (P2011-225524) の分割	(72) 発明者	山崎 舜平
原出願日	平成23年10月13日(2011.10.13)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-139822 (P2016-139822A)		半導体エネルギー研究所内
(43) 公開日	平成28年8月4日(2016.8.4)	審査官	竹口 泰裕
審査請求日	平成28年3月31日(2016.3.31)	(56) 参考文献	特開2008-270773 (JP, A) ) 特開2007-134687 (JP, A) )
		(58) 調査した分野(Int.Cl., DB名)	HO 1 L 2 1 / 3 3 6、2 9 / 7 8 6

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 及び第 2 の導電層と、

ゲート絶縁層と、

ゲート電極と、

酸化物半導体を含む半導体層と、第 3 の導電層と、絶縁層と、を有し、前記第 1 の導電層の上方に前記半導体層が位置し、前記半導体層の上方に前記ゲート絶縁層が位置し、前記半導体層の上方に前記絶縁層が位置し、前記半導体層の上方に前記第 2 の導電層が位置し、前記ゲート絶縁層の上方に前記ゲート電極が位置し、前記絶縁層の上方に前記第 3 の導電層が位置し、

前記半導体層は、前記第 1 の導電層と前記第 2 の導電層との間の領域を有し、

前記第 2 の導電層は、前記半導体層と電氣的に接続され、

前記第 1 の導電層は、前記第 2 の導電層と電氣的に接続され、

前記第 1 の導電層は、前記半導体層及び前記絶縁層を介して前記第 3 の導電層と重なる領域を有することを特徴とする半導体装置。

【請求項 2】

第 1 及び第 2 の導電層と、  
ゲート絶縁層と、  
ゲート電極と、  
酸化物半導体を含む半導体層と、  
第 3 の導電層と、  
絶縁層と、を有し、  
前記第 1 の導電層の上方に前記半導体層が位置し、  
前記半導体層の上方に前記ゲート絶縁層が位置し、  
前記半導体層の上方に前記絶縁層が位置し、  
前記半導体層の上方に前記第 2 の導電層が位置し、 10  
前記ゲート絶縁層の上方に前記ゲート電極が位置し、  
前記絶縁層の上方に前記第 3 の導電層が位置し、  
前記半導体層は、前記第 1 の導電層と前記第 2 の導電層との間の領域を有し、  
前記第 2 の導電層は、前記半導体層と電氣的に接続され、  
前記第 1 の導電層は、前記第 2 の導電層と電氣的に接続され、  
前記ゲート絶縁層は、前記ゲート電極とは重ならず、かつ前記第 1 の導電層と重なる領域を有し、  
前記半導体層は、前記第 2 の導電層とは重ならず、かつ前記第 1 の導電層と重なる領域を有し、  
前記第 1 の導電層は、前記半導体層及び前記絶縁層を介して前記第 3 の導電層と重なる領域を有することを特徴とする半導体装置。 20

【請求項 3】

第 1 及び第 2 の導電層と、  
ゲート絶縁層と、  
ゲート電極と、  
酸化物半導体を含む半導体層と、  
第 3 の導電層と、  
絶縁層と、を有し、  
前記第 1 の導電層の上方に前記半導体層が位置し、  
前記半導体層の上方に前記ゲート絶縁層が位置し、 30  
前記半導体層の上方に前記絶縁層が位置し、  
前記半導体層の上方に前記第 2 の導電層が位置し、  
前記ゲート絶縁層の上方に前記ゲート電極が位置し、  
前記絶縁層の上方に前記第 3 の導電層が位置し、  
前記半導体層は、前記第 1 の導電層と前記第 2 の導電層との間の領域を有し、  
前記第 2 の導電層は、前記半導体層と電氣的に接続され、  
前記第 1 の導電層は、前記第 2 の導電層と電氣的に接続され、  
前記ゲート絶縁層は、前記ゲート電極とは重ならず、かつ前記第 1 の導電層と重なる領域を有し、  
前記第 1 の導電層は、前記半導体層及び前記絶縁層を介して前記第 3 の導電層と重なる領域を有することを特徴とする半導体装置。 40

【請求項 4】

第 1 及び第 2 の導電層と、  
ゲート絶縁層と、  
ゲート電極と、  
酸化物半導体を含む半導体層と、  
第 3 の導電層と、  
絶縁層と、を有し、  
前記第 1 の導電層の上方に前記半導体層が位置し、  
前記半導体層の上方に前記ゲート絶縁層が位置し、 50

前記半導体層の上方に前記絶縁層が位置し、  
前記半導体層の上方に前記第2の導電層が位置し、  
前記ゲート絶縁層の上方に前記ゲート電極が位置し、  
前記絶縁層の上方に前記第3の導電層が位置し、  
前記半導体層は、前記第1の導電層と前記第2の導電層との間の領域を有し、  
前記第2の導電層は、前記半導体層と電氣的に接続され、  
前記第1の導電層は、前記第2の導電層と電氣的に接続され、  
前記半導体層は、前記第2の導電層とは重ならず、かつ前記第1の導電層と重なる領域を有し、  
前記第1の導電層は、前記半導体層及び前記絶縁層を介して前記第3の導電層と重なる領域を有することを特徴とする半導体装置。

10

【請求項5】

請求項1乃至請求項4のいずれか一において、  
前記酸化物半導体は、In、Ga、及びZnを含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の微細化技術に関する。本明細書で開示する発明の中には、半導体集積回路を構成する要素としてシリコン半導体の他に化合物半導体によって構成される素子が含まれ、その一例として酸化物半導体を適用した半導体装置及びその作製方法に関する。

20

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、半導体装置の開発が進められ、LSIやCPUやメモリとして用いられている。CPUは、半導体ウェハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

【0004】

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

30

【0005】

半導体回路に用いられるトランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られている。例えば特許文献1では、高集積化を図るため、チャネル形成領域とコンタクト部との距離を短くし、これらの間で生じる抵抗を減少する構造が提案されている。

【0006】

また、シリコンではない、その他の材料として酸化物半導体が注目されている。例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献2及び特許文献3で開示されている。

40

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2004-327617号公報

【特許文献2】特開2007-123861号公報

【特許文献3】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

50

## 【0008】

LSIやCPUやメモリなどの半導体集積回路に用いるトランジスタのチャネル長Lを短くすることによって微細なトランジスタを実現し、回路の動作速度を高速化し、さらには消費電力の低減を図ることを課題の一とする。

## 【0009】

本発明の一態様では、酸化物半導体を含み、高速動作が可能なトランジスタ及びその作製方法を提供することを課題の一とする。または、該トランジスタを含む信頼性の高い半導体装置及びその作製方法を提供することを課題の一とする。

## 【課題を解決するための手段】

## 【0010】

酸化物半導体中で電子供与体（ドナー）となる不純物を除去することで、真性又は実質的に真性な半導体であって、シリコン半導体よりもエネルギーギャップが大きい酸化物半導体でチャネル形成領域が形成されるトランジスタを用い、LSIやCPUやメモリなどの半導体集積回路を作製する。

## 【0011】

酸化物半導体と導電層との間には、接触抵抗が生じる。接触抵抗を低減するためには、接触面積を十分に確保することが必要である。

## 【0012】

そこで、酸化物半導体層の上面に接する導電層と、酸化物半導体層の下面に接する導電層を設け、接触面積を十分に確保することで接触抵抗の低減を図る。

## 【0013】

本明細書で開示する本発明の一態様は、半導体基板と、半導体基板上に絶縁層と、絶縁層上に酸化物半導体層と、酸化物半導体層上にゲート絶縁層と、ゲート絶縁層上に酸化物半導体層と重なるゲート電極層と、ゲート電極層の側面にサイドウォールを有し、絶縁層に深い領域と浅い領域を有する溝と、溝に導電型の領域とを有し、サイドウォールは、浅い領域と重なることを特徴とする半導体装置である。

## 【0014】

上記構成において、さらに導電層が、サイドウォール及び酸化物半導体層と接していることも特徴の一つである。

## 【0015】

また、上記構成において、さらに前記ゲート電極層上に層間絶縁層と、層間絶縁層上に配線を有し、配線は、導電型の領域と重なり、深い領域と電氣的に接続することも特徴の一つである。

## 【0016】

また、上記構成において、導電型の領域は、チャネル長方向に第1の幅を有する浅い領域と、チャネル長方向に第2の幅を有する深い領域とを有していることも特徴の一つである。

## 【0017】

また、複数の半導体集積回路を一つのパッケージに搭載し半導体装置の集積を高めたもの、所謂MCP（Multi Chip Package）としてもよい。

## 【0018】

また、回路基板に半導体集積回路を実装する場合には、フェイスアップ形態であってもよいし、フリップチップ形態（フェイスダウン形態）としてもよい。

## 【0019】

また、作製方法も本発明の一つであり、その構成は、第1の電極層上に第1の絶縁膜を形成し、第1の電極層の上面を露出させる第1の平坦化処理を行い、第1の電極層の上面に接して第2の電極層を形成し、第2の電極層上に第2の絶縁膜を形成し、第2の電極層の上面を露出させる第2の平坦化処理を行い、第2の電極層の上面に接して酸化物半導体膜を形成し、酸化物半導体膜上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層及び該ゲート電極層上面を覆う絶縁膜を形成し、第2の電極層と重なり、且つ、前記ゲート

10

20

30

40

50

電極層の側面に接するサイドウォールを形成し、ゲート電極層及びサイドウォールを覆い、前記酸化物半導体膜上に接する導電膜を形成し、ゲート電極層と重なる前記導電膜の一部を除去する第3の平坦化処理を行う半導体装置の作製方法である。

【発明の効果】

【0020】

LSIやCPUやメモリなどの半導体集積回路に用いるトランジスタのチャネル長Lを短くする場合、酸化物半導体層の接触抵抗を低減することで回路の動作速度を高速化し、さらには消費電力の低減を実現する。

【図面の簡単な説明】

【0021】

10

【図1】本発明の一態様を示す断面図及び上面図の一例である。

【図2】本発明の一態様を示す工程断面図である。

【図3】本発明の一態様を示す工程断面図である。

【図4】半導体装置の一態様を示す断面図、平面図及び回路図。

【図5】半導体装置の一態様を示す回路図及び斜視図。

【図6】半導体装置の一態様を示す平面図及び断面図。

【図7】半導体装置の一態様を示す回路図。

【図8】半導体装置の一態様を示すブロック図。

【図9】半導体装置の一態様を示すブロック図。

【図10】半導体装置の一態様を示すブロック図。

20

【発明を実施するための形態】

【0022】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0023】

(実施の形態1)

図1(A)及び図1(B)に半導体装置の例として、トランジスタ420の断面図及び上面図を示す。図1(A)は、トランジスタ420の断面図であり、図1(B)は、図1(A)のX-Yにおける断面図である。なお、図1(B)では、煩雑になることを避けるため、トランジスタ420の構成要素の一部(例えば、絶縁膜407、絶縁膜410、層間絶縁膜415等)を省略して図示している。

30

【0024】

図1(A)及び図1(B)に示すトランジスタ420は、絶縁表面を有する基板400上に、下地絶縁層436と、下地絶縁層436中に埋め込まれ、且つ、上面の少なくとも一部が下地絶縁層436から露出した電極層425a及び電極層425bと、一对の低抵抗領域404a、404b、及び低抵抗領域404aと低抵抗領域404bに挟まれたチャネル形成領域409を含む酸化物半導体層403と、酸化物半導体層403上に設けられたゲート絶縁層402と、ゲート絶縁層402を介してチャネル形成領域409上に設けられたゲート電極層401と、ゲート電極層401の側面に設けられた側壁絶縁層412a、412bと、ゲート電極層401上に設けられた絶縁膜413と、ソース電極層405a及びドレイン電極層405b上に設けられた絶縁膜410と、絶縁膜410上に設けられた層間絶縁膜415と、層間絶縁膜415上に設けられた絶縁膜407と、絶縁膜407、層間絶縁膜415及び絶縁膜410に設けられた開口を介して、ソース電極層405a及びドレイン電極層405bとそれぞれ電氣的に接続する第1の配線層465a及び第2の配線層465bと、を含んで構成される。

40

【0025】

層間絶縁膜415はトランジスタ420による凹凸を平坦化するように設けられており、該上面の高さは側壁絶縁層412a、412b、及び絶縁膜410と概略同じである。側

50

壁絶縁層 4 1 2 a、4 1 2 b はサイドウォールとも呼ぶ。また、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b の上面の高さは、層間絶縁膜 4 1 5、側壁絶縁層 4 1 2 a、4 1 2 b、及び絶縁膜 4 1 3 の上面の高さより低く、ゲート電極層 4 0 1 の上面の高さより高い。なお、ここでいう高さとは、基板 4 0 0 上面からの高さである。

【0026】

また、図 1 において、電極層 4 2 5 a 及び電極層 4 2 5 b は、下地絶縁層 4 3 6 に深い領域と浅い領域を有する溝を埋め込むように形成されている。側壁絶縁層 4 1 2 a、4 1 2 b は浅い領域と重なる。また、深い領域と重なる位置に第 1 の配線層 4 6 5 a 及び第 2 の配線層 4 6 5 b が形成される。

【0027】

また、図 1 において、絶縁膜 4 0 7 は、層間絶縁膜 4 1 5、ソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b、側壁絶縁層 4 1 2 a、4 1 2 b、絶縁膜 4 1 3、絶縁膜 4 1 0 と接して設けられている。

【0028】

なお、ゲート電極層 4 0 1 をマスクとして酸化物半導体膜 4 0 3 に自己整合的にドーパントを導入し、酸化物半導体膜 4 0 3 においてチャネル形成領域 4 0 9 を挟んでチャネル形成領域 4 0 9 より抵抗が低く、ドーパントを含む低抵抗領域 4 0 4 a、4 0 4 b を形成する。ドーパントは、酸化物半導体膜 4 0 3 の導電率を変化させる不純物である。ドーパントの導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

【0029】

チャネル長方向にチャネル形成領域 4 0 9 を挟んで低抵抗領域 4 0 4 a、4 0 4 b を含む酸化物半導体膜 4 0 3 と、酸化物半導体膜 4 0 3 の上面の一部と接するソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b と、酸化物半導体膜 4 0 3 の下面と一部接する電極層 4 2 5 a 及び電極層 4 2 5 b とを有することにより、該トランジスタ 4 2 0 はオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

【0030】

酸化物半導体膜 4 0 3 に用いる酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用い、酸化物半導体の酸素欠損を減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。また、スタビライザーとしてジルコニウム（Zr）を有することが好ましい。

【0031】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種あるいは複数種を有してもよい。

【0032】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物（IGZO とも表記する）、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、

10

20

30

40

50

In - T b - Z n系酸化物、In - D y - Z n系酸化物、In - H o - Z n系酸化物、In - E r - Z n系酸化物、In - T m - Z n系酸化物、In - Y b - Z n系酸化物、In - L u - Z n系酸化物、四元系金属の酸化物であるIn - S n - G a - Z n系酸化物、In - H f - G a - Z n系酸化物、In - A l - G a - Z n系酸化物、In - S n - A l - Z n系酸化物、In - S n - H f - Z n系酸化物、In - H f - A l - Z n系酸化物を用いることができる。

#### 【0033】

なお、ここで、例えば、In - G a - Z n系酸化物とは、InとG aとZ nを主成分として有する酸化物という意味であり、InとG aとZ nの比率は問わない。また、InとG aとZ n以外の金属元素が入っていてもよい。

10

#### 【0034】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ 、且つ、 $m$ は整数でない) で表記される材料を用いてもよい。なお、 $M$ は、G a、F e、M n及びC oから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ 、且つ、 $n$ は整数) で表記される材料を用いてもよい。

#### 【0035】

例えば、In : G a : Z n = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)、In : G a : Z n = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5)、あるいはIn : G a : Z n = 3 : 1 : 2 (= 1 / 2 : 1 / 6 : 1 / 3)の原子数比のIn - G a - Z n系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In : S n : Z n = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)、In : S n : Z n = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2)あるいはIn : S n : Z n = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8)の原子数比のIn - S n - Z n系酸化物やその組成の近傍の酸化物を用いるとよい。

20

#### 【0036】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

#### 【0037】

例えば、In - S n - Z n系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - G a - Z n系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

30

#### 【0038】

なお、例えば、In、G a、Z nの原子数比がIn : G a : Z n = a : b : c ( $a + b + c = 1$ )である酸化物の組成が、原子数比がIn : G a : Z n = A : B : C ( $A + B + C = 1$ )の酸化物の組成の $r$ だけ近傍であるとは、 $a$ 、 $b$ 、 $c$ が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$ を満たすことをいう。 $r$ としては、例えば、0.05とすればよい。他の酸化物でも同様である。

#### 【0039】

酸化物半導体膜403は、単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態をとる。

40

#### 【0040】

好ましくは、酸化物半導体膜は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

#### 【0041】

ここで、CAAC(C Axis Aligned Crystal)は、 $c$ 軸が酸化物半導体膜の被形成面または表面に垂直な方向を向き、かつ $ab$ 面に垂直な方向から見て三角形または六角形状の原子配列を有し、 $c$ 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している結晶と非晶質の混相構造をいう。なお、この混相構造においてCAAC同士は、それぞれ $a$ 軸および $b$ 軸の向きが異なってもよ

50

い。

【0042】

CAAC酸化物半導体(CAAC-OS: C Axis Aligned Crystalline Oxide Semiconductor)膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、結晶-非晶質混相構造の酸化物半導体膜である。結晶の大きさは数nmから数十nm程度と見積もられるが、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察では、CAAC-OS膜に含まれる非晶質とCAACとの境界は必ずしも明確ではない。また、CAAC-OS膜には結晶粒界(グレインバウンダリーともいう。)は確認されない。CAAC-OS膜が結晶粒界を有さないため、結晶粒界に起因する電子移動度の低下が起こりにくい。

10

【0043】

なお、CAAC-OS膜において、膜中における結晶領域の分布は均一でなくてもよい。例えば、CAAC-OS膜の表面側から結晶成長した場合、CAAC-OS膜の表面の近傍は結晶の占める割合が高くなり、被形成面の近傍は非晶質の占める割合が高くなることがある。

【0044】

CAACにおける結晶部分のc軸は、CAAC-OS膜の被形成面または表面に垂直な方向を向くため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によって、c軸が向く方向が異なることがある。なお、CAACにおける結晶部分のc軸が向く方向は、CAAC-OS膜が形成されたときの被形成面または表面に略垂直な方向となる。CAACは、成膜と同時にまたは成膜後に加熱処理などの結晶化処理を行うことで形成される。

20

【0045】

CAAC-OS膜を用いることで、可視光や紫外光の照射によるトランジスタの電気特性の変動が低減されるため、信頼性の高いトランジスタを得ることができる。

【0046】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0047】

酸化物半導体膜403の膜厚は、1nm以上30nm以下(好ましくは5nm以上10nm以下)とし、スパッタリング法、MBE(Molecular Beam Epitaxy)法、CVD法、パルスレーザ堆積法、ALD(Atomic Layer Deposition)法等を適宜用いることができる。また、酸化物半導体膜403は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂CPスパッタ装置(Columnar Plasma Sputtering system)を用いて成膜してもよい。

30

【0048】

図2(A)乃至(E)及び図3(A)乃至(D)にトランジスタ420を有する半導体装置の作製方法の一例を示す。

【0049】

まず、絶縁表面を有する基板400上に電極層422a、422bを形成する。電極層422a、422bとしては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜等)を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としても良い。

40

【0050】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリ

50



ウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板400として用いてもよい。

【0051】

次いで、電極層422a、422bを覆う絶縁膜423を形成する。ここまでの状態が図2(A)である。

【0052】

絶縁膜423は、プラズマCVD法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を用いて形成する。

10

【0053】

次いで、絶縁膜423及び電極層422a、422bを切削(研削、研磨)する。切削(研削、研磨)方法としては化学的機械研磨(Chemical Mechanical Polishing: CMP)法を好適に用いることができる。

【0054】

次いで、電極層422a、422bと重なるように電極層424a、424bを形成する。電極層424a、424bとしては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜等)を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としても良い。

20

【0055】

次いで、電極層424a、424bを覆う絶縁膜426を形成する。ここまでの状態が図2(B)である。なお、絶縁膜423と絶縁膜426の境界を点線で示したが、同じ材料を用いると、明確な境界はなくなるため、以降の図では境界を示す点線を省略し、絶縁膜423と絶縁膜426の積層を下地絶縁層436として図示する。また、電極層422a、422bと、電極層424a、424bとを同じ材料を用いると、明確な境界はなくなるため、以降の図では境界を示す点線を省略し、電極層422a、422bと電極層424a、424bの積層を電極層425a、425bとして図示する。

30

【0056】

次いで、絶縁膜426及び電極層424a、424bを切削(研削、研磨)する。切削(研削、研磨)方法としてはCMP法を用いる。

【0057】

次に、下地絶縁層436及び電極層425a、425b上に酸化物半導体膜403を形成する。

【0058】

なお、本実施の形態において、酸化物半導体膜403を、スパッタリング法で作製するためのターゲットとしては、組成比として、 $In:Ga:Zn = 3:1:2$  [原子数比]の酸化物ターゲットを用い、In-Ga-Zn系酸化物膜(IGZO膜)を成膜する。

40

【0059】

酸化物半導体膜403を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0060】

減圧状態に保持された成膜室内に基板を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板400上に酸化物半導体膜403を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポン

50

プを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 ( $\text{H}_2\text{O}$ ) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜 403 に含まれる不純物の濃度を低減できる。

【0061】

酸化物半導体膜 403 は、膜状の酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体膜に加工して形成することができる。

【0062】

また、島状の酸化物半導体膜 403 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0063】

なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO-07N (関東化学社製) を用いてもよい。また、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法によるドライエッチングによってエッチング加工してもよい。例えば、IGZO 膜を ICP エッチング法により、エッチング (エッチング条件: エッチングガス ( $\text{BCl}_3 : \text{Cl}_2 = 60 \text{ sccm} : 20 \text{ sccm}$ )、電源電力 450 W、バイアス電力 100 W、圧力 1.9 Pa) し、島状に加工することができる。

20

【0064】

また、酸化物半導体膜 403 に、過剰な水素 (水や水酸基を含む) を除去 (脱水化または脱水素化) するための加熱処理を行ってもよい。加熱処理の温度は、300 以上 700 以下、または基板の歪み点未満とする。加熱処理は減圧下又は窒素雰囲気下などで行うことができる。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜 403 に対して窒素雰囲気下 450 において 1 時間の加熱処理を行う。

【0065】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

30

【0066】

例えば、加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出す GRTA を行ってもよい。

40

【0067】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上好ましくは 7N (99.99999%) 以上 (即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

【0068】

なお、脱水化又は脱水素化のための加熱処理を行うタイミングは、膜状の酸化物半導体膜

50

の形成後でも、島状の酸化物半導体膜 4 0 3 形成後でもよい。

【 0 0 6 9 】

また、脱水化又は脱水素化のための加熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。

【 0 0 7 0 】

また、脱水化又は脱水素化処理を行った酸化物半導体膜 4 0 3 に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。

【 0 0 7 1 】

また、脱水化又は脱水素化処理によって、酸化物半導体を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがある。酸化物半導体膜において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。

【 0 0 7 2 】

脱水化又は脱水素化処理を行った酸化物半導体膜 4 0 3 に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体膜 4 0 3 を高純度化、及び電氣的に I 型（真性）化することができる。高純度化し、電氣的に I 型（真性）化した酸化物半導体膜 4 0 3 を有するトランジスタは、電気特性変動が抑制されており、電氣的に安定である。

【 0 0 7 3 】

酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

【 0 0 7 4 】

酸素の導入工程は、酸化物半導体膜 4 0 3 に酸素導入する場合、酸化物半導体膜 4 0 3 に直接導入してもよいし、ゲート絶縁層 4 0 2 などの他の膜を通過して酸化物半導体膜 4 0 3 へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いればよいが、酸素を露出された酸化物半導体膜 4 0 3 へ直接導入する場合は、プラズマ処理なども用いることができる。

【 0 0 7 5 】

酸化物半導体膜 4 0 3 への酸素の導入は、脱水化又は脱水素化処理を行った後が好ましいが、特に限定されない。また、上記脱水化又は脱水素化処理を行った酸化物半導体膜 4 0 3 への酸素の導入は複数回行ってもよい。

【 0 0 7 6 】

次いで、酸化物半導体膜 4 0 3 を覆うゲート絶縁層 4 0 2 を形成する（図 2（C）参照）。

【 0 0 7 7 】

ゲート絶縁層 4 0 2 の膜厚は、1 nm 以上 20 nm 以下とし、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法等を適宜用いることができる。また、ゲート絶縁層 4 0 2 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂 CP スパッタ装置を用いて成膜してもよい。

【 0 0 7 8 】

ゲート絶縁層 4 0 2 の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。ゲート絶縁層 4 0 2 は、酸化物半導体膜 4 0 3 と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁層 4 0 2 は、膜中（バルク中）に少なくとも化学量論比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁層 4 0 2 として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ （ただし、 $> 0$ ）とする。本実施の形態では、ゲート絶縁層 4 0 2 として、 $\text{SiO}_2 +$ （ただし、 $> 0$ ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁層 4 0

10

20

30

40

50

2として用いることで、酸化物半導体膜403に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁層402は、作製するトランジスタのサイズやゲート絶縁層402の段差被覆性を考慮して形成することが好ましい。

【0079】

また、ゲート絶縁層402の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート( $\text{HfSiO}_x\text{N}_y$  ( $x > 0$ ,  $y > 0$ ))、ハフニウムアルミネート( $\text{HfAl}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ ))、酸化ランタンなどのhigh-k材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁層402は、単層構造としても良いし、積層構造としても良い。

10

【0080】

次にゲート絶縁層402上に導電膜及び絶縁膜の積層を形成し、該導電膜及び該絶縁膜をエッチングして、ゲート電極層401及び絶縁膜413の積層を形成する(図2(C)参照)。

【0081】

ゲート電極層401の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層401としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層401は、単層構造としてもよいし、積層構造としてもよい。

20

【0082】

絶縁膜413は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁層413は、プラズマCVD法又はスパッタリング法等を用いて形成することができる。

【0083】

次に、ゲート電極層401及び絶縁膜413をマスクとして酸化物半導体膜403にドーパント421を導入し、低抵抗領域404a、404bを形成する(図2(D)参照)。

【0084】

ドーパント421は、酸化物半導体膜403の導電率を変化させる不純物である。ドーパント421としては、15族元素(代表的にはリン(P)、砒素(As)、およびアンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、窒素(N)、アルゴン(Ar)、ネオン(Ne)、インジウム(In)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いることができる。

30

【0085】

ドーパント421は、注入法により、他の膜(例えばゲート絶縁層402)を通過して、酸化物半導体膜403に導入することもできる。ドーパント421の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

40

【0086】

ドーパント421の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。本実施の形態では、ドーパント421としてリンを用いて、イオン注入法でリンイオンの注入を行う。なお、ドーパント421のドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0087】

低抵抗領域におけるドーパント421の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0088】

ドーパント421を導入する際に、基板400を加熱しながら行ってもよい。

50

## 【0089】

なお、酸化物半導体膜403にドーパント421を導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてもよい。

## 【0090】

また、ドーパント421の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300 以上700 以下、好ましくは300 以上450 以下で1時間、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

## 【0091】

本実施の形態では、イオン注入法により酸化物半導体膜403に、リン（P）イオンを注入する。なお、リン（P）イオンの注入条件は加速電圧30kV、ドーズ量を $1.0 \times 10^{15} \text{ ions/cm}^2$ とする。

10

## 【0092】

酸化物半導体膜403をCAAC-OS膜とした場合、ドーパント421の導入により、一部非晶質化する場合がある。この場合、ドーパント421の導入後に加熱処理を行うことによって、酸化物半導体膜403の結晶性を回復することができる。

## 【0093】

上記工程により、チャネル形成領域409を挟んで低抵抗領域404a、404bが設けられた酸化物半導体膜403が形成される。

## 【0094】

20

次に、ゲート電極層401及び絶縁膜413上に絶縁膜を形成し、該絶縁膜をエッチングして側壁絶縁層412a、412bを形成する。さらに、ゲート電極層401及び側壁絶縁層412a、412bをマスクとして、ゲート電極層401及び側壁絶縁層412a、412bと重なる領域以外のゲート絶縁層をエッチングし、ゲート絶縁層402を形成する（図3（A）参照）。

## 【0095】

側壁絶縁層412a、412bは、絶縁膜413と同様な材料及び方法を用いて形成することができる。本実施の形態では、CVD法により形成した酸化窒化シリコン膜を用いる。

## 【0096】

30

次いで、酸化物半導体膜403、ゲート絶縁層402、ゲート電極層401、側壁絶縁層412a、412b、及び絶縁膜413上に、ソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜を形成する。

## 【0097】

導電膜は後の加熱処理に耐えられる材料を用いる。ソース電極層、及びドレイン電極層に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜等）を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。

40

## 【0098】

フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行って島状の導電膜445を形成した後、レジストマスクを除去する。なお、該エッチング工程では、ゲート電極層401上の導電膜445の除去は行わない。

## 【0099】

導電膜として膜厚30nmのタングステン膜を用いる場合、該導電膜のエッチングは、例えばドライエッチング法により、タングステン膜をエッチング（エッチング条件：エッチングガス（ $\text{CF}_4 : \text{Cl}_2 : \text{O}_2 = 55 \text{ sccm} : 45 \text{ sccm} : 55 \text{ sccm}$ 、電源電力3000W、バイアス電力140W、圧力0.67Pa））して、島状のタングステン

50

膜を形成すればよい。

【0100】

島状の導電膜445上に層間絶縁膜となる絶縁膜410及び絶縁膜446を積層する(図3(B)参照)。

【0101】

絶縁膜410は、緻密性の高い無機絶縁膜(代表的には酸化アルミニウム膜)を用い、単層でも積層でもよく、少なくとも酸化アルミニウム膜を含むことが好ましい。

【0102】

絶縁膜446は、絶縁膜413と同様な材料及び方法を用いて形成することができる。絶縁膜446はトランジスタ420により生じる凹凸を平坦化できる膜厚で形成する。本実施の形態では、CVD法により形成した酸化窒化シリコン膜を300nm形成する。

【0103】

次に絶縁膜446及び導電膜445に化学的機械研磨法により研磨処理を行い、絶縁膜413が露出するよう絶縁膜446、絶縁膜410、及び導電膜445の一部を除去する。

【0104】

該研磨処理によって、絶縁膜446を層間絶縁膜415に加工し、ゲート電極層401上の導電膜445を除去し、ソース電極層405a及びドレイン電極層405bを形成する。

【0105】

本実施の形態では、絶縁膜446、絶縁膜410、及び導電膜445の除去に化学的機械研磨法を用いたが、他の切削(研削、研磨)方法を用いてもよい。また、ゲート電極層401上の導電膜445を除去する工程において、化学的機械研磨法などの切削(研削、研磨)法その他、エッチング(ドライエッチング、ウェットエッチング)法や、プラズマ処理などを組み合わせてもよい。例えば、化学的機械研磨法による除去工程後、ドライエッチング法やプラズマ処理(逆スパッタリングなど)を行い、処理表面の平坦性向上を図ってもよい。切削(研削、研磨)方法に、エッチング法、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、絶縁膜446、絶縁膜410、及び導電膜445の材料、膜厚、及び表面の凹凸状態に合わせて適宜設定すればよい。

【0106】

なお、本実施の形態においては、ソース電極層405a、ドレイン電極層405bはゲート電極層401側面に設けられた側壁絶縁層412a、412bの側面に接するように設けられており、側壁絶縁層412a、412bの側面を上端部よりやや低い位置まで覆っている。ソース電極層405a、ドレイン電極層405bの形状は導電膜445を除去する研磨処理の条件によって異なり、本実施の形態に示すように、側壁絶縁層412a、412b、絶縁膜413の研磨処理された表面より膜厚方向に後退した形状となる場合がある。しかし、研磨処理の条件によっては、ソース電極層405a、ドレイン電極層405bの上端部と、側壁絶縁層412a、412bの上端部とは概略一致する場合もある。

【0107】

以上の工程で、本実施の形態のトランジスタ420が作製される(図3(C)参照)。

【0108】

このような作製方法により、ソース電極層405a又はドレイン電極層405bと酸化物半導体膜403とが接する領域(第1のコンタクト領域)と、ゲート電極層401との距離を短くすることができる。また、電極層425a、425bと酸化物半導体膜403とが接する領域(第2のコンタクト領域)とゲート電極層401との距離を短くすることもできる。そのため、ソース電極層405a又はドレイン電極層405bと酸化物半導体膜403とが接する領域(第1のコンタクト領域)、及びゲート電極層401間の抵抗が減少し、トランジスタ420のオン特性を向上させることが可能となる。

【0109】

また、ソース電極層405a及びドレイン電極層405bの形成工程におけるゲート電極層401上の導電膜445を除去する工程において、絶縁膜413の一部、又は絶縁膜4

10

20

30

40

50

13 全部を除去してもよい。また、ゲート電極層 401 も上方の一部が除去されてもよい。ゲート電極層 401 を露出するトランジスタ構造は、トランジスタの上方に他の配線や半導体素子を積層する集積回路において有用である。

【0110】

トランジスタ 420 上に保護絶縁膜となる緻密性の高い無機絶縁膜（代表的には酸化アルミニウム膜）を設けてもよい。

【0111】

本実施の形態では、絶縁膜 413、ソース電極層 405a、ドレイン電極層 405b、側壁絶縁層 412a、412b、絶縁膜 410、及び層間絶縁膜 415 上に接して絶縁膜 407 を形成する（図 3（D）参照）。

10

【0112】

絶縁膜 407 は、単層でも積層でもよく、少なくとも酸化アルミニウム膜を含むことが好ましい。

【0113】

絶縁膜 407 は、プラズマ CVD 法、スパッタリング法、又は蒸着法等により成膜することができる。

【0114】

酸化アルミニウム膜以外に、絶縁膜 407、410 としては、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、又は酸化ガリウム膜などの無機絶縁膜などを用いることができる。また、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜、又は金属窒化物膜（例えば、窒化アルミニウム膜）も用いることができる。

20

【0115】

本実施の形態では、絶縁膜 407、410 としてスパッタリング法により酸化アルミニウム膜を形成する。酸化アルミニウム膜を高密度（膜密度  $3.2 \text{ g/cm}^3$  以上、好ましくは  $3.6 \text{ g/cm}^3$  以上）とすることによって、トランジスタ 420 に安定な電気特性を付与することができる。膜密度はラザフォード後方散乱法（RBS: Rutherford Backscattering Spectrometry）や、X 線反射率測定法（XRR: X-Ray Reflection）によって測定することができる。

【0116】

酸化物半導体膜 403 上に設けられる絶縁膜 407、410 として用いることのできる酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果（ブロック効果）が高い。

30

【0117】

また、図 1（A）に、絶縁膜 410、層間絶縁膜 415、及び絶縁膜 407 にソース電極層 405a、及びドレイン電極層 405b に達する開口を形成し、開口に配線層 435a、435b を形成する例を示す。配線層 435a、435b を用いて他のトランジスタや素子と接続させ、様々な回路を構成することができる。

【0118】

配線層 435a、配線層 435b はゲート電極層 401、ソース電極層 405a、又はドレイン電極層 405b と同様の材料及び方法を用いて形成することができ、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜等）等を用いることができる。また、Al、Cu などの金属膜の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。

40

【0119】

（実施の形態 2）

本実施の形態では、実施の形態 1 に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、

50

図面を用いて説明する。なお、本実施の形態の半導体装置は、トランジスタ 162 として実施の形態 1 に記載のトランジスタ 420 を適用して構成される。

【0120】

図 4 は、半導体装置の構成の一例である。図 4 (A) に半導体装置の断面図を、図 4 (B) に半導体装置の平面図を、図 4 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 4 (A) は、図 4 (B) の C1 - C2、及び D1 - D2 における断面に相当する。

【0121】

図 4 (A) 及び図 4 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有するものである。トランジスタ 162 は、実施の形態 1 で示したトランジスタ 420 と同一の構成とすることができる。

10

【0122】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0123】

トランジスタ 162 は、酸化物半導体を含むトランジスタであり、オフ電流が小さいため、このトランジスタを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

20

【0124】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ 162 に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0125】

図 4 (A) におけるトランジスタ 160 は、半導体材料（例えば、シリコンなど）を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 120 と、不純物領域 120 に接する金属化合物領域 124 と、チャネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極層 110 と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

30

【0126】

基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を覆うように絶縁層 130 が設けられている。なお、高集積化を実現するためには、図 4 (A) に示すようにトランジスタ 160 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 160 の特性を重視する場合には、ゲート電極層 110 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 120 としてもよい。

40

【0127】

図 4 (A) に示すトランジスタ 162 は、酸化物半導体をチャネル形成領域に用いたトランジスタである。また、酸化物半導体層 144 は、低抵抗領域 144 a、低抵抗領域 144 b 及びチャネル形成領域 144 c を含む。低抵抗領域 144 a は、導電層 143 a 上に

50



接して形成され、低抵抗領域 144b は、導電層 143b 上に接して形成され、チャネル形成領域 144c は、導電層 143a と導電層 143b で挟まれた絶縁層 154 上に接して形成される。

#### 【0128】

トランジスタ 162 は作製工程において、ゲート電極 148、絶縁膜 137、及び側壁絶縁層 136a、136b 上に設けられた導電膜を化学機械研磨処理により除去する工程を用いて、ソース電極層及びドレイン電極層として機能する電極層 142a、142b を形成する。

#### 【0129】

よって、トランジスタ 162 は、ソース電極層又はドレイン電極層として機能する電極層 142a、142b と酸化物半導体層 144 が接する領域（コンタクト領域）と、ゲート電極 148 との距離を短くすることができるため、電極層 142a、142b と酸化物半導体層 144 とが接する領域（コンタクト領域）、及びゲート電極 148 間の抵抗が減少し、トランジスタ 162 のオン特性を向上させることが可能となる。

#### 【0130】

トランジスタ 162 上には、絶縁膜 149、層間絶縁膜 135、絶縁膜 150 が単層または積層で設けられている。本実施の形態では、絶縁膜 149 及び絶縁膜 150 として、酸化アルミニウム膜を用いる。酸化アルミニウム膜を高密度（膜密度  $3.2 \text{ g/cm}^3$  以上、好ましくは  $3.6 \text{ g/cm}^3$  以上）とすることによって、トランジスタ 162 に安定な電気特性を付与することができる。

#### 【0131】

また、絶縁膜 149、層間絶縁膜 135、及び絶縁膜 150 を介して、導電層 143a と重畳する領域には、導電層 153 が設けられており、導電層 143a と、絶縁膜 149 と、層間絶縁膜 135 と、絶縁膜 150 と、導電層 153 とによって、容量素子 164 が構成される。すなわち、導電層 143a は、容量素子 164 の一方の電極として機能し、導電層 153 は、容量素子 164 の他方の電極として機能する。なお、容量が不要の場合には、容量素子 164 を設けない構成とすることもできる。また、容量素子 164 は、別途、トランジスタ 162 の上方に設けてもよい。

#### 【0132】

トランジスタ 162 および容量素子 164 の上には絶縁膜 152 が設けられている。そして、絶縁膜 152 上にはトランジスタ 162 と、他のトランジスタを接続するための配線 156a、156b が設けられている。配線 156a は、絶縁膜 149、層間絶縁膜 135、絶縁膜 150、及び絶縁膜 152 などに形成された開口に形成された電極を介して導電層 143a と電氣的に接続される。配線 156b は、絶縁膜 149、層間絶縁膜 135、絶縁膜 150、及び絶縁膜 152 などに形成された開口に形成された電極を介して導電層 143b と電氣的に接続される。

#### 【0133】

図 4 (A) 及び図 4 (B) において、トランジスタ 160 と、トランジスタ 162 とは、少なくとも一部が重畳するように設けられており、トランジスタ 160 のソース領域またはドレイン領域と酸化物半導体層 144 の一部が重畳するように設けられているのが好ましい。また、トランジスタ 162 及び容量素子 164 が、トランジスタ 160 の少なくとも一部と重畳するように設けられている。例えば、容量素子 164 の導電層 153 は、トランジスタ 160 のゲート電極層 110 と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

#### 【0134】

次に、図 4 (A) 及び図 4 (B) に対応する回路構成の一例を図 4 (C) に示す。

#### 【0135】

図 4 (C) において、第 1 の配線 (1st Line) とトランジスタ 160 のソース電極とは、電氣的に接続され、第 2 の配線 (2nd Line) とトランジスタ 160 のド

10

20

30

40

50

レイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極層とは、電氣的に接続されている。そして、トランジスタ160のゲート電極層と、トランジスタ162のソース電極またはドレイン電極の一方は、容量素子164の電極の他方と電氣的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電氣的に接続されている。

#### 【0136】

図4(C)に示す半導体装置では、トランジスタ160のゲート電極層の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

10

#### 【0137】

情報の書き込み及び保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極層、及び容量素子164が接続されたノード(ノードFG)に与えられる。すなわち、ノードFGには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGに与えられた電荷が保持される(保持)。

20

#### 【0138】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極層の電荷は長時間にわたって保持される。

#### 【0139】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、ノードFGに保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、ノードFG(トランジスタ160のゲート電極と言い換えることもできる)にHighレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、ノードFGにLowレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の中間の電位 $V_0$ とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ ( $> V_{th\_H}$ )となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ ( $< V_{th\_L}$ )となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

30

#### 【0140】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を第5の配線に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。

40

#### 【0141】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができ

50

る。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0142】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

10

【0143】

また、トランジスタ162において、酸化物半導体層の低抵抗領域144aは、下地絶縁層に埋め込まれた導電層143a、及び電極層142aと接して電氣的に接続するため、コンタクト抵抗を低減することができ、電氣的特性の優れた（例えば、高いオン電流特性を有する）トランジスタとすることができる。したがって、トランジスタ162を適用することで、半導体装置の高性能化を達成することができる。さらに、トランジスタ162は信頼性の高いトランジスタであるため、半導体装置の高信頼性化を図ることができる。

【0144】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

20

【0145】

（実施の形態3）

本実施の形態においては、実施の形態1に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態2に示した構成と異なる構成について、図5及び図6を用いて説明を行う。なお、本実施の形態の半導体装置は、トランジスタ162として実施の形態1に記載のトランジスタを適用して構成される。トランジスタ162としては、実施の形態1で示すトランジスタのいずれの構造も適用することができる。

【0146】

図5（A）は、半導体装置の回路構成の一例を示し、図5（B）は半導体装置の一例を示す概念図である。まず、図5（A）に示す半導体装置について説明を行い、続けて図5（B）に示す半導体装置について、以下説明を行う。

30

【0147】

図5（A）に示す半導体装置において、ビット線BLとトランジスタ162のソース電極またはドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ162のゲート電極層とは電氣的に接続され、トランジスタ162のソース電極またはドレイン電極と容量素子254の第1の端子とは電氣的に接続されている。

【0148】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位（あるいは、容量素子254に蓄積された電荷）を極めて長時間にわたって保持することが可能である。

40

【0149】

次に、図5（A）に示す半導体装置（メモリセル250）に、情報の書き込み及び保持を行う場合について説明する。

【0150】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる（書き込み）。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容

50

量素子 254 の第 1 の端子の電位が保持される（保持）。

【0151】

トランジスタ 162 のオフ電流は極めて小さいから、容量素子 254 の第 1 の端子の電位（あるいは容量素子に蓄積された電荷）は長時間にわたって保持することができる。

【0152】

次に、情報の読み出しについて説明する。トランジスタ 162 がオン状態となると、浮遊状態であるビット線 BL と容量素子 254 とが導通し、ビット線 BL と容量素子 254 の間で電荷が再分配される。その結果、ビット線 BL の電位が変化する。ビット線 BL の電位の変化量は、容量素子 254 の第 1 の端子の電位（あるいは容量素子 254 に蓄積された電荷）によって、異なる値をとる。

10

【0153】

例えば、容量素子 254 の第 1 の端子の電位を  $V$ 、容量素子 254 の容量を  $C$ 、ビット線 BL が有する容量成分（以下、ビット線容量とも呼ぶ）を  $C_B$ 、電荷が再分配される前のビット線 BL の電位を  $V_{B0}$  とすると、電荷が再分配された後のビット線 BL の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$  となる。従って、メモリセル 250 の状態として、容量素子 254 の第 1 の端子の電位が  $V_1$  と  $V_0$  ( $V_1 > V_0$ ) の 2 状態をとるとすると、電位  $V_1$  を保持している場合のビット線 BL の電位  $(= C_B \times V_{B0} + C \times V_1) / (C_B + C)$  は、電位  $V_0$  を保持している場合のビット線 BL の電位  $(= C_B \times V_{B0} + C \times V_0) / (C_B + C)$  よりも高くなることがわかる。

20

【0154】

そして、ビット線 BL の電位を所定の電位と比較することで、情報を読み出すことができる。

【0155】

このように、図 5 (A) に示す半導体装置は、トランジスタ 162 のオフ電流が極めて小さいという特徴から、容量素子 254 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0156】

30

次に、図 5 (B) に示す半導体装置について、説明を行う。

【0157】

図 5 (B) に示す半導体装置は、上部に記憶回路として図 5 (A) に示したメモリセル 250 を複数有するメモリセルアレイ 251 a 及びメモリセルアレイ 251 b を有し、下部に、メモリセルアレイ 251 a 及びメモリセルアレイ 251 b を動作させるために必要な周辺回路 253 を有する。なお、周辺回路 253 は、メモリセルアレイ 251 a 及びメモリセルアレイ 251 b と電氣的に接続されている。

【0158】

図 5 (B) に示した構成とすることにより、周辺回路 253 をメモリセルアレイ 251 a 及びメモリセルアレイ 251 b の直下に設けることができるため半導体装置の小型化を図ることができる。

40

【0159】

周辺回路 253 に設けられるトランジスタは、トランジスタ 162 とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、前記トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0160】

50

なお、図 5 ( B ) に示した半導体装置では、メモリセルアレイ 2 5 1 a とメモリセルアレイ 2 5 1 b の 2 つのメモリセルアレイが積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3 つ以上のメモリセルアレイを積層する構成としても良い。

【 0 1 6 1 】

次に、図 5 ( A ) に示したメモリセル 2 5 0 の具体的な構成について図 6 を用いて説明を行う。

【 0 1 6 2 】

図 6 は、メモリセル 2 5 0 の構成の一例である。図 6 ( A ) に、メモリセル 2 5 0 の平面図を、図 6 ( B ) に図 6 ( A ) の線分 A - B における断面図をそれぞれ示す。

10

【 0 1 6 3 】

図 6 ( A ) 及び図 6 ( B ) に示すトランジスタ 1 6 2 は、実施の形態 1 で示した構成と同一の構成とすることができる。

【 0 1 6 4 】

図 6 ( B ) に示すように、電極 5 0 2 及び電極 5 0 4 上にトランジスタ 1 6 2 が設けられている。電極 5 0 2 は、図 6 ( A ) におけるビット線 B 1 として機能する配線であり、トランジスタ 1 6 2 の低抵抗領域と接して設けられている。また、電極 5 0 4 は、図 6 ( A ) における容量素子 2 5 4 の一方の電極として機能し、トランジスタ 1 6 2 の低抵抗領域と接して設けられている。トランジスタ 1 6 2 上において、電極 5 0 4 と重畳する領域に設けられた電極 5 0 6 は、容量素子 2 5 4 の他方の電極として機能する。

20

【 0 1 6 5 】

また、図 6 ( A ) に示すように、容量素子 2 5 4 の他方の電極 5 0 6 は、容量線 5 0 8 と電氣的に接続する。ゲート絶縁層 1 4 6 を介して酸化物半導体層 1 4 4 上に設けられたゲート電極 1 4 8 は、ワード線 5 0 9 と電氣的に接続する。

【 0 1 6 6 】

また、図 6 ( C ) に、メモリセルアレイと、周辺回路との接続部における断面図を示す。周辺回路は、例えば n チャネル型トランジスタ 5 1 0 及び p チャネル型トランジスタ 5 1 2 を含む構成とすることができる。n チャネル型トランジスタ 5 1 0 及び p チャネル型トランジスタ 5 1 2 に用いる半導体材料としては、酸化物半導体以外の半導体材料 ( シリコンなど ) を用いるのが好ましい。このような材料を用いることで、周辺回路に含まれるトランジスタの高速動作を図ることができる。

30

【 0 1 6 7 】

図 6 ( A ) に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【 0 1 6 8 】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。高純度化され、真性化された酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、容量素子 2 5 4 は、図 6 ( B ) で示すように電極 5 0 4 、酸化物半導体層 1 4 4 、ゲート絶縁層 1 4 6 、電極 5 0 6 が積層されることによって形成される。

40

【 0 1 6 9 】

このように、酸化物半導体以外の材料を用いたトランジスタ ( 換言すると、十分な高速動作が可能なトランジスタ ) を用いた周辺回路と、酸化物半導体を用いたトランジスタ ( より広義には、十分にオフ電流が小さいトランジスタ ) を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【 0 1 7 0 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能

50

である。

【 0 1 7 1 】

( 実施の形態 4 )

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 7 乃至図 1 0 を用いて説明する。

【 0 1 7 2 】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

10

【 0 1 7 3 】

通常の S R A M は、図 7 ( A ) に示すように 1 つのメモリセルがトランジスタ 8 0 1 ~ 8 0 6 の 6 個のトランジスタで構成されており、それを X デコーダー 8 0 7、Y デコーダー 8 0 8 にて駆動している。トランジスタ 8 0 3 とトランジスタ 8 0 5、トランジスタ 8 0 4 とトランジスタ 8 0 6 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常  $1 0 0 \sim 1 5 0 F^2$  である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

20

【 0 1 7 4 】

それに対して、D R A M はメモリセルが図 7 ( B ) に示すようにトランジスタ 8 1 1、保持容量 8 1 2 によって構成され、それを X デコーダー 8 1 3、Y デコーダー 8 1 4 にて駆動している。1 つのセルが 1 トランジスタ 1 容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常  $1 0 F^2$  以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

【 0 1 7 5 】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $1 0 F^2$  前後であり、且つ頻繁なりフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

30

【 0 1 7 6 】

図 8 に携帯機器のブロック図を示す。図 8 に示す携帯機器は R F 回路 9 0 1、アナログベースバンド回路 9 0 2、デジタルベースバンド回路 9 0 3、バッテリー 9 0 4、電源回路 9 0 5、アプリケーションプロセッサ 9 0 6、フラッシュメモリ 9 1 0、ディスプレイコントローラ 9 1 1、メモリ回路 9 1 2、ディスプレイ 9 1 3、タッチセンサ 9 1 9、音声回路 9 1 7、キーボード 9 1 8 などより構成されている。ディスプレイ 9 1 3 は表示部 9 1 4、ソースドライバ 9 1 5、ゲートドライバ 9 1 6 によって構成されている。アプリケーションプロセッサ 9 0 6 は C P U 9 0 7、D S P 9 0 8、インターフェイス ( I F ) 9 0 9 を有している。一般にメモリ回路 9 1 2 は S R A M または D R A M で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

40

【 0 1 7 7 】

図 9 に、ディスプレイのメモリ回路 9 5 0 に先の実施の形態で説明した半導体装置を使用した例を示す。図 9 に示すメモリ回路 9 5 0 は、メモリ 9 5 2、メモリ 9 5 3、スイッチ 9 5 4、スイッチ 9 5 5 及びメモリコントローラ 9 5 1 により構成されている。また、メモリ回路は、画像データ ( 入力画像データ ) からの信号線、メモリ 9 5 2、及びメモリ 9 5 3 に記憶されたデータ ( 記憶画像データ ) を読み出し、及び制御を行うディスプレイコントローラ 9 5 6 と、ディスプレイコントローラ 9 5 6 からの信号により表示するディスプレイ 9 5 7 が接続されている。

50

## 【 0 1 7 8 】

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データA）。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ（記憶画像データA）は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

## 【 0 1 7 9 】

入力画像データAに変更が無い場合、記憶画像データAは、通常30～60Hz程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956から読み出される。

10

## 【 0 1 8 0 】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データAに変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データB）を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ（記憶画像データB）が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

20

## 【 0 1 8 1 】

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

## 【 0 1 8 2 】

図10に電子書籍のブロック図を示す。図10はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

30

## 【 0 1 8 3 】

ここでは、図10のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007は書籍の内容を一時的に保持する機能を持つ。例えば、ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキング（表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなど）をしたい場合に、ユーザーが指定した箇所の情報を一時的に記憶し、保持する機能を有する。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

40

## 【 0 1 8 4 】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

## 【 0 1 8 5 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

## 【 符号の説明 】

50

## 【 0 1 8 6 】

1 0 0	基板	
1 0 6	素子分離絶縁層	
1 0 8	ゲート絶縁層	
1 1 0	ゲート電極層	
1 1 6	チャネル形成領域	
1 2 0	不純物領域	
1 2 4	金属化合物領域	
1 3 0	絶縁層	
1 3 5	層間絶縁膜	10
1 3 6 a	側壁絶縁層	
1 3 6 b	側壁絶縁層	
1 3 7	絶縁膜	
1 4 2 a	電極層	
1 4 2 b	電極層	
1 4 3 a	導電層	
1 4 3 b	導電層	
1 4 4	酸化物半導体層	
1 4 4 a	低抵抗領域	
1 4 4 b	低抵抗領域	20
1 4 4 c	チャネル形成領域	
1 4 6	ゲート絶縁層	
1 4 8	ゲート電極	
1 4 9	絶縁膜	
1 5 0	絶縁膜	
1 5 2	絶縁膜	
1 5 3	導電層	
1 5 4	絶縁層	
1 5 6 a	配線	
1 5 6 b	配線	30
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
2 5 0	メモリセル	
2 5 1 a	メモリセルアレイ	
2 5 1 b	メモリセルアレイ	
2 5 3	周辺回路	
2 5 4	容量素子	
4 0 0	基板	
4 0 1	ゲート電極層	40
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体膜	
4 0 4 a	低抵抗領域	
4 0 4 b	低抵抗領域	
4 0 5	電極層	
4 0 5 a	電極層	
4 0 5 b	電極層	
4 0 7	絶縁膜	
4 0 9	チャネル形成領域	
4 1 0	絶縁膜	50



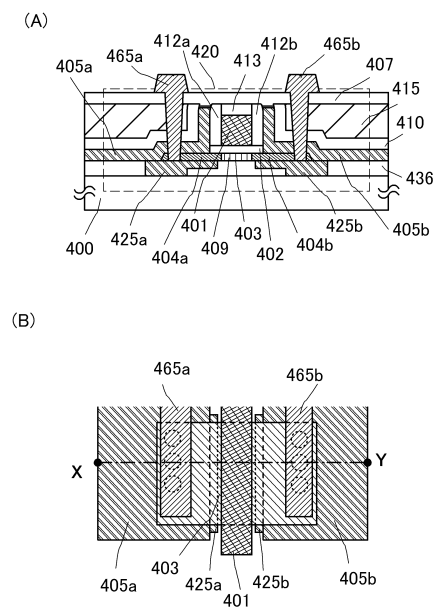
4 1 2 a	側壁絶縁層	
4 1 2 b	側壁絶縁層	
4 1 3	絶縁膜	
4 1 5	層間絶縁膜	
4 2 0	トランジスタ	
4 2 1	ドーパント	
4 2 2 a	電極層	
4 2 2 b	電極層	
4 2 3	絶縁膜	
4 2 4 a	電極層	10
4 2 4 b	電極層	
4 2 5 a	電極層	
4 2 5 b	電極層	
4 2 6	絶縁膜	
4 3 6	下地絶縁層	
4 4 5	導電膜	
4 4 6	絶縁膜	
5 0 2	電極	
5 0 4	電極	
5 0 6	電極	20
5 0 8	容量線	
5 0 9	ワード線	
5 1 0	nチャネル型トランジスタ	
5 1 2	pチャネル型トランジスタ	
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	30
8 0 8	Yデコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	Xデコーダー	
8 1 4	Yデコーダー	
9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	40
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	50

9 1 7	音声回路
9 1 8	キーボード
9 1 9	タッチセンサ
9 5 0	メモリ回路
9 5 1	メモリコントローラ
9 5 2	メモリ
9 5 3	メモリ
9 5 4	スイッチ
9 5 5	スイッチ
9 5 6	ディスプレイコントローラ
9 5 7	ディスプレイ
1 0 0 1	バッテリー
1 0 0 2	電源回路
1 0 0 3	マイクロプロセッサ
1 0 0 4	フラッシュメモリ
1 0 0 5	音声回路
1 0 0 6	キーボード
1 0 0 7	メモリ回路
1 0 0 8	タッチパネル
1 0 0 9	ディスプレイ
1 0 1 0	ディスプレイコントローラ

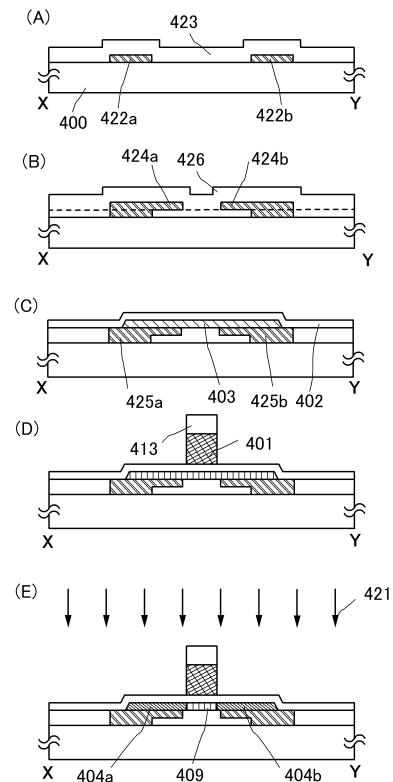
10

20

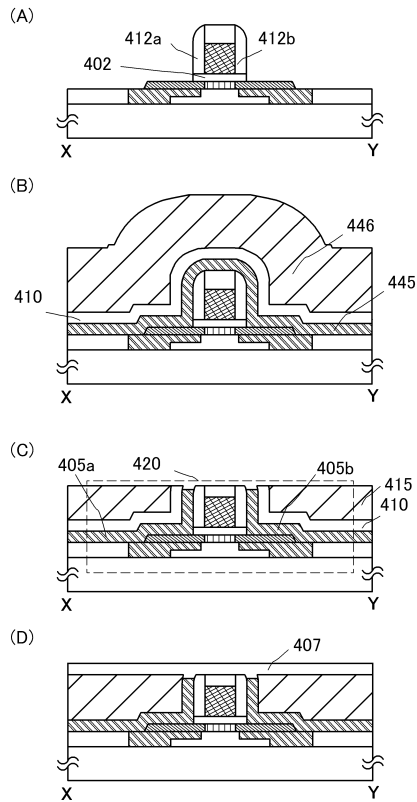
【図 1】



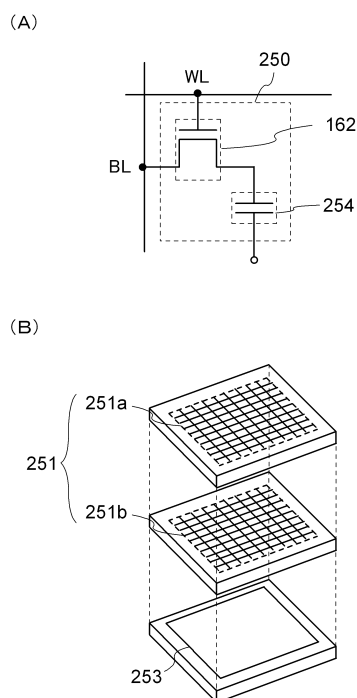
【図 2】



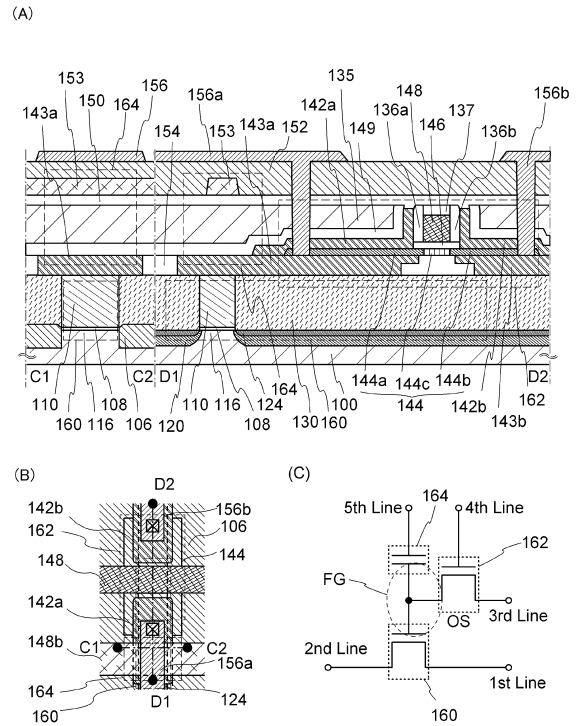
【 図 3 】



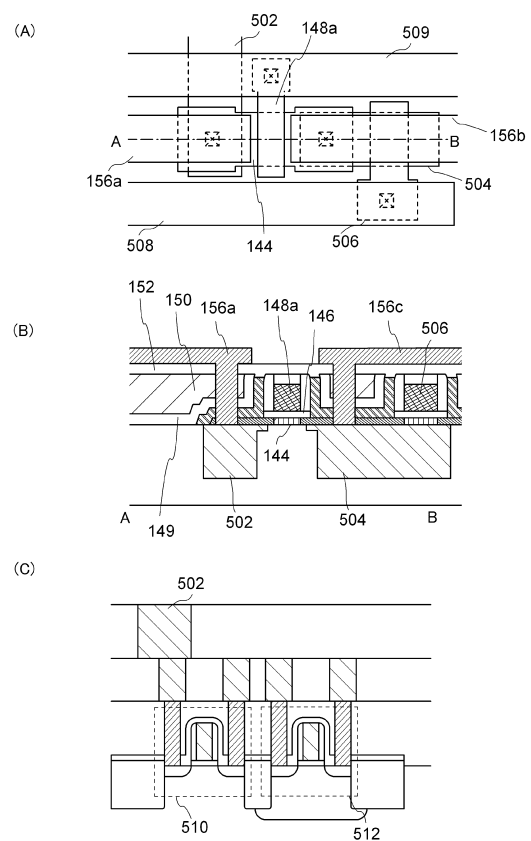
【 図 5 】



【 図 4 】

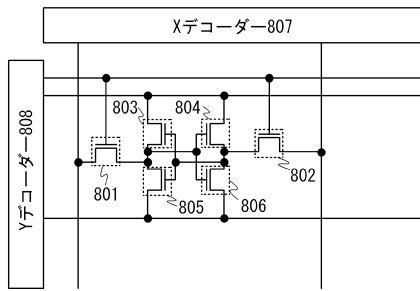


【圖 6】

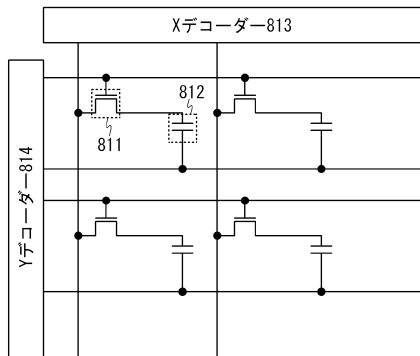


【図 7】

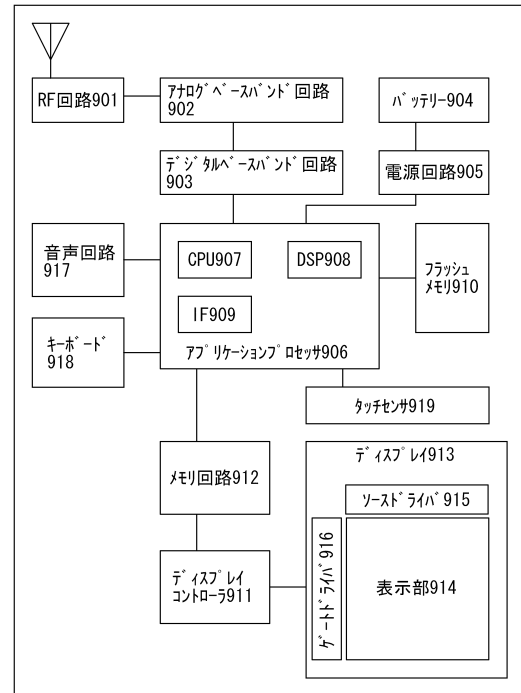
(A)



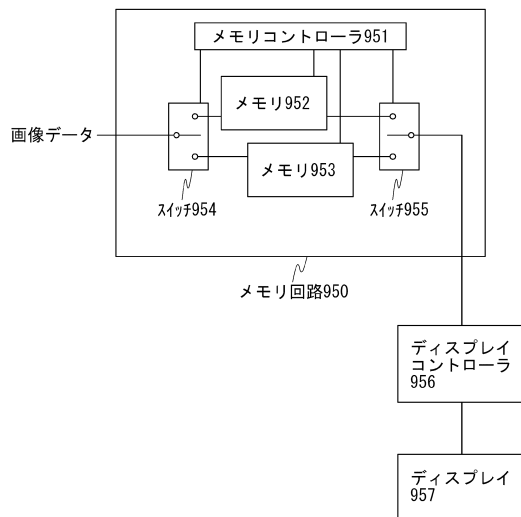
(B)



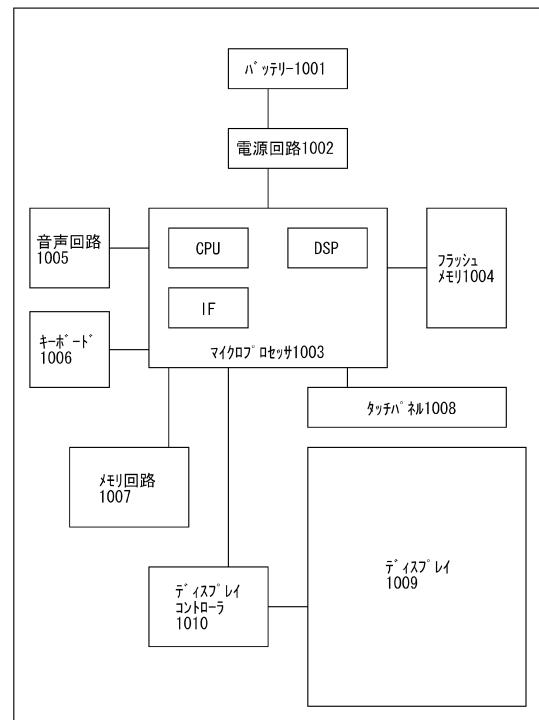
【図 8】



【図 9】



【図 10】



---

フロントページの続き

(51)Int.Cl.

F I

*H 0 1 L 27/11 (2006.01)**H 0 1 L 27/11**H 0 1 L 29/41 (2006.01)**H 0 1 L 29/44*

S

*H 0 1 L 21/28 (2006.01)**H 0 1 L 21/28*

3 0 1 B