

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成20年8月21日(2008.8.21)

【公表番号】特表2007-529081(P2007-529081A)
 【公表日】平成19年10月18日(2007.10.18)
 【年通号数】公開・登録公報2007-040
 【出願番号】特願2006-517820(P2006-517820)
 【国際特許分類】

G 1 1 C 11/41 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

【F I】

G 1 1 C 11/34 3 0 1 E

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成20年6月26日(2008.6.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

スタティックランダムアクセスを提供するメモリデバイスであって、
 複数のデータラッチを有するスタティックメモリセル構造と、
 該セル構造内の複数の機能ブロックとを有し、
 該ブロックは、読み込み、書き込み及び記憶ブロックを有し、
 前記読み込みブロックは前記書込ブロックから隔てられ、

該読み込みブロックは、前記記憶ブロックよりも低い閾値電圧を設定されていることを特徴とするメモリデバイス。

【請求項2】

前記読み込みブロックは、前記書き込みブロックよりも低い閾値電圧を有することを特徴とする、請求項1記載のメモリデバイス。

【請求項3】

前記読み込みブロックは、前記書き込みブロックよりも低い閾値電圧を有し、
 前記書き込みブロックは、前記記憶ブロックよりも低い閾値電圧を有することを特徴とする、請求項1記載のメモリデバイス。

【請求項4】

前記セル構造は、読み込み及び書き込み経路に対して同じワードラインを使用することを特徴とする、請求項1記載のメモリデバイス。

【請求項5】

前記セル構造は、読み込み及び書き込み経路に対して別個のワードラインを使用することを特徴とする、請求項1記載のメモリデバイス。

【請求項6】

前記読み込み経路に対するワードラインは、メモリ記憶セル状態を検出するために区別をして検知されるビットライン上の信号差を大きくするためにビットラインに結合されたトランジスタを作動させることを特徴とする、請求項5記載のメモリデバイス。

【請求項7】

前記読み込みブロックが一群の読み込み経路トランジスタを有し、

第1メモリセル中の一群の読み込み経路トランジスタは、第2メモリセル中の一群の読み込み経路トランジスタと共に、仮想ノードである基準読み込みラインに接続されていることを特徴とする、請求項1記載のメモリデバイス。

【請求項8】

読み込み経路と共に前記データラッチから読み込まれたデータを検出する検知増幅器と

前記検知増幅器に結合され、セルブロックの洩れ電流を抑制するソーストランジスタと

を更に有し、前記ソーストランジスタは、NMOS又はPMOSTランジスタであることを特徴とする、請求項7記載のメモリデバイス。

【請求項9】

前記基準読み込みライン及び前記検知増幅器は、分割されるか、又はまとめられるかいずれかを成されている当該メモリデバイス内のレイアウト構造に置かれても良いことを特徴とする、請求項8記載のメモリデバイス。

【請求項10】

前記基準読み込みライン及び前記検知増幅器は、当該メモリデバイス内において共有又は専用の構造で使用されても良いことを特徴とする、請求項8記載のメモリデバイス。

【請求項11】

前記セル構造は、マルチポート・スタティックランダムアクセスメモリセル構造であることを特徴とする、請求項1記載のメモリデバイス。

【請求項12】

スタティックランダムアクセスメモリ構造を有するメモリデバイスであって、

データラッチから形成された複数のスタティックメモリセルと、

読み込み経路を制御するための複数のワードラインと、

書き込み経路を制御するための複数のワードラインと、

読み込み、書き込み及び記憶を行う複数の機能ブロックとを有し、

前記読み込みブロックは、前記書込ブロックから隔てられ、前記読み込み経路を前記書込経路から分離させ、

前記読み込みブロックは、前記記憶ブロックより低い閾値条件を有するように構成されることを特徴とするメモリデバイス。

【請求項13】

読み込み経路トランジスタが異なるビットライン間に接続されている仮想ノードを更に有することを特徴とする、請求項12記載のメモリデバイス。

【請求項14】

前記ビットライン間の差分検知を実行するよう構成された検知増幅器を更に有することを特徴とする、請求項13記載のメモリデバイス。

【請求項15】

前記仮想ノードに対する接続は、セルブロックの漏れ電流を抑えることを特徴とする、請求項13記載のメモリデバイス。

【請求項16】

読み込みブロック、書込ブロック及び記憶ブロックを形成する機能ブロックを有する複数のスタティックメモリセルであって、該記憶ブロックの各々は、前記メモリセルの要素を形成し且つ読み込み及び書き込みを行うよう構成されたデータラッチを有する複数のスタティックメモリセルと、

前記記憶ブロック内の各データラッチに結合された入力部と、少なくとも二つのビットラインの一つに結合された出力部とを有する前記の各読み込みブロックを伴う一つ以上のメモリセル読み込みトランジスタと、

前記少なくとも二つのビットラインの間の差分検知に応じて前記データラッチ各々から読み込まれたデータを検出するために、前記少なくとも二つのビットラインの間に結合さ

れた検知増幅器と、

異なるビットラインに対する前記差分検知のために前記検知増幅器及び前記読み込みブロック各々に結合された基準読み込みラインと、

を有することを特徴とする半導体メモリ回路。

【請求項 17】

前記読み込みブロックのトランジスタが、前記記憶ブロックの前記トランジスタより低い閾電圧を有するよう構築された請求項 16 記載の半導体メモリ回路。

【請求項 18】

前記検知増幅器に結合され、洩れ電流を抑制するソーストランジスタを更に有することを特徴とする、請求項 16 記載の半導体メモリ回路。

【請求項 19】

前記読み込みブロック及び書き込みブロック双方に同じワードラインが接続されていることを特徴とする、請求項 16 記載の半導体メモリ回路。

【請求項 20】

前記少なくとも一つのワードラインが、読み込みブロックに結合された読み込みワードライン及び書込ブロックに結合された書込ワードラインと共に別個のワードラインを有することを特徴とする、請求項 16 記載の半導体メモリ回路。

【請求項 21】

前記読み込み経路に対するワードラインは、前記差分検知に対して前記ビットライン上の信号差を大きくするために前記ビットラインに結合されたトランジスタを作動させることを特徴とする、請求項 20 記載の半導体メモリ回路。

【請求項 22】

第 1 読み込みブロック内の一群の読み込み経路トランジスタは、第 2 読み込みブロック内の別の一群の読み込み経路トランジスタと共に、検知増幅器に接続された基準読み込みラインに接続されていることを特徴とする、請求項 16 記載の半導体メモリ回路。

【請求項 23】

スタティックメモリのセルにアクセスする方法であって、

複数のメモリセル内のスタティックメモリセルに対してデータラッチを形成する、第 1 の電圧閾値レベルのトランジスタに書き込まれたデータを保持するステップと、

前記第 1 の電圧閾値よりも小さい第 2 の電圧閾値の読み込みワードトランジスタを作動させるよう読み込みワード信号を入力するステップと、

データビット出力を発生させるようにビットラインに結合された検知増幅器で前記読み込みワードトランジスタの出力を検知するステップとを有し、

前記メモリセルはデータラッチ、読み込みブロック及び書込ブロックを有し、

各読み込みブロックは一つ以上の読み込みワードトランジスタと共に構築され、

各書き込みブロックは一つ以上の書き込みワードトランジスタと共に構築され、

前記読み込みブロック及び書き込みブロックは互いに隔てられていることを特徴とする方法。

【請求項 24】

前記検知増幅器は、二つのビットライン間に結合され、

前記データビット出力は、前記二つのビットライン間のデータ出力の差分検知に応じて発生することを特徴とする、請求項 23 記載の方法。

【請求項 25】

ビットラインデータから前記スタティックメモリセルのラッチをロードする別の書き込みワードラインにより駆動されるトランジスタの作動に応じて、前記スタティックメモリセルへ書き込むステップを更に有することを特徴とする、請求項 23 記載の方法。

【請求項 26】

前記別の書き込みワードラインにより作動する前記トランジスタは、前記第 1 の電圧閾値よりも小さい第三の電圧閾値を設定されることを特徴とする、請求項 25 記載の方法。

【請求項 27】

前記第三の電圧閾値は、前記第2の電圧閾値よりも高いことを特徴とする、請求項26記載の方法。

【請求項28】

スタティックメモリのセルにアクセスする方法であって、
スタティックメモリセルに対してデータラッチを形成するトランジスタに書き込まれたデータを保持するステップと、

読み込みブロック内の読み込みワードトランジスタを作動させるよう読み込みワード信号を入力するステップと、

二つのビットライン間に結合され、前記二つのビットライン間の差分検知に応じてデータビット出力を発生させるよう構成された検知増幅器で、前記読み込みワードトランジスタの出力を検知するステップとを有し、

前記スタティックメモリセルが別々の読み込みブロック及び書き込みブロックを有し、前記読み込みワードトランジスタが、前記データラッチの前記トランジスタよりも低い電圧閾値と共に構築されることを特徴とする方法。

【請求項29】

前記ビットラインに結合された前記読み込みワード信号を参照するために基準読み込みラインを発生させるステップを更に有することを特徴とする、請求項28記載の方法。

【請求項30】

ソーストランジスタを前記検知増幅器に結合することで、洩れ電流を抑制するステップを更に有することを特徴とする、請求項28記載の方法。

【請求項31】

前記データラッチにデータを書き込むための前記書き込みブロック内の書き込みワードトランジスタを作動させるよう書き込みワード信号を入力するステップを更に有することを特徴とする、請求項28記載の方法。

【請求項32】

前記データラッチの前記トランジスタよりも低い電圧閾値を有する書き込みワードトランジスタを構成するステップを更に有することを特徴とする、請求項31記載の方法。

【請求項33】

前記読み込みワードトランジスタの前記トランジスタよりも高い電圧閾値を有する書き込みワードトランジスタを構成するステップを更に有することを特徴とする、請求項32記載の方法。

【請求項34】

読み込み経路と共に前記データラッチから読み込んだデータを検出する検知増幅器を更に有し、

前記検知増幅器は、少なくとも2つのビットライン間に結合され、

前記検知増幅器の出力は、前記ビットライン間で検知した差分に応じて前記データラッチの状態を読み取るようにする請求項1記載のメモリデバイス。

【請求項35】

前記検知増幅器の読み込み経路の電流駆動又は放電の能力は、前記データラッチにおける読み込み経路の電流駆動又は放電の能力とは異なることを特徴とする、請求項34記載のメモリデバイス。

【請求項36】

前記仮想ノードが、検知増幅器に接続されている請求項7記載のメモリデバイス。

【請求項37】

洩れ電流を抑制するように、前記検知増幅器に結合されたソーストランジスタを更に有する請求項36記載のメモリ回路。

【請求項38】

前記検知増幅器は、分割又は統合のいずれかをなされた構造として読み込み経路を有することを特徴とする、請求項16記載のメモリ回路。

【請求項39】

前記検知増幅器は、共有の読み込み経路又は専用の読み込み経路と共に構築されたことを特徴とする、請求項1記載のメモリ回路。

【請求項40】

前記検知増幅器の読み込み経路の電流駆動又は放電の能力は、前記データラッチにおける読み込み経路の電流駆動又は放電の能力とは異なることを特徴とする、請求項1記載のメモリ回路。

【請求項41】

前記検知増幅器の読み込み経路が、分割又は統合のいずれかをなされた構造で形成された請求項28記載の方法。

【請求項42】

前記検知増幅器の読み込み経路は、メモリデバイス内において共有又は専用利用のために構成されている特徴とする、請求項28記載の方法。

【請求項43】

前記検知増幅器の読み込み経路の電流駆動又は放電の能力は、前記データラッチにおける読み込み経路の電流駆動又は放電の能力とは異なることを特徴とする、請求項28記載の方法。

【請求項44】

前記メモリセルは、読み込み及び書き込み経路に対して同じ又は別個のいずれかのワードラインで制御される別個の機能ブロックにより構成されることを特徴とする、請求項28記載の方法。

【請求項45】

当該メモリデバイスは、前記複数の機能ブロックを形成する複数のトランジスタを更に有し、

前記機能ブロックは、読み込みブロック、書き込みブロック及び記憶ブロックのデータラッチを有し、

前記書き込みブロックのトランジスタを介して書き込み経路が用意され、前記読み込みブロックのトランジスタを介して読み込み経路が別個に用意され、

当該メモリ装置は、前記書き込みブロックの第1端子に結合された第1ビットラインと、前記書き込みブロックの第2端子に結合された第2ビットラインとを有するビットライン対を有し、

前記ビットライン対の或るビットラインは、前記読み込みブロックの或る端子に結合され、

前記読み込みブロックは、前記記憶ブロックより低い閾値電圧と共に構築された請求項1記載のメモリデバイス。

【請求項46】

当該メモリ装置は、前記複数の機能ブロックを形成する複数のトランジスタを更に有し、

前記機能ブロックは、読み込みブロック、書き込みブロック及び記憶ブロックのデータラッチを有し、

前記読み込みブロックの前記トランジスタは、前記記憶ブロックの前記トランジスタより低い閾電圧と共に構築され、

当該メモリデバイスは、異なるメモリセル内の読み込みブロックに結合された仮想ノードを構成する基準読み込みラインを有する請求項1記載のメモリデバイス。

【請求項47】

前記基準読み込みラインに結合された基準読み込みバス回路と、

前記ビットライン対に結合された検知増幅器と、

を更に有する請求項46記載のメモリデバイス。

【請求項48】

前記機能ブロックは、読み込みブロック、書き込みブロック及び記憶ブロックのデータラッチを有し、

当該メモリデバイスは、第1ビットライン及び第2ビットラインを有するビットライン対を有し、

前記ラッチは第1、第2、第3及び第4トランジスタを有し、

前記書き込みブロックの第1トランジスタは前記ラッチ及び前記第1ビットラインの間に結合され、前記書き込みブロックの第2トランジスタは前記ラッチ及び前記第2ビットラインの間に結合され、

前記読み込みブロックの第1及び第2トランジスタは、前記ビットライン対内の前記ビットラインの何れか及び前記ラッチの間に結合され、

前記読み込みブロックの前記トランジスタは、前記記憶ブロック内のトランジスタより低い閾値電圧と共に構築される請求項1記載のメモリデバイス。

【請求項49】

異なるメモリセル内の前記読み込みブロックに結合される仮想ノードを形成する基準読み込みラインと、

前記基準読み込みラインに結合された基準読み込みパス回路と、

前記ビットライン対に結合された検知増幅器と、

を更に有する請求項48記載のメモリデバイス。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

一般に、二つの種類のSRAMセルは、SRAMが低電力又は高パフォーマンス用途で使用されるか否かによって実施される。例えば低電力手持ち式デバイスのような低電力用途に関しては、待機電流（即ち、チップが待機状態にある間の電力消費）は、これらの低電力携帯用途が、待機電流が電池寿命の主な決定要因である電池動作にしばしば依存するので、しばしば最も重要な考慮すべき事項となる。これは、例えばキャッシュメモリのような高パフォーマンス用途とは対照的である。この場合には、セルのデータ読み込み速度が決定的な重要性を有する。しかし、セル漏れ電流の大幅な増大により、従来6T SRAMセル構造は、設計要求を満足するための技術的な障害に直面している。デバイスのサイズが大きくなり、トランジスタの閾値電圧が所要の速度を満たすよう低減される場合には、セル漏れ電流による電力消費が懸念事項となる。デバイスのサイズが縮小され、トランジスタの閾値電圧が漏れ電流を抑えるよう増大する場合には、セルの読み込み速度は、セルのアクセス用及びプルダウン用のトランジスタの能力を駆動する電流が低減されたことにより遅くなる。

【特許文献1】米国特許第5,764,566号明細書 A 1998年6月9日 4-5段 図2

【特許文献2】米国特許第7,009,871号明細書

【特許文献3】米国特許第6,985,379号明細書

【特許文献4】米国特許第6,873,565号明細書

【特許文献5】米国特許第6,661,733号明細書

【特許文献6】米国特許第6,091,627号明細書

【特許文献7】米国特許第6,181,608号明細書

【特許文献8】米国特許第6,519,204号明細書

【特許文献9】米国特許第5,070,482号A明細書

【特許文献10】米国特許第6,888,202号明細書

【手続補正3】

【補正対象書類名】図面

- 【補正対象項目名】図 3
- 【補正方法】変更
- 【補正の内容】

