

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2017年8月10日 (10.08.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/133117 A 1

- (51) 国际分类号 : G09G 3/36 (2006.01)
- (21) 国际申请号 : PCT/CN20 16/08 1699
- (22) 国际申请日 : 2016年5月11日 (1.05.2016)
- (25) 申报语言 : 中文
- (26) 公布语言 : 中文
- (30) 优先权 : 2016 10078430.4 2016年2月4日 (4.02.2016) CN
- (71) 申请人 : 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号 Beijing 100015 (CN)。合肥京东方光电科技有限公司 (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市铜陵北路2177号, Anhui 230012 (CN)。
- (72) 发明人 : 吕磊 (LV, Lei); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。徐飞 (XU,

Fei); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。洪俊 (HONG, Jun); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。杨杰 (YANG, Jie); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人 : 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层 Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: SHIFT REGISTER AND DRIVING METHOD THEREOF, GATE DRIVING CIRCUIT AND DISPLAY DEVICE

(54) 发明名称 : 移位寄存器及其驱动方法、栅极驱动电路和显示装置

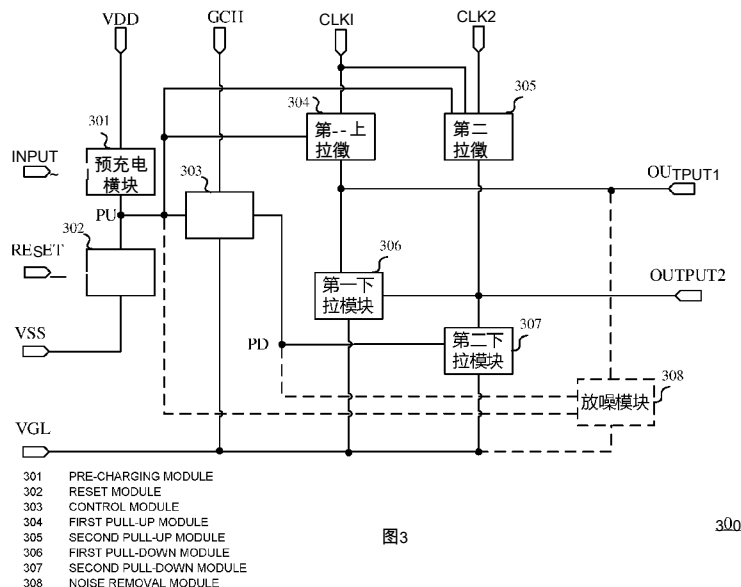


图3

300

(57) Abstract: Provided are a shift register and a driving method thereof, a gate driving circuit and a display device. The shift register (300) comprises: a pre-charging module (301); a reset module (302); a control module (303); a first pull-up module (304); a second pull-up module (305); a first pull-down module (306); and a second pull-down module (307). The shift register can realize driving of two gate lines by one shift register, reduce the number of transistors to be used, reduce circuit costs, eliminate noise at an output end of the shift register, and increase operation stability.

(57) 摘要 : 一种移位寄存器及其驱动方法、栅极驱动电路和显示装置。该移位寄存器(300)包括: 预充电模块(301)、复位模块(302)、控制模块(303)、第一上拉模块(304)、第二上拉模块(305)、第一下拉模块(306)和第二下拉模块(307)。该移位寄存器可以实现一个移位寄存器驱动两行栅线, 减少晶体管使用数量, 降低电路成本, 消除移位寄存器输出端的噪声, 提高工作的稳定性。



2 17/133117 1



(84) 指定国 (除另有指明, 要求每一种可提供的地区保护):ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

移位寄存器及其驱动方法、栅极驱动电路和显示装置

技术领域

5 本公开涉及一种移位寄存器及其驱动方法、栅极驱动电路和显示装置。

背景技术

薄膜晶体管液晶显示器 (TFT-LCD) 广泛应用于生产生活的各个领域 ,
其采用 M*N 点排列的逐行扫描矩阵显示。在进行显示时 ,TFT-LCD 通过驱
10 动电路来驱动显示面板中的各个像素进行显示。TFT-LCD 的驱动电路主要包
含栅极驱动电路和数据驱动电路。其中 ,数据驱动电路用于依据时钟信号定
时将输入的数据顺序锁存并将锁存的数据转换成模拟信号后输入到显示面板
的数据线。栅极驱动电路通常用移位寄存器来实现 ,所述移位寄存器将时钟
15 信号转换成开启/断开电压 ,分别输出到显示面板的各条栅线上。显示面板上
的一条栅线通常与一个移位寄存器 (即移位寄存器的一级)对接。通过使得
各个移位寄存器依序轮流输出开启电压 ,实现对显示面板中像素的逐行扫描。
像素的这种逐行扫描按照扫描方向可分为单向扫描和双向扫描。目前 ,在移
动产品中 ,考虑到移动产品产能和良率的提升 ,通常要求能够实现双向扫描。

随着移动产品例如手机 ,平板电脑等产品越来越轻薄化和精细化 ,窄边
20 框成为发展的趋势。传统的栅极驱动电路一级电路只能驱动一行栅线 ,开发
出 TFT 数目更少的电路对于实现超窄边框具有很重要的意义。

另一方面 ,随着平板显示的发展 ,高分辨率、窄边框成为发展的趋势。
针对这一趋势 ,出现了阵列基板栅极驱动 (Gate Driver on Array, GOA)技
术。GOA 技术直接将 TFT-LCD 的栅极驱动电路集成制作在阵列基板上 ,由
25 此来代替在面板外沿粘接的、由硅芯片制作的驱动芯片。由于该技术可以将
驱动电路直接做在阵列基板上 ,面板周围无需再粘接 IC 和布线 ,减少了面
板的制作程序 ,降低了产品成本 ,同时提高了 TFT-LCD 面板的集成度 ,使
面板实现窄边框和高分辨率。但是 GOA 技术存在固有的使用寿命等方面
的问题。在实际产品的 GOA 设计中 ,如何使用较少的电路元器件来实现移位
30 寄存功能、并且减小输出端噪声以保持栅极驱动电路长期稳定工作 ,是 GOA

设计的关键问题。

发明内容

本公开提供了一种移位寄存器及其驱动方法、栅极驱动电路和显示装置。

5 可以实现一个移位寄存器驱动两行栅线，减少晶体管使用数量，降低电路成本，消除移位寄存器输出端的噪声，提高工作的稳定性。

根据本公开的一方面，公开了一种移位寄存器，包括：

预充电模块，连接第一电压源和信号输入端，配置为在来自信号输入端的输入信号的控制下将第一电压源的电压提供至第一节点，所述第一节点为
10 预充电模块的输出节点；

复位模块，连接第二电压源、复位信号端和所述第一节点，配置为在来自复位信号端的输入信号的控制下将第二电压源的电压提供至所述第一节点；

控制模块，连接第三电压源、第四电压源和所述第一节点，配置为在第一节点的电压的控制下将来自第三电压源的电压提供给第二节点或者将来自第四电压源的电压提供给第二节点，所述第二节点为控制模块的输出节点；

第一上拉模块，连接第一时钟信号端、第一信号输出端和所述第一节点，配置为在第一节点的电压的控制下将来自第一时钟信号端的时钟信号提供给第一信号输出端；

20 第二上拉模块，连接第一时钟信号端、第二时钟信号端、第一节点和第二信号输出端，配置为在第一时钟信号端的时钟信号和第一节点的电压的控制下将来自第二时钟信号端的时钟信号提供给第二信号输出端；

第一下拉模块，连接第四电压源、第一信号输出端和第二信号输出端，配置为在第二信号输出端的输出信号的控制下将所述第四电压源的电压提供
25 给第一信号输出端；

第二下拉模块，连接第四电压源、第二信号输出端和第二节点，配置为在第二节点的电压的控制下将所述第四电压源的电压提供给第二信号输出端。

根据本公开的又一方面，公开了一种栅极驱动电路，包括多个串联的移位寄存器，每个所述移位寄存器是上述移位寄存器，其中除最后一个移位寄
30 位寄存器，

寄存器外，其余每个移位寄存器的第二信号输出端均和与其相邻的下一个移位寄存器的信号输入端相连；除第一个移位寄存器外，其余每个移位寄存器的第一信号输出端均和与其相邻的上一个移位寄存器的复位信号端相连；

在正向扫描时，所述第一个移位寄存器的信号输入端输入帧起始信号；

5 在反向扫描时，所述最后一个移位寄存器的复位信号端输入帧起始信号。

根据本公开的再一方面，公开了一种显示装置，包含上述栅极驱动电路。

根据本公开的再一方面，公开了一种移位寄存器的驱动方法，该移位寄存器包含预充电模块、复位模块、控制模块、第一上拉模块、第二上拉模块、第一下拉模块、第二下拉模块，该驱动方法包含：

10 由预充电模块在来自信号输入端的输入信号的控制下将第一电压源的电压提供至预充电模块的输出节点；

由复位模块在来自复位信号端的输入信号的控制下将第二电压源的电压提供至所述预充电模块的输出节点；

15 由控制模块在预充电模块的输出节点的电压的控制下将来自第三电压源的电压提供给控制模块的输出节点或者将来自第四电压源的电压提供给控制模块的输出节点；

由第一上拉模块在预充电模块的输出节点的电压的控制下将来自第一时钟信号端的时钟信号提供给第一信号输出端；

20 由第二上拉模块在第一时钟信号端的时钟信号和预充电模块的输出节点的电压的控制下将来自第二时钟信号端的时钟信号提供给第二信号输出端；

由第一下拉模块在第二信号输出端的输出信号的控制下将所述第四电压源的电压提供给第一信号输出端；

由第二下拉模块在控制模块的输出节点的电压的控制下将所述第四电压源的电压提供给第二信号输出端。

25

附图说明

图 1 示出了传统的移位寄存器的电路图；

图 2 中所示的是图 1 中的移位寄存器在进行正向扫描时各信号的时序图；

图 3 示出了根据本公开实施例的移位寄存器的框图；

30 图 4 示出了根据本公开实施例的图 3 的移位寄存器的一种电路结构图；

图 5 示出了图 4 中的移位寄存器在进行正向扫描时各信号的时序图；

图 6 示出了由根据本公开实施例的多个移位寄存器级联形成的栅极驱动电路的示意图。

5 具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

10 本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本实施例中，每个晶体管的漏极和源极的连接方式可以互换，因此，本公开实施例中各晶体管的漏极、源极实际是没有区别的。这里，仅仅是为了区分晶体管除栅极之外的两极，而将其中一极称为漏极，另一极称为源极。

15 图 1 示出了传统的移位寄存器的电路图。如图 1 所示，该移位寄存器 100 包含第一至第九晶体管 M1-M9 以及第一电容 C1。其中，第一晶体管 M1 作为预充电模块，第二晶体管 M2 作为复位模块，第三至第六晶体管 M3-M6 作为控制模块，第七晶体管 M7 和第一电容 C1 作为上拉模块，第八晶体管 M8 作为下拉模块，第九晶体管 M9 作为放噪模块。

20 上述预充电模块，连接第一电压源 VDD 和信号输入端 INPUT，配置为在来自信号输入端 INPUT 的输入信号的控制下将第一电压源 VDD 的电压提供至第一节点 PU，所述第一节点 PU 为预充电模块的输出节点；

上述复位模块，连接第二电压源 VSS、复位信号端 RESET 和所述第一节点 PU，配置为在来自复位信号端 RESET 的输入信号的控制下将第二电压源 VSS 的电压提供至所述第一节点 PU；

25 上述控制模块，连接第三电压源 GCH、第四电压源 VGL 和所述第一节点 PU，配置为在第一节点 PU 的电压的控制下将来自第三电压源 GCH 的电压提供给第二节点 PD 或者将来自第四电压源 VGL 的电压提供给第二节点 PD，所述第二节点 PD 为控制模块的输出节点，第三电压源 GCH 为恒定高
30 电压源，第四电压源 VGL 为恒定低电压源；

上述上拉模块，连接时钟信号端 CLK、信号输出端 OUTPUT 和所述第一节点 PU，配置为在第一节点 PU 的电压的控制下将来自时钟信号端 CLK 的时钟信号提供给信号输出端 OUTPUT;

上述下拉模块，连接第四电压源 VGL、信号输出端 OUTPUT 和第二节点 PD，配置为在第二节点 PD 的电压的控制下将所述第四电压源 VGL 的电压提供给信号输出端 OUTPUT;

上述放噪模块，连接第四电压源 VGL、第一节点 PU 和第二节点 PD。放噪模块在所述移位寄存器的非工作时间（移位寄存器完成一帧输出直至下一帧到来之间的时间）内维持所述第一节点 PU 为低电平。

下面以上述晶体管均为 N 型晶体管为例进行说明。

需要说明的是，上述移位寄存器 100 能够进行双向扫描。其中，在进行正向扫描和反向扫描时，所述移位寄存器的结构不发生改变，只是信号输入端 INPUT 和复位信号端 RESET 的功能发生转变。例如，当正向扫描时，从第一电压源 VDD 输入高电平信号，从第二电压源 VSS 输入低电平信号；当反向扫描时，从第一电压源 VDD 输入低电平信号，从第二电压源 VSS 输入高电平信号。正向扫描时的信号输入端 INPUT 用作反向扫描时的复位信号端 RESET，而正向扫描时的复位信号端 RESET 则用作反向扫描时的信号输入端 INPUT。

图 2 中所示的是图 1 中的移位寄存器在进行正向扫描时各信号的时序图。下面参照图 2，说明图 1 中的移位寄存器的四个工作阶段。

在第一阶段 T1，本级移位寄存器信号输入端 INPUT 输入的信号为上一级移位寄存器的信号输出端 OUTPUT 的输出信号，此时为高电平信号，使得第一晶体管 M1 导通；从第一电压源 VDD 输入的高电平信号对第一电容 C1 充电，第一节点 PU 的电平被拉高，使得第五晶体管 M5 和第六晶体管 M6 导通；通过设计第五晶体管 M5 和第六晶体管 M6 的比例，使得第二节点 PD 的电平为低电平，进而第八晶体管 M8 和第九晶体管 M9 截止，从而保证信号输出端 OUTPUT 稳定地输出低电平。

在第二阶段 T2，本级移位寄存器信号输入端 INPUT 输入的信号为低电平信号，第一晶体管 M1 截止，第一节点 PU 继续保持高电平，第七晶体管 M7 保持导通状态。此时时钟信号端 CLK 的时钟信号变为高电平信号，由于

第一电容 C1 的自举效应，第一节点 PU 点电平升高，信号输出端 OUTPUT 输出高电平；由于第五晶体管 M5 和第六晶体管 M6 仍然导通，第二节点 PD 点仍保持低电平，第八晶体管 M8 和第九晶体管 M9 保持截止，保证信号输出端 OUTPUT 稳定地输出高电平。

5 在第三阶段 T3，下一级移位寄存器的信号输出端 OUTPUT 输出高电平信号给本级移位寄存器的复位信号端 RESET。第二晶体管 M2 导通，第一节点 PU 的电平被拉低，第五至第七晶体管 M5-M7 截止；第三电压源 GCH 始终为高电平，第二节点 PD 的电平被拉高，第八晶体管 M8 和第九晶体管 M9 导通，第二节点 PU 和信号输出端 OUTPUT 稳定地输出低电平，完成对一行
10 栅线的驱动。

在第四阶段 T4，复位信号端 RESET 变为低电平，第二晶体管 M2 截止，在下一帧到来之前，第一节点 PU 一直处于低电平，第二节点 PD 一直处于高电平，第八晶体管 M8 和第九晶体管 M9 一直处于导通状态，可以持续地对第二节点 PU 和信号输出端 OUTPUT 进行放噪，使得由时钟信号端 CLK
15 产生的耦合噪声电压得以消除，从而保证信号输出端 OUTPUT 稳定地输出低电平。

上述传统的移位寄存器只能驱动一行栅线，需要 9 个晶体管和 1 个电容。由这种移位寄存器组成的栅极驱动电路的每一级只能驱动一行栅线，若要实现对两行栅线的驱动，需要多达 18 个晶体管和 2 个电容，不利于实现窄边框
20 的设计。

针对上述问题本申请提出一种新的移位寄存器，可以实现一个移位寄存器驱动两行栅线。

图 3 示出了根据本公开实施例的移位寄存器的框图。如图 3 所示，该移位寄存器 300 包括：

25 预充电模块 301，连接第一电压源 VDD 和信号输入端 INPUT，配置为在来自信号输入端 INPUT 的输入信号的控制下将第一电压源 VDD 的电压提供至第一节点 PU，所述第一节点 PU 为预充电模块 301 的输出节点；

复位模块 302，连接第二电压源 VSS、复位信号端 RESET 和所述第一节点 PU，配置为在来自复位信号端 RESET 的输入信号的控制下将第二电压源
30 VSS 的电压提供至所述第一节点 PU；

控制模块 303，连接第三电压源 GCH、第四电压源 VGL 和所述第一节点 PU，配置为在第一节点 PU 的电压的控制下将来自第三电压源 GCH 的电压提供给第二节点 PD 或者将来自第四电压源 VGL 的电压提供给第二节点 PD，所述第二节点 PD 为控制模块 303 的输出节点，第三电压源 GCH 为恒定高电压源，第四电压源 VGL 为恒定低电压源；

第一上拉模块 304，连接第一时钟信号端 CLK1、第一信号输出端 OUTPUT1 和所述第一节点 PU，配置为在第一节点 PU 的电压的控制下将来自第一时钟信号端 CLK1 的时钟信号提供给第一信号输出端 OUTPUT1；

第二上拉模块 305，连接第一时钟信号端 CLK1、第二时钟信号端 CLK2、第一节点 PU 和第二信号输出端 OUTPUT2，配置为在第一时钟信号端 CLK1 的时钟信号和第一节点 PU 的电压的控制下将来自第二时钟信号端 CLK2 的时钟信号提供给第二信号输出端 OUTPUT2；

第一下拉模块 306，连接第四电压源 VGL、第一信号输出端 OUTPUT1 和第二信号输出端 OUTPUT2，配置为在第二信号输出端 OUTPUT2 的输出信号的控制下将所述第四电压源 VGL 的电压提供给第一信号输出端 OUTPUT 1；

第二下拉模块 307，连接第四电压源 VGL、第二信号输出端 OUTPUT2 和第二节点 PD，配置为在第二节点 PD 的电压的控制下将所述第四电压源 VGL 的电压提供给第二信号输出端 OUTPUT2。第二下拉模块 307 还在所述移位寄存器 300 的非工作时间（移位寄存器完成一帧输出直至下一帧到来之间的时间）内维持所述第二信号输出端 OUTPUT2 为低电平。

可选地，如图 3 所示，该移位寄存器 300 还包括：

放斜莫块 308，连接第四电压源 VGL、第一信号输出端 OUTPUT1、第一节点 PU 和第二节点 PD。放噪模块 308 在所述移位寄存器 300 的非工作时间内维持所述第一节点 PU 和第一信号输出端 OUTPUT1 为低电平。

由图 3 可看出，该移位寄存器 300 具有两个信号输出端，因此可以驱动两行栅线，同时保证各输出之间没有干扰。

图 4 示出了根据本公开实施例的图 3 的移位寄存器 300 的一种电路结构图。

如图 4 所示，预充电模块 301 包括第一晶体管 M1，其漏极连接至第一

电压源 VDD，栅极连接至信号输入端 INPUT，源极连接至第一节点 PU。

复位模块 302 包括第二晶体管 M2，其漏极连接至第一节点 PU，栅极连接至复位信号端 RESET，源极连接至第二电压源 VSS。

控制模块 303 包括：第三晶体管 M3，其漏极和栅极连接至第三电压源 GCH；第四晶体管 M4，其漏极连接至第三电压源 GCH，栅极连接至第三晶体管 M3 的源极，源极连接至第二节点 PD；第五晶体管 M5，其漏极连接至第三晶体管 M3 的源极，栅极连接至第一节点 PU，源极连接至第四电压源 VGL；第六晶体管 M6，其漏极连接至第二节点 PD，栅极连接至第一节点 PU，源极连接至第四电压源 VGL。

10 第一上拉模块 304 包括：第七晶体管 M7，其漏极连接至第一时钟信号端 CLK1，栅极连接至第一节点 PU，源极连接至第一信号输出端 OUTPUT1；第一电容 C1，连接在第一节点 PU 和第一信号输出端之间 OUTPUT1。

第二上拉模块 305 包括：第八晶体管 M8，其栅极连接至第一时钟信号端 CLK1，源极连接至第一节点 PU；第二电容 C2，连接在第八晶体管 M8 15 的漏极和第二信号输出端 OUTPUT2 之间；第九晶体管 M9，其漏极连接至第二时钟信号端 CLK2，栅极连接至第八晶体管 M8 的漏极，源极连接至第二信号输出端 OUTPUT2。

第一下拉模块 306 包括第十晶体管 M10，其漏极连接至第一信号输出端 OUTPUT1，栅极连接至第二信号输出端 OUTPUT2，源极连接至第四电压源 20 VGL。

第二下拉模块 307 包括第十一晶体管 M11，其漏极连接至第二信号输出端 OUTPUT2，栅极连接至第二节点 PD，源极连接至第四电压源 VGL。

放噪模块 308 包括：第十二晶体管 M12，其漏极连接至第一信号输出端 OUTPUT1，栅极连接至第二节点 PD，源极连接至第四电压源 VGL；第十三 25 晶体管 M13，其漏极连接至第一节点 PU，栅极连接至第二节点 PD，源极连接至第四电压源 VGL。

利用本公开的移位寄存器，可以实现一个移位寄存器驱动两行栅线，减少晶体管使用数量，降低电路成本，消除移位寄存器输出端的噪声，提高工作的稳定性。

30 由图 4 可看出，为了驱动两行栅线，根据本申请的移位寄存器仅需要 13

个晶体管，与图 1 中已知的移位寄存器相比，减少了 5 个晶体管的使用。对于一个需要一千多行栅线输出的面板，采用本申请的移位寄存器，可减少几千个晶体管的使用，从而在更小的面积下实现栅线驱动的功能，实现更窄的边框，降低栅极驱动电路成本。

5 能够理解，图 4 中所示出的各个模块的示例电路结构仅仅是一种示例，各个模块也可以采用其他适当的电路结构，只要能分别实现各自的功能即可，本公开对此不做限制。

图 5 示出了图 4 中的移位寄存器在进行正向扫描时各信号的时序图。以下将参考图 5 对根据本公开实施例的图 4 中的移位寄存器的具体工作过程进行描述。下面以上述晶体管均为 N 型晶体管为例进行说明。

需要说明的是，根据本公开的移位寄存器能够进行双向扫描。在进行正向扫描和反向扫描时，所述移位寄存器的结构不发生改变，只是信号输入端 INPUT 和复位信号端 RESET 的功能发生转变。例如，当正向扫描时，从第一电压源 VDD 输入高电平信号，从第二电压源 VSS 输入低电平信号；当反向扫描时，从第一电压源 VDD 输入低电平信号，从第二电压源 VSS 输入高电平信号。正向扫描时的信号输入端 INPUT 用作反向扫描时的复位信号端 RESET，而正向扫描时的复位信号端 RESET 则用作反向扫描时的信号输入端 INPUT。

如图 5 所示，在一帧期间，该工作过程包括以下几个阶段。下面参照图 4 和图 5 对该工作过程进行描述。

25 第一阶段 T1: 本级移位寄存器信号输入端 INPUT 输入的信号为上一级移位寄存器的信号输出端 OUTPUT 的输出信号，此时为高电平信号，使得第一晶体管 M1 导通；从第一电压源 VDD 输入的高电平信号对第一电容 C1 充电，第一节点 PU 的电平被拉高，使得第五晶体管 M5 和第六晶体管 M6 导通；通过设计第五晶体管 M5 和第六晶体管 M6 的比例，使得第二节点 PD 的电平为低电平，进而第十一至第十三晶体管 M11-M13 截止，此时第一时钟信号端 CLK1 输出的时钟信号为低电平信号，第八晶体管 M8 和第九晶体管 M9 截止，第一信号输出端 OUTPUT1 和第二信号输出端 OUTPUT2 稳定地输出低电平。

30 第二阶段 T2: 本级移位寄存器信号输入端 INPUT 输入的信号为低电平

信号，第一晶体管 M1 截止，第一节点 PU 继续保持高电平，第七晶体管 M7 保持导通状态。此时第一时钟信号端 CLK1 的时钟信号变为高电平信号，因此第一信号输出端 OUTPUT1 输出高电平；同时第八晶体管 M8 导通，第一节点 PU 对第二电容 C2 充电，使得第三节点 PO 为高电平，第九晶体管 M9 导通，由于此时第二时钟信号端 CLK2 的时钟信号为低电平信号，因此第二信号输出端 OUTPUT2 输出低电平。第十晶体管 M10 截止，同时由于第五晶体管 M5 和第六晶体管 M6 仍然导通，第二节点 PD 仍保持低电平，第十一至第十三晶体管 M11-M13 保持截止，保证第一信号输出端 OUTPUT1 稳定输出高电平和第二信号输出端 OUTPUT2 稳定输出低电平。

10 第三阶段 T3: 第一时钟信号端 CLK1 的时钟信号为低电平信号，第二时钟信号端 CLK2 的时钟信号为高电平信号，由于第三节点 PO 为高电平，第九晶体管 M9 导通，第二信号输出端 OUTPUT2 输出高电平。同时，第十晶体管 M10 导通，第一信号输出端 OUTPUT1 的输出被拉到低电平，完成对第一行栅线的驱动。

15 第四阶段 T4: 第一时钟信号端 CLK1 的时钟信号变为高电平，第八晶体管 M8 导通，同时下一级移位寄存器的第一信号输出端输出高电平给本级移位寄存器的复位信号端 RESET，第二晶体管 M2 导通，第一节点 PU 和第三节点 PO 的电平被拉低，第七晶体管 M7 和第九晶体管 M9 截止，同时第五晶体管 M5 和第六晶体管 M6 也截止，第二节点 PD 的电平被第三电压源 GCH
20 拉高，第十一至第十三晶体管 M11-M13 导通，第二信号输出端 OUTPUT2 和第一信号输出端 OUTPUT1 均稳定输出低电平，完成对第二行栅线的驱动。

此后，复位信号端 RESET 变为低电平，第二晶体管 M2 截止，在下一帧到来之前，第一节点 PU 点一直处于低电平，第二节点 PD 点一直处于高电平，第十一至第十三晶体管 M11-M13 一直处于导通状态，可以持续地对第一节点 PU、第一信号输出端 OUTPUT1 和第二信号输出端 OUTPUT2 进行放
25 噪，同时第一时钟信号端 CLK1 通过不断打开第八晶体管 M8，可不断对第三节点 PO 进行放噪，从而保证第二信号输出端 OUTPUT2 和第一信号输出端 OUTPUT1 的低压信号输出的稳定性。直至下一帧到来，所述移位寄存器接收到信号输入端 INPUT 的高电平信号后，重新执行上述第一阶段。

30 由图 5 可以看出，第二时钟信号端 CLK2 的时钟信号与第一时钟信号端

CLK1 的时钟信号反相。

根据本公开实施例的移位寄存器在反向扫描时的具体工作过程与正向扫描时的工作过程相似，在此不再赘述。

5 本公开还提供了一种移位寄存器的驱动方法。下面结合图4对该方法进行说明。如图4所示，移位寄存器包含预充电模块301、复位模块302、控制模块303、第一上拉模块304、第二上拉模块305、第一下拉模块306、第二下拉模块307，该驱动方法包含：

由预充电模块301在来自信号输入端INPUT的输入信号的控制下将第一电压源VDD的电压提供至预充电模块301的输出节点PU；

10 由复位模块302在来自复位信号端的输入信号的控制下将第二电压源VSS的电压提供至所述预充电模块301的输出节点PU；

由控制模块303在预充电模块301的输出节点PU的电压的控制下将来自第三电压源GCH的电压提供给控制模块303的输出节点PD或者将来自第四电压源VGL的电压提供给控制模块303的输出节点PD；

15 由第一上拉模块304在预充电模块301的输出节点PU的电压的控制下将来自第一时钟信号端CLK1的时钟信号提供给第一信号输出端OUTPUT1；

由第二上拉模块305在第一时钟信号端CLK1的时钟信号和预充电模块301的输出节点PU的电压的控制下将来自第二时钟信号端CLK2的时钟信号提供给第二信号输出端OUTPUT2；

20 由第一下拉模块306在第二信号输出端OUTPUT2的输出信号的控制下将所述第四电压源VGL的电压提供给第一信号输出端OUTPUT1；

由第二下拉模块307在控制模块303的输出节点PD的电压的控制下将所述第四电压源VGL的电压提供给第二信号输出端OUTPUT2。

25 图6示出了由根据本公开实施例的多个移位寄存器级联形成的栅极驱动电路的示意图。

如图6所示，在该栅极驱装置中，多个图4中的上述移位寄存器串联连接。其中除最后一个移位寄存器 R_m 外，其余每个移位寄存器 R_i ($1 \leq i < m$)的第二信号输出端OUTPUT2均和与其相邻的下一个移位寄存器 R_{i+1} 的信号输入端INPUT相连；除第一个移位寄存器 R_1 外，其余每个移位寄存器 R_i ($1 < i \leq m$)的第一信号输出端OUTPUT1均和与其相邻的上一个移位寄存器

30

Ri-1 的复位信号端 RESET 相连。在正向扫描时，所述第一个移位寄存器 R1 的信号输入端 INPUT 输入帧起始信号 STV；在反向扫描时，所述最后一个移位寄存器 Rm 的复位信号端 RESET 输入帧起始信号 STV。

5 如图 6 所示，在该栅极驱动电路中，相邻两级移位寄存器的第一时钟信号端输入的时钟信号相同，第二时钟信号端输入的时钟信号相同。

根据本公开实施例的栅极驱动电路在正向扫描时各移位寄存器的具体工作过程与参照图 4 和图 5 描述的工作过程相似，在此不再赘述。

根据本公开实施例的栅极驱动电路在反向扫描时的具体工作过程与正向扫描时的工作过程相似，在此不再赘述。

10 根据本公开实施例的栅极驱动电路可以采用 GOA 技术，用作显示装置的栅极驱动电路，以提供逐行扫描功能，将扫描信号传送至显示区域。

根据本公开实施例的栅极驱动电路可以减少晶体管使用数量，降低电路成本，消除输出端的噪声，提高工作的稳定性。

本公开还提供了一种包含上述栅极驱动电路的显示装置。

15 这里的显示装置可以为：电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到的变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

20

本申请要求于 2016 年 2 月 4 日递交的中国专利申请第 201610078430.4 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1.一种移位寄存器，包括：

5 预充电模块，连接第一电压源和信号输入端，配置为在来自信号输入端的输入信号的控制下将第一电压源的电压提供至第一节点，所述第一节点为预充电模块的输出节点；

复位模块，连接第二电压源、复位信号端和所述第一节点，配置为在来自复位信号端的输入信号的控制下将第二电压源的电压提供至所述第一节点；

10 控制模块，连接第三电压源、第四电压源和所述第一节点，配置为在第一节点的电压的控制下将来自第三电压源的电压提供给第二节点或者将来自第四电压源的电压提供给第二节点，所述第二节点为控制模块的输出节点；

15 第一上拉模块，连接第一时钟信号端、第一信号输出端和所述第一节点，配置为在第一节点的电压的控制下将来自第一时钟信号端的时钟信号提供给第一信号输出端；

第二上拉模块，连接第一时钟信号端、第二时钟信号端、第一节点和第二信号输出端，配置为在第一时钟信号端的时钟信号和第一节点的电压的控制下将来自第二时钟信号端的时钟信号提供给第二信号输出端；

20 第一下拉模块，连接第四电压源、第一信号输出端和第二信号输出端，配置为在第二信号输出端的输出信号的控制下将所述第四电压源的电压提供给第一信号输出端；

第二下拉模块，连接第四电压源、第二信号输出端和第二节点，配置为在第二节点的电压的控制下将所述第四电压源的电压提供给第二信号输出端。

25 2.根据权利要求1所述的移位寄存器，还包括：

放噪模块，连接第四电压源、第一信号输出端、第一节点和第二节点。

3.根据权利要求1-2中任一项所述的移位寄存器，所述预充电模块包括：

第一晶体管，其漏极连接至第一电压源，栅极连接至信号输入端，源极连接至第一节点。

30 4.根据权利要求1-3中任一项所述的移位寄存器，所述复位模块包括：

第二晶体管，其漏极连接至第一节点，栅极连接至复位信号端，源极连接至第二电压源。

5. 根据权利要求 1-4 中任一项所述的移位寄存器，所述控制模块包括：

第三晶体管，其漏极和栅极连接至第三电压源；

5 第四晶体管，其漏极连接至第三电压源，栅极连接至第三晶体管的源极，源极连接至第二节点；

第五晶体管，其漏极连接至第三晶体管的源极，栅极连接至第一节点，源极连接至第四电压源；

10 第六晶体管，其漏极连接至第二节点，栅极连接至第一节点，源极连接至第四电压源。

6. 根据权利要求 1-5 中任一项所述的移位寄存器，所述第一上拉模块包括：

第七晶体管，其漏极连接至第一时钟信号端，栅极连接至第一节点，源极连接至第一信号输出端；

15 第一电容，连接在第一节点和第一信号输出端之间。

7. 根据权利要求 1-6 中任一项所述的移位寄存器，所述第二上拉模块包括：

第八晶体管，其栅极连接至第一时钟信号端，源极连接至第一节点；

第二电容，连接在第八晶体管的漏极和第二信号输出端之间；

20 第九晶体管，其漏极连接至第二时钟信号端，栅极连接至第八晶体管的漏极，源极连接至第二信号输出端。

8. 根据权利要求 1-7 中任一项所述的移位寄存器，所述第一下拉模块包括：

25 第十晶体管，其漏极连接至第一信号输出端，栅极连接至第二信号输出端，源极连接至第四电压源。

9. 根据权利要求 1-8 中任一项所述的移位寄存器，所述第二下拉模块包括：

第十一晶体管，其漏极连接至第二信号输出端，栅极连接至第二节点，源极连接至第四电压源。

30 10. 根据权利要求 2-9 中任一项所述的移位寄存器，所述放噪模块包括：

第十二晶体管，其漏极连接至第一信号输出端，栅极连接至第二节点，源极连接至第四电压源；

第十三晶体管，其漏极连接至第一节点，栅极连接至第二节点，源极连接至第四电压源。

5 11.根据权利要求 1-10 中任一项所述的移位寄存器，
在正向扫描时，第一电压源输出高电平信号，第二电压源输出低电平信号；

在反向扫描时，第一电压源输出低电平信号，第二电压源输出高电平信号；

10 其中，正向扫描时的信号输入端用作反向扫描时的复位信号端，正向扫描时的复位信号端用作反向扫描时的信号输入端。

12.根据权利要求 3-11 中任一项所述的移位寄存器，其中，所述晶体管均为 N 型晶体管。

15 13.根据权利要求 1-12 中任一项所述的移位寄存器，其中所述第二时钟信号端的时钟信号与第一时钟信号端的时钟信号反相。

14.根据权利要求 1-13 中任一项所述的移位寄存器，第三电压源为恒定高电压源，第四电压源为恒定低电压源。

15.一种栅极驱动电路，包括多个串联的移位寄存器，每个所述移位寄存器是如权利要求 1-14 中任一项所述的移位寄存器，

20 其中除最后一个移位寄存器外，其余每个移位寄存器的第二信号输出端均和与其相邻的下一个移位寄存器的信号输入端相连；除第一个移位寄存器外，其余每个移位寄存器的第一信号输出端均和与其相邻的上一个移位寄存器的复位信号端相连；

25 在正向扫描时，所述第一个移位寄存器的信号输入端输入帧起始信号；
在反向扫描时，所述最后一个移位寄存器的复位信号端输入帧起始信号。

16.根据权利要求 15 所述的栅极驱动电路，其中

相邻两级移位寄存器的第一时钟信号端输入的时钟信号相同，第二时钟信号端输入的时钟信号相同。

30 17.一种包含根据权利要求 15-16 中任一项所述的栅极驱动电路的显示装置。

18.一种移位寄存器的驱动方法，该移位寄存器包含预充电模块、复位模块、控制模块、第一上拉模块、第二上拉模块、第一下拉模块、第二下拉模块，该驱动方法包含：

5 由预充电模块在来自信号输入端的输入信号的控制下将第一电压源的电压提供至预充电模块的输出节点；

由复位模块在来自复位信号端的输入信号的控制下将第二电压源的电压提供至所述预充电模块的输出节点；

10 由控制模块在预充电模块的输出节点的电压的控制下将来自第三电压源的电压提供给控制模块的输出节点或者将来自第四电压源的电压提供给控制模块的输出节点；

由第一上拉模块在预充电模块的输出节点的电压的控制下将来自第一时钟信号端的时钟信号提供给第一信号输出端；

由第二上拉模块在第一时钟信号端的时钟信号和预充电模块的输出节点的电压的控制下将来自第二时钟信号端的时钟信号提供给第二信号输出端；

15 由第一下拉模块在第二信号输出端的输出信号的控制下将所述第四电压源的电压提供给第一信号输出端；

由第二下拉模块在控制模块的输出节点的电压的控制下将所述第四电压源的电压提供给第二信号输出端

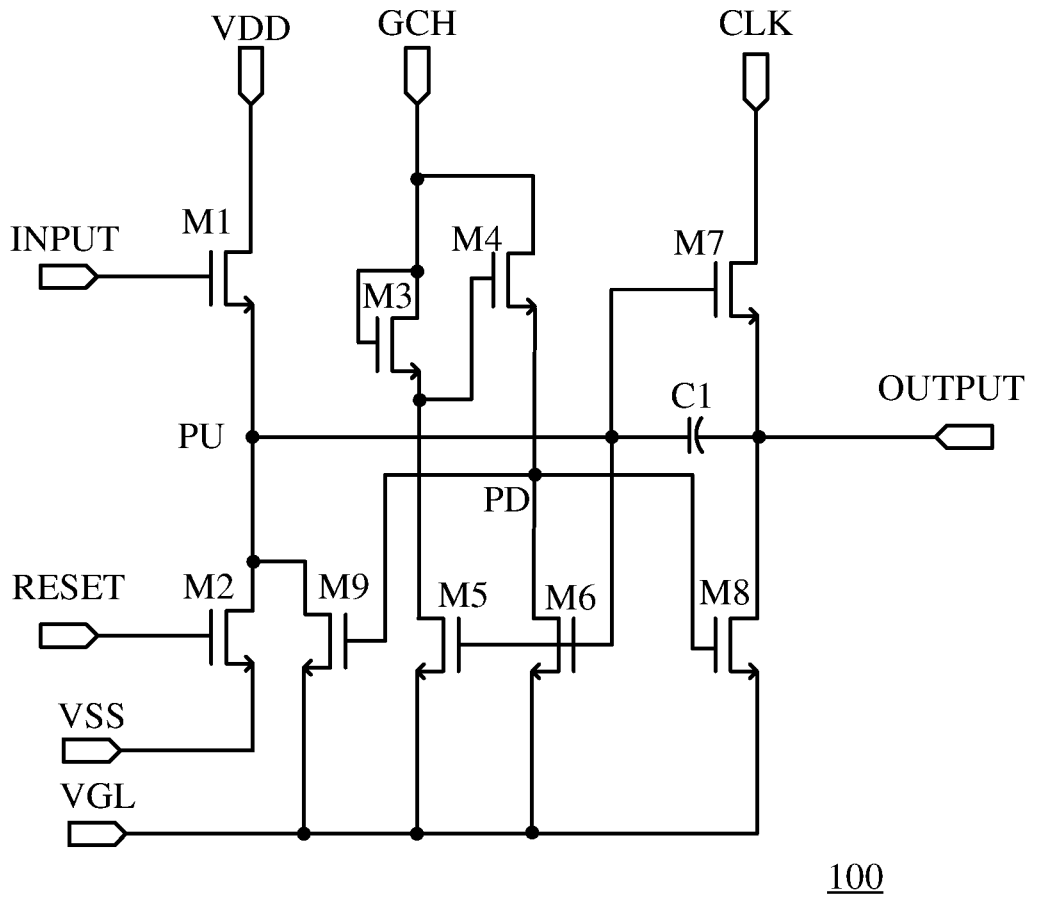


图 1

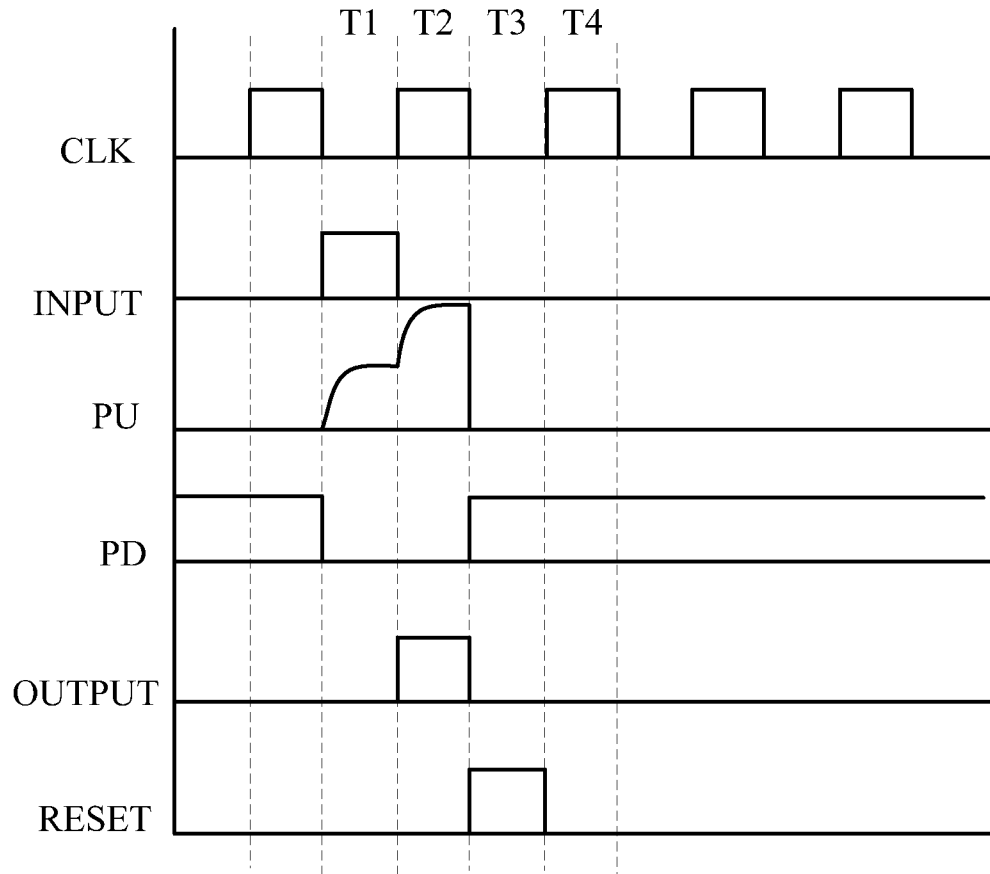


图 2

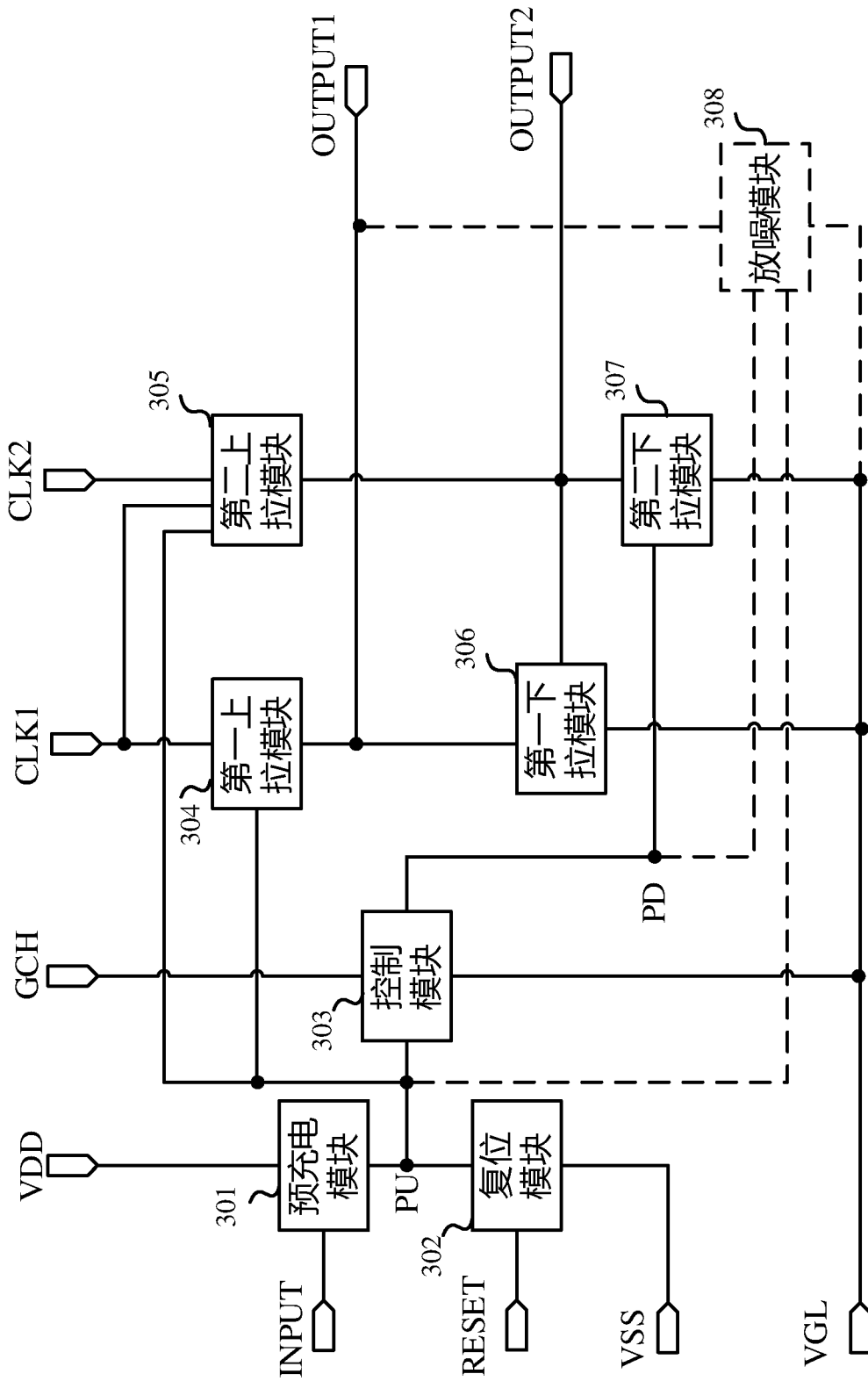


图3

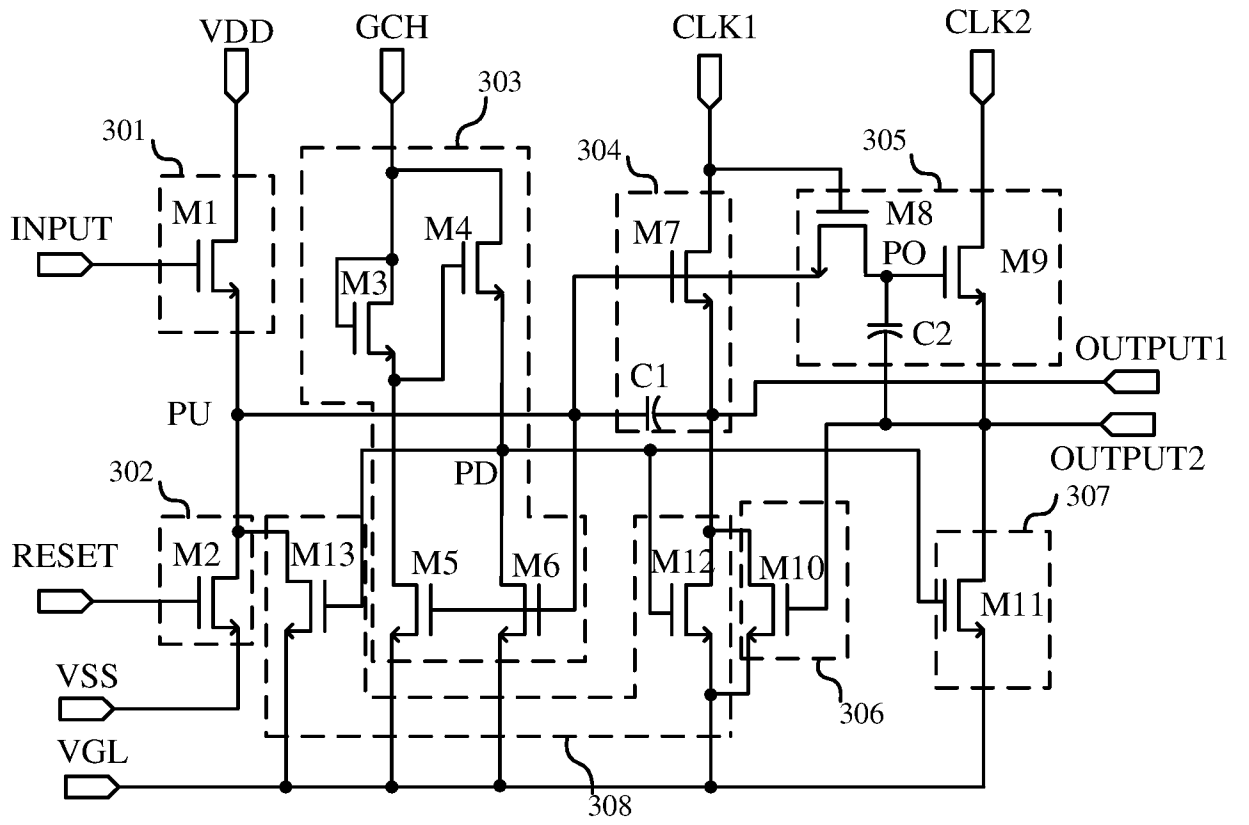


图 4

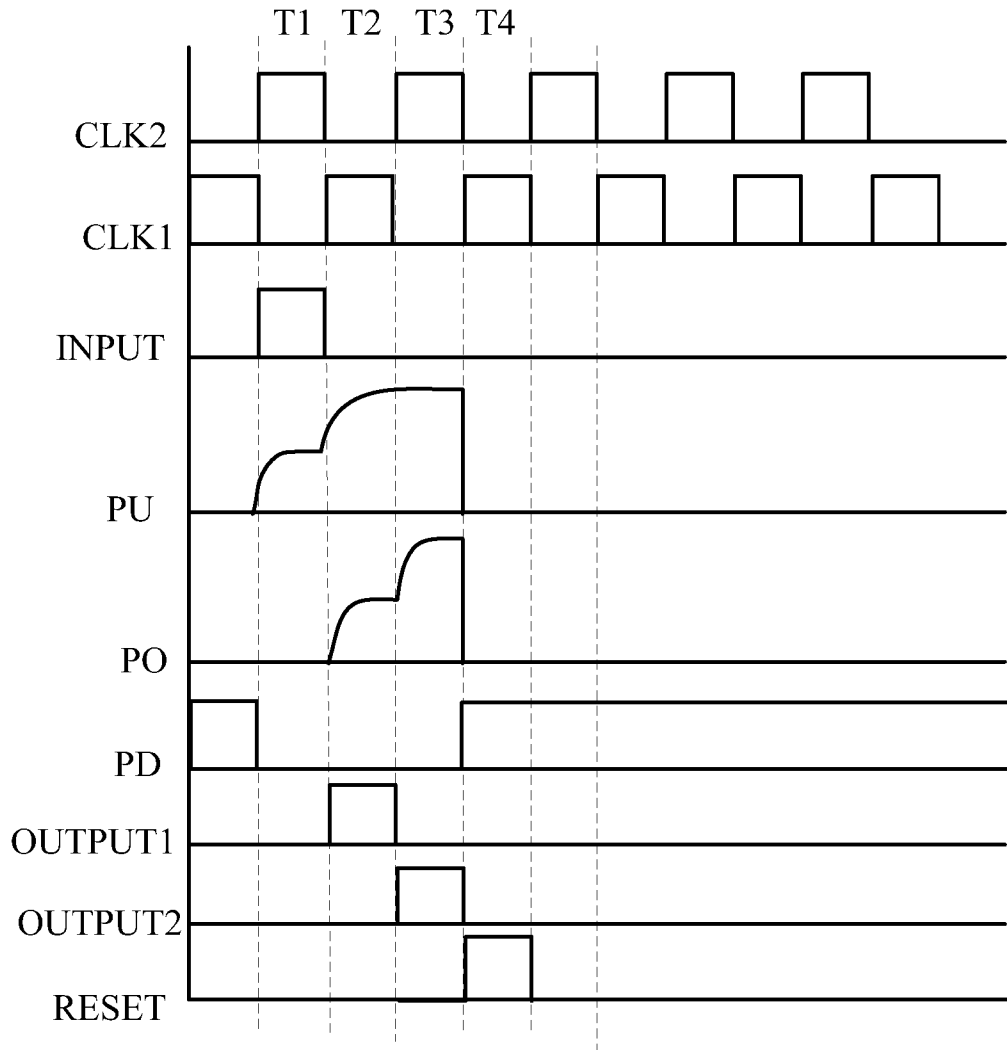


图 5

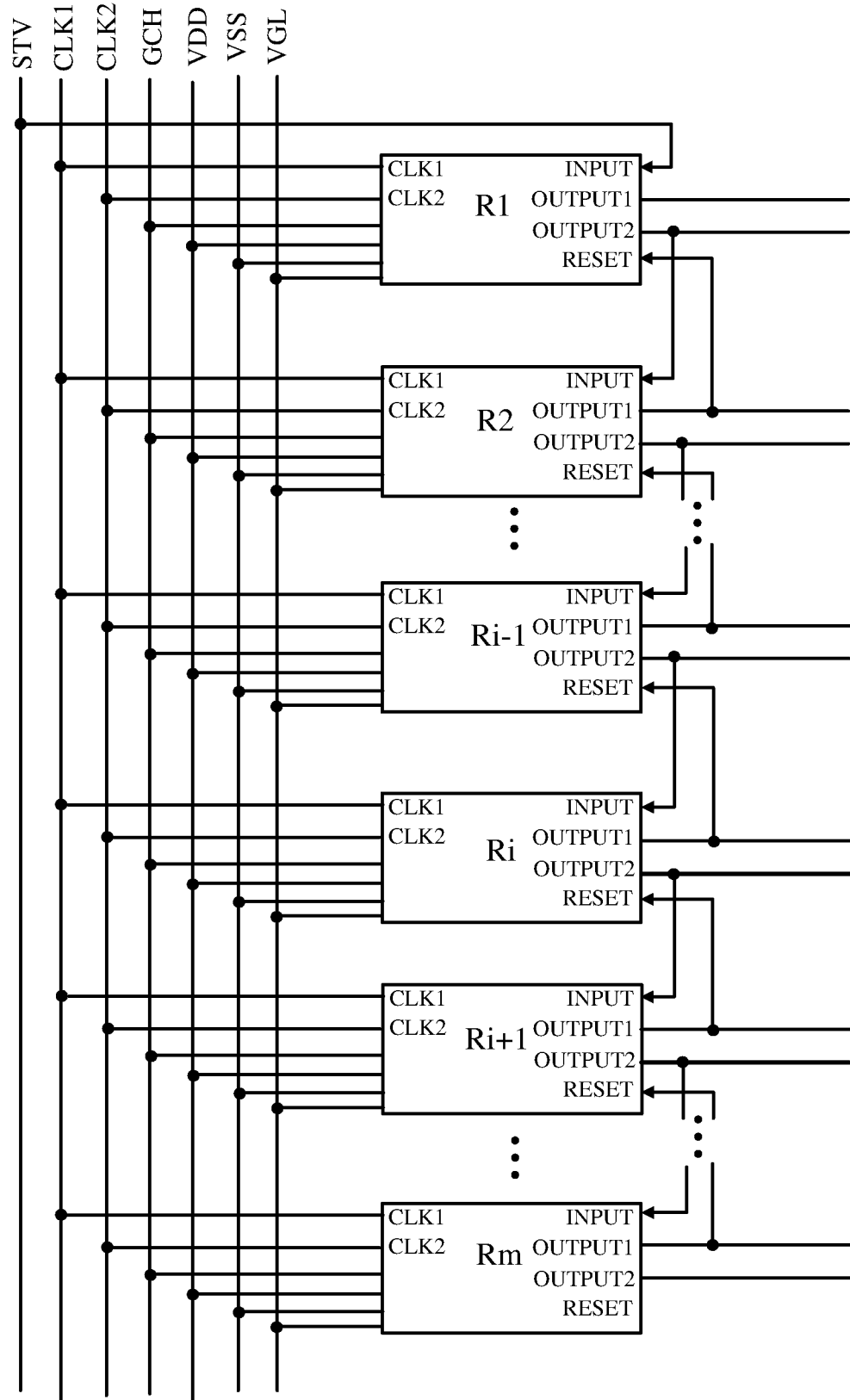


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/081699

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-, G09G 5/-, G11C 19/-, G02F 1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS: TFT, second pull up, second pull down, second clock, two lines, shift register, transistor?, second, pull w up, pull 'w down, clock, output, out, control+, two gate lines, common

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105529009 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 27 April 2016 (27.04.2016), description, paragraphs [0007]-[0009], and figure 2	1-18
A	CN 104966506 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 07 October 2015 (07.10.2015), the whole document	1-18
A	CN 102708799 A (BOE TECHNOLOGY GROUP CO., LTD.), 03 October 2012 (03.10.2012), the whole document	1-18
A	KR 20060097819 A (SAMSUNG ELECTRONICS CO., LTD.), 18 September 2006 (18.09.2006), the whole document	1-18

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

Date of mailing of the international search report

03 November 2016 (03.11.2016)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

CHANG, Qing

Telephone No.: (86-10) 62085778

INTERNATIONAL SEARCH REPORT
 Information on patent family members

International application No.
 PCT/CN2016/081699

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105529009 A	27 April 2016	None	
CN 104966506 A	07 October 2015	None	
CN 102708799 A	03 October 2012	W O 2013177918 A I	05 December 2013
		CN 102708799 B	19 November 2014
		US 2014111403 A I	24 April 2014
KR 20060097819 A	18 September 2006	None	

<p>A. 主题的分类</p> <p>G09G 3/36 (2006. 01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>G09G3/-, G09G5/-, G11C19/-, G02F1/133</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>VEN ,CNABS: 移位寄存器, 移位暂存器, 晶体管, TFT, 第二上拉, 第二下拉, 第二时钟, 输出, 控制, 两行, 公用, 共用 shift register, transistor?, second, pull w up, pull w down, clock, output, out, control+, two gate lines, common</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105529009 A (京东方科技集团股份有限公司等) 2016 年 4 月 27 日 (2016 - 04 - 27) 说明书第 [0007] - [0009] 段和附图 2</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 104966506 A (京东方科技集团股份有限公司等) 2015 年 10 月 7 日 (2015 - 10 - 07) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 102708799 A (京东方科技集团股份有限公司) 2012 年 10 月 3 日 (2012 - 10 - 03) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>KR 20060097819 A (SAMSUNG ELECTRONICS CO LTD) 2006 年 9 月 18 日 (2006 - 09 - 18) 全文</td> <td>1-18</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在 c 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“x” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105529009 A (京东方科技集团股份有限公司等) 2016 年 4 月 27 日 (2016 - 04 - 27) 说明书第 [0007] - [0009] 段和附图 2	1-18	A	CN 104966506 A (京东方科技集团股份有限公司等) 2015 年 10 月 7 日 (2015 - 10 - 07) 全文	1-18	A	CN 102708799 A (京东方科技集团股份有限公司) 2012 年 10 月 3 日 (2012 - 10 - 03) 全文	1-18	A	KR 20060097819 A (SAMSUNG ELECTRONICS CO LTD) 2006 年 9 月 18 日 (2006 - 09 - 18) 全文	1-18
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 105529009 A (京东方科技集团股份有限公司等) 2016 年 4 月 27 日 (2016 - 04 - 27) 说明书第 [0007] - [0009] 段和附图 2	1-18															
A	CN 104966506 A (京东方科技集团股份有限公司等) 2015 年 10 月 7 日 (2015 - 10 - 07) 全文	1-18															
A	CN 102708799 A (京东方科技集团股份有限公司) 2012 年 10 月 3 日 (2012 - 10 - 03) 全文	1-18															
A	KR 20060097819 A (SAMSUNG ELECTRONICS CO LTD) 2006 年 9 月 18 日 (2006 - 09 - 18) 全文	1-18															
国际检索实际完成的日期	国际检索报告邮寄日期																
	2016 年 11 月 3 日																
ISA/CN 的名称和邮寄地址	授权官员																
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路 6 号 100088	常青																
传真号 (86-10) 62019451	电话号码 (86-10) 62085778																

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/081699

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105529009	A	2016年4月27日	无			
CN	104966506	A	2015年10月7日	无			
CN	102708799	A	2012年10月3日	WO	2013177918	A1	2013年12月5日
				CN	102708799	B	2014年11月19日
				US	2014111403	A1	2014年4月24日
KR	20060097819	A	2006年9月18日	无			