



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년03월23일  
(11) 등록번호 10-0889552  
(24) 등록일자 2009년03월12일

(51) Int. Cl.

*H01L 29/78* (2006.01) *H01L 21/31* (2006.01)

(21) 출원번호 10-2007-0062847

(22) 출원일자 2007년06월26일

심사청구일자 2007년06월26일

(65) 공개번호 10-2008-0113872

(43) 공개일자 2008년12월31일

(56) 선행기술조사문헌

KR1020020043932 A\*

KR1020050011480 A

US7067434 B2

KR1020030001954 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

윤재석

서울 용산구 문배동 40-19 삼라마이더스빌 1110

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 5 항

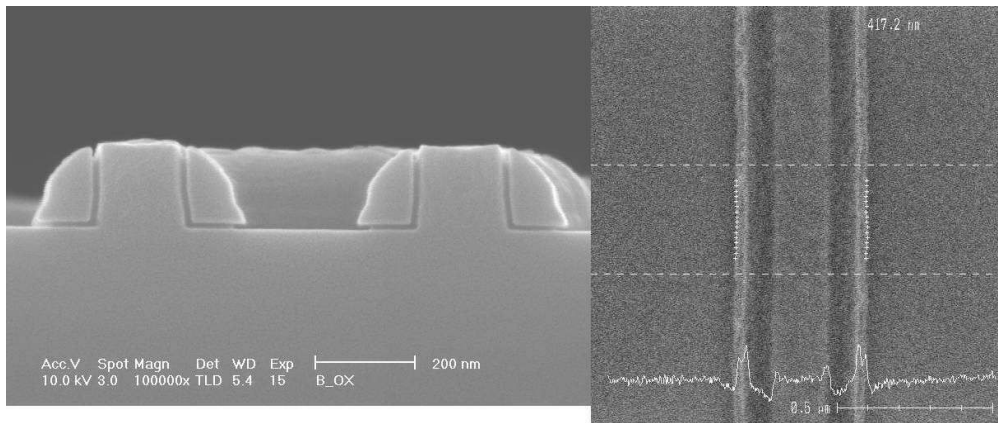
심사관 : 김연경

**(54) 반도체 소자의 스페이서 형성방법**

**(57) 요약**

본 발명은 반도체 소자의 스페이서 형성방법에 관한 것으로, 본 발명에 따른 반도체 소자의 스페이서 형성방법은 기판 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극이 형성된 기판 상에 스페이서용 실리콘 산화막 및 실리콘질화막을 각각 형성하는 단계와, 100~ 300mTorr의 압력 및 4~20sccm의 C<sub>4</sub>F<sub>8</sub>가스를 사용한 공정조건으로 상기 실리콘 질화막을 식각하는 단계와, 상기 실리콘 산화막을 식각하여 상기 게이트 전극의 측벽에 이중막의 스페이서를 형성하는 단계를 포함한다.

**대표도 - 도4**



**특허청구의 범위**

**청구항 1**

기판 상에 게이트 전극을 형성하는 단계와,

상기 게이트 전극이 형성된 기판 상에 스페이서용 실리콘 산화막 및 실리콘질화막을 각각 형성하는 단계와,

C<sub>4</sub>F<sub>8</sub>가스를 사용한 공정조건으로 상기 실리콘 질화막을 식각하는 단계와,

상기 실리콘 산화막을 식각하여 상기 게이트 전극의 측벽에 이중막의 스페이서를 형성하는 단계를 포함하며,

상기 실리콘 질화막 및 실리콘 산화막을 식각하여 이중막의 스페이서를 형성하는 단계는 듀얼 프리퀀시 RIE(Dual Frequency RIE)방식의 식각장비에서 수행하는 것을 특징으로 하는 반도체 소자의 스페이서 형성방법.

**청구항 2**

제1 항에 있어서, 상기 C<sub>4</sub>F<sub>8</sub>가스는

4~20sccm인 것을 특징으로 하는 반도체 소자의 스페이서 형성방법.

**청구항 3**

제1 항에 있어서, 상기 C<sub>4</sub>F<sub>8</sub>가스를 사용한 공정조건에는

100~ 300mTorr의 압력, 400W의 전력, 250sccm의 Ar가스, 150sccm의 N<sub>2</sub>가스, 50sccm의 CH<sub>3</sub>F가스, 150sccm의 O<sub>2</sub>가스를 사용하여 상기 실리콘 질화막 두께의 65%를 식각 타겟(target)으로 하여 15초간 진행하는 공정조건을 더 추가하는 것을 특징으로 하는 반도체 소자의 스페이서 형성방법.

**청구항 4**

제1 항에 있어서, 상기 C<sub>4</sub>F<sub>8</sub>가스를 사용한 공정조건으로 상기 실리콘 질화막을 식각한 후,

1000VAT, 146mTorr의 압력, 400W의 소스전력, 450sccm의 Ar가스, 12 sccm의 CF<sub>4</sub>가스, 50sccm의 CH<sub>3</sub>F가스, 250sccm의 O<sub>2</sub>가스로 EPD(end point decter)를 잡은 후에 EPD시간의 30%를 과식각하여 상기 식각된 실리콘 질화막을 다시 식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 스페이서 형성방법.

**청구항 5**

제1 항에 있어서, 상기 실리콘 산화막을 식각하는 단계는

146mTorr의 압력, 300W의 소스전력, 100W의 바이어스 전력, 450sccm의 Ar가스, 20sccm의 CF<sub>4</sub>가스, 10sccm의 CH<sub>3</sub>F가스, 150sccm의 O<sub>2</sub>가스를 30초간 진행하는 것을 특징으로 하는 반도체 소자의 스페이서 형성방법.

**청구항 6**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<5> 본 발명은 반도체소자의 제조방법에 관한 것으로, 더욱 상세하게는 반도체 소자의 스페이서 형성방법에 관한 것이다.

<6> 일반적으로, 반도체 소자에는 상기 게이트 전극의 측벽에 스페이서가 형성된다. 이 스페이서는 라이트 도핑

(light Doping)인 LDD(Light Doped Drain) 영역과 S/D(Source/Drain)영역을 분리해 주고, 후속 공정에서 실리사이드(silicide) 형성시 기관과 게이트의 분리 역할 뿐만 아니라, 콘택트 미스 얼라인(contact misalign)의 마진을 높여주는 역할까지 하고 있다.

<7> 이때, 스페이서로 사용되는 막질은 실리콘 질화막(SiN)을 사용하고 있는 데, 이 질화막에 스페이서를 형성하기 위해 수행되는 식각 공정시 스페이서의 CD(critical demension)를 맞추기가 어렵다.

**발명이 이루고자 하는 기술적 과제**

<8> 상술한 문제점을 해결하기 위한 본 발명의 목적은 원하는 스페이서의 CD를 얻을 수 있도록 하는 반도체 소자의 스페이서 형성방법을 제공함에 있다.

**발명의 구성 및 작용**

<9> 상술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 스페이서 형성방법은 기관 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극이 형성된 기관 상에 스페이서용 실리콘 산화막 및 실리콘질화막을 각각 형성하는 단계와, C<sub>4</sub>F<sub>8</sub>가스를 사용한 공정조건으로 상기 실리콘 질화막을 식각하는 단계와, 상기 실리콘 산화막을 식각하여 상기 게이트 전극의 측벽에 이중막의 스페이서를 형성하는 단계를 포함한다.

<10> 상기 C<sub>4</sub>F<sub>8</sub>가스는 4~20sccm인 것을 특징으로 하고, 상기 C<sub>4</sub>F<sub>8</sub>가스를 사용한 공정조건에는 100~ 300mTorr의 압력, 400W의 전력, 250sccm의 Ar가스, 150sccm의 N<sub>2</sub>가스, 50sccm의 CH<sub>3</sub>F가스, 150sccm의 O<sub>2</sub>가스를 사용하여 상기 실리콘 질화막 두께의 65%를 식각 타겟(target)으로 하여 15초간 진행하는 공정조건을 더 추가한다.

<11> 상기 C<sub>4</sub>F<sub>8</sub>가스를 사용한 공정조건으로 상기 실리콘 질화막을 식각한 후, 1000VAT, 146mTorr의 압력, 400W의 소스전력, 450sccm의 Ar가스, 12 sccm의 CF<sub>4</sub>가스, 50sccm의 CH<sub>3</sub>F가스, 250sccm의 O<sub>2</sub>가스로 EPD(end point detector)를 잡은 후에 EPD시간의 30%를 과식각하여 상기 식각된 실리콘 질화막을 다시 식각하는 단계를 더 포함한다.

<12> 상기 실리콘 산화막을 식각하는 단계는 146mTorr의 압력, 300W의 소스전력, 100W의 바이어스 전력, 450sccm의 Ar가스, 20sccm의 CF<sub>4</sub>가스, 10sccm의 CH<sub>3</sub>F가스, 150sccm의 O<sub>2</sub>가스를 30초간 진행한다.

<13> 상기 실리콘 질화막 및 실리콘 산화막을 식각하여 이중막의 스페이서를 형성하는 단계는 듀얼 프리퀀시 RIE(Dual Frequency RIE)방식의 식각장비에서 수행한다.

<14> 상기와 같은 특징을 갖는 본 발명에 따른 반도체 소자의 스페이서 형성방법에 대한 실시예를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

<15> 도 1 내지 도 3은 본 발명에 따른 반도체의 스페이서 형성방법을 도시한 공정 순서도이다.

<16> 도 1을 참조하면, 소자분리막(미도시)가 형성된 실리콘 기관(10) 상에 게이트 산화막(12)을 형성한다. 이어, 상기 게이트 산화막(12) 상에 게이트 전극용 폴리 실리콘막을 형성한 후 패터닝하여, 게이트 전극(14)을 형성한다.

<17> 도 2를 참조하면, 상기 게이트 전극(14) 상에 스페이서용 실리콘 산화막(16a) 또는 스페이서용 실리콘 질화막(18a)을 형성한다.

<18> 이어, 도 3을 참조하면, 상기 실리콘 산화막(16a) 및 실리콘 질화막(18a)에 식각공정을 수행하여, 게이트 전극(14)의 측벽에 이중막의 스페이서(16b, 18b)를 형성함으로써, 본 공정을 완료한다.

<19> 상기 식각 공정은 듀얼 프리퀀시 RIE(Dual Frequency RIE)방식의 식각장비인 HPT(LAM사에서 제조)에서 수행되고, 상기 식각 공정은 100~ 300mTorr의 압력 예를 들어, 258mTorr의 압력, 400W의 전력, 250sccm의 Ar가스, 150sccm의 N<sub>2</sub>가스, 4~20sccm의 C<sub>4</sub>F<sub>8</sub> 가스 예를 들어, 6sccm의 C<sub>4</sub>F<sub>8</sub>가스, 50sccm의 CH<sub>3</sub>F가스, 150sccm의 O<sub>2</sub>가스를 사용하여 증착된 실리콘 질화막(18a) 두께의 65%정도를 식각 타겟(target)으로 하여 15초간 진행한 후, 1000VAT, 146mTorr의 압력, 400W의 소스전력, 450sccm의 Ar가스, 12 sccm의 CF<sub>4</sub>가스, 50sccm의 CH<sub>3</sub>F가스, 250sccm의 O<sub>2</sub>가스로 EPD(end point detector)를 잡은 후에 EPD시간의 30% 과식각(overetch)하여 나머지 실리콘 질화막을 식각한다. 이어, 1000VAT, 146mTorr의 압력, 300W의 소스전력, 100W의 바이어스 전력, 450sccm의 Ar가스, 20sccm의 CF<sub>4</sub>가스, 10sccm의 CH<sub>3</sub>F가스, 150sccm의 O<sub>2</sub>가스를 30초간 진행하여 실리콘 질화막이 식각된 후 노

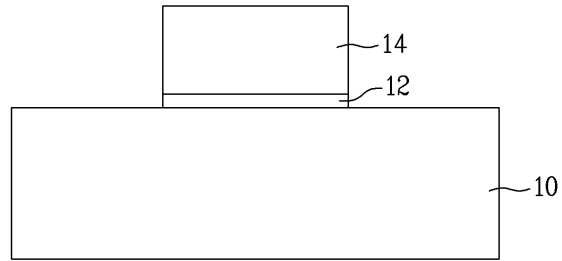


<4> 14: 게이트전극

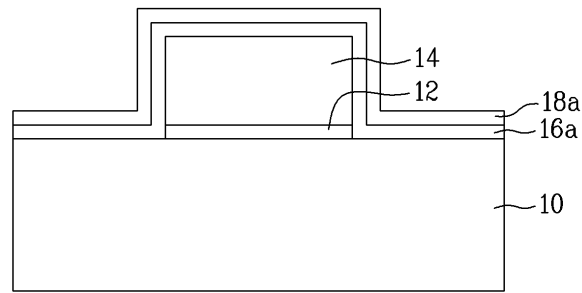
16b, 18b: 이중막의 스페이서

도면

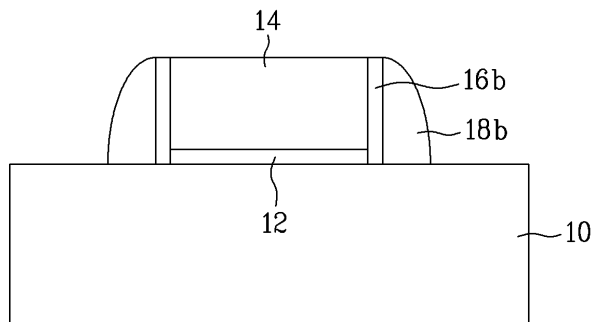
도면1



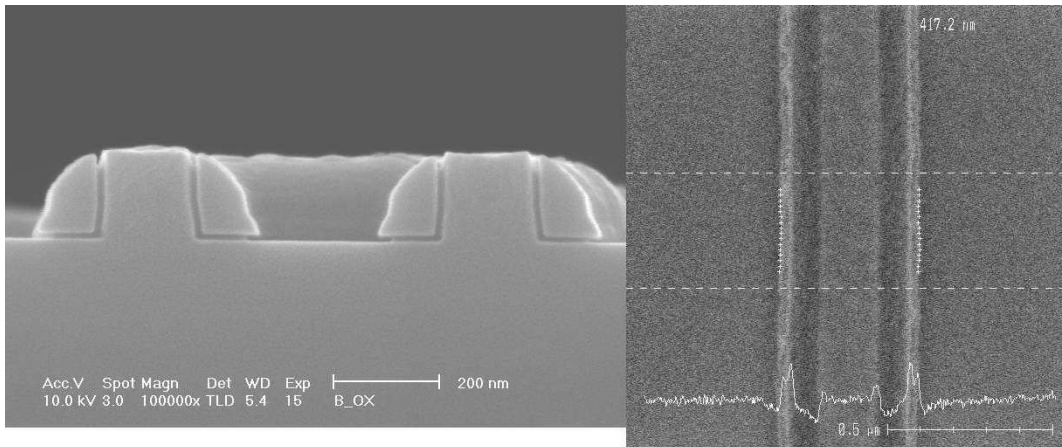
도면2



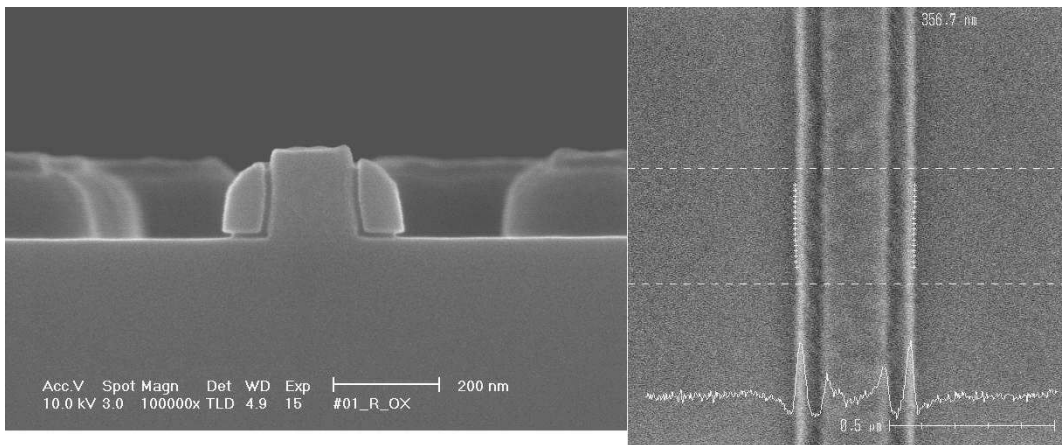
도면3



도면4



도면5



도면6

