



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0101182

(43) 공개일자 2015년09월03일

(51) 국제특허분류(Int. Cl.)

H03M 1/12 (2006.01)

(21) 출원번호 10-2014-0022557

(22) 출원일자 2014년02월26일

심사청구일자 2014년02월26일

(71) 출원인

국립대학법인 울산과학기술대학교 산학협력단

울산광역시 울주군 언양읍 유니스트길 50

(72) 발명자

김재준

서울 강남구 압구정로39길 58, 61동 406호 (압구정동, 현대아파트)

최수빈

울산 남구 신정로153번길 5-1, (신정동)

박경환

경남 양산시 상북면 반희서5길 21, 102동 1301호 (진일1차아파트)

(74) 대리인

장한특허법인

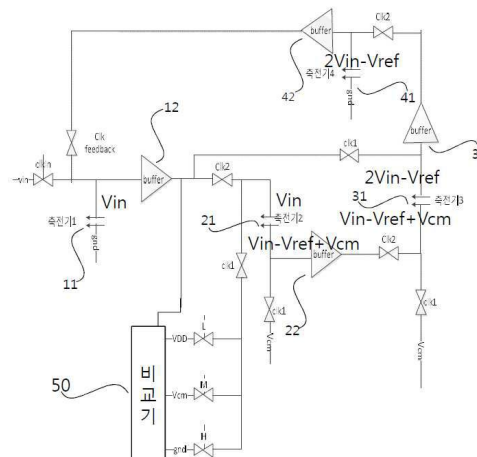
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 순환형 아날로그 디지털 변환기

(57) 요약

본 발명에 따른 순환형 아날로그 디지털 변환기는 입력클럭 clk_{in} , 제1클럭 clk_1 , 제2클럭 clk_2 , 피드백클럭 clk_{fb} , 제1 축전기, 제2 축전기, 제3 축전기, 및 제4 축전기를 구비한 순환형 아날로그 디지털 변환기에 있어서, 제1 축전기, 제2 축전기, 제3 축전기, 및 제4 축전기의 출력단 각각에 구비된 제1 버퍼, 제2 버퍼, 제3 버퍼, 및 제4 버퍼, 입력클럭 clk_{in} 과 제1클럭 clk_1 이 단함에 따라, 제1 축전기에 충전되고, 동시에 제1 버퍼를 통과하여 전달되는 입력전압 V_{in} 을 수신하여 제1 임계신호 전압레벨 V_{th1} 및 제2 임계신호 전압레벨 V_{th2} 과의 전압을 비교하는 비교기를 포함하여, 축전기의 부정합으로 인한 에러를 줄일 수 있는 효과가 있다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 2013R1A1A4A01004674

부처명 교육과학기술부

연구관리전문기관 한국연구재단

연구사업명 지역대학우수과학자

연구과제명 적응형 선형중첩 기반 CMOS 광대역 테라헤르츠 송수신기 통합 칩 기술개발

기 여 율 1/1

주관기관 국립대학법인 울산과학기술대학교 산학협력단

연구기간 2013.06.01 ~ 2014.05.31

특허청구의 범위

청구항 1

입력클락(clk_{in}), 제1클락(clk_1), 제2클락(clk_2), 피드백클락(clk_{fb}), 제1 축전기(11), 제2 축전기(21), 제3 축전기(31), 및 제4 축전기(41)를 구비한 순환형 아날로그 디지털 변환기에 있어서,

상기 제1 축전기(11), 제2 축전기(21), 제3 축전기(31), 및 제4 축전기(41)의 출력단 각각에 구비된 제1 버퍼(12), 제2 버퍼(22), 제3 버퍼(32), 및 제4 버퍼(42);

상기 입력클락(clk_{in})과 상기 제1클락(clk_1)이 단함에 따라, 상기 제1 축전기(11)에 충전되고, 동시에 상기 제1 버퍼(12)를 통과하여 전달되는 입력전압(V_{in})을 수신하여 제1 임계신호 전압레벨(V_{th1}) 및 제2 임계신호 전압레벨(V_{th2})과의 전압을 비교하는 비교기(50);를 포함하는 것을 특징으로 하는 순환형 아날로그 디지털 변환기.

청구항 2

제 1항에 있어서,

상기 비교기(50)는

상기 입력전압(V_{in})이 제1 임계신호 전압레벨(V_{th1}) 및 제2 임계신호 전압레벨(V_{th2})의 크기 비교를 통해 직류전압(V_{DD})스위치, 비교전압(V_{cm})스위치, 및 접지(gnd) 스위치 중, 두개의 스위치는 오프(OFF)시키고 한 스위치만을 온(ON)시키는 것을 특징으로 하는 순환형 아날로그 디지털 변환기.

청구항 3

제 2항에 있어서,

상기 비교기(50)는

상기 입력전압(V_{in})이 상기 제1 임계신호 전압레벨(V_{th1}) 및 제2 임계신호 전압레벨(V_{th2})보다 모두 높을 경우 상기 직류전압(V_{DD}) 스위치가 닫히고, 상기 입력전압(V_{in})이 상기 제1 임계신호 전압레벨(V_{th1})과 제2 임계신호 전압레벨(V_{th2}) 사이의 전압일 경우 상기 비교전압(V_{cm}) 스위치가 닫히며, 상기 입력전압(V_{in})이 상기 제1 임계신호 전압레벨(V_{th1}) 및 제2 임계신호 전압레벨(V_{th2})보다 모두 낮을 경우 상기 접지(gnd) 스위치가 닫히도록 하는 것을 특징으로 하는 순환형 아날로그 디지털 변환기.

청구항 4

제 3항에 있어서,

상기 직류전압(V_{DD})스위치, 상기 비교전압(V_{cm})스위치, 및 상기 접지(gnd) 스위치가 단함에 따라, 각각 직류전압(V_{DD}), 비교전압(V_{cm}) 및 접지(gnd)이 상기 제2 축전기(21)에 걸리는 것을 특징으로 하는 순환형 아날로그 디지털 변환기.

청구항 5

제 4항에 있어서,

상기 입력클락(clk_{in})과 상기 제1클락(clk_1)이 오프(OFF)되고, 상기 제2 클락(clk_2) 온(ON)되면 두배의 상기 입

력전압(V_{in})에서 상기 기준전압(V_{ref})을 뺀 " $2V_{in}-V_{ref}$ " 전압이 상기 제4 축전기(41)에 걸리는 것을 특징으로 하는 순환형 아날로그 디지털 변환기.

청구항 6

제 5항에 있어서,

상기 입력전압(V_{in})에서 상기 기준전압(V_{ref})을 뺀 " $2V_{in}-V_{ref}$ " 전압은 상기 피드백클락(clk_{fb})이 켜지면 입력(input)으로 인가되는 것을 특징으로 하는 순환형 아날로그 디지털 변환기.

명세서

기술분야

[0001] 본 발명은 순환형 아날로그 디지털 변환기에 관한 것으로서, 보다 상세하게는 Op-Amp 대신 축전기의 출력단에 버퍼를 구비시켜, 단지 축전기에 전하를 채우고, 축전기의 양단 중, 한 쪽이라도 연결되어 있지 않은 상태에서 축전기의 전하가 보존되고, 한쪽의 전압이 일정량 상승하면 축전기의 반대쪽 전압도 상승하는 원리를 이용한 순환형 아날로그 디지털 변환기에 관한 것이다.

배경기술

[0002] 먼저, 도 1에 도시된 종래 순환형 아날로그 디지털 변환기 구조를 설명하면, 처음에 스위치 S_{in} 과 스위치 S_1 , 스위치 S_{ld} 가 동시에 닫히는 경우, 축전기 C_F 와 축전기 C_S 에 전압 V_{in} 이 걸리게 된다. 그리고 이때 하부의 비교기(Comparator)에서 입력전압(V_{in})의 크기를 각각 V_{th1} 과 V_{th2} 를(도 1에 V_{th1} 과 V_{th2} 이 도시되어 있지 않음)를 비교하여, V_{th1} 과 V_{th2} 모두 보다 입력전압(V_{in})이 클 경우 스위치H가 닫히게 되고, 입력전압(V_{in})이 V_{th1} 보다 크지만 V_{th2} 보다 작은 경우 스위치M이 닫히게 되고, 입력전압(V_{in})이 V_{th1} 및 V_{th2} 보다 모두 작은 경우 스위치L이 닫히게 된다.

[0003] 이후, 상술한 바와 같이 닫혔던 스위치 S_1 , 스위치 S_{ld} 및 스위치 S_{in} 가 열리고, 스위치 S_2 가 닫히는 경우 축전기 C_S 의 한쪽에는 기준전압(V_{ref})가 걸리게 되고, 상기 축전기 C_F 에는 증폭기(Amp)의 출력전압(V_{out})이 걸리게 된다.

[0004] 이때, 상기 스위치 S_1 , 스위치 S_{ld} 가 열려 있는 경우에 상기 축전기 C_F 와 축전기 C_S 에 충전되어 있는 전하량이 일정하게 유지될 수 밖에 없다.

[0005] 그래서 처음 상기 스위치 S_1 , 스위치 S_{ld} 에 걸려있던 전하량은 " $(V_{in}*C_F)+(V_{in}*C_S)$ "인데, 상기 전하량" $(V_{in}*C_F)+(V_{in}*C_S)$ "은 전하량 보존 법칙에 의하여 스위치 S_2 가 닫히 후의 전하량" $(V_{out}*C_F)+(V_{ref}*C_S)$ "와 같아야 한다.

[0006] 즉, 상술한 바와 같이 " $(V_{in}*C_F)+(V_{in}*C_S)=(V_{out}*C_F)+(V_{ref}*C_S)$ " 식이 성립하고, 이때 보통 같은 크기의 축전기를 사용하므로, " $C_F=C_S$ "라는 식이 성립하여 출력전압' $V_{out}'=2*V_{in}-V_{ref}$ 값이 된다.

[0007] 이후, 피드백 스위치(S_{fb})가 닫혀 출력전압(V_{out})이 입력전압(V_{in})으로 인가되어 처음과 같이 스위치 S_1 , 스위치 S_{ld} 가 동시에 닫혀 상술한 바와 같은 과정이 반복수행된다.

[0008] 예를들어, 만약 12비트(bit)의 ADC라면 12 사이클 중, 첫 사이클만 입력전압(V_{in}) 스위치 S_{in} 가 닫히고, 나머지 11사이클은 피드백(feedback)되어 돌아오 증폭기(Amp)출력전압(V_{out})이 입력전압(V_{in})으로 인가되는 과정을 반복하게 된다.

[0009] 한편, 순환형 아날로그 디지털 변환기는, 두 축전기 C_F 와 C_S 의 크기가 완전히 동일해야 출력전압' V_{out}' 을 " $2*V_{in}-$

V_{ref} 값으로 출력되게 하고, 상기 " $2*V_{in}-V_{ref}$ "을 다시 입력전압(V_{in})으로 인가하는 과정을 반복함으로써, 비트를 맞춰가는 과정이 수행되는데, 상술한 종래의 순환형 아날로그 디지털 변환기는 실제로 칩을 제작할 때 축전기의 용량에 오차가 발생하는 문제점이 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 대한민국 공개특허공보 제10-2004-0033031호(2004. 04. 17)

발명의 내용

해결하려는 과제

[0011] 따라서 본 발명은 상술한 문제점을 해결하기 위하여, Op-Amp 대신 축전기의 출력단에 버퍼를 구비시켜, 단지 축전기에 전하를 채우고, 축전기의 양단 중, 한 쪽이라도 연결되어 있지 않은 상태에서 축전기의 전하가 보존되고, 한쪽의 전압이 일정량 상승하면 축전기의 반대쪽 전압도 상승하는 원리를 이용한 순환형 아날로그 디지털 변환기의 제공을 목적으로 한다.

과제의 해결 수단

[0012] 상술한 목적을 달성하기 위한, 본 발명에 따른 순환형 아날로그 디지털 변환기는 입력클락 clk_{in} , 제1클락 clk_1 , 제2클락 clk_2 , 피드백클락 clk_{fb} , 제1 축전기, 제2 축전기, 제3 축전기, 및 제4 축전기를 구비한 순환형 아날로그 디지털 변환기에 있어서, 제1 축전기, 제2 축전기, 제3 축전기, 및 제4 축전기의 출력단 각각에 구비된 제1 버퍼, 제2 버퍼, 제3 버퍼, 및 제 4버퍼, 입력클락 clk_{in} 과 제1클락 clk_1 이 단함에 따라, 제1 축전기에 충전되고, 동시에 제1 버퍼를 통과하여 전달되는 입력전압 V_{in} 을 수신하여 제1 임계신호 전압레벨 V_{th1} 및 제2 임계신호 전압레벨 V_{th2} 과의 전압을 비교하는 비교기를 포함하는 것을 특징으로 한다.

발명의 효과

[0013] 본 발명에 따른 순환형 아날로그 디지털 변환기는 축전기(capacitor)에 전하를 채우고, 축전기의 양단 중, 한 쪽이라도 연결되어 있지 않은 상태에서 축전기의 전하가 보존되고, 한쪽의 전압이 일정량 상승하면 축전기의 반대쪽 전압도 상승하는 원리를 이용한 것으로 두 축전기의 부정함으로 인한 에러를 줄일 수 있는 효과가 있다.

도면의 간단한 설명

[0014] 도 1은 종래 순환형 아날로그 디지털 변환기도,
도 2 및 도 3은 본 발명에 따른 순환형 아날로그 디지털 변환기를 도시한 도면, 및
도 4는 순환형 아날로그 디지털 변환기에서 클락의 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정하여 해석되어서는 아니 되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여, 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

- [0016] 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.
- [0017] 도 2는 본 발명에 따른 순환형 아날로그 디지털 변환기를 도시한 도면이다.
- [0018] 도 2에 도시된 바와 같이 본 발명에 따른 순환형 아날로그 디지털 변환기는 입력클락(clk_{in}), 제1클락(clk_1), 제2클락(clk_2), 피드백클락(clk_{fb}), 제1 축전기(11), 제1 버퍼(12), 제2 축전기(21), 제2 버퍼(22), 제3 축전기(31), 제3 버퍼(32), 제4 축전기(41), 제4 버퍼(42), 비교기(50)를 포함한다.
- [0019] 먼저, 도 2에 도시된 바와 같이, 상기 입력클락(clk_{in})과 상기 제1클락(clk_1)이 단히게 되면, 상기 제1 축전기(11)에 입력전압(V_{in})이 충전되고, 동시에 상기 입력전압(V_{in})이 상기 제1 버퍼(12)를 통과하여 상기 비교기(50)에 인가된다.
- [0020] 이때, 도 5에 도시된 바와 같이, 상기 제1클락(clk_1), 제2클락(clk_2)은 논 오버랩 클락(Non overlap clock)으로 반대의 클락이면서 서로 전혀 겹치지 않는다.
- [0021] 또한, 상기 입력클락(clk_{in})과 상기 피드백클락(clk_{fb})은 상기 제1클락(clk_1)과 타이밍이 같지만 입력클락(clk_{in})은 처음 입력을 받을 때만 켜졌다가 12bit라면 12cycle이 다 돌아서 다시 샘플링(sampling)이 필요할 때까지 켜지지 않는다.
- [0022] 한편, 상기 피드백클락(clk_{fb})은 피드백되어 되돌아오는 결과를 다시 입력(input)으로 인가하는 클락이다.
- [0023] 참고로, 도 4는 순환형 아날로그 디지털 변환기에서 클락의 파형도 이다.
- [0024] 또한 이때, 상기 비교기(50)는 상기 입력전압(V_{in})이 제1 임계신호 전압레벨(V_{th1}) 및 제2 임계신호 전압레벨(V_{th2})의 크기 비교를 통해 직류전압(V_{DD})스위치, 비교전압(V_{cm})스위치, 및 접지(gnd) 스위치 중, 두개의 스위치는 오프(OFF)시키고 한 스위치만을 온(ON)시킨다.
- [0025] 보다 구체적으로, 상기 비교기(50)는 상기 입력전압(V_{in})이 상기 제1 임계신호 전압레벨(V_{th1}) 및 제2 임계신호 전압레벨(V_{th2})보다 모두 높을 경우 상기 직류전압(V_{DD})스위치가 닫히고, 상기 입력전압(V_{in})이 상기 제1 임계신호 전압레벨(V_{th1})과 제2 임계신호 전압레벨(V_{th2}) 사이의 전압일 경우 상기 비교전압(V_{cm})스위치가 닫히며, 상기 입력전압(V_{in})이 상기 제1 임계신호 전압레벨(V_{th1}) 및 제2 임계신호 전압레벨(V_{th2})보다 모두 낮을 경우 상기 접지(gnd) 스위치가 닫히도록 한다.
- [0026] 상술한 각각의 경우 기준전압(V_{ref})은 각각 직류전압(V_{DD}), 비교전압(V_{cm}) 및 접지(gnd)가 된다.
- [0027] 그러면, 그때 상기 제1 축전기(21) 내지 제3 축전기(23) 양단의 전압은 도2에 표시된 전압만큼 각각 걸리게 된다.
- [0028] 즉, 상기 제1 축전기(11)에는 입력전압(V_{in})만큼, 상기 제2 축전기(21)에는 기준전압(V_{ref})과 비교전압(V_{cm})의 차만큼, 상기 제3 축전기(31)에는 상기 입력전압(V_{in})과 상기 비교전압(V_{cm})의 차만큼 전압이 걸리게 된다. 참고로, 상기 제4 축전기(41)는 상기 제2 클락(clk_2)이 오프(OFF)되어 있어 전압이 걸리지 않는다.
- [0029] 하지만, 상기 입력클락(clk_{in})과 상기 제1클락(clk_1)이 오프(OFF)되고, 상기 제2 클락(clk_2) 온(ON)되면, 도 3에 도시된 바와 같이 각각의 축전기 양쪽에 전압이 걸리게 된다.
- [0030] 특히, 피드백 루프에 포함된 상기 제4 축전기(41)에 축전기의 부정함으로 인한 에러가 발생하지 않은 전압으로 두배의 입력전압(V_{in})에서 기준전압(V_{ref})을 뺀 " $2V_{in}-V_{ref}$ "이 걸리게 된다.
- [0031] 상기 전압 " $2V_{in}-V_{ref}$ "은 다음 클락 타이밍 때, 상기 피드백클락(clk_{fb})이 켜지면 입력(input)으로 인가되고, 사이클 횟수만큼 피드백 루프는 반복되어 비트(bit)를 결정하게 된다.
- [0032] 상술한 바와 같이, 상기 제1 축전기(11) 내지 제4 축전기(41)의 출력단 마다 각각 제1 버퍼(12) 내지 제4 버퍼

도면4

